(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 107771373 B
(45)授权公告日 2021.02.12

(21)申请号 201680028894.2
(22)申请日 2016.04.15
(65)同一申请的已公布的文献号
申请公布号 CN 107771373 A
(43)申请公布日 2018.03.06
(30)优先权数据
14/714,954 2015.05.18 US
(85)PCT国际申请进入国家阶段日
2017.11.17
(86)PCT国际申请的申请数据
PCT/US2016/027813 2016.04.15
(87)PCT国际申请的公布数据
WO2016/186770 EN 2016.11.24
(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州
(72)发明人 尹文婧 J·M·辛里奇斯
(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华
(51)Int.Cl.
H03K 19/0175(2006.01)
H03K 3/356(2006.01)
(56)对比文件
CN 101295982 A,2008.10.29
CN 101540603 A,2009.09.23
CN 102577123 A,2012.07.11
JP H07202595 A,1995.08.04
CN 103997337 A,2014.08.20
CN 101174825 A,2008.05.07
US 7863991 B1,2011.01.04
审查员 吴一帆

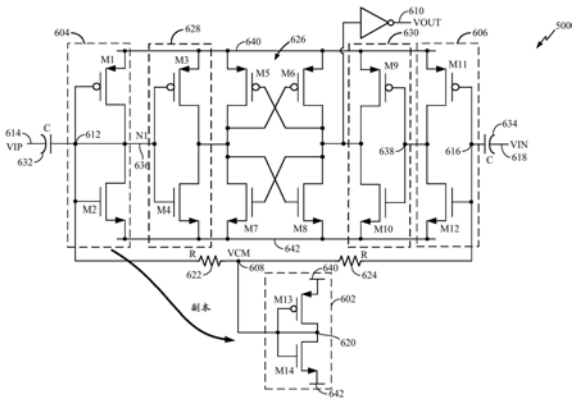
权利要求书3页 说明书11页 附图7页

(54)发明名称

具有副本偏置的高速的AC耦合的基于反相器的缓冲器

(57)摘要

本公开的某些方面提供了一种高速的AC耦合的基于反相器的缓冲器，其例如可用作用于压控振荡器(VCO)的缓冲器。用于VCO的一个示例缓冲器通常包括：具有被配置为接收差分对的第一互补信号的输入节点的第一反相器级；具有被配置为接收差分对的第二互补信号的输入节点的第二反相器级；复制第一反相器级或第二反相器级的偏置级，其中偏置级的输出节点与偏置级的输入节点连接；耦合在第一反相器级的输入节点和偏置级的输入节点之间的第一阻抗；以及耦合在第二反相器级的输入节点和偏置级的输入节点之间的第二阻抗。



CN 107771373 B

1.一种用于压控振荡器(VCO)的缓冲器,包括:

第一反相器级,具有被配置为接收差分对的第一互补信号的输入节点;

第二反相器级,具有被配置为接收所述差分对的第二互补信号的输入节点;

偏置级,复制所述第一反相器级或所述第二反相器级,其中所述偏置级的输出节点与所述偏置级的输入节点连接;

第一阻抗,耦合在所述第一反相器级的输入节点和所述偏置级的输入节点之间;以及

第二阻抗,耦合在所述第二反相器级的输入节点和所述偏置级的输入节点之间。

2.根据权利要求1所述的缓冲器,还包括:

交叉耦合的晶体管级,其耦合到所述第一反相器级和所述第二反相器级,并且被配置为生成所述缓冲器的输出信号。

3.根据权利要求2所述的缓冲器,还包括:

耦合在所述第一反相器级和所述交叉耦合的晶体管级之间的第三反相器级;以及

耦合在所述第二反相器级和所述交叉耦合的晶体管级之间的第四反相器级。

4.根据权利要求1所述的缓冲器,还包括:

第一电容元件,其耦合到所述第一反相器级的输入节点;以及

第二电容元件,其耦合到所述第二反相器级的输入节点,使得所述差分对是AC耦合的差分信号。

5.根据权利要求1所述的缓冲器,其中:

在所述第一反相器级的输入节点和所述第一反相器级的输出节点之间缺少第一电阻元件;并且

在所述第二反相器级的输入节点和所述第二反相器级的输出节点之间缺少第二电阻元件。

6.根据权利要求1所述的缓冲器,其中所述差分对以至少8GHz的频率振荡。

7.根据权利要求1所述的缓冲器,其中:

所述偏置级被配置为将所述差分对的DC偏移移位到用于所述缓冲器的两个电源轨之间的电平;并且

所述两个电源轨被配置为对所述第一反相器级和所述第二反相器级供电。

8.根据权利要求1所述的缓冲器,其中当所述差分对跨越工艺、电压和温度变化以10GHz的频率振荡时,在所述缓冲器的输出处的周期信号的占空比在45%至55%之间。

9.根据权利要求1所述的缓冲器,其中所述偏置级的P型金属氧化物半导体PMOS晶体管和N型金属氧化物半导体NMOS晶体管具有与所述第一反相器级或所述第二反相器级的PMOS晶体管和NMOS晶体管相同的尺寸。

10.根据权利要求1所述的缓冲器,其中所述偏置级的输出节点处的电压被配置为跟踪所述第一反相器级或所述第二反相器级中的晶体管的阈值电压的一个或多个工艺变化或温度漂移中的至少一个。

11.根据权利要求1所述的缓冲器,其中:

所述偏置级包括P型金属氧化物半导体PMOS晶体管和N型金属氧化物半导体NMOS晶体管;

所述PMOS晶体管的漏极与所述NMOS晶体管的漏极连接,以形成所述偏置级的输出节

点；

所述PMOS晶体管的栅极与所述NMOS晶体管的栅极连接，以形成所述偏置级的输入节点；并且

所述偏置级的输入节点和输出节点被短接在一起。

12.根据权利要求1所述的缓冲器，其中所述第一阻抗和所述第二阻抗包括具有相等电阻的两个电阻元件。

13.根据权利要求1所述的缓冲器，其中所述第一反相器级具有与所述第二反相器级相同的组件和拓扑。

14.一种使用缓冲器对差分信号进行缓冲的方法，包括：

经由所述缓冲器的第一反相器级的输入节点接收差分对的第一互补信号；

经由所述缓冲器的第二反相器级的输入节点接收所述差分对的第二互补信号；

使用复制所述第一反相器级或所述第二反相器级的偏置级来将所述差分对的偏移电压移位，其中所述偏置级的输出节点与所述偏置级的输入节点连接；以及

基于所述差分对和经移位的偏移电压生成所述缓冲器的输出信号。

15.根据权利要求14所述的方法，还包括：

经由用于所述缓冲器的两个电源轨，在所述第一反相器级和所述第二反相器级处接收功率，其中所述移位包括将所述差分对的所述偏移电压移位到所述两个电源轨之间的电平。

16.根据权利要求14所述的方法，其中生成所述输出信号包括使用耦合到所述第一反相器级和所述第二反相器级的交叉耦合的晶体管级来生成所述输出信号。

17.根据权利要求16所述的方法，其中所述缓冲器还包括：

耦合在所述第一反相器级和所述交叉耦合的晶体管级之间的第三反相器级；以及

耦合在所述第二反相器级和所述交叉耦合的晶体管级之间的第四反相器级。

18.根据权利要求14所述的方法，其中所述差分对是AC耦合的差分信号，并且其中所述缓冲器还包括：

耦合到所述第一反相器级的输入节点的第一电容元件；以及

耦合到所述第二反相器级的输入节点的第二电容元件。

19.根据权利要求14所述的方法，其中所述缓冲器缺少：

耦合在所述第一反相器级的输入节点和所述第一反相器级的输出节点之间第一电阻元件；以及

耦合在所述第二反相器级的输入节点和所述第二反相器级的输出节点之间的第二电阻元件。

20.根据权利要求14所述的方法，其中所述偏置级包括具有与所述第一反相器级或所述第二个反相器级的P型金属氧化物半导体PMOS晶体管和N型金属氧化物半导体NMOS晶体管的相同尺寸的PMOS晶体管和NMOS晶体管。

21.根据权利要求14所述的方法，其中：

所述偏置级包括P型金属氧化物半导体PMOS晶体管和N型金属氧化物半导体NMOS晶体管；

所述PMOS晶体管的漏极与所述NMOS晶体管的漏极连接，以形成所述偏置级的输出节

点；

所述PMOS晶体管的栅极与所述NMOS晶体管的栅极连接，以形成所述偏置级的输入节点；并且

所述偏置级的输入节点和输出节点被短接在一起。

22.根据权利要求14所述的方法，其中所述第一反相器级具有与所述第二反相器级相同的组件和拓扑。

23.根据权利要求14所述的方法，其中所述偏置级的所述输出节点处的电压被配置为跟踪所述第一反相器级或所述第二反相器级中晶体管的阈值电压的一个或多个工艺变化或温度漂移中的至少一个。

24.根据权利要求14所述的方法，其中所述缓冲器还包括：

耦合在所述第一反相器级的输入节点和所述偏置级的输入节点之间的第一阻抗；以及

耦合在所述第二反相器级的输入节点和所述偏置级的输入节点之间的第二阻抗。

25.根据权利要求24所述的方法，其中所述第一阻抗和所述第二阻抗包括具有相等电阻的两个电阻元件。

26.根据权利要求14所述的方法，其中所述差分对以至少8GHz的频率振荡。

27.根据权利要求14所述的方法，其中当所述差分对跨越工艺、电压和温度变化以10GHz的频率振荡时，所述缓冲器的输出信号的占空比在45％至55％之间。

28.一种用于对差分信号进行缓冲的装置，包括：

用于将差分对的第一互补信号反相的部件；

用于将所述差分对的第二互补信号反相的部件；

用于使用偏置级对所述差分对的偏移电压移位的部件，所述偏置级复制用于将所述第一互补信号反相的部件或用于将所述第二互补信号反相的部件，其中所述偏置级的输出节点与所述偏置级的输入节点连接；以及

用于基于所述差分对和经移位的偏移电压生成所述装置的输出信号的部件。

具有副本偏置的高速的AC耦合的基于反相器的缓冲器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2005年5月18日提交的美国申请No.14/714,954的优先权,其转让给本申请的受让人,并且其全部内容通过引用并入于此。

技术领域

[0003] 本公开的某些方面整体涉及电子电路,并且更具体地涉及具有副本偏置的基于高速AC耦合的反相器的缓冲器。

背景技术

[0004] 无线通信网络被广泛部署以提供各种通信服务(例如,电话、视频、数据、消息传送、广播等)。通常是多址网络的这样的网络通过共享可用的网络资源来支持针对多个用户的通信。例如,一个网络可以是根据电气及电子工程师协会(IEEE)802.11标准的无线局域网(WLAN)(例如,Wi-Fi)或根据IEEE 802.15标准的无线个人域网(WPAN)。另一示例无线网络可以是可以经由包括以下项的各种无线电接入技术(RAT)中的任一个提供网络服务的3G(第三代移动电话标准和技术)、4G或更新一代的系统:EVDO(演进数据优化)、1xRTT(1次无线电传输技术,或简称1x)、W-CDMA(宽带码分多址)、UMTS-TDD(通用移动电信系统-时分双工)、HSPA(高速分组接入)、GPRS(通用分组无线电服务)或EDGE(用于全局演进的增强的数据速率)。3G网络是除了语音呼叫之外、还发展为并入高速互联网接入和视频电话的广域蜂窝电话网络。此外,3G网络可以比其他网络系统更加确定并提供较大的覆盖区域。这样的多接入网络还可以包括码分多址(CDMA)系统、时分多址(TDMA)系统、频分多址(FDMA)系统、正交频分多址(OFDMA)系统、单载波FDMA(SC-FDMA)网络、第三代合作伙伴计划(3GPP)长期演进(LTE)网络以及长期演进高级(LTE-A)网络。

[0005] 无线通信网络可以包括可以支持若干移动站的通信的若干基站。移动站(MS)可以经由下行链路和上行链路与基站(BS)进行通信。下行链路(或前向链路)是指从基站到移动站的通信链路,并且上行链路(或反向链路)是指从移动站到基站的通信链路。基站可以在下行链路上向移动站发射数据和控制信息,和/或可以在上行链路上从移动站接收数据和控制信息。

发明内容

[0006] 本公开的某些方面整体涉及具有副本偏置级的基于AC耦合的反相器的缓冲器,其可以用作高速压控振荡器(VCO)缓冲器。

[0007] 本公开的某些方面提供了一种用于压控振荡器(VCO)的缓冲器。缓冲器通常包括:具有被配置为接收差分对的第一互补信号的输入节点的第一反相器级;具有被配置为接收差分对的第二互补信号的输入节点的第二反相器级;复制第一反相器级或第二反相器级的偏置级,其中偏置级的输出节点与偏置级的输入节点连接;耦合在第一反相器级的输入节点和偏置级的输入节点之间的第一阻抗;以及耦合在第二反相器级的输入节点和偏置级的

输入节点之间的第二阻抗。

[0008] 根据某些方面，缓冲器还包括耦合到第一反相器级和第二反相器级的交叉耦合的晶体管级。交叉耦合的晶体管级被配置为生成缓冲器的输出信号。对于某些方面，缓冲器还包括耦合在第一反相器级和交叉耦合的晶体管级之间的第三反相器级以及耦合在第二反相器级与交叉耦合的晶体管级之间的第四反相器级。

[0009] 根据某些方面，缓冲器还包括耦合到第一反相器级的输入节点的第一电容元件以及耦合到第二反相器级的输入节点的第二电容元件，使得差分对是AC耦合的差分信号。

[0010] 根据某些方面，在第一反相器级的输入节点和第一反相器级的输出节点之间缺少第一电阻元件，并且在第二反相器级的输入节点与第二反相器级的输出节点之间缺少第二电阻元件。

[0011] 根据某些方面，差分对以至少8GHz的频率振荡。

[0012] 根据某些方面，偏置级被配置为将差分对的DC偏移移位到用于缓冲器的两个电源轨之间的电平，并且两个电源轨被配置为对第一和第二反相器级供电。

[0013] 根据某些方面，当差分对跨越工艺、电压和温度变化以10GHz的频率振荡时，缓冲器的输出处的周期信号的占空比在45％和55％之间。

[0014] 根据某些方面，偏置级的P型金属氧化物半导体(PMOS)和N型金属氧化物半导体(NMOS)晶体管具有与第一反相器级或第二反相器级的PMOS和NMOS晶体管相同的尺寸。

[0015] 根据某些方面，偏置级的输出节点处的电压被配置为跟踪第一反相器级或第二反相器级中晶体管的温度漂移或阈值电压的一个或多个工艺变化中的至少一个。

[0016] 根据某些方面，偏置级包括P型金属氧化物半导体(PMOS)晶体管和N型金属氧化物半导体(NMOS)晶体管。在这种情况下，PMOS晶体管的漏极可以与NMOS晶体管的漏极连接，以形成偏置级的输出节点，PMOS晶体管的栅极可以与NMOS晶体管的栅极连接，以形成偏置级的输入节点；并且偏置级的输入和输出节点可以被短接在一起。

[0017] 根据某些方面，第一阻抗和第二阻抗包括具有相等电阻的两个电阻元件。

[0018] 根据某些方面，第一反相器级与第二反相器级匹配。例如，第一反相器级可以具有与第二反相器级相同的组件和拓扑。

[0019] 本公开的某些方面提供了使用缓冲器来缓冲差分信号的方法。方法通常包括：经由缓冲器的第一反相器级的输入节点接收差分对的第一互补信号；经由缓冲器的第二反相器级的输入节点接收差分对的第二互补信号；使用复制第一反相器级或第二反相器级的偏置级对差动对的偏移电压移位，其中偏置级的输出节点与偏置级的输入节点连接；以及基于差分对和经移位的偏移电压生成缓冲器的输出信号。

[0020] 本公开的某些方面提供了用于缓冲差分信号的装置。装置通常包括：用于将差分对的第一互补信号反相的部件；用于将差分对的第二互补信号反相的部件；用于使用偏置级对差分对的偏移电压移位的部件，偏置级复制用于将第一互补信号反相的部件或用于将第二互补信号反相的部件，其中偏置级的输出节点与偏置级的输入节点连接；以及用于基于差分对和经移位的偏移电压来生成该装置的输出信号的部件。

附图说明

[0021] 可以通过参考各方面(其中一些方面在附图中示出)呈现对上面简要总结的内容

的更具体的描述，从而可以详细理解本公开的上述特征。然而，应当注意，附图仅示出了本公开的某些典型方面，并且因此不应被认为是限制其范围，因为描述可以允许其他同等有效的方面。

[0022] 图1是根据本公开的某些方面的示例无线通信网络的图。

[0023] 图2是根据本公开的某些方面的示例接入点(AP)和示例用户终端的框图。

[0024] 图3是根据本公开的某些方面的示例收发机前端的框图。

[0025] 图4是根据本公开的某些方面的具有连接到VCO缓冲器的压控振荡器(VCO)的示例锁相环(PLL)的框图。

[0026] 图5是示例的现有技术的AC耦合的基于反相器的缓冲器的示意图。

[0027] 图6是根据本公开的某些方面的具有副本偏置级的示例的AC耦合的基于反相器的缓冲器的示意图。

[0028] 图7是根据本公开的某些方面的使用具有副本偏移级的基于反相器的缓冲器的示例操作的流程图。

具体实施方式

[0029] 本公开的某些方面提供了一种基于反相器的缓冲器，其可用于缓冲压控振荡器(VCO)的输出。本文中呈现的缓冲器可以耦合到VCO的输出，以将VCO与重负载隔离。在这种情况下，缓冲器可以被配置为放大VCO的轨对轨输出摆幅并且校正或至少调节VCO输出的占空比。副本偏置级可以用于将VCO输出的DC偏移电平移位到中间轨(在向缓冲器提供电力的正向和负向电源轨之间)并且与缓冲器中反相器级的阈值电压相匹配。

[0030] 下面描述本公开的各个方面。应当显而易见的是，本文的教导可以以各种形式实施，并且本文所公开的任何具体结构、功能或两者仅仅是代表性的。基于本文的教导，本领域技术人员应当理解，本文所公开的一个方面可以独立于任何其他方面来实现，并且这些方面中的两个或更多个可以以各种方式组合。例如，可以使用本文所阐述的任何数量的方面来实现装置或者实践方法。此外，可以使用除本文所阐述的一个或多个方面之外的其他结构、功能或结构和功能来实现这样的装置或实践这样的方法。此外，一个方面可以包括权利要求的至少一个元素。

[0031] 词语“示例性”在本文中用于表示“用作示例、实例或说明”。本文中描述为“示例性”的任何方面不一定被解释为比其他方面优选或有利。

[0032] 本文所描述的技术可以与诸如以下技术的各种无线技术结合使用：码分多址(CDMA)、正交频分复用(OFDM)、时分多址(TDMA)、空分多址(SDMA)、单载波频分多址(SC-FDMA)、时分同步码分多址(TD SCDMA)等。多个用户终端可以经由(1)用于CDMA的不同正交码信道、(2)用于TDMA的不同时隙、或(3)用于OFDM的不同子带同时发射/接收数据。CDMA系统可以实现IS-2000、IS-95、IS-856、宽带CDMA(W-CDMA)或一些其他标准。OFDM系统可以实现电气及电子工程师协会(IEEE)802.11、IEEE 802.16、长期演进(LTE)(例如，TDD和/或FDD模式)或一些其他标准。TDMA系统可以实现针对移动通信的全局系统(GSM)或其他一些标准。这些各种标准是本领域已知的。

[0033] 示例无线系统

[0034] 图1示出了具有接入点110和用户终端120的无线通信系统100，接入点110和用户

终端120中的任一个可以包括或利用本公开的方面。为了简单起见，图1中仅示出了一个接入点110。接入点(AP)通常是与用户终端进行通信的固定站，并且还可以称为基站(BS)、演进节点B(eNB)或其他一些术语。用户终端(UT)可以是固定的或移动的，并且也可以被称为移动站(MS)、接入终端、用户设备(UE)、站(STA)、客户端、无线设备或一些其他术语。用户终端可以是诸如蜂窝电话、个人数字助理(PDA)、手持设备、无线调制解调器、膝上型计算机、平板电脑、个人计算机等的无线设备。在本公开的某些方面，AP和/或UT可以包括具有带压控振荡器(VCO)的锁相环(PLL)的收发机前端。如下所述，AP和/或UT还可以包括被配置为缓冲由VCO生成的振荡信号的缓冲器。

[0035] 接入点110可以在下行链路和上行链路上、在任何给定时刻与一个或多个用户终端120通信。下行链路(即，前向链路)是从接入点到用户终端的通信链路，并且上行链路(即，反向链路)是从用户终端到接入点的通信链路。用户终端还可以与另一用户终端进行对等通信。系统控制器130耦合到接入点并提供对接入点的协调和控制。

[0036] 系统100在下行链路和上行链路上采用多个发射天线和多个接收天线进行数据传输。接入点110可以配备有若干N_{ap}个天线，以实现用于下行链路传输的发射分集和/或用于上行链路传输的接收分集。所选择的用户终端120的集合N_u可以接收下行链路传输并发射上行链路传输。每个所选择的用户终端向接入点发射用户特定的数据和/或从接入点接收用户特定的数据。通常，每个所选择的用户终端可以配备有一个或多个天线(即，N_{ut}>＝1)。N_u个所选择的用户终端可以具有相同或不同数目的天线。

[0037] 无线系统100可以是时分双工(TDD)系统或频分双工(FDD)系统。对于TDD系统，下行链路和上行链路可以共享相同的频带。对于FDD系统，下行链路和上行链路使用不同的频带。系统100还可以利用单个载波或多个载波进行传输。每个用户终端可以配备有单个天线(例如，为了保持成本降低)或多个天线(例如，在可以支持附加成本的情况下)。

[0038] 图2示出了无线系统100中接入点110和两个用户终端120m与120x的框图。接入点110配备有N_{ap}个天线224a至224ap。用户终端120m配备$N_{ut,m}$个天线252ma至252mu，并且用户终端120x配备有$N_{ut,x}$个天线252xa至252xu。接入点110是用于下行链路的发射实体和用于上行链路的接收实体。每个用户终端120是用于上行链路的发射实体和用于下行链路的接收实体。如本文所使用的，“发射实体”是能够经由频率信道发射数据的独立操作的装置或设备，并且“接收实体”是能够经由频率信道接收数据的独立操作的装置或设备。在下面的描述中，下标“dn”表示下行链路，下标“up”表示上行链路，N_{up}个用户终端被选择用于在上行链路上同时传输，N_{dn}个用户终端被选择用于下行链路上的同时传输，N_{up}可以或可以不等于N_{dn}，并且N_{up}和N_{dn}可以是静态值，或者可以针对每个调度间隔而变化。在接入点和用户终端处可以使用波束赋形或其他空间处理技术。

[0039] 在上行链路上，在为上行链路传输所选择的每个用户终端120处，TX数据处理器288从数据源286接收流量数据，并从控制器280接收控制数据。TX数据处理器288基于与为用户终端选择的速率相关联的编码和调制方案对针对用户终端的流量数据{d_{up}}进行处理(例如，编码、交织和调制)并为$N_{ut,m}$天线中的一个提供数据符号流{S_{up}}。收发机前端(TX/RX)254(也称为射频前端(RFFE))接收并处理(例如，转换为模拟、放大、滤波和上变频)相应的符号流，以生成上行链路信号。收发机前端254也可以将上行链路信号路由到$N_{ut,m}$个天线中的一个，以进行例如经由RF交换机的发射分集。控制器280可以控制收发机前端254内的

路由。存储器282可以存储针对用户终端120的数据和程序代码，并且可以与控制器280交互。

[0040] 可以调度在上行链路上同时传输的用户终端的数目N_{up}。这些用户终端中的每一个在上行链路上将其经处理的符号流集合发射到接入点。

[0041] 在接入点110处，N_{ap}个天线224a至224ap从所有N_{up}个用户终端接收在上行链路上传输的上行链路信号。对于接收分集，收发机前端222可以选择从天线224中的一个接收的信号进行处理。对于本公开的某些方面，可以组合从多个天线224接收的信号的组合以增强接收分集。接入点的收发机前端222还执行与由用户终端的收发机前端254执行的处理互补的处理，并提供经恢复的上行链路数据符号流。经恢复的上行链路数据符号流是由用户终端发射的数据符号流$\{S_{up}\}$的估计。RX数据处理器242根据针对该流的速率来处理(例如，解调、解交织和解码)经恢复的上行链路数据符号流，以获得经解码的数据。针对每个用户终端的经解码的数据可以被提供给用于存储的数据宿244和/或用于进一步处理的控制器230。在本公开的某些方面，收发机前端222和254中的一个或两个可以包括VCO和VCO缓冲器。如下所述，VCO缓冲器可以被配置为缓冲由VCO生成的振荡信号。

[0042] 在下行链路上，在接入点110处，TX数据处理器210从针对被调度用于下行链路传输的N_{dn}个用户终端的数据源208接收流量数据，从控制器230接收控制数据，并从调度器234接收可能的其他数据。可以在不同的传递信道上发送各种类型的数据。TX数据处理器210基于为该用户终端选择的速率来处理(例如，编码、交织和调制)针对每个用户终端的流量数据。TX数据处理器210可以为N_{dn}个用户终端中的多个中的一个提供从N_{ap}个天线中的一个发射的下行链路数据符号流。收发机前端222接收并处理(例如，转换成模拟、放大、滤波和上变频)符号流，以生成下行链路信号。收发机前端222还可以例如经由RF交换机将下行链路信号路由到N_{ap}个天线224中的一个或多个，以用于发射分集。控制器230可以控制收发机前端222内的路由。存储器232可以存储用于接入点110的数据和程序代码，并且可以与控制器230交互。

[0043] 在每个用户终端120处，$N_{ut,m}$个天线252接收来自接入点110的下行链路信号。对于用户终端120处的接收分集，收发机前端254可以选择从天线252之一接收的信号进行处理。对于本公开的某些方面，可以组合从多个天线252接收的信号的组合，以增强接收分集。用户终端的收发机前端254还执行与由接入点的收发机前端222执行的处理互补的处理，并提供经恢复的下行链路数据符号流。RX数据处理器270处理(例如，解调、解交织和解码)经恢复的下行链路数据符号流，以获得针对用户终端的经解码的数据。

[0044] 本领域技术人员将认识到，本文所描述的技术通常可以应用于利用任何类型的多址方案(例如，TDMA、SDMA、正交频分多址(OFDMA)、CDMA、SC-FDMA、TD-SCDMA、及其组合)的系统。

[0045] 示例收发机前端

[0046] 图3是一个示例收发机前端300(如图2中的收发机前端222、254)的框图，在示例收发机前端300中，可以实现本公开的方面。收发机前端300包括：用于经由一个或多个天线发射信号的至少一个发射(TX)路径302(也称为发射链)；以及用于经由天线接收信号的至少一个接收(RX)路径304(也称为接收链)。当TX路径302和RX路径304共享天线303时，路径可以经由接口306与天线连接，接口306可以包括各种合适的RF设备(例如，双工器、交换机、双

信器等)中的任何一个。

[0047] 从数/模转换器(DAC)308接收同相(I)或正交(Q)基带模拟信号,TX路径302可以包括基带滤波器(BBF)310、混频器312、驱动器放大器(DA)314和功率放大器(PA)316。BBF 310、混频器312和DA 314可以被包括在射频集成电路(RFIC)中,而PA 316通常在RFIC外部。BBF 310对从DAC 308接收的基带信号进行滤波,并且混频器312将经滤波的基带信号与发射本地振荡器(LO)信号进行混合,以将感兴趣的基带信号转换为不同的频率(例如,从基带向上转换到RF)。该频率转换过程产生LO频率和感兴趣的信号频率的和频率以及差频率。和频率以及差频率被称为拍频。拍频通常在RF范围中,使得由混频器312输出的信号通常是在由天线303传输之前由DA 314和PA 316放大的RF信号。

[0048] RX路径304包括低噪声放大器(LNA)322、混频器324和基带滤波器(BBF)326。LNA 322、混频器324和BBF 326可以被包括在RFIC(可以或可以不是包括TX路径组件的RFIC)中。经由天线303接收的RF信号可以由LNA 322放大,并且混频器324将经放大的RF信号与接收本地振荡器(LO)信号进行混合,以将感兴趣的RF信号转换为不同的基带频率(即,下变频)。由混频器324输出的基带信号可以在被模数转换器(ADC)328转换成用于数字信号处理的数字I或Q信号之前被BBF 326滤波。

[0049] 虽然期望LO的输出在频率上保持稳定,但是调谐到不同的频率表示使用可变频率振荡器,可变频率振荡器涉及稳定性和可调谐性之间的折衷。当代系统采用具有压控振荡器(VCO)的频率合成器来生成具有特定调谐范围的稳定的可调谐LO。因此,发射LO通常由TX频率合成器318产生,发射LO可以在与混频器312中的基带信号混合之前被放大器320缓冲或放大。类似地,接收LO通常由RX频率合成器330产生,接收LO可以在与混频器324中的RF信号混合之前被放大器332缓冲或放大。在本公开的一些方面,VCO可以被实现为锁相环(PLL)电路的一部分。

[0050] 示例锁相环

[0051] 图4是根据本公开的某些方面的包括与VCO缓冲器404对接的VCO 402的示例锁相环(PLL)400的框图。PLL 400可以用在频率合成器(例如,图3的TX频率合成器318或RX频率合成器330)中。

[0052] 如图4所示,耦合到低通环路滤波器408的电荷泵406可以向VCO 402提供确定VCO 402的振荡频率的控制电压。电荷泵406和VCO 402可以经由两个电源轨(一个正电源轨和一个负电源轨)接收功率。电荷泵406中的开关可以由上/下脉冲信号410、412来控制,并且环路滤波器408可以拒绝来自该开关活动的高频瞬变信号。这些上/下脉冲信号410、412可以由相位频率检测器(PFD)414生成,相位频率检测器(PFD)414可以将反馈信号416(基于VCO 402的输出或经处理的输出并被标记的“DIV”)与参考频率信号418(被标记为“REF”)进行比较。在一方面,如图4所示,可以通过利用VCO缓冲器404来缓冲VCO 402的输出,在预缩放器422中缩放经缓冲的信号以生成PLL的输出信号424(标记为“PLLOUT”),并在反馈分压器420中对预缩放器422的输出分压来生成反馈信号416。

[0053] 在本公开的一些方面,如图4所示,可以经由VCO控制输入426、428,由电荷泵406和低通环路滤波器408来提供VCO 402的输入控制电压。VCO 402的谐振储能电路可以在差分VCO输出430、432处生成具有特定频率(例如,由VCO控制输入426、428处的电压确定)的周期信号,周期信号可以被输入到VCO缓冲器404。VCO缓冲器404可以耦合到差分VCO输出430、

432,用于将VCO 402与PLL 400中的负载以及接收PLL输出信号424的其他电路隔离。VCO缓冲器404也可用于放大信号摆幅并校正差分VCO输出430、432的任何占空比失真。

[0054] 示例的具有副本偏置级的基于反相器的缓冲器

[0055] 图5示出了被配置为与差分输出(例如,VCO 402的输出430、432)对接并且适合用作用于一些VCO的VCO缓冲器404的缓冲器500的常规示例实现。对于图5所示的缓冲器500,反馈电阻器502可以布置在第一反相器级504两端,以对差分对的正输入信号506(V_{IP})(例如,来自VCO 402的第一差分输出430)进行电平移位。第一反相器级504可以是由p沟道MOS(PMOS)晶体管M1和n沟道MOS(NMOS)晶体管M2组成的互补金属氧化物半导体(CMOS)反相器级。此外,反馈电阻器508可以位于第二反相器级510两端,以对差分对的负输入信号512(V_{IN})(例如,来自VCO 402的、与第一输出互补的第二差分输出432)进行电平移位。第二反相器级510可以是由PMOS晶体管M11和NMOS晶体管M12组成的CMOS反相器级。然而,反馈电阻器502、508可以增加布线寄生效应(并且例如降低结合节点N1处的寄生电容产生的低通滤波器的截止频率),并且因此可能滤除高速信号。此外,反馈电阻器502、508的有限的电阻可能降低第一和第二反相器级504、510的增益。因此,缓冲器500可能不适于处理超高速周期信号(例如,时钟信号),例如,由某些VCO生成的超高速周期信号。

[0056] 实现基于电流模式逻辑(CML)的高速缓冲器的备选方法可以处理超高速周期信号。然而,与基于反相器的缓冲器(例如,图5的缓冲器500)相比,基于CML的缓冲器可以消耗明显更高的电流,这对于电池供电的设备(例如,蜂窝电话、智能电话、平板电脑、膝上型电脑等)可能是有问题的。

[0057] 因此,与基于CML的缓冲器相比,需要技术和电路来实现能够以降低的功率消耗来精确地处理超高速周期信号的缓冲器。

[0058] 本公开的某些方面提供了能够缓冲超高速低振幅时钟信号的基于反相器的缓冲器,其中已经去除了反馈电阻器(例如,电阻器502、508),从而增加反相器级的增益并减小反相器级输出处的寄生电容。该缓冲器使用复制反相器级之一的偏置级,并将差分输入信号的偏移电压电平移位到中间轨(例如,在对反相器级供电的电源轨之间)。至于拓扑和晶体管尺寸,由于该副本偏置级可以复制反相器级之一,所以偏置级还可以跟踪由于工艺、电压和温度(PVT)引起的变化,有助于针对由缓冲器输出高速周期信号实现更准确的占空比。该缓冲器可以用作VCO缓冲器,以将VCO输出与重负载隔离,并且能够放大VCO的轨对轨输出摆幅。

[0059] 图6示出了根据本公开的某些方面的具有副本偏置级602的示例的AC耦合的基于反相器的缓冲器600。缓冲器600可以适合用作VCO缓冲器404,并且可以能够处理超高速信号(例如,具有至少8GHz的频率的信号)。

[0060] 类似于图5中的缓冲器500,缓冲器600可以被配置为从耦合到缓冲器的电路接收差分输出信号(例如,VCO 402的输出430、432)作为缓冲器的差分输入信号。例如,缓冲器600的第一反相器级604可以被配置为接收差分对的正输入信号614(V_{IP})(例如,来自VCO402的第一差分输出430),并且第二反相器级606可以被配置为接收差分对的负输入信号618(V_{IN})(例如,与第一输出互补的、来自VCO402的第二差分输出432)。第一和第二反相器级604、606可以是彼此的副本、具有相同的拓扑、布局、晶体管尺寸等。第一反相器级604可以是由PMOS晶体管M1和NMOS晶体管M2组成的CMOS反相器级。类似地,第二反相器级606可以是

由PMOS晶体管M11和NMOS晶体管M12组成的CMOS反相器级。

[0061] 对于图6所示的某些方面，缓冲器600的输入信号(V_{IP}和V_{IN})可以在分别输入到第一和第二反相器级604、606的输入节点612、616之前经由串联电容器632、634进行AC耦合。这种类型的缓冲器可以被称为AC耦合的基于反相器的缓冲器。

[0062] 副本偏置级602可以复制第一反相器级604和/或第二反相器级606。换言之，副本偏置级602可以使用相同的拓扑和相同的器件尺寸(例如，相同尺寸的晶体管)作为第一反相器级604和/或第二反相器级606。例如，副本偏置级602也可以是由PMOS晶体管M13和NMOS晶体管M14组成的CMOS反相器级。偏置级602的输出节点620可以与偏置级的输入节点(例如，共模电压(V_{CM})节点608)连接。PMOS晶体管M13的漏极可以耦合到NMOS晶体管M14的漏极，以形成偏置级602的输出节点620。PMOS晶体管M13的栅极可以与NMOS晶体管M14的栅极连接，以形成偏置级602的输入节点。对于某些方面，偏置级602的输入和输出节点608、620可以被短接在一起。

[0063] 如图6所示，阻抗(例如，由电阻器622提供)可以耦合在第一反相器级604的输入节点612和偏置级602的输入节点之间。此外，阻抗(例如，由电阻器624提供)可以耦合在第二反相器级606的输入节点616和偏置级602的输入节点之间。电阻器622、624可以具有相等的电阻R。

[0064] 副本偏置级602可以被配置为将差分输入信号614、618的DC偏移电平移位到用于缓冲器或者至少用于第一和第二反相器级604、606的两个电源轨(例如，正电源轨640和负电源轨642之间)之间的电平。复制第一和/或第二反相器级604、606的偏置级602可以确保V_{CM}节点608处的共模电压跟踪第一反相器级604或第二反相器级606的阈值电压中的至少一个的工艺变化。因此，可以在缓冲器600的输出610(V_{OUT})处实现用于高速周期信号的更精确的占空比。还可以示出(例如，基于蒙特卡罗模拟)图6中所示的缓冲器600可以维持跨越工艺、电压和温度(PVT)变化具有10GHz的频率的周期输出信号的为45％至55％之间的占空比。

[0065] 对于图6所示的某些方面，交叉耦合的晶体管级626可以耦合到第一反相器级604和第二反相器级606，并且被配置为生成缓冲器600的输出610。如图6所示，第三反相器级628可以耦合在第一反相器级604和交叉耦合的晶体管级626之间。第三反相器级628也可以是由PMOS晶体管M3和NMOS晶体管M4组成的CMOS反相器级，并且第一反相器级604的输出节点636可以是用于第三反相器级628的输入节点。此外，第四反相器级630可以耦合在第二反相器级606和交叉耦合的晶体管级626之间。第四反相器级630也可以是由PMOS晶体管M9和NMOS晶体管M11组成的CMOS反相器级，并且第二反相器级606的输出节点638可以是用于第四反相器级630的输入节点。第三和第四反相器级的输出节点可以是用于交叉耦合的晶体管级626的输入节点。交叉耦合的晶体管级626可以防止反相器级604、606、628、630独立地操作。交叉耦合的晶体管级还可以利用包括PMOS晶体管M5和M6以及NMOS晶体管M7和M8的CMOS逻辑来实现。晶体管M5的栅极可以耦合到晶体管M6的漏极，并且晶体管M6的栅极可以耦合到晶体管M5的漏极。类似地，晶体管M7的栅极可以耦合到晶体管M8的漏极，并且晶体管M8的栅极可以耦合到晶体管M7的漏极。晶体管M5和M6的源极可以耦合到正电源轨640，并且晶体管M7和M8的源极可以耦合到负电源轨642。晶体管M6和M8的漏极可以是用于交叉耦合的晶体管级的输出节点，交叉耦合的晶体管级可以耦合到产生缓冲器600的单端输出610的

反相器(例如,另一反相器级)。

[0066] 图7是根据本公开的某些方面的用于使用缓冲器来缓冲差分信号的示例操作700的流程图。操作700可以例如由图6所示的缓冲器600执行。

[0067] 操作700可以在框702处开始,其中缓冲器经由缓冲器的第一反相器级(例如,第一反相器级604)的输入节点(例如,节点612)接收差分对的第一互补信号(例如,正输入信号614)。对于某些方面,差分对可以以至少8GHz的频率振荡。在框704处,缓冲器可以经由缓冲器的第二反相器级(例如,第二反相器级606)的输入节点(例如,节点616)来接收差分对的第二互补信号(例如,负输入信号618)。对于某些方面,第一反相器级具有与第二反相器级相同的组件和拓扑(如图6所示)。

[0068] 在框706处,缓冲器可以使用复制第一反相器级或第二反相器级的偏置级(例如,偏置级602)来对差分对的偏移电压进行移位。偏置级的输出节点(例如,输出节点620)可以与偏置级的输入节点(例如,VCM节点608)连接。根据某些方面,偏置级包括具有与第一反相器级或第二反相器级的PMOS和NMOS晶体管的尺寸相同的P型金属氧化物半导体(PMOS)和N型金属氧化物半导体(NMOS)晶体管。

[0069] 根据某些方面,偏置级包括PMOS晶体管(例如,PMOS晶体管M13)和NMOS晶体管(例如,NMOS晶体管M14)。PMOS晶体管的漏极可以与NMOS晶体管的漏极连接,以形成偏置级的输出节点。PMOS晶体管的栅极可以与NMOS晶体管的栅极连接,以形成偏置级的输入节点。对于某些方面,偏置级的输入节点和输出节点被短接在一起。

[0070] 在框708处,缓冲器可以基于差分对和在框706处移位的偏移电压来生成缓冲器的输出信号(例如,输出610)。对于某些方面,生成输出信号包括使用耦合到第一反相器级和第二反相器级的交叉耦合的晶体管级(例如,交叉耦合的晶体管级626)来生成输出信号。在这种情况下,缓冲器还可以包括耦合在第一反相器级和交叉耦合的晶体管级之间的第三反相器级(例如,第三反相器级628)以及耦合在第二反相器级与交叉耦合的晶体管级之间的第四反相器级(例如,第四反相器级630)。

[0071] 根据某些方面,操作还涉及经由用于缓冲器的两个电源轨(例如,电源轨640、642)在第一反相器级和第二反相器级处接收功率。在这种情况下,框706处的移位可能需要将差分对的偏移电压移位到两个电源轨之间的电平。

[0072] 根据某些方面,差分对是AC耦合的差分信号。在这种情况下,缓冲器还可以包括耦合到第一反相器级的输入节点的第一电容元件(例如,电容器632)。此外,缓冲器还可以包括耦合到第二反相器级的输入节点的第二电容元件(例如,电容器634)。

[0073] 根据某些方面,缓冲器可以缺少耦合在第一反相器级的输入节点和第一反相器级的输出节点(例如,节点636)之间的第一电阻元件(例如,电阻器502)。此外,缓冲器还可以缺少耦合在第二反相器级的输入节点和第二反相器级的输出节点(例如,输出节点638)之间的第二电阻元件(例如,电阻器508)。

[0074] 根据某些方面,偏置级的输出节点处的电压被配置为跟踪第一反相器级或第二反相器级中的晶体管的温度漂移或阈值电压的一个或多个工艺变化中的至少一个。

[0075] 根据某些方面,缓冲器还包括耦合在第一反相器级的输入节点(例如,输入节点612)与偏置级的输入节点(例如,VCM节点608)之间的第一阻抗,以及耦合在第二反相器级的输入节点(例如,输入节点616)和偏置级的输入节点之间的第二阻抗。对于某些方面,第

一阻抗和第二阻抗包括具有相等电阻的两个电阻元件(例如,电阻器622、624)。

[0076] 根据某些方面,当差分对跨越工艺、电压和温度变化以10GHz的频率振荡时,缓冲器的输出信号的占空比在45%至55%之间。

[0077] 结论

[0078] 本公开的某些方面提供了适于用作VCO缓冲器的、具有副本偏置的高速的基于反相器的缓冲器。本公开通过去除反馈电阻器并增加反相器级的增益来扩展缓冲器对超高速低振幅周期信号的使用。提供了副本偏置级,以将输入信号的DC偏移电平移位到中间轨并跟踪反相器级阈值电压的工艺变化。此外,与常规缓冲器相比,当缓冲超高速周期信号时,副本偏置级可以实现更精确的占空比。

[0079] 上述方法的各种操作可以通过能够执行对应功能的任何合适的部件来执行。部件可以包括各种硬件和/或(一个或多个)软件组件和/或(一个或多个)模块,包括但不限于电路、专用集成电路(ASIC)或处理器。通常,在存在图中所示的操作的情况下,这些操作可以具有使用类似编号的对应的部件加功能组件。

[0080] 例如,用于发射的部件可以包括发射机(例如,图2所示的用户终端120的收发机前端254、图2所示的接入点110的收发机前端222或者图3所示的收发机前端300)和/或天线(例如,图2中描绘的用户终端120m的天线252ma至252mu、图2所示的接入点110的天线224a至224ap或图3所示的收发机前端300的天线303)。用于接收的部件可以包括接收机(例如,图2所示的用户终端120的收发机前端254、图2所示的接入点110的收发机前端222或者图3所示的收发机前端300)和/或天线(例如,图2中描绘的用户终端120m的天线252ma至252mu、图2所示的接入点110的天线224a至224ap或者图3所示的收发机前端300的天线303)。用于处理的部件或用于确定的部件可以包括处理系统,处理系统可以包括一个或多个处理器(例如,图2所示的接入点110的TX数据处理器210、RX数据处理器242和/或控制器230,或图2所示的用户终端120的RX数据处理器270、TX数据处理器288和/或控制器280)。用于反相的部件可以包括反相器(级),例如图6所示的反相器级604、606。用于将偏移电压移位的部件可以包括电平移位电路(例如,图6所示的偏置级602)。用于生成输出信号的部件可以包括各种合适的电路组件(例如,图6所示的交叉耦合的晶体管级626和/或反相器(级))中的任一个。

[0081] 如本文所使用的,术语“确定”包括各种各样的动作。例如,“确定”可以包括计算、演算、处理、导出、调查、查找(例如,在表、数据库或其他数据结构中查找)、查明等。此外,“确定”可以包括接收(例如,接收信息)、访问(例如,访问存储器中的数据)等。此外,“确定”可以包括解析、选择、挑选、建立等。

[0082] 如本文所使用的,提及项列表中的“至少一个”的短语是指这些项的任何组合(包括单个成员)。例如,“a、b或c中的至少一个”旨在覆盖:a、b、c、ab、ac、bc和abc,以及与多个同一元素的任何组合(例如,aa、aaa、aab、aac、abb、acc、bb、bbb、bbc、cc和ccc或a、b和c的任何其他顺序)。

[0083] 可以使用通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、场可编程门阵列(FPGA)或其他可编程逻辑器件(PLD)、离散门或晶体管逻辑、离散硬件组件或被设计以执行本文所述的功能的其任何组合来实现结合本公开描述的各种示例性逻辑块、模块和电路。通用处理器可以是微处理器,但在备选方案中,处理器可以是任何可商购的处理器、控

制器、微控制器或状态机。处理器还可以被实现为计算设备的组合，例如，DSP和微处理器的组合、多个微处理器的组合、结合DSP内核的一个或多个微处理器的组合、或任何其他这样的配置。

[0084] 本文所公开的方法包括用于实现所述方法的一个或多个步骤或动作。在不脱离权利要求的范围的情况下，方法步骤和/或动作可彼此互换。换言之，除非指定了步骤或动作的特定顺序，否则在不脱离权利要求的范围的情况下，可以修改特定步骤和/或动作的顺序和/或使用。

[0085] 所描述的功能可以在硬件、软件、固件或其任何组合中实现。如果在硬件中实现，则示例硬件配置可以包括无线节点中的处理系统。处理系统可以使用总线架构来实现。总线可以包括取决于处理系统的具体应用和总体设计约束的任何数量的互连总线和桥接器。总线可以链接包括处理器、机器可读介质和总线接口的各种电路。总线接口可以用于经由总线将网络适配器等连接到处理系统。网络适配器可以用于实现PHY层的信号处理功能。在用户终端的情况下，用户接口(例如，键盘、显示器、鼠标、操纵杆等)也可以连接到总线。总线还可以链接诸如定时源、外围设备、电压调节器、功率管理电路等各种其他电路(在本领域中众所周知，因此将不再进一步描述)。

[0086] 处理系统可以被配置为通用处理系统，通用处理系统具有提供处理器功能的一个或多个微处理器以及提供机器可读介质的至少一部分的外部存储器，其全部通过外部总线架构与其他支持电路链接在一起。备选地，处理系统可以利用ASIC(专用集成电路)来实现，ASIC(专用集成电路)具有处理器、总线接口(在接入终端的情况下的用户接口)、支持电路、以及集成到单个芯片中的机器可读介质的至少一部分、或具有一个或多个FPGA(现场可编程门阵列)、PLD(可编程逻辑器件)、控制器、状态机、门控逻辑、分立硬件组件或任何其他合适的电路或可以执行本公开内容中描述的各种功能的电路的任何组合。本领域技术人员将认识到，如何根据特定应用和施加在整个系统上的总体设计约束，最好地实现用于处理系统的所描述的功能。

[0087] 应当理解，权利要求不限于上述精确配置和组件。在不脱离权利要求的范围的情况下，可以对上述方法和装置的布置、操作和细节进行各种修改、改变和变化。

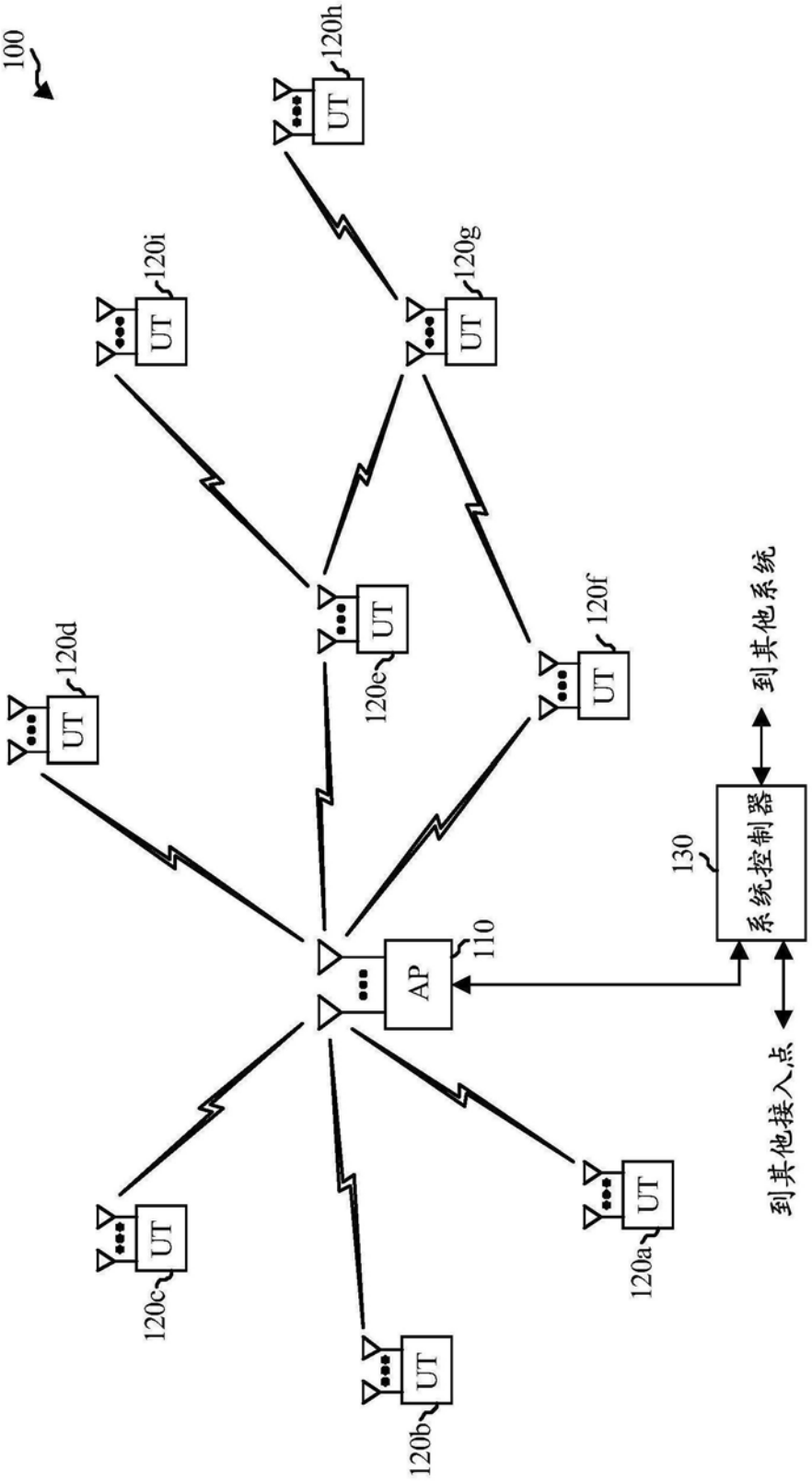

100
120h
UT
120i
UT
120g
UT
120d
UT
120e
UT
120f
UT
130
系统控制器
到其他系统
AP
110
120c
UT
120b
UT
120a
UT
到其他接入点

图1

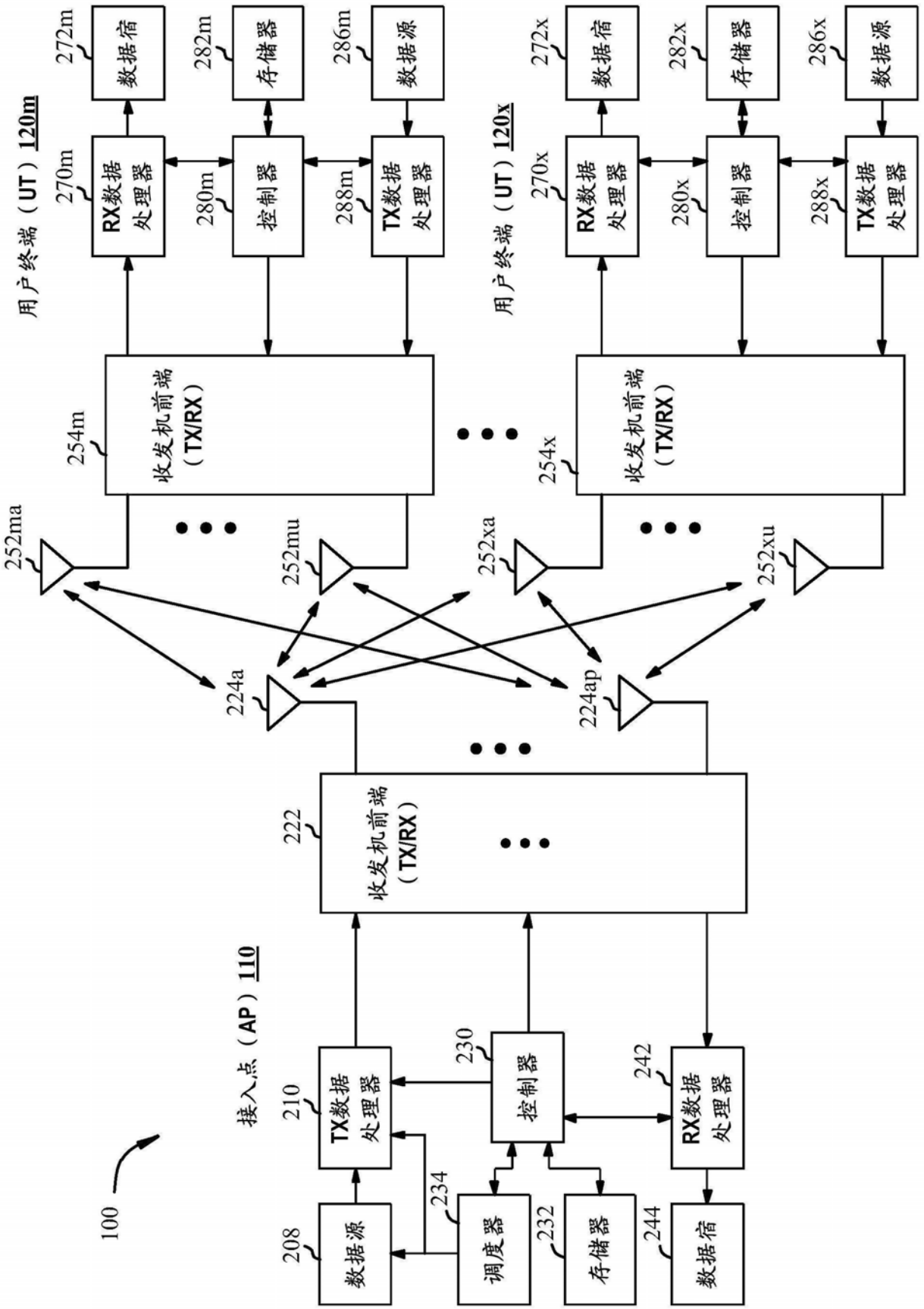

100
接入点（AP）110
208
数据源
210
TX数据处理器
222
收发机前端（TX/RX）
224a
224ap
230
控制器
232
存储器
234
调度器
242
RX数据处理器
244
数据宿
用户终端（UT）120m
252ma
252mu
254m
收发机前端（TX/RX）
270m
RX数据处理器
272m
数据宿
280m
控制器
282m
存储器
288m
TX数据处理器
286m
数据源
用户终端（UT）120x
252xa
252xu
254x
收发机前端（TX/RX）
270x
RX数据处理器
272x
数据宿
280x
控制器
282x
存储器
288x
TX数据处理器
286x
数据源

图2

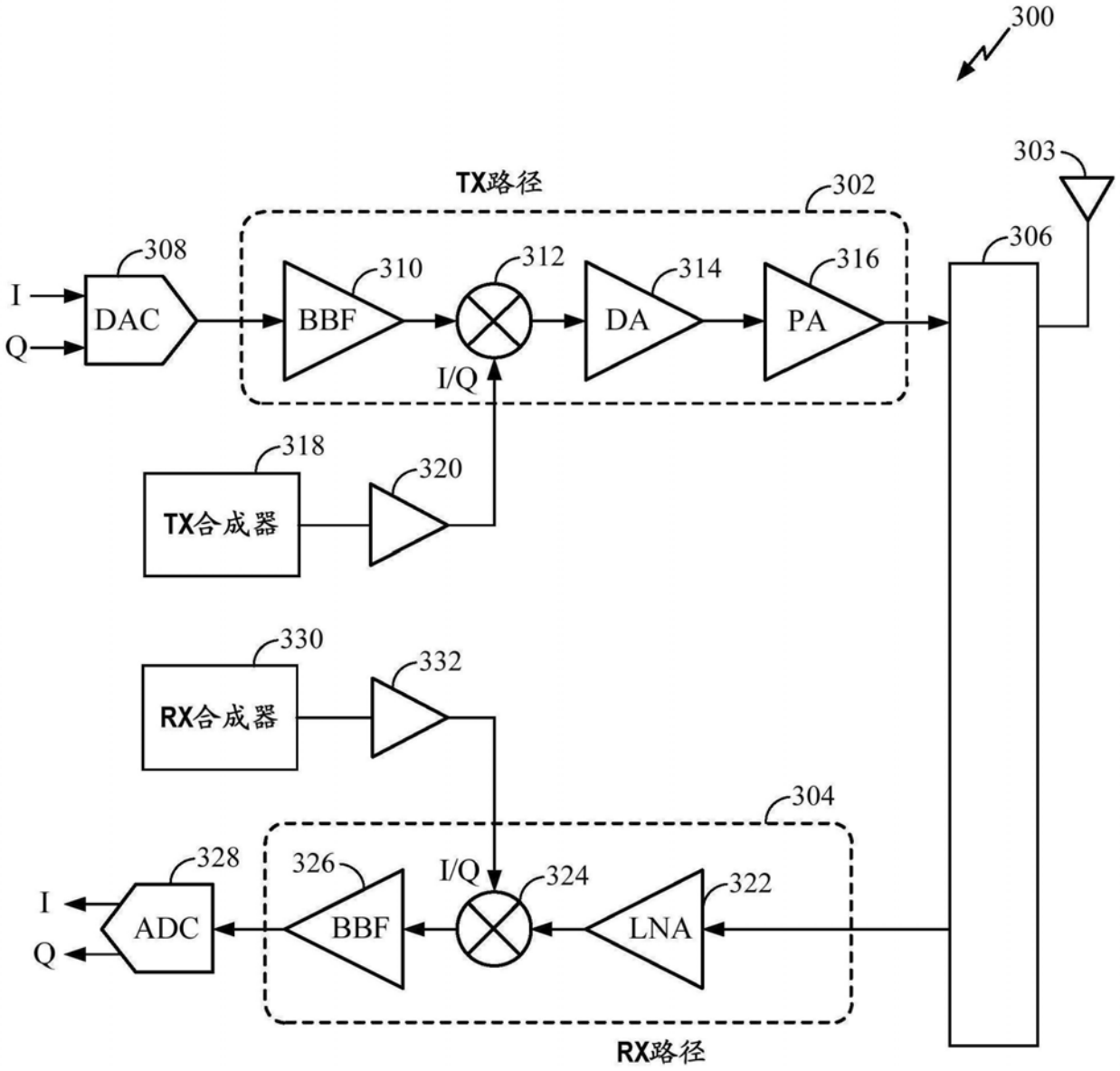

300
303
TX路径
302
306
308
310
312
314
316
I
Q
DAC
BBF
I/Q
DA
PA
318
320
TX合成器
330
332
RX合成器
304
328
326
I/Q
324
322
I
Q
ADC
BBF
LNA
RX路径

图3

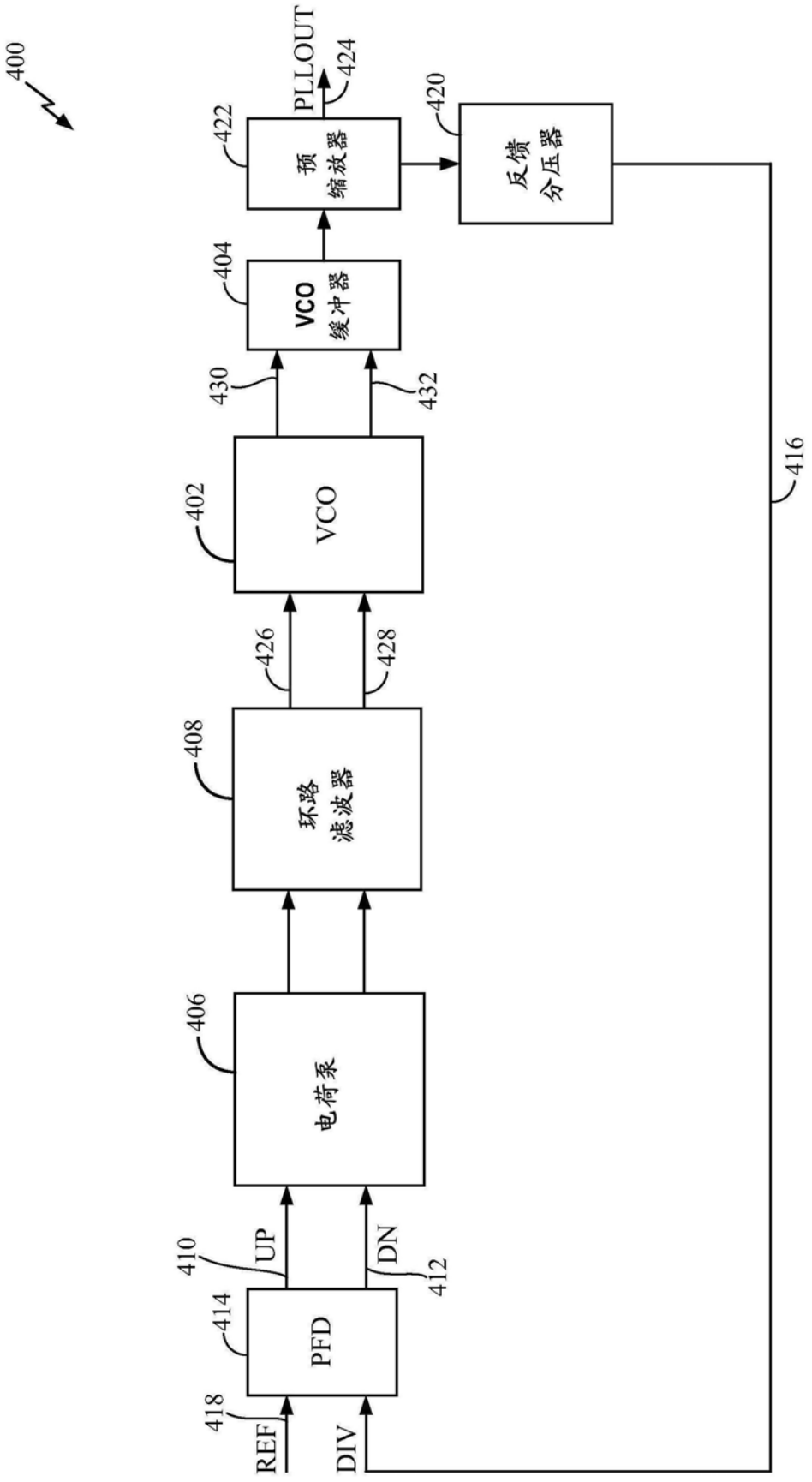

400
PLLOUT
424
422
预缩放器
420
反馈分压器
404
VCO缓冲器
430
432
402
VCO
416
426
428
408
环路滤波器
406
电荷泵
410
UP
DN
412
414
PFD
418
REF
DIV

图4

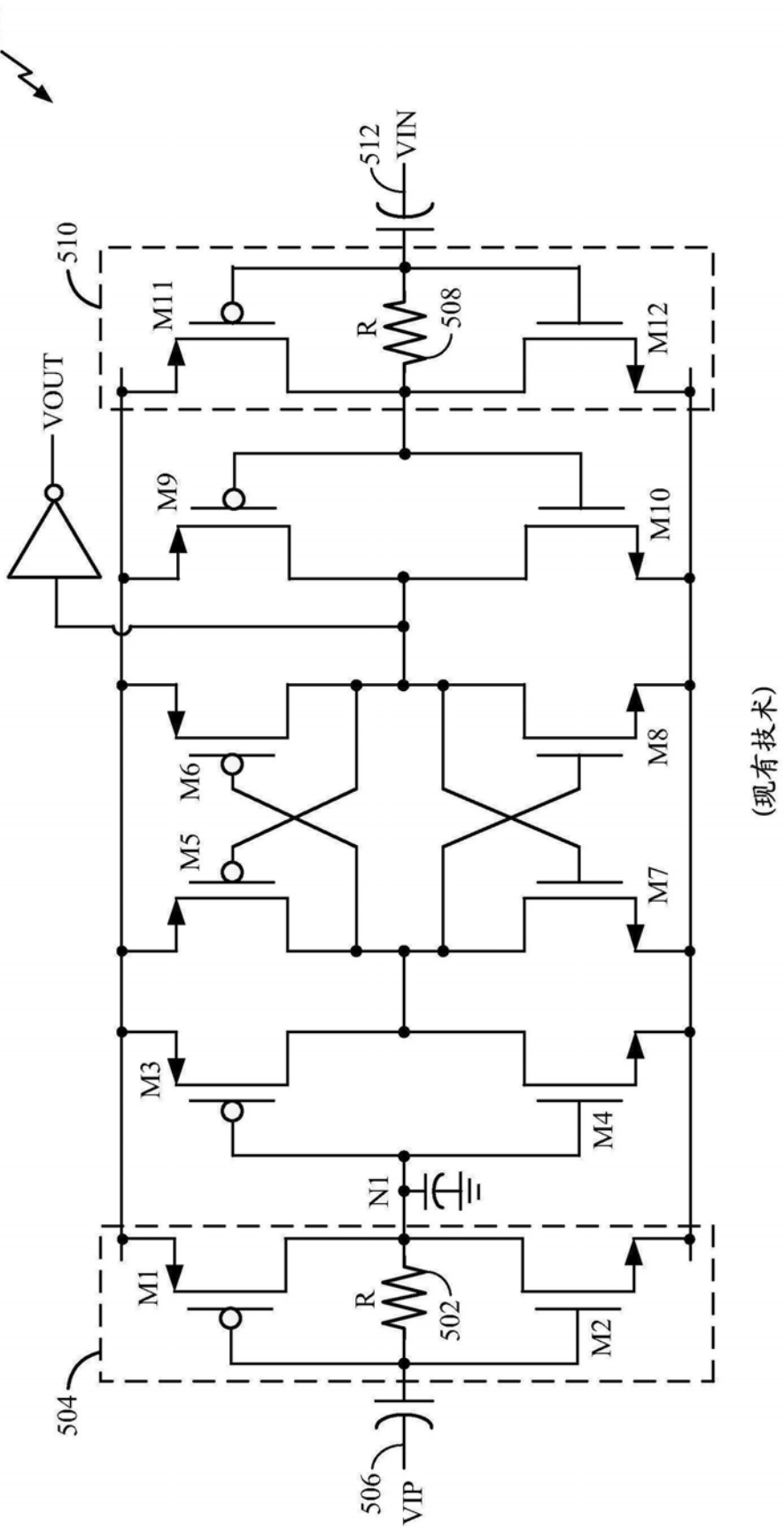

500
512
VIN
510
M11
R
508
M12
VOUT
M9
M10
M6
M8
M5
M7
M3
M4
N1
M1
R
502
M2
504
506
VIP
(现有技术)

图5

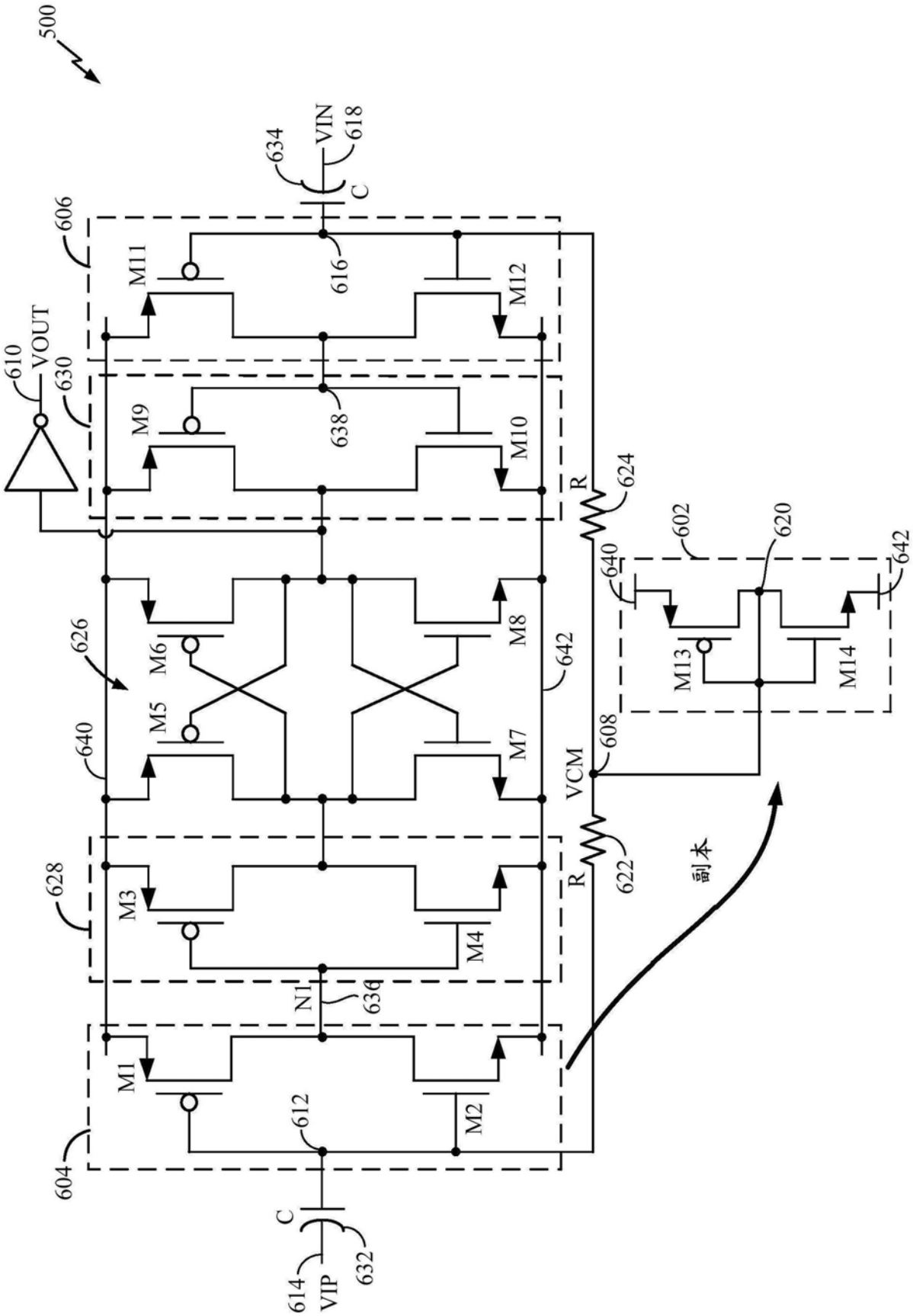

500
634
VIN
618
C
606
M11
616
M12
610
VOUT
630
M9
638
M10
R
624
602
620
642
640
626
M6
M8
642
M13
M14
M5
M7
608
640
VCM
R
622
副本
628
M3
M4
N1
636
M1
612
M2
604
C
614
VIP
632

图6

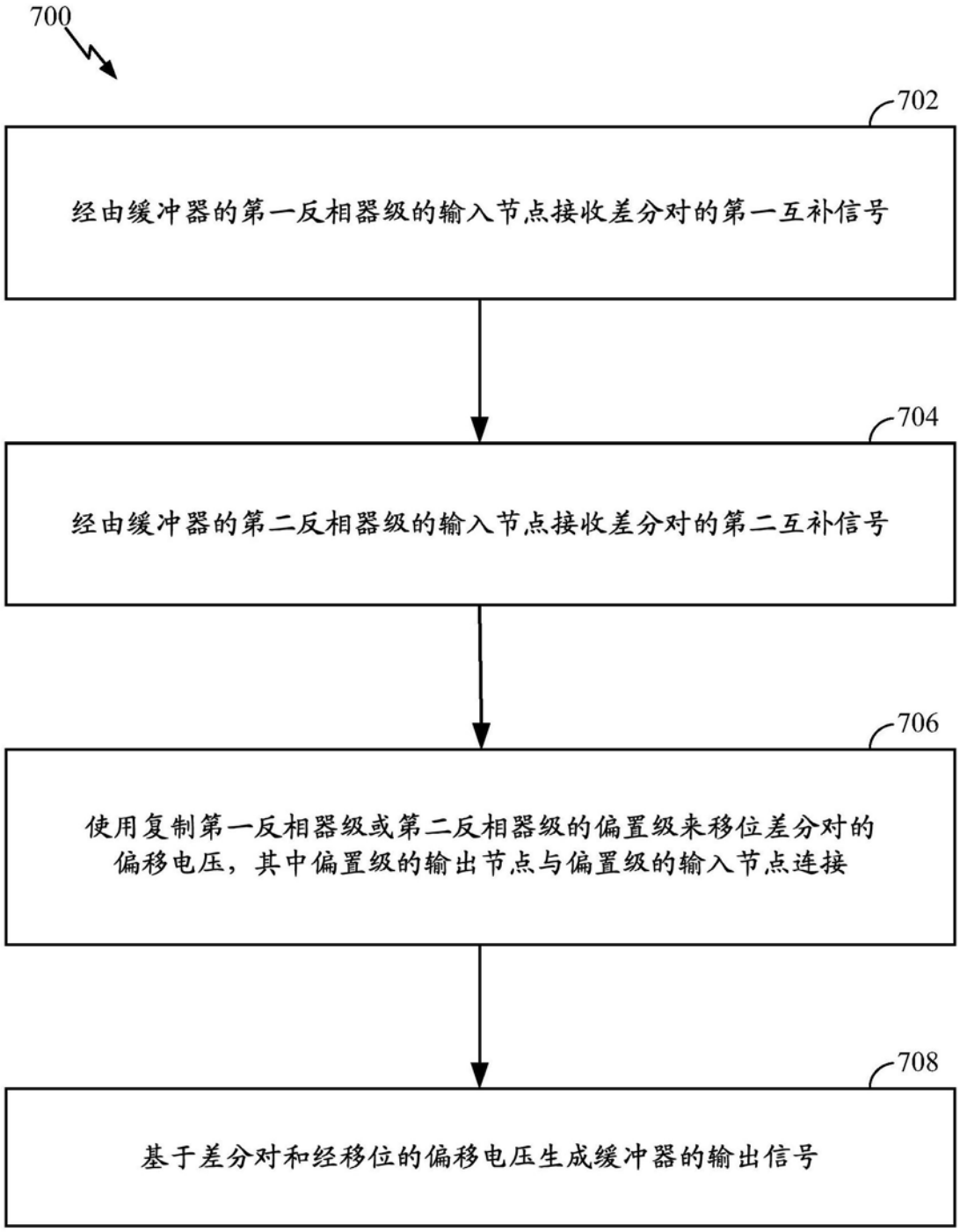

700
702
经由缓冲器的第一反相器级的输入节点接收差分对的第一互补信号
704
经由缓冲器的第二反相器级的输入节点接收差分对的第二互补信号
706
使用复制第一反相器级或第二反相器级的偏置级来移位差分对的偏移电压，其中偏置级的输出节点与偏置级的输入节点连接
708
基于差分对和经移位的偏移电压生成缓冲器的输出信号

图7