

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 6 月 21 日 (2007.6.21)

【公開番号】特開 2001-250949 (P2001-250949A)

【公開日】平成 13 年 9 月 14 日 (2001.9.14)

【出願番号】特願 2000-57905 (P2000-57905)

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

**H 0 1 L 21/8236 (2006.01)**

**H 0 1 L 27/088 (2006.01)**

**H 0 1 L 21/8238 (2006.01)**

**H 0 1 L 27/092 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 8 Z

H 0 1 L 27/08 3 1 1 B

H 0 1 L 27/08 3 2 1 D

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 1 9 A

【手続補正書】

【提出日】平成 19 年 5 月 9 日 (2007.5.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、

前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、

前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、

前記第 1 の半導体層は n 型不純物を有し、

前記第 2 の半導体層は p 型不純物を有し、

前記第 1 の絶縁層及び第 2 の絶縁層により、前記第 1 の半導体層及び第 2 の半導体層に応力の変化を与え、前記第 1 の半導体層と、前記第 2 の半導体層とでは、前記第 1 の絶縁層及び第 2 の絶縁層から受ける応力が異なることを特徴とする半導体装置。

【請求項 2】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、

前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、

前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、

前記第 1 の半導体層は n 型不純物を有し、  
前記第 2 の半導体層は p 型不純物を有し、  
前記第 1 の半導体層と前記第 2 の半導体層はエンハンスメント型 T F T となり、  
前記第 1 の半導体層に接した第 2 の絶縁層の応力と膜厚の積は、前記第 2 の半導体層に接した第 2 の絶縁層の応力と膜厚の積とは異なることを特徴とする半導体装置。

【請求項 3】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、  
前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、  
前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、  
前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、  
前記第 1 の半導体層は n 型不純物を有し、  
前記第 2 の半導体層は p 型不純物を有し、  
前記第 1 の半導体層と前記第 2 の半導体層はディプレッション型 T F T となり、  
前記第 1 の半導体層に接した第 2 の絶縁層の応力と膜厚の積は、前記第 2 の半導体層に接した第 2 の絶縁層の応力と膜厚の積とは異なることを特徴とする半導体装置。

【請求項 4】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、  
前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、  
前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、  
前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、  
前記第 1 の半導体層は n 型不純物を有し、  
前記第 2 の半導体層は n 型不純物を有し、  
前記第 1 の絶縁層及び第 2 の絶縁層により、前記第 1 の半導体層及び第 2 の半導体層に応力の変化を与え、前記第 1 の半導体層と、前記第 2 の半導体層とでは、前記第 1 の絶縁層及び第 2 の絶縁層から受ける応力が異なることを特徴とする半導体装置。

【請求項 5】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、  
前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、  
前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、  
前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、  
前記第 1 の半導体層は n 型不純物を有し、  
前記第 2 の半導体層は n 型不純物を有し、  
前記第 1 の半導体層はエンハンスメント型 T F T となり、  
前記第 2 の半導体層はディプレッション型 T F T となり、  
前記第 1 の半導体層に接した第 2 の絶縁層の応力と膜厚の積は、前記第 2 の半導体層に接した第 2 の絶縁層の応力と膜厚の積とは異なることを特徴とする半導体装置。

【請求項 6】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、  
前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、  
前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、

前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、

前記第 1 の半導体層は p 型不純物を有し、

前記第 2 の半導体層は p 型不純物を有し、

前記第 1 の絶縁層及び第 2 の絶縁層により、前記第 1 の半導体層及び第 2 の半導体層に応力の変化を与え、前記第 1 の半導体層と、前記第 2 の半導体層とでは、前記第 1 の絶縁層及び第 2 の絶縁層から受ける応力が異なることを特徴とする半導体装置。

【請求項 7】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、

前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、

前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、

前記第 1 の半導体層は p 型不純物を有し、

前記第 2 の半導体層は p 型不純物を有し、

前記第 1 の半導体層はエンハンスメント型 T F T となり、

前記第 2 の半導体層はディプレッション型 T F T となり、

前記第 1 の半導体層に接した第 2 の絶縁層の応力と膜厚の積は、前記第 2 の半導体層に接した第 2 の絶縁層の応力と膜厚の積とは異なることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至 7 の何れか一つにおいて、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方または両方は、チャネルドープ法により不純物が添加されることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 の何れか一つにおいて、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方または両方のチャネル形成領域における n 型または p 型不純物の濃度が  $1 \times 10^{15}$  atoms / cm<sup>3</sup> 未満であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至 9 の何れか一つにおいて、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方または両方のチャネル形成領域における n 型または p 型不純物の濃度は、S I M S 分析における検出限界値未満であることを特徴とする半導体装置。

【請求項 11】

同一基板に設けられた第 1 の半導体層と第 2 の半導体層と、

前記第 1 の半導体層と前記第 2 の半導体層にそれぞれ設けられた第 1 のゲート電極と第 2 のゲート電極と、

前記第 1 のゲート電極と前記第 2 のゲート電極に接して設けられた第 1 の絶縁層と、

前記第 1 の半導体層及び前記第 2 の半導体層を介して、前記第 1 の絶縁層と対向する側に設けられ、かつ前記第 1 の半導体層及び前記第 2 の半導体層に接して設けられた第 2 の絶縁層と、を有し、

前記第 1 の半導体層は n 型不純物を有し、

前記第 2 の半導体層は p 型不純物を有し、

前記第 1 の半導体層と前記第 2 の半導体層はエンハンスメント型 T F T となり、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方には、チャネルドープ法により不純物が添加され、

前記第 1 の半導体層に接した第 2 の絶縁層の応力と膜厚の積は、前記第 2 の半導体層に

接した第2の絶縁層の応力と膜厚の積と等しいことを特徴とする半導体装置。

【請求項12】

同一基板に設けられた第1の半導体層と第2の半導体層と、  
前記第1の半導体層と前記第2の半導体層にそれぞれ設けられた第1のゲート電極と第2のゲート電極と、  
前記第1のゲート電極と前記第2のゲート電極に接して設けられた第1の絶縁層と、  
前記第1の半導体層及び前記第2の半導体層を介して、前記第1の絶縁層と対向する側に設けられ、かつ前記第1の半導体層及び前記第2の半導体層に接して設けられた第2の絶縁層と、を有し、  
前記第1の半導体層はn型不純物を有し、  
前記第2の半導体層はp型不純物を有し、  
前記第1の半導体層と前記第2の半導体層はディプレッション型TFTとなり、  
前記第1の半導体層と前記第2の半導体層のどちらか一方には、チャネルドープ法により不純物が添加され、  
前記第1の半導体層に接した第2の絶縁層の応力と膜厚の積は、前記第2の半導体層に接した第2の絶縁層の応力と膜厚の積と等しいことを特徴とする半導体装置。

【請求項13】

同一基板に設けられた第1の半導体層と第2の半導体層と、  
前記第1の半導体層と前記第2の半導体層にそれぞれ設けられた第1のゲート電極と第2のゲート電極と、  
前記第1のゲート電極と前記第2のゲート電極に接して設けられた第1の絶縁層と、  
前記第1の半導体層及び前記第2の半導体層を介して、前記第1の絶縁層と対向する側に設けられ、かつ前記第1の半導体層及び前記第2の半導体層に接して設けられた第2の絶縁層と、を有し、  
前記第1の半導体層はn型不純物を有し、  
前記第2の半導体層はn型不純物を有し、  
前記第1の半導体層はエンハンスメント型TFTとなり、  
前記第2の半導体層はディプレッション型TFTとなり、  
前記第1の半導体層と前記第2の半導体層のどちらか一方には、チャネルドープ法により不純物が添加され、  
前記第1の半導体層に接した第2の絶縁層の応力と膜厚の積は、前記第2の半導体層に接した第2の絶縁層の応力と膜厚の積と等しいことを特徴とする半導体装置。

【請求項14】

同一基板に設けられた第1の半導体層と第2の半導体層と、  
前記第1の半導体層と前記第2の半導体層にそれぞれ設けられた第1のゲート電極と第2のゲート電極と、  
前記第1のゲート電極と前記第2のゲート電極に接して設けられた第1の絶縁層と、  
前記第1の半導体層及び前記第2の半導体層を介して、前記第1の絶縁層と対向する側に設けられ、かつ前記第1の半導体層及び前記第2の半導体層に接して設けられた第2の絶縁層と、を有し、  
前記第1の半導体層はp型不純物を有し、  
前記第2の半導体層はp型不純物を有し、  
前記第1の半導体層はエンハンスメント型TFTとなり、  
前記第2の半導体層はディプレッション型TFTとなり、  
前記第1の半導体層と前記第2の半導体層のどちらか一方には、チャネルドープ法により不純物が添加され、  
前記第1の半導体層に接した第2の絶縁層の応力と膜厚の積は、前記第2の半導体層に接した第2の絶縁層の応力と膜厚の積と等しいことを特徴とする半導体装置。

【請求項15】

請求項11乃至14の何れか一つにおいて、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方のチャネル形成領域における n 型または p 型不純物の濃度が  $1 \times 10^{15} \text{ atoms/cm}^3$  未満であり、

他方のチャネル形成領域における n 型または p 型不純物の濃度が  $1 \times 10^{15} \text{ atoms/cm}^3$  以上  $5 \times 10^{17} \text{ atoms/cm}^3$  以下であることを特徴とする半導体装置。

【請求項 16】

請求項 11 乃至 15 の何れか一つにおいて、

前記第 1 の半導体層と前記第 2 の半導体層のどちらか一方のチャネル形成領域における n 型または p 型不純物の濃度は、SIMS 分析における検出限界値未満であることを特徴とする半導体装置。

【請求項 17】

請求項 1 乃至 16 の何れか一つにおいて、

前記 n 型の半導体層を有する TFT は、ドレイン電圧が +1 V、且つ前記半導体層におけるチャネル形成領域の幅  $1 \mu\text{m}$  当たりのドレイン電流値が  $1 \text{ pA}$  となるときのゲート電圧の絶対値が 2 V 以下であり、

前記 p 型の半導体層を有する TFT は、ドレイン電圧が -1 V、且つ前記半導体層におけるチャネル形成領域の幅  $1 \mu\text{m}$  当たりのドレイン電流値が  $1 \text{ pA}$  となるときのゲート電圧の絶対値が 2 V 以下であることを特徴とする半導体装置。

【請求項 18】

請求項 1 乃至 17 の何れか一つにおいて、

前記第 1 の絶縁層は酸化シリコン、窒化シリコン、窒酸化シリコンから選ばれた単層膜または複数の積層膜からなることを特徴とする半導体装置。

【請求項 19】

請求項 1 乃至 18 の何れか一つにおいて、

前記第 1 の半導体層及び前記第 2 の半導体層は、非晶質半導体、多結晶半導体、微結晶半導体から選ばれた単層膜または複数の積層膜からなることを特徴とする半導体装置。

【請求項 20】

請求項 1 乃至 19 の何れか一つにおいて、

前記第 2 の絶縁層は酸化シリコン、窒化シリコン、窒酸化シリコンから選ばれた単層膜または複数の積層膜からなることを特徴とする半導体装置。