

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4374006号
(P4374006)

(45) 発行日 平成21年12月2日 (2009. 12. 2)

(24) 登録日 平成21年9月11日 (2009. 9. 11)

(51) Int. Cl.

F I

G 0 9 G 3/28 (2006. 01)

G 0 9 G 3/288 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/28 H

G 0 9 G 3/28 B

G 0 9 G 3/28 E

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 2 4 M

請求項の数 8 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-237464 (P2006-237464)
 (22) 出願日 平成18年9月1日 (2006. 9. 1)
 (65) 公開番号 特開2008-58773 (P2008-58773A)
 (43) 公開日 平成20年3月13日 (2008. 3. 13)
 審査請求日 平成20年6月24日 (2008. 6. 24)

(73) 特許権者 599132708
 日立プラズマディスプレイ株式会社
 宮崎県東諸県郡国富町大字田尻1815番
 地1
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 長岡 慶真
 宮崎県東諸県郡国富町田尻1815 富士
 通日立プラズマディスプレイ株式会社内
 (72) 発明者 金澤 義一
 宮崎県東諸県郡国富町田尻1815 富士
 通日立プラズマディスプレイ株式会社内
 (72) 発明者 糸川 直樹
 宮崎県東諸県郡国富町田尻1815 富士
 通日立プラズマディスプレイ株式会社内
 最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネル駆動方法及びプラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項 1】

水平方向に形成された維持放電用の2種類の電極を組とし、その組を垂直方向に複数配置したプラズマディスプレイパネルの前記2種類の電極に対して駆動波形を印加することにより前記2種類の電極間で放電を行わせるプラズマディスプレイパネル駆動方法であって、

前記プラズマディスプレイパネルの表示領域及び期間に対応するフィールドが階調表現のために複数の時間的に分割されたサブフィールドにおけるサステイン動作の駆動制御を行うものであり、

前記2種類の電極に対する前記2種類の電極の間での維持放電群のための駆動波形において、第1種の波形と第2種の波形を含む2種類の波形を混在させた周期的な第1の組み合わせを生成し、前記2種類の電極に交互に前記第1の組み合わせの順に波形を印加し、

前記2種類の電極のそれぞれに対して設けられた維持放電を生じさせる電圧を印加するための維持パルス生成回路であって、電源電圧と、前記電源電圧の電極への印加を制御する第1のスイッチ素子と、電極に接続されLC共振を行うためのコイルと、前記コイルに接続されLC共振動作を制御するための第2のスイッチ素子とを備えた維持パルス生成回路において、前記第1種の波形は、前記第2のスイッチ素子がONとなる時点から前記第1のスイッチ素子がONとなる時点までの期間を前記第2種の波形よりも短くすることにより、前記第1種の波形は、1つの放電ピークを持つ維持放電を発生させる波形とし、前記第2種の波形は、2つの放電ピークを持つ、前記第1種の波形よりも相対的に弱い維持

10

20

放電を発生させる波形とし、

前記第 1 の組み合わせは、当該第 1 の組み合わせよりも小さい周期の複数の副次的な組み合わせにより構成され、

前記第 1 の組み合わせにおける前記第 2 種の波形が連続する箇所が出現する割合は、20%未満であることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項 2】

請求項 1 記載のプラズマディスプレイパネル駆動方法において、

前記複数の副次的な組み合わせは、それぞれ、前記第 1 種と第 2 種の波形の交互の繰り返しにより構成され、

前記複数の副次的な組み合わせは第 1 と第 2 の副次的な組み合わせからなり、前記第 1 と第 2 の副次的な組み合わせでは、前記第 1 種と第 2 種の波形の配置が逆形になる構成であることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項 3】

請求項 1 記載のプラズマディスプレイパネル駆動方法において、

前記第 1 の組み合わせは、第 1 と第 2 の副次的な組み合わせにより構成され、

前記第 1 の副次的な組み合わせは、前記第 1 種の波形とその次の前記第 2 種の波形とのペアの 2 回以上の繰り返しにより構成され、

その次の前記第 2 の副次的な組み合わせは、前記第 2 種の波形とその次の前記第 1 種の波形とのペアの 2 回以上の繰り返しから構成されることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項 4】

請求項 1 記載のプラズマディスプレイパネル駆動方法において、前記 2 種類の電極は、X 電極により構成される第 1 の X 電極群および第 2 の X 電極群と、Y 電極により構成される第 1 の Y 電極群および第 2 の Y 電極群とにより構成され、第 1 のタイミングで前記第 1 の X 電極群と前記第 1 の Y 電極群の間、および前記第 2 の X 電極群と前記第 2 の Y 電極群の間で維持放電を生じさせ、第 2 のタイミングで前記第 1 の X 電極群と前記第 2 の Y 電極群の間、および前記第 2 の X 電極群と前記第 1 の Y 電極群の間で維持放電を生じさせることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項 5】

請求項 4 記載のプラズマディスプレイパネル駆動方法において、前記第 1 のタイミングにおいて、前記第 1 の X 電極群と前記第 2 の Y 電極群に印加される駆動波形は共通であり、かつ、前記第 2 の X 電極群と前記第 1 の Y 電極群に印加される駆動波形は共通であることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項 6】

水平方向に形成された維持放電用の 2 種類の電極を組とし、その組を垂直方向に複数配置したプラズマディスプレイパネルと、前記 2 種類の電極に対して駆動波形を印加する回路部とを備え、前記 2 種類の電極間で放電を行わせるプラズマディスプレイ装置であって、

前記プラズマディスプレイパネルの表示領域及び期間に対応するフィールドが階調表現のために複数に時間的に分割されたサブフィールドにおけるサステイン動作の駆動制御を行うものであり、

前記 2 種類の電極に対する前記 2 種類の電極の間での維持放電群のための駆動波形において、第 1 種の波形と第 2 種の波形を含む 2 種類以上の波形を混在させた周期的な第 1 の組み合わせを生成し、前記 2 種類の電極に交互に前記第 1 の組み合わせの順に波形を印加し、

前記 2 種類の電極のそれぞれに対して設けられた維持放電を生じさせる電圧を印加するための維持パルス生成回路であって、電源電圧と、前記電源電圧の電極への印加を制御する第 1 のスイッチ素子と、電極に接続され LC 共振を行うためのコイルと、前記コイルに接続され LC 共振動作を制御するための第 2 のスイッチ素子とを備えた維持パルス生成回路において、前記第 1 種の波形は、前記第 2 のスイッチ素子が ON となる時点から前記第

10

20

30

40

50

1のスイッチ素子がONとなる時点までの期間を前記第2種の波形よりも短くすることにより、前記第1種の波形は、1つの放電ピークを持つ維持放電を発生させる波形とし、前記第2種の波形は、2つの放電ピークを持つ、前記第1種の波形よりも相対的に弱い維持放電を発生させる波形とし、

前記第1の組み合わせは、当該第1の組み合わせよりも小さい周期の複数の副次的な組み合わせにより構成され、

前記第1の組み合わせにおける前記第2種の波形が連続する箇所が出現する割合は、20%未満であることを特徴とするプラズマディスプレイ装置。

【請求項7】

請求項6記載のプラズマディスプレイ装置において、

10

前記フィールドの第2のサブフィールド以降のサブフィールドの先頭では、1つ前のサブフィールドの前記第1の組み合わせの余り分を継承して開始することを特徴とするプラズマディスプレイ装置。

【請求項8】

請求項6記載のプラズマディスプレイ装置において、

前記第1の組み合わせ及びその繰り返しの構成において、前記第2種の波形が連続で配置される箇所のみ、その後者の前記第2種の波形を前記第1種の波形に変更することを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、プラズマディスプレイパネル(PDP)を備える表示装置(プラズマディスプレイ装置:PDP装置)の技術に関し、特に、サブフィールド駆動制御の維持(サステイン)動作などにおける放電及びその駆動波形に関する。

【背景技術】

【0002】

従来のPDP装置において、技術的課題の一つに、低消費電力化及び高輝度化のための発光効率[lm/W]の向上がある。発光効率向上の手法の一つとしては、特許第3242096号公報(特許文献1)記載の技術がある。これは、サブフィールド駆動制御のサステイン動作における維持放電において、その放電発光のピークを2つに分離することにより、高効率化を実現するものである。

30

【0003】

図6には、従来のサステイン動作の例として、基本的な維持放電のための駆動波形(第1種の波形(A)とする)の構成を示している。この動作では、単一の駆動波形(P_x/P_y)に対して、それによる放電発光(E)が概ね1つの山状になり、即ち概ね1つの放電ピーク(511)になる(タイミングt4)。駆動波形(P_x/P_y)の印加電圧値は、 $-V_s$ (負の維持電圧)から V_s (正の維持電圧)までである。

【0004】

図7には、従来のサステイン動作の例として、上記波形(A)に対して、前記特許文献1記載の技術のように、放電発光のピークを2つに分離した維持放電のための駆動波形(第2種の波形(B)とする)の構成を示している。この動作では、単一の駆動波形(P_x/P_y)に対して、それによる放電発光(E)が2つの放電ピーク(521, 522)に分離する(タイミングt11, t14)。

40

【特許文献1】特許第3242096号公報

【特許文献2】特開2001-13913号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

PDP装置において、サステイン動作の期間におけるすべての維持放電の波形(維持パルス)を前記第2種の波形(B)にする構成では、高効率化に対しては最大の利点がある

50

。しかしながら、この構成では、放電の弱体化（2回の放電ピークの両方を含む維持放電の全体的な弱体化）により、全セルを安定して放電するための必要最小な維持電圧（ V_{smin} とする）が上がる副作用（不利点）がある。

【0006】

上記不利点に対して、サステイン動作において第1種の波形（A）と第2種の波形（B）とを適度に混在させて用いることにより必要最小維持電圧（ V_{smin} ）を悪化させずに効率を向上する手法（例えば下記（1）～（3））が考えられ一般的に用いられている。

【0007】

（1） 図10に示す例（第1の従来技術とする）は、ALIS方式のPDP装置において、表示電極（X，Y電極）に対して、波形A，Bを、交互に1：1の割合で印加する構成である。第1の従来技術の場合、波形Bによる放電が連続する箇所が無いので、必要最小維持電圧（ V_{smin} ）の悪化の副作用が無くて済む。しかしながら、図10のように第1の従来技術がALIS方式に適用される場合、大きな画質的問題がある。これは、Y電極の駆動回路とX電極の駆動回路とでインピーダンスが異なることから、同一条件でも単発輝度（維持パルス対による1つの維持放電の発光輝度）が異なることに起因している。

10

【0008】

具体的には、同じ波形Bの印加による維持放電であるにも関わらず、放電（y）が放電（x）よりも僅かながら強く明るくなっている。これにより、駆動対象ライン（L）群において、2L毎に、一方が明線、他方が暗線となる、輝度ムラによる縞模様（2Lムラとする）が目視される現象が起きる。

20

【0009】

（2） 図11に示す例（第2の従来技術とする）は、ALIS方式のPDP装置において、表示電極（X，Y電極）に対して、波形A，Bによる1つのコンビネーションである、 $C = [AB B]$ （A，B，Bの順の印加）の繰り返し印加により構成されている。これにより、波形Aの放電、波形Bの相対的に強い放電（y）、及び波形Bの相対的に弱い放電（x）の3種類の放電が発生する。これは、1つのコンビネーション（ $C = [AB B]$ ）を構成する波形の数が奇数（3個）であることから、3種類の放電のそれぞれの回数が、駆動対象ライン群で同一となっている。これにより、第2の従来技術の場合では、前記2Lムラが発生しない利点がある。しかしながら、波形Bの放電（x，y）が連続している箇所があることから、必要最小維持電圧（ V_{smin} ）が悪化して実用的ではないという不利点がある。

30

【0010】

（3） 図12に示す例（第3の従来技術とする）は、特開2001-13913号公報（特許文献2）に記載されている、2種類の波形（サステインペア）を交互に印加する構成である。これは、 $p1 = [AB]$ （A，Bの順の印加）と $p2 = [BA]$ （B，Aの順の印加）という2つのサステインペア（サブコンビネーション）を、交互に繰り返し出力している構成である。換言すれば、上記要素（ $p1$ ， $p2$ ）から構成される、 $C = [ABBA]$ （A，B，B，Aの順の印加）という1つのコンビネーション（メインコンビネーション）を、繰り返し出力している構成である。第3の従来技術の場合も、第2の従来技術と同様の利点及び不利点がある。

40

【0011】

以上のように、ALIS方式のPDP装置に対して前述の従来技術を適用した場合、2Lムラまたは V_{smin} 悪化のいずれかの不利点が発生してしまい、量産実用化に至らない問題があった。

【0012】

本発明は以上のような問題に鑑みてなされたものであり、その目的は、ALIS方式のPDP装置で、異なる波形を混在させてサステイン動作を行う場合において、2Lムラ及び V_{smin} 悪化の不利点を抑制または改善して発光効率を向上できる技術を提供することにある。

50

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。前記目的を達成するために、本発明は、少なくとも維持放電を行わせる２種類の電極（ X ， Y 電極）を備えるＰＤＰの駆動の技術であって、以下に示す技術的手段を備えることを特徴とする。ＰＤＰ装置は、駆動回路などの回路部からＰＤＰの電極に対して駆動波形を印加することにより、当該電極間で放電を発生させる。前記駆動波形の印加により放電を発生させる動作は、例えば X ， Y 電極に対する単一の波形（維持パルス）の対の繰り返しの印加により X － Y 電極間で維持放電を所定回数発生させるサステイン動作である。

10

【0014】

本発明のＰＤＰ駆動方法及びそれを実行するＰＤＰ装置では、まず、維持放電を発生させるための異なる種類の波形、例えば前述の波形 A ， B を混在させて、周期的な組み合わせ（コンビネーション）による波形単位を構成し、それを対象電極に印加して維持放電群を発生させる構成である。複数種類の波形の印加により、複数種類の放電が発生する。そして、本構成において、波形 B （相対的に弱い放電を発生させる種類の波形）が連続する確率を十分小さくする構成とする。これにより、必要最小維持電圧（ V_{smin} ）の悪化を抑制または防止する。かつ、各種の強度の放電の回数または総合の輝度を、駆動対象ライン群、例えば ALI 方式のインタレース駆動における奇数／偶数ラインで、ほぼ同一にする構成とする。これにより、駆動対象ライン間の輝度ムラ、特に ALI 方式のインタレース駆動における $2L$ ムラの発生を抑制または防止する。

20

【0015】

具体的には例えば、コンビネーションとして、 $p1 = [AB]$ （ A ， B の順の印加）を、１回ではなく、２回以上繰り返して印加した後に、 $p2 = [BA]$ （ B ， A の順の印加）を、同様に２回以上繰り返して印加する構成とする。このコンビネーション（ $C1$ ）は、形式的に表現すれば、 $C1 = [[[AB] \times k] [[BA] \times k]]$ （ $\times k$ ：２回以上繰り返し）である。この場合、 $C1$ における $[AB]$ と $[BA]$ の回数及び各種強度の放電の回数が同一である。これにより、 $2L$ ムラが発生せず、また、 $C1$ における波形 B が連続する箇所が少なく、即ち波形 B が連続する確率も低いので、 V_{smin} 悪化が発生しない。

【0016】

30

（１）本ＰＤＰ駆動方法は、例えば以下の構成である。サステイン動作における、２種類の電極に対する、交互に極性を反転して繰り返し印加する、前記２種類の電極の間での維持放電群のための駆動波形において、第１種の波形（ A ）と第２種の波形（ A ）を含む少なくとも２種類以上の波形（維持放電波形）を混在させた、複数の連続する波形による、周期的な第１の組み合わせ（コンビネーション）を繰り返し生成及び印加する。第１の組み合わせは、それよりも小さい周期の複数の、典型的には前半・後半の２つの、副次的な組み合わせ（サブコンビネーション）により構成される（例： $[AB \times k]$ ， $[BA \times k]$ ）。あるいは、第１の組み合わせは、周期が異なる少なくとも２種類（２段階）の副次的な組み合わせにより構成される（例： $[AB]$ ， $[AB \times k]$ ）。第１の組み合わせにおける第２種の波形が連続する箇所が出現する確率は、２０％未満であることを特徴とする。また更に、第１の組み合わせの構成において、２種類以上の波形による各種の強度の維持放電の回数またはそれらの総合の輝度を、駆動対象となる表示ライン群で略同じにする。

40

【0017】

（２）また、本ＰＤＰ駆動方法は、フィールドのサブフィールド間で、第１の組み合わせを途中で区切らずに印加する。

【0018】

（３）また、本ＰＤＰ駆動方法は、第１の組み合わせ及びその繰り返しの構成において、波形（ B ）が連続で配置される箇所のみ、その後者の波形（ B ）を波形（ A ）に変更して、波形（ B ）が連続する箇所を無くした構成にする。

50

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。本発明によれば、ALIS方式のPDP装置で、異なる波形を混在させてサステイン動作を行う場合において、2Lμラ及びV_{smin}悪化の不利点を抑制または改善して発光効率を向上できる。特に、放電ピークの分離化の構成（波形B）を用いる場合において、それによる発光効率向上を実現できる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態を図面（図1～図12）に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部には原則として同一符号を付し、その繰り返しの説明は省略する。

10

【0021】

本実施の形態において、図1は、PDP装置の全体、図2は、PDPの構造例、図3は、フィールド及びサブフィールド（SFと略称する）、図4は、その駆動波形例、図5は、維持パルス生成回路、図6は、サステイン動作の構成要素となる第1種の波形（A）、図7は、サステイン動作の構成要素となる第2種の波形（B）、図8は、実施の形態1の特徴となるサステイン動作、図9は、各実施の形態の特徴をまとめた構成を示している。また、図10～図12は、本実施の形態と比較してわかりやすく説明するために、各種従来技術（第1～第3の従来技術）のサステイン動作の構成を示している。

20

【0022】

以下、図1～図4を用いて、本実施の形態のPDP装置及び駆動方法の基本構成を説明する。本PDP装置及び駆動方法は、公知技術であるALIS方式の場合の構成である。

【0023】

<PDP装置>

図1において、本PDP装置（PDPモジュール）は、PDP10と、PDP10を駆動及び制御するための回路部とを備える。PDPモジュールは、図示しないシャーシ部に対して、PDP10が貼り付けられて保持され、回路部がIC等で構成され、PDP10と回路部とが電氣的に接続される構成である。更にPDPモジュールが外部筐体に収容されることにより、PDP装置（製品セット）が構成される。

30

【0024】

回路部は、制御回路110と、各駆動回路（ドライバ）とを有する。駆動回路は、X駆動回路121、Y駆動回路122、スキャンドライバ（走査駆動回路）123、及びA（アドレス）駆動回路125を有する。なお、Y駆動回路122は、Y電極22群の共通駆動用であり、スキャンドライバ123は、Y電極22群の個別駆動用であるが、これらを合わせて1つのY電極駆動用の駆動回路と考えてもよい。

【0025】

PDP10の表示セル（C）は、平行に配置されるX電極（維持電極）21とY電極（走査電極）22の対による行（ライン：L）と、それらに垂直に配置されるA（アドレス）電極25による列との交点により構成される。各電極は、それぞれ、対応する駆動回路に対して接続されており、駆動回路からの駆動波形によって駆動される。各駆動回路は、制御回路110に接続されており、制御信号により制御される。

40

【0026】

制御回路110は、各駆動回路を含む本PDP装置の全体を制御する。制御回路110には、Vsync（垂直同期信号）、Hsync（水平同期信号）、CLK（クロック）、D（表示データ）等が入力される。制御回路110は、表示データ（D）をもとに、PDP10の駆動のための制御信号や表示データ（フィールド及びSFデータ）等を生成し、各駆動回路へ出力する。また、図示しない電源回路が、制御回路110等の各回路に対し電源供給する。

【0027】

50

X 駆動回路 1 2 1 は、維持パルス (V_s) 回路 1 3 1、リセット & アドレス電圧 (V_x) 発生回路 1 3 3 を備える。Y 駆動回路 1 2 2 は、維持パルス (V_s) 回路 1 3 2、リセット & アドレス電圧 (V_w) 発生回路 1 3 4 を備える。維持パルス回路 1 3 1 は、X 電極 2 1 に対して印加する、維持電圧 (V_s) による維持パルス (P_x) を発生する。維持パルス回路 1 3 2 は、Y 電極 2 2 に対して印加する、維持電圧 (V_s) による維持パルス (P_y) を発生する。リセット & アドレス電圧 (V_x) 発生回路 1 3 3 は、X 電極 2 1 に対して印加する、リセット及びアドレス電圧 (V_x) を発生する。リセット & アドレス電圧 (V_w) 発生回路 1 3 4 は、Y 電極 2 2 に対して印加する、リセット及びアドレス電圧 (V_w) を発生する。

【0028】

10

A L I S 方式において、P D P 1 0 の表示領域は、例えば n 本の X 電極 2 1 及び Y 電極 2 2 における隣接する対による表示の行として、奇数ライン (L₁, L₃, ..., L_{2n-1}) 及び偶数ライン (L₂, L₄, ..., L_{2n}) を有する。表示の列として、例えば m 本の A 電極 2 5 による R, G, B の列の繰り返しを有する。

【0029】

< P D P >

次に、図 2 において、P D P 1 0 のパネル構造例 (A C 型面放電、三電極、及びストライプ状リブ構成) を説明する。画素に対応した一部分を示している。P D P 1 0 は、主にガラスで構成される、前面基板 1 1 側の構造体 (前面部 2 0 1) と背面基板 1 2 側の構造体 (背面部 2 0 2) とが対向して組み合わせられ、その周囲部が封止され、その空間に N e - X e 等の放電ガスが封入されることにより構成される。

20

【0030】

前面部 2 0 1 において、前面基板 1 1 上には、維持放電などを行うための電極 (表示電極) である、複数の X 電極 2 1 及び Y 電極 2 2 が、所定の間隔で第 1 方向 (横方向) に平行に伸びて、第 2 方向 (縦方向) に交互に繰り返して形成されている。これらの表示電極 (2 1, 2 2) 群は、第 1 の誘電体層 2 3 に覆われており、更に第 1 の誘電体層 2 3 の放電空間に向かう表面は、M g O 等による保護層 2 4 に覆われている。表示電極 (2 1, 2 2) は、例えば、それぞれ、直線状で金属製のバス電極と、バス電極に電氣的に接続され隣接電極間で放電ギャップを形成する透明電極とから構成される。

【0031】

30

背面部 2 0 1 において、背面基板 1 2 上には、複数のアドレス電極 2 5 が第 2 方向に平行に伸びて形成されている。更にアドレス電極 2 5 群は、第 2 の誘電体層 2 6 に覆われている。アドレス電極 2 5 の両側には、第 2 方向に伸びる隔壁 (縦リブ) 2 7 が形成されており、表示領域の列方向に区別している。更に、アドレス電極 2 5 上の第 2 の誘電体層 2 6 上面及び隔壁 2 7 側面には、紫外線により励起されて赤 (R), 緑 (G), 青 (B) の可視光を発生する各色の蛍光体 2 8 が、列ごとに区別して塗布されている。R, G, B のセル (C) のセットで画素が構成される。P D P は、駆動方式などに応じて各種構造が存在する。

【0032】

< フィールド及び駆動波形 >

40

次に、図 3 及び図 4 において、P D P 1 0 の駆動制御におけるフィールド及びその基本的な駆動波形の構成例を説明する。本駆動方式は、一般的なアドレス表示分離方式である。

【0033】

図 3 において、P D P 1 0 の表示領域 (画面) 及び期間に対応する映像表示単位となる 1 つのフィールド (フレームともいう) 3 0 0 は、例えば 1 / 6 0 秒で表示される。フィールド (F) 3 0 0 は、階調表現 (多階調化) のために時間的に分割される複数 (m) の S F (サブフレームともいう) 3 1 0 により構成される。例えば、フィールド 3 0 0 は、「S F 1」～「S F 1 0」の 1 0 個の S F 3 1 0 から構成される。各 S F 3 1 0 は、リセット期間 (T R) 3 2 1 と、次のアドレス期間 (T A) 3 2 2 と、次のサステイン期間 (

50

TS) 323 とからなる。フィールド 300 の各 SF 310 は、TS 323 の長さ、換言すれば維持放電回数 (サステイン数) N_s による、重み付けが与えられており、フィールド 300 の各 SF 310 の点灯のオン/オフの組み合わせによって、セル (画素) の階調が表現される。

【0034】

図 4 において、或るフィールド 300 「 F_n 」とその次のフィールド 300 「 F_{n+1} 」の各 SF 310 (「SF 1」～「SF m 」) における、PDP 10 の各種電極、即ち A 電極 25、X 電極 21 及び Y 電極 22 (例えば 3 ライン (L1 ~ L3) に対応する X1, Y1, X2, Y2) に対して印加するそれぞれの駆動波形の概略を示している。

【0035】

具体的な動作は以下である。制御回路 110 における外部からの V_{sync} の入力により、図 4 の駆動波形による動作を開始する。

【0036】

まず、フィールド 300 の各セルは、前フィールド 300 の表示状態によって、それぞれ異なる量の壁電荷を保持している。そのため、SF 310 の最初の TR 321 で、全セルを略均一な状態にし、次の TA 322 の動作に備える。TR 321 は、おおよそ、書き込みリセット波形 (R1) と補償リセット波形 (R2) との 2 つの波形及び対応する 2 つの期間から構成される。書き込みリセット波形 (R1) は、全セルに対して多量の壁電荷を生成 (蓄積) するための波形である。補償リセット波形 (R2) は、表示データに応じてアドレス放電ができる電荷量に整える目的で、R1 によって書き込みされた多量の壁電荷から不必要な電荷を取り除き、全セルで略均一な壁電荷状態に調整するための波形である。例えば、表示電極 (21, 22) に対する傾斜波を含んだリセット波形 (R1, R2) の印加により、セルで微小な放電が発生する。

【0037】

次の TA 322 では、表示データ (SF データ) に基づいて、SF 310 のセル群における選択される点灯対象セルのみでアドレス放電を行い、維持放電を行うことができるだけの壁電荷を蓄積する。表示データ (SF データ) に基づいて、任意選択ラインの Y 電極 22 に走査パルス 62 (電圧: $-V_s$) を印加し、X 電極 21 に所定電圧 ($V_s + V_x$) を印加し、かつ、それに合わせたタイミングで、選択されるアドレス電極 25 にアドレスパルス 41 (電圧: V_a) を印加することにより、選択セルでアドレス放電を発生させる。

【0038】

次の TS 323 では、全セルで同時に、表示電極 (21, 22) 間に、維持パルス (53, 63) の対を、当該 SF 310 の重み付けに応じたサステイン数 (N_s) で、極性を交互に反転させて繰り返し印加する (電圧: V_s , $-V_s$)。これにより、先の TA 322 のアドレス放電で電荷を多く保持している選択セルのみで維持放電 (丸印で示す) を発生させる。この維持放電発光により、ユーザが輝度として認識できる。

【0039】

2 番目以降の SF 310 (「SF 2」～「SF m 」) でも、サステイン数 (N_s) 以外は「SF 1」と同じである。TR 321 は、各フィールド 300 及び SF 310 で同じである。TA 322 は、駆動対象ラインに対応した動作になる。サステインペア 31 は、駆動対象ライン (X1 - Y1) に対する維持パルス対 (53, 63) の連続 2 回分の例を示している。

【0040】

ALIS 方式においては、或るフィールド 300 (F_n) のその次のフィールド 300 (F_{n+1}) の波形が、前フィールド 300 (F_n) の波形と一部異なる。具体的には、X 電極 21 である例えば X1 と X2 に対する印加駆動波形が交換される。即ち、フィールド 300 単位で駆動対象のライン (スリット) を奇数・偶数で交互に切り替える駆動 (インタレース駆動) を用いる。これにより、フィールド 300 (F_n) では例えば X1 - Y1 による L1 等の奇数ラインで駆動表示 (選択セルの維持放電発光) し、次のフィールド

10

20

30

40

50

300 (F_{n+1})では、前フィールド300 (F_n)で駆動表示していないライン、例えばY1 - X2によるL2等の偶数ラインで駆動表示する。上記のようなALIS方式は、駆動回路の規模及びアドレス時間が従来の約半分となる大きなメリットがある。

【0041】

< 波形A >

次に、図5～図7等を用いて、本実施の形態で用いる構成要素となる従来技術として、第1種の波形(A)及び第2種の波形(B)による各サステイン動作を説明する。図5において、維持パルスを生成及び出力するための基本的な維持パルス生成回路400の構成例を示している。なお、図5の維持パルス生成回路400の構成は、本実施の形態と従来技術とで基本的に同様の構成であり、主に異なるのはその制御である。図6において、前記特許文献1記載の技術を用いていない、サステイン動作における基本的な維持パルスとして、第1種の波形(A)の立ち上がり部分を示している。図7において、図6の基本構成(波形(A))に対して、前記特許文献1の技術を適用した、サステイン動作における維持パルスとして、第2種の波形(B)の同様に立ち上がり部分を示している。Eは、駆動波形(P_x/P_y)による放電発光及びその強度を示す。LU, CUは、LU回路401, CU回路402の各スイッチ素子のオン(H)/オフ(L)の状態である。

10

【0042】

図6の波形(A)の技術において、まず、図5の維持パルス生成回路400で、LU回路(第1のスイッチ素子)401をオンすると、GND(グランド)からコイルL_aを介して電流が流れる。このとき、コイルL_aとパネル容量C_cとのLC共振により、その立ち上がり波形は、図6のタイミングt₁～t₂のように、傾きがなだらかな方向に時間的に変化する曲線となる。

20

【0043】

次に、LU回路401のオンの一定時間経過後に(t₂)、CU回路402をオンすると、パネル容量C_cはV_s電源と直結されるので、図6のt₂～t₃のように、電圧は一気にV_sまで上昇する。放電開始電圧(放電を開始する電圧)V_i = V_sである。この直後に、放電が行われ、このときの放電発光波形(E)は、おおよそ一つの塊となる(t₃～t₅)。この放電発光波形(E)は、放電開始(t₃)から少し電圧ドロップすると共に1つの放電ピーク511に達し(t₄)、V_sに一定化すると共に収束する(t₅)。波形の立ち下げは、CD回路404、LD回路403の順で行うが、立ち上げの場合と考え方は同様なので説明は割愛する。

30

【0044】

< 波形B >

次に、図6の波形(B)の技術において、この技術は、維持放電のピークを2つに分離する構成により、高効率化を実現する手法である。図6の波形(A)の技術に対する、図7の波形(B)の技術において、これらの技術の回路制御上の相違点は、LUオンとCUオンとの時間差異であり、図6の波形(A)に対して、図7の波形(B)では、この時間差異が大きくなっている。これにより、放電現象に大きな相違が生まれる。具体的には、図6の波形(A)の放電発光波形(E)が、おおよそ一つの塊になっているのに対して、図7の波形(B)の発光(E)では、それが2つの分離した放電ピーク(521, 522)を持っていることにある。

40

【0045】

この2つの放電ピーク(521, 522)は、具体的には以下のプロセス(P₀～P₄)で生成されている。

【0046】

(P₀) LU回路401のオンにより(t₁)、LC共振によって、波形(P_x/P_y)の電圧値を、傾きが徐々になだらかになる曲線で上げる。

【0047】

(P₁) LU回路401のオン状態において、所定の放電開始電圧V_i = V₂において、放電を開始する(t₃)。時間差異として、(t₃ - t₁) > (t₂ - t₁)である。

50

また、 $V_2 < V_s$ である。

【0048】

(P2) 放電(E)の開始直後に電圧ドロップによる放電縮小が起こると共に、1回目の放電ピーク(521)を形成する(t11)。

【0049】

(P3) 放電(E)が完全に収束する前に、CU回路402をオンする(t12)。

【0050】

(P4) CU回路402のオン状態において、放電(E)が復活する。即ち放電(E)の強度が再度上昇する。波形(Px/Py)の電圧値が V_s まで上がり(t13)、その後、少し電圧ドロップすると共に、2回目の放電ピーク(522)の放電を形成する(t14)。その後、電圧値が V_s まで一定化すると共に、放電(E)が収束する(t15)。

10

【0051】

このように単一の駆動波形(Px/Py)における放電ピーク(521, 522)の二山化により、維持放電の単発輝度は下がるもののそれ以上に発光のための電流が低減し、結果として発光効率が向上することが実験的に確認されている。

【0052】

図6の波形(A)の技術では、放電開始電圧(V_i)は、ほぼ維持電圧 V_s と同じであるため、放電失敗の可能性が低い利点がある。それに対して、図7の波形(B)の技術では、放電開始電圧(V_i)は、維持電圧(V_s)よりも小さい電圧(V_2)である。波形(B)では、発光効率を向上できるが、放電の弱体化により、必要最小維持電圧(V_{smi})が上がる不利点がある。即ち、放電の安定化のために、必要最小維持電圧(V_{smin})の値を高め設計することになる。具体的に例えば、維持電圧(V_s)が82V、必要最小維持電圧(V_{smin})が79Vである。

20

【0053】

なお、上記では、主に維持放電が行われる2種の電極(X電極21, Y電極22)に関して、一方の電極が $-V_s$ 電位から $+V_s$ 電位に変移した際に放電が開始される場合の構成について記載している。しかしながら、これに限らず、 $+V_s$ 電位から $-V_s$ 電位に変移した際に放電が開始される場合、あるいは、 $\pm V_s$ からGNDへ変移した際に放電が開始される場合なども可能である。

30

【0054】

次に、図10～図12等を用いて、本実施の形態との比較のために、図6の波形(A)と図7の波形(B)を混在させて維持放電群を発生させる手法である、各種の従来技術(第1～第3の従来技術)におけるサステイン動作例を説明する。

【0055】

<第1の従来技術>

図10に示す例(第1の従来技術)は、ALIS方式のPDP装置において、表示電極(X, Y電極)に対して、前記波形A, Bを、交互に1:1の割合で印加する構成である。例えば、表示電極X1-Y1のラインL1に対し、まず、波形Aが、X1が陽(正)極性でY1が陰(負)極性となる対(維持パルス対)で印加され、次に、波形Bが、Y1に対し、Y1が陽極性となる形(他方のX1に対しては波形A)で印加される。この波形A, Bを要素とするサステインペア(p1)を、1つのコンビネーション(周期的組み合わせ)と考える。このコンビネーション(C)である $p1 = [AB]$ (A, Bの順で印加するまとまりを表す)が、繰り返し印加される。

40

【0056】

なお、サステイン動作の基本として、駆動対象の表示電極対に対して反対極性の維持パルス対が印加されると共に、その各X, Y電極で時間方向でも極性が反転する維持パルスが交互に繰り返し印加される。また、表示電極またはその対に対する極性反転した連続2回(組)の維持パルス(維持パルス対)を、1つの単位(サステインペアと称する)として考える。

50

【 0 0 5 7 】

第 1 の従来技術の場合、波形 B による放電 (x , y) が連続する箇所が無いので、必要最小維持電圧 (V s min) の悪化の副作用が無くて済む。しかしながら、図 1 0 のように第 1 の従来技術が A L I S 方式に適用される場合、大きな画質的問題がある。これは、Y 電極の駆動回路と X 電極の駆動回路とでインピーダンスが異なることから、同一条件でも単発輝度 (維持パルス対による 1 つの維持放電の発光輝度) が異なることに起因している。

【 0 0 5 8 】

具体的には、例えば Y 1 が陽極性の波形 B による Y 1 から X 1 への放電 (y) と、X 2 が陽極性の波形 B による X 2 から Y 2 への放電 (x) とを有する。同じ波形 B の印加による維持放電であるにも関わらず、前者の放電 (y) が後者の放電 (x) よりも僅かながら強く明るくなっている。これにより、例えば X 1 - Y 1 間 (L 1) の輝度が、X 2 - Y 2 間 (L 3) の輝度よりも明るくなってしまう。即ち、駆動対象ライン (L) 群において、2 L 毎に、一方が明線、他方が暗線となる、輝度ムラによる縞模様 (2 L ムラとする) が目視される現象が起きる。

【 0 0 5 9 】

< 第 2 の従来技術 >

図 1 1 に示す例 (第 2 の従来技術) は、A L I S 方式の P D P 装置において、表示電極 (X , Y 電極) に対して、波形 A , B による 1 つのコンビネーションである、C = [A B B] (A , B , B の順の印加) の繰り返しの印加により構成されている。これにより、波形 A の放電、波形 B の相対的に強い放電 (y) 、及び波形 B の相対的に弱い放電 (x) の 3 種類の放電が発生する。これは、1 つのコンビネーション (C = [A B B]) を構成する波形の数が奇数 (3 個) であることから、3 種類の放電のそれぞれの回数が、駆動対象ライン群、例えば L 1 と L 3 で、同一となっている。

【 0 0 6 0 】

これにより、第 2 の従来技術の場合では、前記 2 L ムラが発生しない利点がある。しかしながら、波形 B の放電 (x , y) が連続している箇所が有ることから、必要最小維持電圧 (V s min) が悪化して実用的ではないという不利点がある。

【 0 0 6 1 】

< 第 3 の従来技術 >

図 1 2 に示す例 (第 3 の従来技術とする) は、特開 2 0 0 1 - 1 3 9 1 3 号公報 (特許文献 2) に記載されている、2 種類の波形 (サステインペア) を交互に印加する構成である。これは、p 1 = [A B] (A , B の順の印加) と p 2 = [B A] (B , A の順の印加) という 2 つのサステインペア (サブコンビネーション) を、交互に繰り返し出力している構成である。換言すれば、上記要素 (p 1 , p 2) から構成される、C = [A B B A] (A , B , B , A の順の印加) という 1 つのコンビネーション (メインコンビネーション) を、繰り返し出力している構成である。

【 0 0 6 2 】

第 3 の従来技術の場合も、第 2 の従来技術と同様に、前記 3 種類の放電のそれぞれの回数が、駆動対象ライン群で同一であることにより、前記 2 L ムラが発生しない利点があり、また、波形 B の放電が連続している箇所が有ることから、必要最小維持電圧 (V s min) が悪化して実用的ではないという不利点がある。

【 0 0 6 3 】

なお、特許文献 2 記載の技術は、ネオン発光の X 電極側、又は Y 電極側への偏りが不定期に入れ替わることに起因する輝度のゆらぎを改善する目的で、2 種類の波形 (第 3 の従来技術におけるサステインペアである [A B] と [B A] に対応する) を交互に印加する構成である。よって、A L I S 方式における本発明及び実施の形態の技術とは、輝度ムラと輝度のゆらぎの発生メカニズムの相違等、目的、構成、及び効果が異なる。

【 0 0 6 4 】

(実施の形態 1)

10

20

30

40

50

次に、図 5 , 図 6 等を用いて、実施の形態 1 の P D P 装置における、特徴となるサステイン動作などを説明する。実施の形態 1 は、波形 A , B を用いたコンビネーションの構成において、波形 B が連続する箇所が少なく、かつ、逆形のサブコンビネーションの組み合わせにより駆動対象ライン群で各種放電回数が同じになるように構成したものである。

【 0 0 6 5 】

< 維持パルス生成回路 >

まず、図 5 において、維持パルス生成回路 4 0 0 の構成を説明する。本維持パルス生成回路 4 0 0 は、図 1 の X 駆動回路 1 2 1 , Y 駆動回路 1 2 2 における維持パルス (V_s) 回路 1 3 1 , 1 3 2 に対応するものである。維持パルス生成回路 4 0 0 は、P D P 1 0 のセルに対応するパネル容量 C_c ごとに接続されている。維持パルス生成回路 4 0 0 は、正負の維持電圧 (V_s , $-V_s$) 電源と電力回収回路 4 1 0 とを内蔵もしくは接続する構成である。また、維持パルス生成回路 4 0 0 は、駆動波形の制御のためのスイッチとして、第 1 のスイッチ素子 4 1 1 を含む L U (L C 共振アップ) 回路 4 0 1 と、第 2 のスイッチ素子 4 1 2 を含む C U (クランプアップ) 回路 4 0 2 と、第 3 のスイッチ素子を含む L D (L C 共振ダウン) 回路 4 0 3 と、第 4 のスイッチ素子を含む C D (クランプダウン) 回路 4 0 4 とを有する。

10

【 0 0 6 6 】

L U 回路 4 0 1 及び L D 回路 4 0 3 は、電力回収回路 4 1 0 における L C 共振動作の制御を行うための回路である。C U 回路 4 0 2 及び C D 回路 4 0 4 は、正負の維持電圧 (V_s , $-V_s$) 電源及びパネル容量 C_c につながる、電圧クランプ動作の制御を行うための回路である。L U 回路 4 0 1 及び C U 回路 4 0 2 は、駆動波形の立ち上げに係わり、L D 回路 4 0 3 及び C D 回路 4 0 4 は、駆動波形の立ち下げに係わる。L U 共振は、コイル L_a , L_b とパネル容量 C_c とでの共振である。

20

【 0 0 6 7 】

第 1 ~ 第 4 のスイッチ素子 4 1 1 ~ 4 1 4 は、F E T (電界効果トランジスタ) 等により構成される。例えば L U 回路 4 0 1 内の「 L U 」は、第 1 のスイッチ素子 4 1 1 のオン / オフの制御入力を表しており、他のスイッチ素子でも同様である。

【 0 0 6 8 】

L U 回路 4 0 1 の第 1 のスイッチ素子 4 1 1 である F E T において、ドレインが G N D 側に接続されており、ソースがダイオードを介してコイル L_1 側に接続されており、ゲートが制御入力「 L U 」になっている。制御入力「 L U 」は、図示しないロジック回路及びプリドライバ等から供給される、L U オン / オフの信号である。この制御入力「 L U 」により、第 1 のスイッチ素子 4 1 1 である F E T の状態が、短絡・接続 (L U オン) 、または、開放 (L U オフ) される。同様に、L D 回路 4 0 3 は、G N D とコイル L_b に接続されており、制御入力「 L D 」により L D オン / オフが制御される。

30

【 0 0 6 9 】

C U 回路 4 0 2 の第 2 のスイッチ素子である F E T において、ドレインがダイオードを介して V_s (正の維持電圧) 電源側に接続されており、ソースがパネル容量 C_c 側に接続されており、ゲートが制御入力「 C U 」になっている。制御入力「 C U 」は、図示しないロジック回路及びプリドライバ等から供給される、C U オン / オフの信号である。同様に、C D 回路 4 0 4 は、 $-V_s$ (負の維持電圧) 電源とパネル容量 C_c に接続されており、制御入力「 C D 」により C D オン / オフが制御される。

40

【 0 0 7 0 】

< サステイン動作 >

次に、図 8 等を用いて、実施の形態 1 の P D P 装置におけるサステイン動作を説明する。図 8 において、X 電極 2 1 及び Y 電極 2 2 (例 : X 1 , Y 1 , X 2 , Y 2) によるライン (例 : L 1 , L 2 , L 3) に対して印加する駆動波形、その放電発光 (E) 、波形 A , B によるコンビネーション (C) 、及び、2 L μ ラや V_{smin} の効果を示している。図 5 の維持パルス生成回路 4 0 0 において、L U , C U 等のスイッチ制御動作によって、図 6 の波形 (A) や図 7 の波形 (B) を生成及び出力し、表示電極 (2 1 , 2 2) に印加する

50

。

【 0 0 7 1 】

実施の形態 1 では、特徴として、2 種類の波形 A , B から構成されるコンビネーション (C 1) の繰り返しの印加の構成であり、そのコンビネーション (C 1) として、まず [A B] (A , B の順の印加) のサステインペア (p 1) を、2 回以上繰り返し ($\times k$)、続いて、そのサステインペア (p 1) のリバーズ (逆形) である [B A] (B , A の順の印加) のサステインペア (p 2) を、同様に 2 回以上繰り返し ($\times k$) の構成である。

【 0 0 7 2 】

また、メインとなるコンビネーション (C 1) は、それよりも周期の小さいサブコンビネーション (S C)、即ち、 $SC1 = [AB \times k]$ と $SC2 = [BA \times k]$ から構成されている。また、それらのサブコンビネーション (S C 1 , S C 2) も、更に周期の小さいサブコンビネーションであるサステインペア、即ち、 $p1 = [AB]$, $p2 = [BA]$ の繰り返しでそれぞれ構成されている。

【 0 0 7 3 】

A L I S 方式において、フィールド 3 0 0 単位で駆動対象のライン (スリット) が変わる駆動 (いわゆるインタレース駆動) を実施する。駆動対象ライン (正スリット)、例えばフィールド (F n) 3 0 0 の奇数ラインに対して、X 電極 2 1 と Y 電極 2 2 で反対極性になるように維持パルス対 (5 3 , 6 3) が印加される。非駆動対象ライン (逆スリット)、例えばフィールド (F n) 3 0 0 の偶数ラインに対しては、X 電極 2 1 と Y 電極 2 2 で同極性になるように印加される。例示しているのは、奇数ライン (L 1 , L 3 , ...) が駆動対象となる場合である。この際、偶数ライン (L 2 , L 4 , ...) は、維持パルス対が同極性となるので放電は発生しない。

【 0 0 7 4 】

コンビネーション (C 1) の印加において、波形 A の放電、波形 B の相対的に強い放電 (y)、及び波形 B の相対的に弱い放電 (x) の 3 種類の放電が発生する。波形 (B) の表示電極 (2 1 , 2 2) への印加において、X 電極 2 1 が陽極性となるか、Y 電極 2 1 が陽極性となるかにより、維持放電の強度が異なる。各波形 (A , B) による単発輝度は、波形 A の放電が最も大きく、次いで、Y 電極 2 2 が陽極性となる波形 B の放電 (y) であり、最も小さいのが、X 電極 2 1 が陰極性となる波形 B の放電 (x) である。

【 0 0 7 5 】

本構成で、これらの 3 種類の放電のそれぞれの回数は、駆動対象ライン群、例えば L 1 と L 3 とで、同一であり、総合的な輝度も同一である。それ故、前述したような 2 L ムラが発生しない。

【 0 0 7 6 】

細かくは、各サブコンビネーション (S C 1 , S C 2) では、それを構成する波形の数が偶数であることから、3 種類の放電のそれぞれの回数が、駆動対象ライン群、例えば L 1 と L 3 で異なっており、輝度が異なる。更に、サブコンビネーションが変更されると、波形群及び放電群が前のサブコンビネーションとは逆形になる。例えば、S C 1 では、L 1 で放電 (y) が、L 3 で放電 (x) が発生する。続く S C 2 では、逆形に変わるので、L 1 で放電 (x) が、L 3 で放電 (y) が発生する。これにより、コンビネーション (C 1) 単位では、駆動対象ライン群で、総合的に輝度が同一になる。

【 0 0 7 7 】

また、本構成で、コンビネーション (C 1) 及びその繰り返しにおいて、波形 B が連続する箇所回数及び出現確率について、以下ようになる。本構成で、波形 B が連続する箇所は、サブコンビネーション (S C 1 , S C 2) を S C 1 から S C 2 へ変更する場合のみである。よって、上記回数が少なく、上記出現確率も低くなる。即ち、駆動波形群における波形 B 及びその放電 (x , y) の連続する確率は低い。具体的には、上記確率が 2 0 % 未満となる。

【 0 0 7 8 】

従って、上記から、V s min 悪化もほぼ無くて済む。V s min 悪化は、波形 B 連続箇所の

10

20

30

40

50

出現確率が高いほど顕著となる。上記確率が20%未満であれば実用的には実害無いことが、本発明者により実験的に確認されている。なお、第2の従来技術での波形B連続箇所
の出現確率は33%であり、第3の従来技術での同確率は25%であることから、実用上
の問題となる。

【0079】

以上のように実施の形態1によれば、波形A, Bのコンビネーションの工夫により、2
Lムラ及びV_{smin}悪化の不利点を抑制または改善して発光効率を向上できる。

【0080】

(実施の形態2)

次に、図9等を用いて、本発明の実施の形態2におけるPDP装置を説明する。図9中
の(1)は、前述の実施の形態1の特徴及び具体例を簡略的に記載したものである。(2)
~(4)は、実施の形態2~4の特徴及び具体例をそれぞれ記載したものである。実施
の形態2~4の基本構成は実施の形態1と同様である。

【0081】

フィールド300における最初のSF310である「SF1」のサステインペア数が例
えば8(維持パルスの個数では16個)である。一方、(1)で示す実施の形態1におい
て、例えば、k=3の場合、コンビネーション: C1=[AB][AB][AB][BA]
[BA][BA]であり、C1を構成するサステインペア数が6である。SF310内
では、C1が繰り返されるが、「SF1」では、上記「SF1」とC1との差のサステ
インペア数が2ほど余ることになる。この2の余り分(C1')が、極僅かではあるが2L
ムラの発生因子になる。「SF1」の終わりでは、C1のシーケンスの途中で終了してい
る。即ち、C1'=[AB][AB]までで区切られる。そして、「SF2」は、「SF
1」と同様に、コンビネーション(C1)の最初から、[AB][AB][AB][BA]
]...の順で開始している。

【0082】

実施の形態2は、上記因子を改善する手法である。実施の形態2と実施の形態1との相
違は、フィールド300における次のSF310である「SF2」の開始にある。具体的
には、実施の形態1に対して、(2)で示す実施の形態2では、「SF2」は、「SF1」
の最終シーケンス(余り)を継承して開始する。換言すれば、SF310間でコンビ
ネーション(C1)を区切らずに繰り返す。即ち、「SF2」は、前記C1'の続きから、
[AB][BA][BA][BA]...の順で開始している。これにより、前記「SF1」
での余り分(C1')は、「SF2」内に組み込まれることになり、実施の形態1での
僅かな2Lムラは、実施の形態2では完全に無くなる。以上の構成は「SF2」~「SF
m」で同様である。このように、実施の形態2では、特に2Lムラに対して良好な効果
を得る。

【0083】

(実施の形態3)

次に、同様に図9等を用いて、本発明の実施の形態3におけるPDP装置を説明する。
図9の具体例の場合、(1)の実施の形態1では、波形Bが連続する確率は、8%である
。波形Bが連続する箇所は、C1内のサブコンビネーション(SC1, SC2)の変更部
分のみである。よって、実験的には、波形Bの連続を考慮したV_{smin}の上昇はみられな
い(必要無い)が、原理的には上昇の危険がある。

【0084】

(3)で示す実施の形態3では、実施の形態1の構成を基本として、波形Bが連続した
場合に限り、特例として、その連続箇所における後者の波形Bを波形Aに変換する構成で
ある。C1に代わるC1'において、C1ではサブコンビネーション(SC1, SC2)
の変更部分で[AB][BA]と波形Bが連続しているので、これを[AB][AA]
と変換している。これにより、波形Bが連続する確率は0%となり、V_{smin}の上昇が原
理的に皆無となる。このように、実施の形態3では、特にV_{smin}に対して良好な効果
を得る。

【 0 0 8 5 】

(実施の形態 4)

次に、同様に図 9 等を用いて、本発明の実施の形態 4 における P D P 装置を説明する。
(4) で示す実施の形態 4 は、先の実施の形態 2 と実施の形態 3 を組み合わせた構成例である。具体的には、「 S F 2 」の開始は、「 S F 1 」の最終シーケンス (C 1 ') を継承して [A B] [B A] [B A] [B A] の順とし、かつ、波形 B が連続しないように、波形 B が連続した場合のみ後者を波形 A に変更する処置を施している。即ち、[A B] [A A] [B A] [B A] としている。これにより、実施の形態 4 では、2 L ムラと V s min 悪化の双方を皆無にすることができる。

【 0 0 8 6 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【 0 0 8 7 】

本発明は、P D P 装置に利用可能である。

【図面の簡単な説明】

【 0 0 8 8 】

【図 1】本発明の一実施の形態における P D P 装置の全体のブロック構成を示す図である。

【図 2】本発明の一実施の形態の P D P 装置における、P D P のパネル構造例を示す図である。

【図 3】本発明の一実施の形態の P D P 装置における、フィールド及びサブフィールドの構成を示す図である。

【図 4】本発明の一実施の形態の P D P 装置における、P D P の駆動波形の構成例を示す図である。

【図 5】本発明の一実施の形態の P D P 装置における、維持パルス生成回路の構成を示す図である。

【図 6】本発明の一実施の形態の P D P 装置における、構成要素となる従来技術として、第 1 種の波形 (A) による、サステイン動作として、維持放電発光、維持パルス (立ち上げ部分)、及びスイッチ制御動作を示す図である。

【図 7】本発明の一実施の形態の P D P 装置における、構成要素となる従来技術として、第 2 種の波形 (B) による、サステイン動作として、維持放電発光、維持パルス (立ち上げ部分)、及びスイッチ制御動作を示す図である。

【図 8】本発明の実施の形態 1 の P D P 装置における、サステイン動作として、電極印加駆動波形、放電発光、コンビネーション、及び効果等を示す図である。

【図 9】本発明の実施の形態 2 ~ 4 の P D P 装置における、サステイン動作として、サブフィールド間のコンビネーションの構成、及び効果等を示す図である。

【図 10】第 1 の従来技術における、サステイン動作として、電極印加駆動波形、放電発光、コンビネーション、及び効果等を示す図である。

【図 11】第 2 の従来技術における、サステイン動作として、電極印加駆動波形、放電発光、コンビネーション、及び効果等を示す図である。

【図 12】第 3 の従来技術における、サステイン動作として、電極印加駆動波形、放電発光、コンビネーション、及び効果等を示す図である。

【符号の説明】

【 0 0 8 9 】

1 0 ... 表示パネル (P D P)、1 1 ... 前面基板、1 2 ... 背面基板、2 1 ... X 電極 (維持電極)、2 2 ... Y 電極 (走査電極)、2 3 , 2 6 ... 誘電体層、2 4 ... 保護層、2 5 ... A (アドレス) 電極、2 7 ... 隔壁、2 8 ... 蛍光体、3 1 ... サステインペア、4 1 ... アドレスパルス、5 3 , 6 3 ... 維持パルス、6 2 ... 走査パルス、1 1 0 ... 制御回路、1 2 1 ... X 駆動

10

20

30

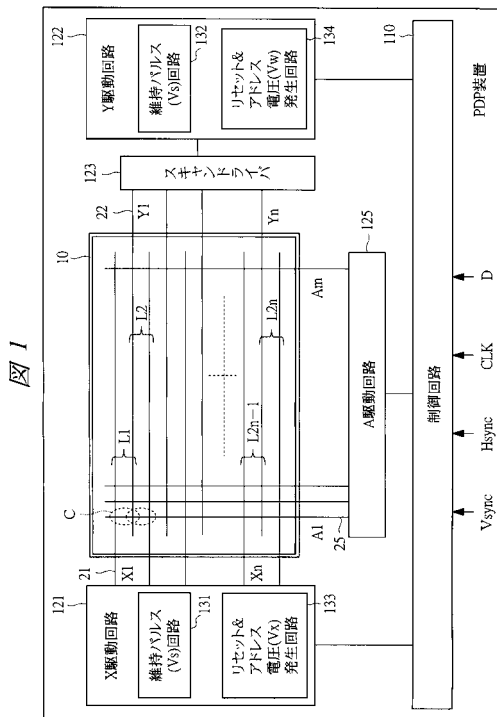
40

50

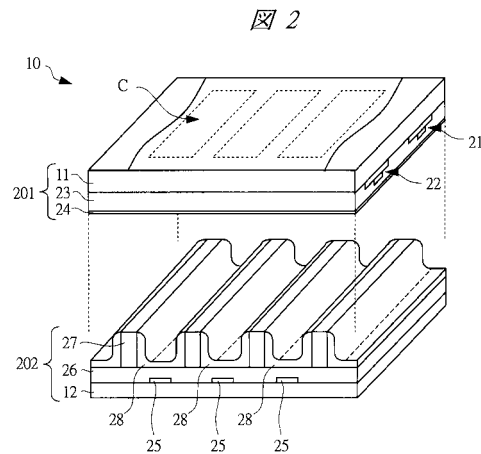
回路、122...Y駆動回路、123...スキャンドライバ(走査駆動回路)、125...A(アドレス)駆動回路、131, 132...維持パルス(Vs)回路、133...リセット&アドレス電圧(Vx)発生回路、134...リセット&アドレス電圧(Vw)発生回路、300...フィールド(F)、310...サブフィールド(SF)、321...リセット期間(TR)、322...アドレス期間(TA)、323...サステイン期間(TS)、400...維持パルス生成回路、410...電力回収回路、401...LU(LU共振アップ)回路、402...CU(クランプアップ)回路、403...LD(LU共振ダウン)回路、404...CD(クランプダウン)回路、411...第1のスイッチ素子、412...第2のスイッチ素子、413...第3のスイッチ素子、414...第4のスイッチ素子、511, 521, 522...放電ピーク、La, Lb...コイル、Cc...パネル容量。

10

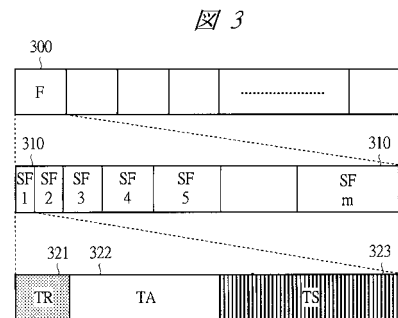
【図1】



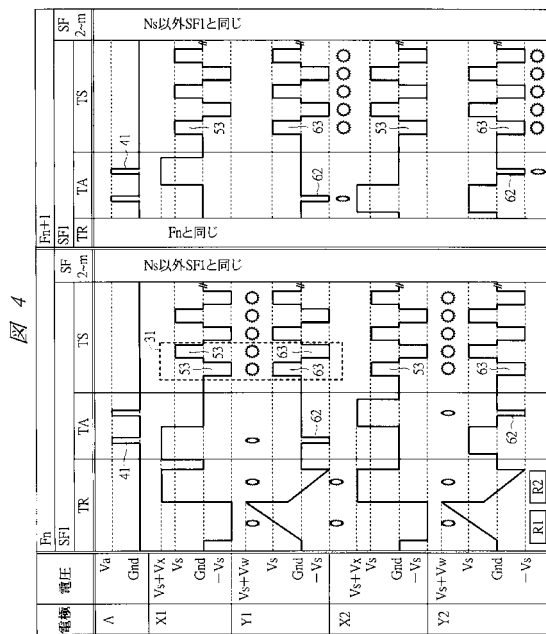
【図2】



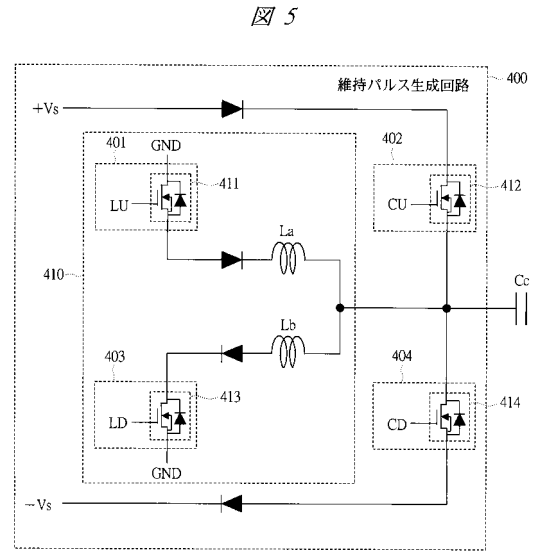
【図3】



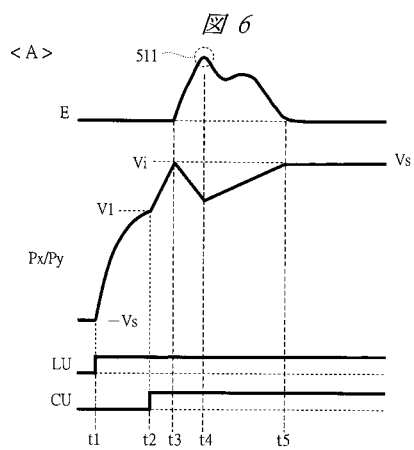
【圖 4】



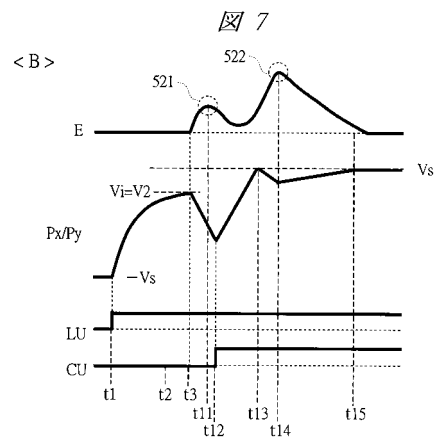
【 図 5 】



【 図 6 】

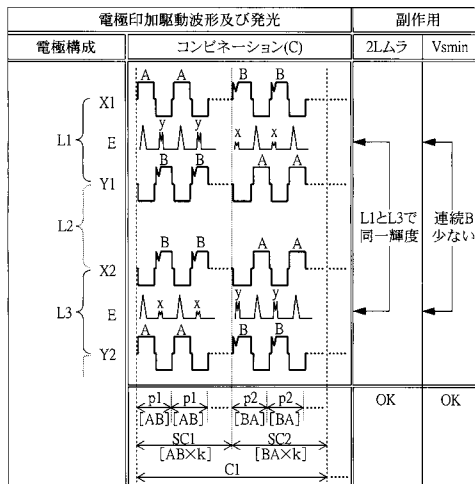


【 図 7 】



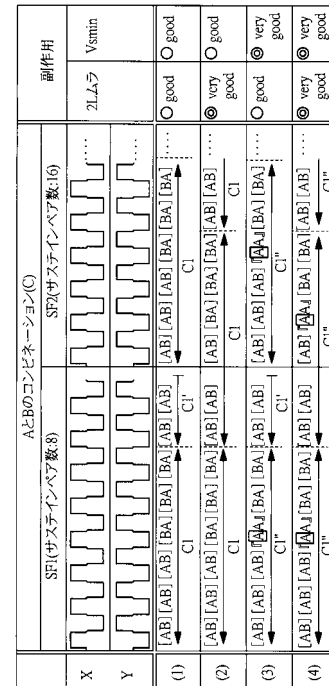
【図 8】

図 8



【図 9】

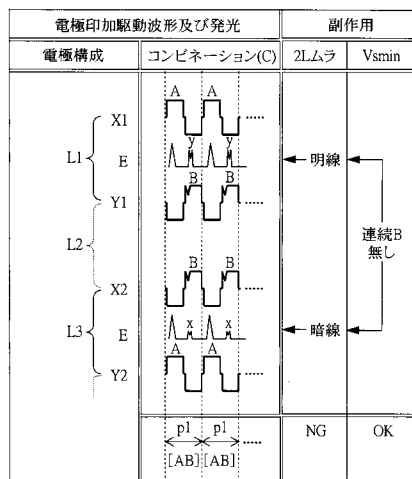
図 9



【図 10】

図 10

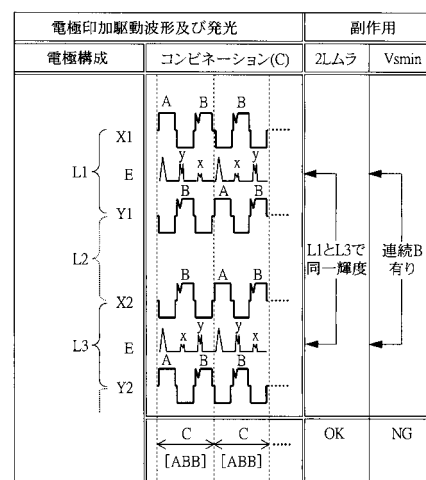
<1>



【図 11】

図 11

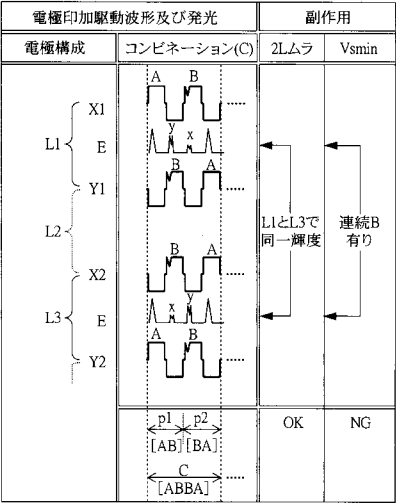
<2>



【図 12】

図 12

<3>



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 N
G 0 9 G 3/20 6 4 1 E

審査官 佐野 潤一

(56)参考文献 特開平 1 1 - 0 6 5 5 1 4 (J P , A)
特開 2 0 0 1 - 1 8 4 0 2 4 (J P , A)
特開 2 0 0 1 - 0 1 3 9 1 3 (J P , A)
特開 2 0 0 3 - 3 2 3 1 5 0 (J P , A)
特開 2 0 0 5 - 3 3 8 1 2 0 (J P , A)
特開 2 0 0 6 - 1 9 5 4 6 3 (J P , A)
特開 2 0 0 7 - 3 0 4 2 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 2 8
G 0 9 G 3 / 2 0