



(12) 发明专利

(10) 授权公告号 CN 101689487 B

(45) 授权公告日 2011. 12. 28

(21) 申请号 200880022820. 3

H01L 21/20 (2006. 01)

(22) 申请日 2008. 06. 26

H01L 21/265 (2006. 01)

(30) 优先权数据

11/771, 683 2007. 06. 29 US

H01L 21/322 (2006. 01)

审查员 段小晋

(85) PCT申请进入国家阶段日

2009. 12. 29

(86) PCT申请的申请数据

PCT/US2008/068287 2008. 06. 26

(87) PCT申请的公布数据

W02009/006183 EN 2009. 01. 08

(73) 专利权人 MEMC 电子材料有限公司

地址 美国密苏里州

(72) 发明人 R · J · 法尔斯特 L · 莫伊拉吉

D · M · 李 赵燦来 M · 拉瓦尼

V · V · 沃龙科夫

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 于静

(51) Int. Cl.

H01L 21/22 (2006. 01)

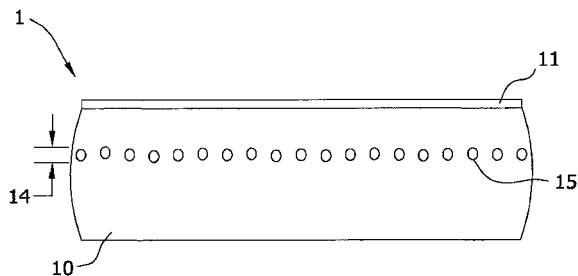
权利要求书 2 页 说明书 8 页 附图 2 页

(54) 发明名称

重掺杂衬底中的扩散控制

(57) 摘要

本发明涉及一种抑制在外延硅晶片的衬底 / 外延层界面附近的硅自填隙式扩散的方法, 所述外延硅晶片具有重掺杂的硅衬底和轻掺杂的外延层。通过包括位错环的硅自填隙子汇层来抑制填隙子向所述外延层的扩散。



1. 一种制备外延硅晶片的方法,所述方法包括以下步骤:

在高掺杂的单晶硅衬底中形成位错环的层,所述高掺杂的硅衬底为通过直拉法生长的锭的切片,所述高掺杂的硅衬底具有中心轴、垂直于所述中心轴的前表面和后表面、连接所述前表面和后表面的周边边缘、从所述中心轴延伸到所述周边边缘的半径、以及小于 $5\text{m}\Omega \cdot \text{cm}$ 的电阻率,其中所述位错环没有延伸到所述前表面;以及

在所述高掺杂的硅衬底的所述前表面上沉积外延硅层以形成所述外延硅晶片,所述外延层具有大于 $10\text{m}\Omega \cdot \text{cm}$ 的电阻率。

2. 根据权利要求1的方法,其中通过对所述高掺杂的单晶硅衬底的离子注入和至少 750°C 的退火来形成所述位错环。

3. 根据权利要求2的方法,其中注入的离子选自硅、锗、氢、氦、氩、及其组合。

4. 根据权利要求2的方法,其中以至少 30keV 的能量水平进行所述离子注入。

5. 根据权利要求2的方法,其中所述离子注入步骤注入至少 6×10^{13} 原子 $/\text{cm}^2$ 。

6. 根据权利要求2的方法,其中实施所述退火至少3秒钟。

7. 根据权利要求1的方法,其中所述高掺杂的硅衬底包括N型掺杂剂。

8. 根据权利要求7的方法,其中所述高掺杂的硅衬底包括选自P、As、Sb、及其组合的掺杂剂。

9. 根据权利要求1的方法,其中所述高掺杂的硅衬底包括P型掺杂剂。

10. 根据权利要求9的方法,其中所述高掺杂的硅衬底包括选自B、Al、Ga、及其组合的掺杂剂。

11. 根据权利要求1的方法,其中所述外延层包括N型掺杂剂。

12. 根据权利要求11的方法,其中所述外延层包括选自P、As、及其组合的掺杂剂。

13. 根据权利要求1的方法,其中所述外延层包括P型掺杂剂。

14. 根据权利要求13的方法,其中所述外延层包括选自B、Al、Ga、及其组合的掺杂剂。

15. 根据权利要求1的方法,其中将所述外延层沉积为至少 5cm 的厚度。

16. 根据权利要求1的方法,还包括在所述退火步骤之前在所述高掺杂的单晶硅衬底的所述后表面上沉积多晶硅的层。

17. 根据权利要求1的方法,其中所述层位于距所述高掺杂的硅衬底的所述前表面至少 $100\text{\AA}$ 的深度处。

18. 根据权利要求1的方法,其中所述位错环的层具有至少 1×10^8 环 $/\text{cm}^2$ 的浓度。

19. 根据权利要求1的方法,其中所述位错环的层的径向宽度为所述半径的至少10%。

20. 根据权利要求1的方法,所述方法还包括:

在至少 1150°C 的温度下退火所述高掺杂的单晶硅衬底以分解预先存在的氧沉淀物;以及

将所述高掺杂的硅衬底从所述退火温度冷却到室温;

其中(i)控制所述退火步骤的气氛,(ii)在所述冷却步骤期间控制冷却速率,或(iii)控制所述退火步骤的气氛并控制在所述冷却步骤期间的冷却速率,以在单晶硅衬底中设置均匀浓度的空位,所述均匀浓度不足以在氧化沉淀热处理中催化氧沉淀。

21. 根据权利要求20的方法,其中在相同的设备中实施所述退火步骤和沉积所述外延硅层,在沉积所述外延硅层之后实施所述冷却步骤,并且在从所述退火温度到空位实际不

可移动的温度期间所述冷却速率不大于 20℃每秒。

22. 根据权利要求 20 的方法,其中冷却所述高掺杂的硅衬底包括以大于 20℃每秒的冷却速率从所述退火温度冷却到低于 1150℃但高于 950℃的温度,然后将所述衬底保持在该温度范围内至少 2 秒钟。

23. 根据权利要求 20 的方法,其中通过在退火气氛中包括氧分压来控制所述退火步骤的气氛。

24. 根据权利要求 23 的方法,其中所述气氛中的氧分压为至少 0.002atm。

25. 根据权利要求 23 的方法,其中所述气氛中的氧分压为至少 0.01atm。

26. 根据权利要求 20 的方法,其中将所述冷却步骤期间的冷却速率控制为小于 20℃每秒。

27. 根据权利要求 20 的方法,其中将所述冷却步骤期间的冷却速率控制为小于 10℃每秒。

28. 根据权利要求 20 的方法,其中将所述冷却步骤期间的冷却速率控制为小于 5℃每秒。

29. 一种外延硅晶片,包括:

高掺杂的单晶硅衬底,其为通过直拉法生长的锭的切片,且具有中心轴、垂直于所述中心轴的前表面和后表面、连接所述前表面和后表面的周边边缘、从所述中心轴延伸到所述周边边缘的半径、以及小于 $5\text{m}\Omega \cdot \text{cm}$ 的电阻率;

外延层,其位于所述高掺杂的硅衬底的所述前表面上,形成所述外延硅晶片,其中所述外延层具有大于 $10\text{m}\Omega \cdot \text{cm}$ 的电阻率;以及

位错环的层,其位于所述衬底中,其中所述位错环没有延伸到所述衬底与所述外延层之间的界面。

30. 根据权利要求 29 的晶片,其中所述高掺杂的硅衬底包括 N 型掺杂剂。

31. 根据权利要求 30 的晶片,其中所述高掺杂的硅衬底包括选自 P、As、Sb、及其组合的掺杂剂。

32. 根据权利要求 29 的晶片,其中所述高掺杂的硅衬底包括 P 型掺杂剂。

33. 根据权利要求 32 的晶片,其中所述高掺杂的硅衬底包括选自 B、Al、Ga、及其组合的掺杂剂。

34. 根据权利要求 29 的晶片,其中所述外延层包括 N 型掺杂剂。

35. 根据权利要求 34 的晶片,其中所述外延层包括选自 P、As、及其组合的掺杂剂。

36. 根据权利要求 29 的晶片,其中所述外延层包括 P 型掺杂剂。

37. 根据权利要求 36 的晶片,其中所述外延层包括选自 B、Al、Ga、及其组合的掺杂剂。

38. 根据权利要求 29 的晶片,其中所述高掺杂的硅衬底没有氧沉淀物核。

39. 根据权利要求 29 的晶片,其中所述位错环的层位于距所述衬底与所述外延层之间的界面至少 **100Å** 的深度处。

40. 根据权利要求 29 的晶片,其中所述位错环的层具有至少 1×10^8 环 / cm^2 的浓度。

41. 根据权利要求 29 的晶片,其中所述位错环的层的径向宽度为所述衬底的所述半径的至少 10%。

重掺杂衬底中的扩散控制

技术领域

[0001] 本发明一般涉及外延半导体结构,尤其是用于制造电子部件的外延硅晶片,还涉及其制备方法。更具体而言,外延结构包括用 N 型掺杂剂 (N+) 或 P 型掺杂剂 (P+) 重掺杂的单晶硅衬底和用 N 型或 P 型掺杂剂轻掺杂的外延层,其中重掺杂的衬底包括在轻掺杂的外延层附近的具有高浓度的结构的区域,该区域能够抑制或防止朝向外延层的硅填隙式扩散,由此减小向所述外延层中的硅填隙式扩散。

背景技术

[0002] 通常通过直拉 (Czochralski) 法来制备单晶硅 (其是用于制造半导体电子部件的大多数工艺的起始材料), 其中将单个的籽晶浸入到熔化的硅中, 然后通过拉拔进行生长。由于熔化的硅被包含在石英坩埚中, 因此熔化的硅会受到各种杂质 (其中主要为氧) 的污染。这样, 在从通过该方法生长的单晶硅切割下来的晶片中存在过饱和浓度的氧。

[0003] 在制造电子器件时所典型采用的热处理循环期间, 氧沉淀成核中心形成并最终生长为大的氧团簇或沉淀物。根据其位置, 这样的沉淀物可以是有利的也可以是有利的。当沉淀物位于晶片的有源器件区域中时, 其会危害器件的操作。当沉淀物位于这些区域之外时, 氧沉淀物用作金属的吸引位置。

[0004] 已经将各种方法用于控制晶片中的氧沉淀物的特性。例如, Falster 等的美国专利 No. 5, 994, 761 中公开了这样的方法, 在快速热退火装置中在晶片中引入浓度不均匀的空位, 由此在随后的氧沉淀物热处理中, 氧沉淀物形成在富空位区中而不形成在贫空位区中。在美国专利 No. 6, 336, 968 中, Falster 公开了这样的方法, 其中, 通过在含氧的气氛中快速热退火晶片, 或者使晶片缓慢冷却经过空位相对可移动的温度范围, 从而制备没有氧沉淀的晶片。

[0005] 虽然已经证明这些技术是有用的, 但目前对于典型的硅晶片而言, 包括高掺杂衬底的外延晶片结构提出有些不同的挑战。例如, 重掺杂衬底中的不受控制的氧沉淀会导致在高温下产生相对大浓度的硅自填隙子 (self-interstitial) (由于其在氧沉淀物生长期间的发射)。相对大浓度的硅自填隙子反过来又倾向于促进掺杂剂 (或其他杂质) 从高掺杂的衬底扩散到较轻掺杂的器件层, 由此会潜在地改变某些功率器件中的关键特性, 例如, 雪崩击穿电压。这样, 如果减小外延层附近的硅填隙子的数目, 便可以抑制掺杂剂向器件层中的扩散。

发明内容

[0006] 本发明的各方面涉及一种在外延硅结构中抑制从重掺杂的衬底向轻掺杂的外延层的硅自填隙式扩散的方法以及所产生的结构本身。

[0007] 因此, 简要地, 本发明的一个方面是一种外延硅晶片, 其包括用 N 型掺杂剂 (N+) 或 P 型掺杂剂 (P+) 重掺杂 (即, 具有小于 $5\text{m}\Omega \cdot \text{cm}$ 的电阻率) 的单晶硅衬底以及用 N 型或 P 型掺杂剂轻掺杂 (即, 具有大于约 $10\text{m}\Omega \cdot \text{cm}$ 的电阻率) 的外延层。所述重掺杂的衬底包

括具有大量位错环的硅自填隙子汇层 (sink layer), 所述硅自填隙子汇层能够抑制硅自填隙子向所述外延层扩散, 其中所述位错环的层位于距离所述衬底与所述外延层之间的界面至少约 **250Å** 的深度处。

[0008] 本发明还旨在一种制备这样的晶片的方法。

[0009] 本发明的其他目的和特征将在下文中部分地显而易见并部分地指出。

附图说明

[0010] 图 1 示意性地示出具有轻掺杂的外延层晶片的重掺杂的硅衬底, 其中衬底包括硅自填隙子汇层, 该硅自填隙子汇层包含位错环。该图未按比例绘制。

[0011] 图 2 示意性地示出经历了离子注入的重掺杂的硅衬底。该图未按比例绘制。

[0012] 图 3 示意性地示出在用于形成位错环的离子注入和退火之后的重掺杂的硅衬底。该图未按比例绘制。

[0013] 图 4 是 TEM 显微照片, 其以 75,000 倍的放大倍率示出了在硅自填隙子汇层中的位错环的平面视图。

[0014] 关于附图, 贯穿附图的几个视图, 对应的参考符号表示对应的部件。

具体实施方式

[0015] 根据本发明的一个方面, N/N⁺、P/P⁺、N/P⁺ 或 P/N⁺ 外延硅晶片可被制备为具有这样的区域, 该区域包括在外延层附近的能够作为硅自填隙子的汇点 (sink) 的位错环, 由此抑制向外延层的扩散。该区域在这里称为“硅自填隙子汇层”、“填隙子汇层”或更简单的“汇层”。

[0016] 参考图 1, 外延晶片 1 包括硅衬底 10、外延层 11 以及硅自填隙子汇层 14。硅衬底 10 掺杂有 N 或 P 型掺杂剂, 外延层 11 掺杂有 N 或 P 型掺杂剂, 其中, 相对于外延层 11, 硅衬底 10 被重掺杂。硅自填隙子汇层 14 包含大量位错环 15, 由于例如氧沉淀物的生长, 位错环 15 作为可以从重掺杂的衬底 10 扩散到更轻掺杂的外延层 11 的硅自填隙子原子的汇点。

[0017] 在一个实施例中, 硅衬底 10 基本上没有氧沉淀核, 从而进一步降低掺杂剂和其他杂质扩散进入外延层 11 中的可能性。也就是, 在该实施例中, 在氧沉淀热处理 (例如, 使晶片在 800°C 的温度下退火四小时, 然后在 1000°C 的温度下退火十六小时) 期间, 将不会形成氧沉淀物。

[0018] I. 硅衬底

[0019] 再次参考图 1, 硅衬底 10 源于从通过直拉晶体生长法生长的单晶硅切割下来的单晶硅晶片。单晶硅晶片具有中心轴; 通常垂直于中心轴的前表面和后表面; 周边边缘; 以及从中心轴延伸到周边边缘的半径。可以抛光该晶片, 或可替代地, 研磨且蚀刻该晶片而不进行抛光。此外, 该晶片具有作为占支配地位的本征点缺陷的空位或自填隙子点缺陷。例如, 该晶片可以从中心到边缘受到空位的支配, 从中心到边缘受到自填隙子的支配, 或者该晶片可包含受空位支配的材料的中心核, 该受空位支配的材料的中心核被受自填隙子支配的材料的轴对称环所包围。

[0020] 直拉生长的硅典型地具有在约 5×10^{17} 到约 9×10^{17} 原子 /cm³ 范围内的氧浓度 (ASTM 标准 F-121-83)。通常, 单晶硅晶片的氧浓度在直拉法可典型地获得的范围之内的某

处或者甚至在该范围之外。

[0021] 在一个实施例中,单晶硅晶片包括轴对称区域,该区域具有至少为晶片半径长度的约 30% 的径向宽度,并且在检测极限为 3×10^3 缺陷 / cm^3 的情况下,不具有可检测到的成团的本征点缺陷。该轴对称区域可包含作为支配性的本征点缺陷的空位或硅自填隙子。

[0022] 根据单晶硅锭从硅的熔点 (约 1410°C) 经过约 750°C 到约 350°C 的范围的冷却速率,在单晶硅锭 (硅晶片从其切割出来) 中会形成氧沉淀成核中心。在一个实施例中,硅晶片具有这样的成核中心。在另一实施例中,硅晶片则不具有这样的成核中心。

[0023] 用一种或多种 N 型或 P 型掺杂剂重掺杂单晶硅晶片。典型的 N 型掺杂剂包括磷、砷、和锑。在一个实施例中,掺杂剂为磷。在另一实施例中,掺杂剂是砷,而在又一实施例中,掺杂剂是锑。在再一实施例中,使用磷、砷和锑中的两种或更多种作为掺杂剂。典型的 P 型掺杂剂包括硼、铝、和镓。在一个实施例中,掺杂剂为硼。在另一实施例中,掺杂剂是铝,而在又一实施例中,掺杂剂是镓。在再一实施例中,使用硼、铝、和镓中的两种或更多种作为掺杂剂。无论掺杂剂如何,总的掺杂剂浓度要使晶片具有小于约 $5\text{m}\Omega \cdot \text{cm}$ 的电阻率,这样的材料典型地被称为 N+ 或 P+ 硅。在一个实施例中,掺杂剂浓度足以提供具有小于约 $3\text{m}\Omega \cdot \text{cm}$ 的电阻率的晶片。在特定实施例中,小于约 $2\text{m}\Omega \cdot \text{cm}$ 的电阻率是优选的。在又一实施例中,掺杂剂浓度足以提供具有小于约 $1\text{m}\Omega \cdot \text{cm}$ 的电阻率的衬底。

[0024] 上述电阻率值对应于通常大于约 $1.24 \times 10^{19} \text{at}/\text{cm}^3$ 的 N 型掺杂剂浓度。例如,重掺杂的晶片的 N 型掺杂剂的浓度可大于约 $2.25 \times 10^{19} \text{at}/\text{cm}^3$,例如,大于约 $3.43 \times 10^{19} \text{at}/\text{cm}^3$ 。在一个优选的实施例中,重掺杂的晶片具有浓度大于约 $7.36 \times 10^{19} \text{at}/\text{cm}^3$ 的 N 型掺杂剂。相似地,上述电阻率值对应于通常大于约 $2.1 \times 10^{19} \text{at}/\text{cm}^3$ 的 P 型掺杂剂浓度。例如,重掺杂的晶片的 P 型掺杂剂的浓度可大于约 $3.7 \times 10^{19} \text{at}/\text{cm}^3$,例如,大于约 $5.7 \times 10^{19} \text{at}/\text{cm}^3$ 。在一个优选的实施例中,重掺杂的晶片具有浓度大于约 $1.2 \times 10^{20} \text{at}/\text{cm}^3$ 的 P 型掺杂剂。

[0025] II. 硅自填隙子汇层

[0026] 再次参考图 1,硅自填隙子汇层 14 包括大量的位错环 15。此外,填隙子汇层 14 遍及晶片的实质径向宽度而存在。在图 1 示例的实施例中,填隙子汇层跨过衬底 10 的整个直径延伸。虽然该实施例是优选的,但填隙子汇层也可以不在整个直径之上延伸。因此,通常,填隙子汇层 14 将具有至少约为晶片半径长度的 10% 的径向宽度。典型地,径向宽度将更大,例如,为晶片半径的至少约 25%,更典型地,至少约 35%,以及进一步更典型地,至少约 45%。此外,将填隙子汇层 14 形成为尽可能地接近面 13,只要位错环不延伸到面 13 即可。相对于面 13 (图 2) 或衬底 10 与外延层 11 (图 1) 之间的对应界面,填隙子汇层 14 优选位于至少约 **100 Å**,更优选至少约 **250 Å**,至少约 **600 Å**,至少约 **850 Å**,或甚至至少约 **1100 Å** 的深度处。

[0027] 通常,以下列步骤序列来形成位错环,这些步骤包括,向衬底的晶格结构引入损伤以产生非晶材料层,然后退火损伤的结构。该处理形成典型地邻近非晶材料层的填隙子汇层的位错环。以该方式形成的位错环为例如全 (perfect) 位错环、弗兰克 (Frank) 位错环、或其组合。再次参考图 1,硅自填隙子汇层 14 位于外延层 11 之下,以便硅自填隙子汇层 14 内的位错环不接触衬底 / 外延层界面。因此,优选地,以这样的方式实施该步骤序列,以便最小化对外延层 11 或稍后将在其上生长外延层 11 的表面的任何不良影响。例如,通过将离子注入穿过衬底的面,并在离子注入之后生长外延层,来实现这一点。由此可在外延沉积

步骤之前、期间或之后,至少部分地,执行退火步骤,从而在损伤的区域中形成位错环。

[0028] 无论形成方式如何,硅自填隙子汇层中的位错环的浓度至少为约 1×10^8 环 / cm^2 。优选地,硅自填隙子汇层中的位错环的浓度至少为约 1×10^9 环 / cm^2 ,例如,至少约 5×10^9 环 / cm^2 ,或甚至至少约 1×10^{10} 环 / cm^2 。

[0029] 现在参考图 2,根据本发明的优选实施例的硅自填隙子汇层的形成包括穿过衬底 10 的面 13 注入离子 I^+ 。为了最小化对衬底 10 的电子特性的任何影响,优选地,注入的离子是在电学上等电子、中性或惰性的。例如,注入的离子优选选自硅、锗、氦、氟、氙、及其组合。在一个实施例中,注入的离子为硅离子、锗离子、或其组合。在一个特别优选的实施例中,注入的离子为硅离子。

[0030] 图 2 中的离子 I^+ 被注入到相对于面 13 的目标深度 D。然而,实际上,一些注入的离子将不会穿过该距离,而另一些原子将穿过甚至更大的距离(即,相对于面 13 达到更深的深度)。实际的离子注入深度会相对于 D 变化约 5%、10%、15%、20%、25% 或更多。这样便在 D 处或在 D 附近产生非晶材料的区域或层,该非晶材料的区域或层包含相对高浓度的注入离子,其中注入的离子的浓度在面 13 的方向上和相反方向上从 D 降低。目标深度 D 也被称为注入的离子的投影射程(projected range)。

[0031] 通常,位错环将形成在注入离子的范围的末端,其中该范围的末端通常比投影射程更加深入到衬底中。也就是,位错环形成在非晶材料层的最远离面 13 的边缘处。因此,图 3 示出了填隙子汇层 14(在稍后的步骤中,将更完全显现)被大体上形成在晶片的邻近注入的离子而远离面 13 的区域中。如果自填隙子汇层的位错环延伸到面 13,其将危害对稳健的、一致的外延层的沉积,或者其将导致缺陷(例如线位错缺陷)传播到外延层中。

[0032] 因此,目标深度 D 要使得随后形成的位错环不延伸到其上形成外延层的表面或不延伸到对应的衬底/外延层界面。该目标深度可以非常接近面 13 或正好位于面 13 之下,但更典型地, D 至少为约 **250 Å**。在一个实施例中, D 至少为约 **500 Å**。在另一实施例中, D 至少为约 **750 Å**。在又一实施例中, D 为约 **1000 Å**。在再一实施例中, D 大于约 **1000 Å**。

[0033] 因为对于给定的注入能量,较轻的离子倾向于更深地穿透到衬底中,因此可以通过注入的离子种(species)至少部分地影响注入深度。由此,例如,在注入能量为 50keV 时,硅离子将具有约 **750 Å** 的平均注入深度,而锗离子将具有 **400 Å** 的平均注入深度。通常,优选地,使用至少约 30keV,例如,至少约 40keV 或甚至至少约 50keV 的能量来注入离子。在一个应用中,使用至少约 45keV 且小于约 55keV 的能量来注入离子。

[0034] 通常,如果使用足够能量注入足够浓度的离子来形成硅的非晶层,通过随后的退火可以将位错环形成在注入的离子的范围的末端。典型地,位错环形成在注入的离子之下的约 **100 Å** 到 **300 Å** 的深度处,但实际深度可以更大或更小。通常,使用较低质量的元素形成非晶材料是更困难的。因此,必须使用浓度高得多的低质量元素来诱导足够的损伤,而较低浓度的高质量元素便足以形成非晶硅。例如,当注入的离子为硅离子时,优选地,注入的剂量为至少约 2×10^{14} 原子 / cm^2 ,例如,至少约 5×10^{14} 原子 / cm^2 ,或者甚至至少约 1×10^{15} 原子 / cm^2 。在一个优选的实施例中,注入的离子剂量为至少约 2×10^{15} 原子 / cm^2 。比较而言,当注入的离子为较高质量的锗离子时,优选地,注入的剂量为至少约 6×10^{13} 原子 / cm^2 ,例如,至少约 1×10^{14} 原子 / cm^2 ,或者甚至至少约 5×10^{14} 原子 / cm^2 。在一个优选实施例中,注入的离子剂量为至少约 1×10^{15} 原子 / cm^2 。

[0035] 然后,以一定的时间和温度退火注入的衬底,以将在离子注入期间造成的晶体损伤转变为位错环 15,如图 2 所示。通常,退火温度为至少 750℃。优选地,退火温度低于约 950℃。因此,在优选实施例中,在约 800℃到约 925℃的温度下退火注入的衬底 10。例如,在约 900℃下退火注入的衬底 10。通常,使注入的衬底 10 退火至少几秒钟(即,至少约 3、4、5 或甚至 10 秒钟),或甚至几分钟(即,至少约 2、3、4、5 或甚至 10 分钟)。更典型地,注入的衬底 10 将退火至少约 30 分钟,例如,至少约 60 分钟,或甚至至少约 90 分钟。在一个实施例中,注入的衬底 10 将退火约 120 分钟。

[0036] 在一个实施例中,在离子注入和退火工艺之后是一个或多个连续的离子注入和退火工艺,典型地对于相同的离子或不同的离子使用依次降低的注入能量水平。在该实施例中,硅自填隙子汇层包括多层位错环,这将增加用于硅自填隙子消耗的容量。

[0037] III. 外延层

[0038] 再次参考图 1,通过本领域公知的方法在退火后的硅晶片的表面上沉积或生长外延层 11,优选地,该表面没有位错环。在一个实施例中,外延层的平均厚度为至少约 5cm。在一个实施例中,在退火注入的衬底以形成位错环之后,生长外延层 11。在另一实施例中,在退火注入的衬底以形成位错环时生长外延层 11。在又一实施例中,在生长外延层之前或之后,部分地退火注入的晶片以形成位错环。因此,有利地,可以在同一设备中进行退火步骤和外延生长步骤。

[0039] 无论何时形成外延层,优选地,通过化学气相沉积生长外延层 11;例如,在美国专利 5,789,309 中描述了这样的方法。在外延层生长过程期间或之后可进行对外延层的掺杂。无论掺杂方法如何,产生的外延层所具有的掺杂剂浓度可以提供具有至少约 $10\text{m}\Omega \cdot \text{cm}$ (例如至少约 $100\text{m}\Omega \cdot \text{cm}$) 的电阻率的外延层。例如,外延层将典型地具有在约 $100\text{m}\Omega \cdot \text{cm}$ 到约 $100\Omega \cdot \text{cm}$ 之间的电阻率。在一个实施例中,外延层将具有在约 $300\text{m}\Omega \cdot \text{cm}$ 到约 $10\Omega \cdot \text{cm}$ 之间的电阻率。

[0040] 作为表征外延层的替代方式,外延层的掺杂剂浓度典型地小于约 $4.8 \times 10^{18}\text{at}/\text{cm}^3$,例如,在约 $4.3 \times 10^{13}\text{at}/\text{cm}^3$ 到约 $7.8 \times 10^{16}\text{at}/\text{cm}^3$ 之间。在一个应用中,外延层具有在约 $4.4 \times 10^{14}\text{at}/\text{cm}^3$ 到约 $1.9 \times 10^{16}\text{at}/\text{cm}^3$ 之间的掺杂剂浓度。

[0041] 如上所述,用一种或多种 N 型或 P 型掺杂剂掺杂外延层。在其中优选 N 型掺杂的实施例中,N 型掺杂剂选自,例如,磷、砷、和锑。典型地,N 型掺杂剂为磷、砷,或磷和砷二者。在一个实施例中,掺杂剂为磷。在另一实施例中,掺杂剂为砷。在又一实施例中,将磷和砷二者都用作掺杂剂。在其中优选 P 型掺杂的实施例中,P 型掺杂剂选自,例如,硼、铝、和镓。在一个实施例中,P 型掺杂剂为硼。

[0042] 外延沉积的一个优点为,在外延生长期间可以与直接的掺杂剂供给配合使用现有的外延生长反应器。也就是,为了掺杂沉积的外延层,掺杂剂可以与载体气体混合。

[0043] IV. 控制氧沉淀

[0044] 在一个实施例中,还要对晶片进行氧沉淀物核分解步骤来改善衬底中的氧沉淀物性质。换言之,限制或防止衬底中的氧沉淀可以更高程度地控制掺杂剂(和其他杂质)向更轻掺杂的外延层的扩散。可以在形成硅自填隙子汇层的部分之前、之后或期间实施分解步骤,只要工艺参数不会损害位错环的完整性。优选地,在形成硅自填隙子汇层之前实施该工艺。

[0045] 对高掺杂的晶片进行热处理步骤以使衬底中任何预先存在的氧团簇和任何预先存在的氧化诱导的堆垛层错 (OISF) 核分解。优选地,在快速热退火装置 (RTA) 中实施该热处理步骤,在该 RTA 中,晶片被快速加热到目标温度,然后在该温度下退火相对短的时间。通常,将晶片快速加热到超过 1150°C 的温度,优选地,至少 1175°C,典型地,至少约 1200°C,在一些实施例中,晶片被快速加热到约 1200°C 至 1275°C 的温度。根据任何预先存在的缺陷的浓度、类型和尺寸,通常将晶片保持在该温度下至少一秒,典型地,至少几秒(例如,至少 3 秒),以及可能地几十秒(例如,在约 10 到约 60 秒之间,例如,20、30、40 或 50 秒)。

[0046] 可以在多种商业可得的 RTA 炉中的任何 RTA 炉中进行快速热退火,在该 RTA 炉中,通过多组高功率灯来分别地加热晶片。快速热退火炉能够快速加热硅晶片,例如,其能够在数秒内将晶片从室温加热到 1200°C。一种这样的商业可得的 RTA 炉为可以从 Mattson Technology (Freemont, CA) 可得的 3000RTP。

[0047] 除了分解各种预先存在的氧团簇和 OISF 核,退火步骤还将增加晶片中的晶格空位的数量密度。到目前为止所获得的信息表明,特定的与氧相关的缺陷(例如,环 OISF)为由高浓度空位的存在所催化的高温成核的氧团块。此外,在高空位区域中,认为氧聚集在高温下快速发生,这与低空位浓度的区域相反,该低空位浓度的区域中的特性更类似于缺乏氧沉淀成核中心的区域。因为氧沉淀特性受空位浓度的影响,因此,控制热处理后的晶片中的空位密度限制或甚至避免了在随后的氧沉淀热处理中的氧沉淀。有利地,通过限制从退火温度的冷却速率,通过在退火气氛中包括足够的氧分压,或通过同时采用这两种方式,可以控制退火后的晶片中的空位的(数量)密度。

[0048] 通过控制在其中实施热处理的气氛,可以至少部分地控制退火后的晶片中的空位浓度。目前所获得的实验证据表明,大量的氧的存在可以抑制退火后的晶片中的空位浓度。不用依据任何特定的理论,人们相信,在氧存在的条件下的快速热退火处理会导致硅表面的氧化,产生硅自填隙子的向内通量。自填隙子的该向内通量具有通过在表面处开始然后向内移动而引起弗仑克耳对复合发生从而逐渐改变空位浓度分布的效果。

[0049] 无论机制如何,在一个实施例中,在存在含氧气氛的条件下进行退火步骤。也就是,在能够使暴露的硅表面氧化的包含氧气 (O_2)、水蒸汽或含氧化合物气体的气氛中进行退火。该气氛由此可完全由氧构成或由氧化合物气体构成,或附加地包括非氧化气体,例如,氩。然而,当气氛不完全是氧时,该气氛优选包含至少约 0.001 大气压 (atm.) 或 1000 个每百万原子份 (ppma) 的氧分压。更优选地,在该气氛中的氧分压将至少为约 0.002atm. (2000ppma),更优选 0.005atm. (5000ppma),进一步更优选 0.01atm. (10000ppma)。

[0050] 本征点缺陷(空位和硅自填隙子)能够扩散穿过单晶硅,其中扩散速率是温度相关的。因此,本征点缺陷的浓度分布是作为温度的函数而随着本征点缺陷的扩散率和复合速率改变的。例如,本征点缺陷在快速热退火步骤中退火晶片的温度附近的温度下相对地可移动,而本征点缺陷在 700°C 之下或 700°C 时对于任何商业实践的时长都实质上不可移动。目前获得的实验证据表明,在低于约 700°C 以及可能地低于约 800°C、低于 900°C 或甚至低于 1000°C 的温度下,空位的有效扩散速率显著减缓,因此,对于任何商业实践的时长而言,都可以认为空位是不可移动的。

[0051] 因此,在一个实施例中,通过控制晶片的经过其中空位相对可移动的温度范围的冷却速率,至少部分地控制在退火后的晶片中的空位浓度。在将晶片冷却到低于其中空位

相对可移动的温度范围之前,以足以降低冷却的晶片中的晶格空位的数量密度的时长来进行这样的控制。当退火的晶片的温度降低经过该范围时,空位扩散到晶片表面并被湮灭,导致空位浓度分布的改变。该改变的程度取决于退火的晶片在该范围内的温度下被保持的时间长度和温度的量值,较高的温度和较长的扩散时间通常导致扩散增加。通常,从退火温度到空位实际不可移动的温度(例如,约 950℃)的平均冷却速率优选不大于 20℃每秒,更优选不大于约 10℃每秒,进一步更优选不大于约 5℃每秒。

[0052] 可替代地,可以在高温退火之后将退火的晶片的温度迅速(例如,以大于约 20℃/秒的速率)降低到低于约 1150℃但高于约 950℃的温度,然后保持一段时长,该时长取决于保持温度。例如,为了充分降低空位浓度,对于在 1150℃附近的温度,几秒(例如,至少约 2、3、4、6 秒或更大)是足够的,而对于 950℃附近的温度,则需要几分钟(例如至少约 2、3、4、6 分钟或更大)。

[0053] 一旦将退火的晶片冷却到晶格空位相对可移动的温度范围之外的温度,冷却速率便不会显著地影响晶片的沉淀特性,因此,冷却速率不再是严格的关键因素。

[0054] 便利地,在与实施加热步骤的气氛相同的气氛中实施冷却步骤。合适的气氛包括,例如,氮化气氛(即,包含氮气(N₂)或能够氮化暴露的硅表面的含氮的化合物气体(例如氨)的气氛);氧化(含氧)的气氛;非氧化、非氮化气氛(例如,氩、氦、氖、二氧化碳);及其组合。

[0055] 虽然这里采用的快速热处理会导致少量的氧从晶片的前和后表面的表面向外扩散,但产生的退火后的晶片具有作为与硅表面的距离的函数的基本上均匀的填隙子氧浓度。例如,从晶片的中心到晶片的位于硅表面的约 15 微米内的区域,更优选地从硅的中心到晶片的位于硅表面的约 10 微米内的区域,甚至更优选地从硅的中心到晶片的位于硅表面的约 5 微米内的区域,最优选地从硅的中心到晶片的位于硅表面的约 3 微米内的区域,退火后的晶片将具有基本上均匀的填隙子氧浓度。在该上下文中,基本上均匀的氧浓度应意味着氧浓度的变化不大于约 50%,优选地不大于约 20%,最优选地不大于约 10%。

[0056] 在一个实施例中,结合在上面详述的退火步骤来形成外延层。在该实施例中,在外延反应器中进行退火步骤。一旦完成退火步骤和外延层形成,如上所述地控制冷却气氛、冷却速率、或控制冷却气氛和冷却速率二者。也就是,在该实施例的一个变体中,在退火和外延层形成之后的气氛为能够氧化暴露的硅表面的含氧气氛。具体地,该气氛优选包含至少约 0.001 大气压(atm)或 1000 个每百万原子份(ppma)的氧分压。更优选地,在该气氛中的氧分压将至少为约 0.002atm(2000ppma),进一步更优选 0.005atm(5000ppma),再进一步更优选 0.01atm(10000ppma)。

[0057] 在该实施例的其他变体中,在控制或不控制冷却气氛的情况下控制晶片的冷却速率。具体地,控制冷却速率,以便从退火温度到空位实际不可移动的温度(例如,约 950℃)的平均冷却速率优选不大于 20℃每秒,更优选不大于约 10℃每秒,进一步更优选不大于约 5℃每秒。可替代地,可以使温度迅速(例如,以大于约 20℃/秒的速率)降低到低于约 1150℃但高于约 950℃的温度,然后根据保持温度,保持几秒到几分钟的时长。例如,对于在 1150℃附近的温度,至少约 2、3、4、6 秒钟或更长是足够的,而对于 950℃附近的温度,则需要至少约 2、3、4、6 分钟或更长。

[0058] V. 多晶硅层

[0059] 在一个实施例中,在上述退火步骤之前,在高掺杂的衬底的背面上沉积多晶硅层。多晶硅层的晶粒间界用作掺杂剂的吸收 (gettering) 位置。通常,可以通过本领域公知的任何常规方法来沉积多晶硅层。例如,通过使用硅烷 (SiH_4) 气体和砷掺杂的化学气相沉积来沉积多晶硅层,在美国专利 No. 5, 792, 700 或 5, 310, 698 中有更详细的描述。

[0060] 根据本发明制造的硅结构可以用于各种技术。例如,本发明的硅结构适用于制造功率器件,例如,功率二极管、晶闸管,具体地,功率 MOSFET 和 JFET。该名单决不是限制性的也不是全面的。

[0061] VI. 实例

[0062] 提供下列非限制性的实例,以进一步示例和解释本发明。本发明不受这里提供的任何细节的限制。

[0063] 将掺杂有约 7.86×10^{19} 磷原子 / cm^3 的单晶硅晶片暴露到离子注入工艺,在该离子注入工艺中,硅离子被注入到晶片的前表面中。以 50keV 的能量水平注入硅离子,以便在距前表面约 **1000Å** 的平均距离处,衬底具有约 2×10^{15} 原子 / cm^2 的浓度。然后,在约 900°C 下退火经离子注入的高掺杂衬底约 120 分钟,以在距前表面约 **1000Å** 的位置处形成约 1.3×10^{10} 位错环 / cm^2 。然后在衬底的前表面上形成外延层,用小于约 4.8×10^{18} 原子 / cm^3 的磷掺杂外延层。75000 的放大倍率下的透射电子显微分析表明位错环的存在,如图 4 所示。可以观察到弗兰克位错环 41 和全位错环 42。

[0064] 当引入本发明或其优选实施例的要素时,冠词“一个”、“一”、“该”、“所述”旨在表示存在一个或多个要素。术语“包括”、“包含”和“具有”旨在开放性的,即,表示除所列出的要素外还存在附加的要素。此外,除非另有明确声明,将重掺杂衬底表示为“N+”或“P+”应理解为还可以表示具有通常分别表示为 N++ 和 N+++ 或 P++ 和 P+++ 的掺杂水平的衬底。同样,除非另有明确声明,将轻掺杂外延层表示为“N”或“P”应理解为还可以表示具有通常分别表示为 N- 或 P- 的掺杂水平的衬底。

[0065] 鉴于以上说明,可以看出,本发明的几个目的得以实现,并且还获得了其他有利的结果。

[0066] 由于可以在上述的产品和方法中做出各种改变而不背离本发明的范围,因此旨在将包含在上述描述中并通过附图示出的所有主旨理解为是示例性的而不是限制性的。上述的对各种实施例的描述仅仅旨在使本领域的其他技术人员理解本发明、其原理以及其实际应用,以便本领域的其他技术人员可以以多种方式来调整和应用本发明,从而使其最好地适合于具体应用的要求。

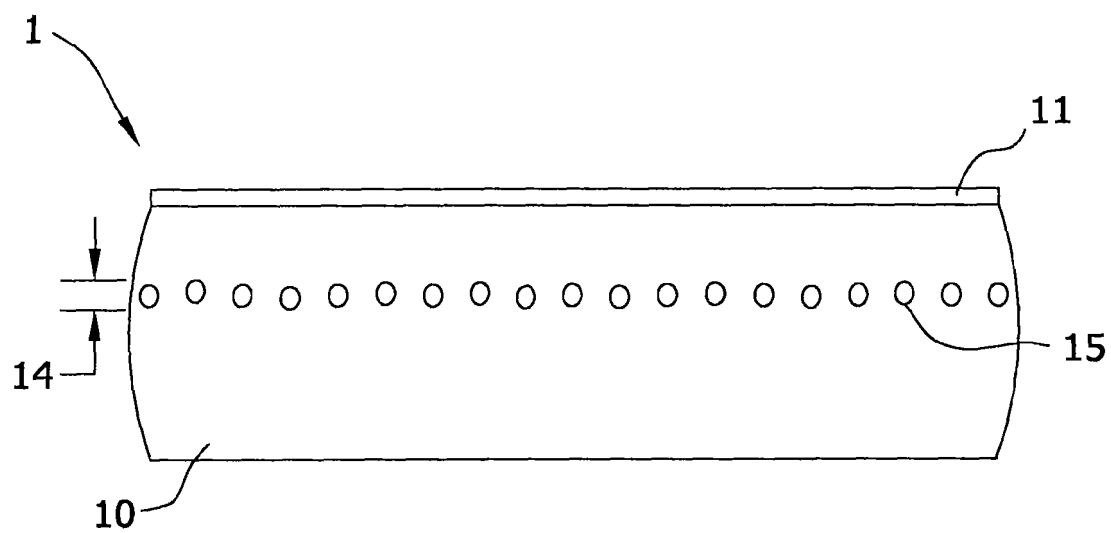


图 1

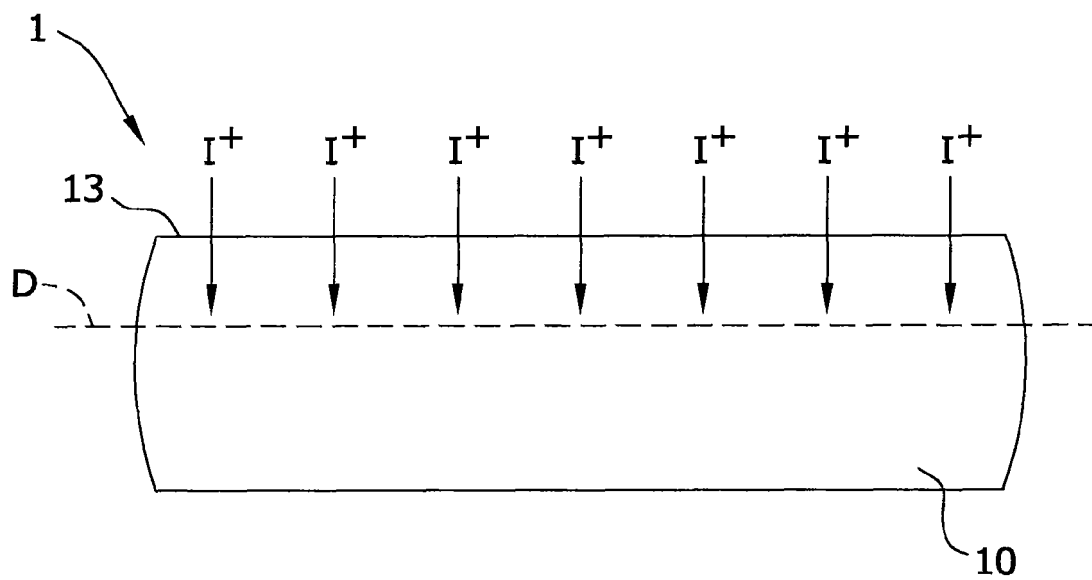


图 2

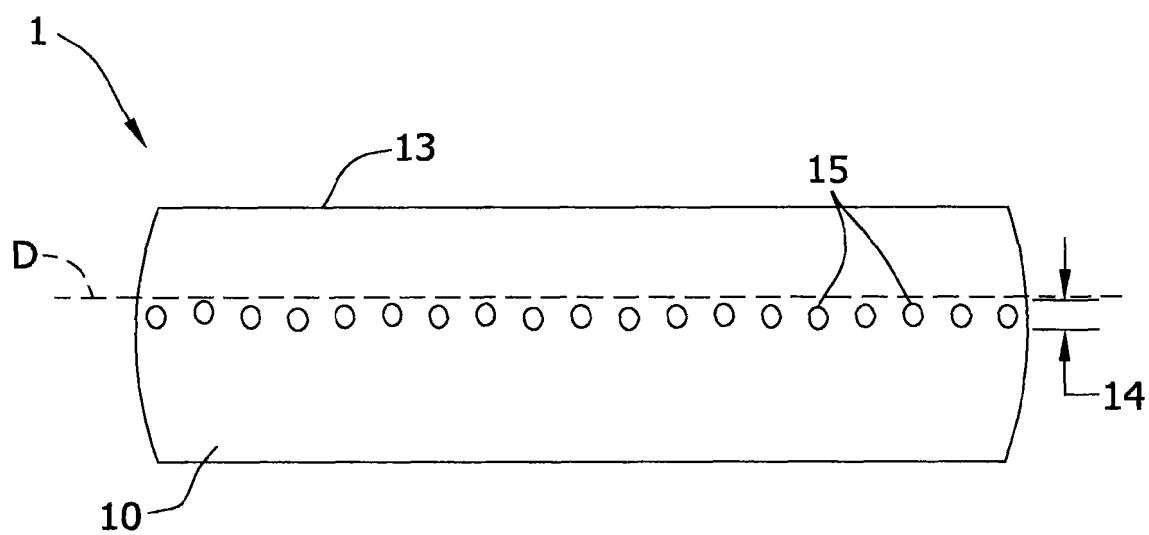


图 3

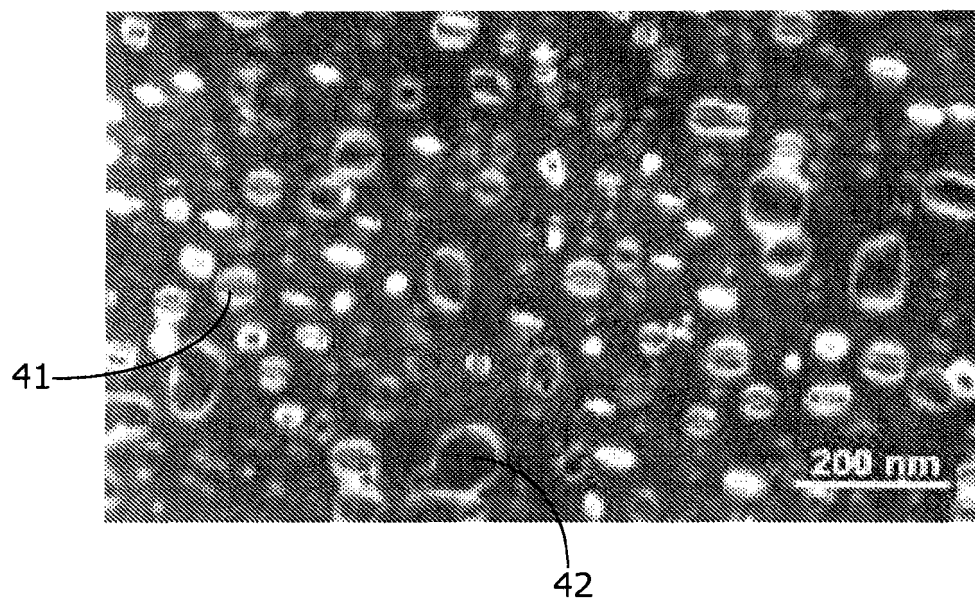


图 4