

274637

申請日期	84.05.22
案 號	84105226
類 別	H01L 37/08

A4  
C4

274637

(以上各欄由本局填註)

發明 專利 說明 書

一、發明 名稱	中 文	具新穎佈線結構之高速DRAM
	英 文	HIGH SPEED DRAM WITH NOVEL WIRING STRUC <small>所 登 止 章 務</small>
二、發明 人	姓 名	江間泰示
	國 籍	日 本
	住、居所	日本國神奈川縣川崎市中原區上小田中1015番地
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中1015番地
	代 表 人 姓 名	關澤義

裝 訂 線

經濟部中央標準局員工消費合作社印製

274637

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 1994.2.9 案號： 特願字 6-015011 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀下面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種半導體儲存裝置，尤指一種高速動態隨機存取記憶體(DRAM)。

第6圖係一示意平面視圖其顯示一傳統DRAM晶片之佈局。

DRAM晶片71具有輸入/輸出墊72，列解碼器73，列選擇信號線74，感測放大器75，資料匯流排線76，記憶元陣列段77，字線78，及行解碼器79。

如第6圖所示，多數個輸入/輸出(I/O)墊72係在第6圖所看入之垂直方向上於晶片71之中心處呈直線設置。列解碼器CD 73係在第6圖看入之水平方向上於接近晶片71較長側之中心處設置。一藉列解碼器73選擇之列位址信號係經由一與晶片71之較長側平行形成之列選擇信號線74而供應至每一感測放大器(S/A)75之選擇側邊(一列選擇電晶體之閘極電極)處。來自每一記憶元陣列段之位元線BL係平行列選擇線CLS而形成。

傳送每一S/A 75之輸出側(每一列選擇電晶體之源極或汲極電極)之輸出(一選定位元線上之資訊)用之每一資料匯流排線76a係平行於晶片71之較短側而設置，且連至S/A 75之一輸出電路80。一放大信號係經由一資料匯流排線76b而供應至相關之I/O墊72處。

記憶元陣列段77(每一段包括矩陣形狀之記憶元)係設於I/O墊72之序列之兩側上。位元線BL 105連接記憶元與S/A 75之輸入側且由矽化物膜形成。位元線105延伸而平行於晶片71之較長側。每一字線78延伸而平行於晶片71之

(請先閱讀背面之注意事項再  
訂

裝

訂

線

## 五、發明說明( )

較短側，且連接記憶元與一設於I/O墊72之任一側上的行解碼器RD 79。

第7A至7D圖為截面視圖其說明製造一DRAM晶片之傳統程序。

第7A至7D圖中以參考號碼表示之DRAM晶片之構成元件包括一半導體Si基質81，一場氧化物膜82，一源極擴散層83，一汲極擴散層84，一閘極絕緣膜85，一閘極電極86，一儲存電極87，一電容器電介質層88，一相反或共用電極89，一源極擴散層90，一汲極擴散層91，一閘極絕緣膜92，一閘極電極93，一第一SiO<sub>2</sub>膜94，一第二SiO<sub>2</sub>膜95，一BPSG膜96，貫穿孔96a及96b，一Ti膜97，一TiN膜98，一W膜99，一W插塞件99a，一Al膜100，一字線100a，一源極佈線100b，一汲極佈線100c，一位元線105，一TiN膜111，電漿氧化物膜112及113，一自旋玻璃(SOG)膜114，一電漿氧化物膜115，以及一貫穿孔115a。

製造一DRAM晶片之傳統程序將參看第7A至7D圖加以說明。

第一程序(參看第7A圖)

有源區係藉場氧化物膜82加以界定。在一有源區中，形成一由MOSFET與儲存電容器構成之記憶元，MOSFET包括源極擴散層83，汲極擴散層84，閘極絕緣膜85，閘極電極86，及構成位元線BL之源極電極105，以及儲存電容器包括分別形成於汲極擴散層84上之儲存電極87，電介質層88，及反向電極89。在另一有源區中，形成一周邊電路例如

## 五、發明說明( )

一感測放大器 S/A 其包括一由源極擴散層 90，汲極擴散層 91，閘極絕緣膜 92 及閘極電極 93 構成之一 MOSFET。

BPSG 膜 96 覆蓋記憶元及周邊電路例如 S/A。在周邊電路(例如 S/A)之區域中選擇式蝕刻第一及第二 SiO<sub>2</sub> 膜 94 與 95 以及 BPSG 膜 96 以便形成外露源極及汲極擴散層 90 及 91 之貫穿孔 96a 及 96b。

### 第二程序(參看第 7B 圖)

在 BPSG 膜 96 及藉第一程序形成之貫穿孔 96a 與 96b 上，噴鍍 Ti 膜達一 20nm 之厚度。TiN 膜 98 係噴鍍至 Ti 膜 97 上達一 50nm 之厚度以便充作稍後形成之 W 膜 99 之膠膜層俾加強對 BPSG 膜 96 之黏附性。

其次，為改善藉稍後之噴鍍程序所形成之 Al 膜 100 之覆蓋度，W 膜 99 即藉化學氣相沈積(CVD)法增長於 TiN 膜 98 上達一 500nm 之厚度。W 膜 99 被回蝕以便外露具一平面化表面之 TiN 膜 98 並以 W 插塞件 99a 充填貫穿孔 96a 及 96b。

### 第三程序(參看第 7C 圖)

在第二程序外露之 TiN 膜 98 上，噴鍍 Al 膜 100 達一 0.5  $\mu$ m 之厚度。TiN 膜 112 係噴鍍至 Al 膜 100 上達一 0.15  $\mu$ m 之厚度，以及電漿氧化物膜 112 係增長於 TiN 膜 111 上達一 0.1  $\mu$ m 之厚度。

其次，電漿氧化物膜 112，TiN 膜 111，Al 膜 100，TiN 膜 98，以及 Ti 膜 97 係藉光刻法(及活性離子蝕刻(R/E))加以選擇性蝕刻以便形成字線 100a，源極佈線 100b，汲極佈線 100c 以及資料匯流排線(參看第 6 圖)。

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 五、發明說明( )

假設Al膜100上之TiN膜111省略時，則一稍後藉Al佈線形成之貫穿接點結構即直接接觸Al膜100。在此情形下，空隙會因Al之徙動而產生在接點表面中且易於產生一接點瑕疵。在一細微區域中之兩Al膜間之直接接觸會導致一裝置之瑕疵假設Al中形成間隙的話，因此可靠度會大幅退化。為避免此一現象，必須在細微區域處之外露Al膜100之貫穿孔中採用Al以外之材料。TiN膜即因上述理由而形成於Al膜100上。

因Al膜100甚厚，故假設在光刻法中僅採用一光阻膜時則蝕刻光罩功能會不夠充分。電漿氧化物膜112被引入以便改善蝕刻光罩功能。

TiN膜111，Al膜100，TiN膜98，以及Ti膜97均可藉相同之蝕刻系統加以蝕刻。

#### 第四程序(參看第7D圖)

電漿氧化物膜( $\text{SiO}_2$ )113係增長於字線100a，源極佈線100b，汲極佈線100c及資料匯流排線(平行於字線，未顯示)上達一200nm之厚度。SOG係被覆至電漿氧化物膜113上且熟化以形成充填佈線膜間之溝槽的SOG膜114。在SOG膜114上，電漿氧化物膜( $\text{SiO}_2$ )115係形成達一700nm之厚度。其次，貫穿孔115a係藉光刻法由電漿氧化物膜115之表面形成至TiN層111之表面。

藉著此種製法，然而，假設Al膜100製成較厚以便減少資料匯流排線之電阻時，則藉Al膜100形成之字線100a間之間隙即變得甚深，形成一深且窄之溝槽。字線之節距

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 五、發明說明( )

無法任意加寬。因難以藉一簡易方式例如一TEOS-0<sub>3</sub>氧化物膜來充填深溝槽，所以需採用液體材料例如SOG。

在電漿氧化物膜以上，一TiN膜噴鍍達一100nm之厚度而Al膜在該TiN膜上噴鍍達一800nm之厚度。接著Al膜藉光刻法及RIE加以樣式化以便在相同於位元線105之方向上形成CLS線。接著，一半導體儲存裝置藉著實施其他程序例如形成一鈍化膜之方式而完成。

依據第6圖說明之傳統技術，一DRAM具有下列信號路線。(1)外部位址信號→行解碼器79→字線78之選擇→將連至字線78之記憶元77中之資料輸出至位元線105→藉著來自位元線105之輸出之S/A 75加以檢測及放大，(2)外部位址信號→列解碼器73→列選擇線74→S/A 75之選擇，以及(3)經由資料匯流排線76由S/A 75輸出資料。

在高速DRAM例如一同步動隨機存取記憶體(SDRAM)中，所有信號均與一高速資料輸入/輸出用之外部時鐘進行同步輸入/輸出。上述信號路線，尤其是具有一甚長佈線距離且流動一相當大之電流的資料匯流排線路76，係需要抑制一信號傳輸延遲。

為抑制資料匯流排線76上之信號傳輸延遲，所以需要一低CR常數其中C為一電容而R為一電阻。因此，吾人希採用一具有低電阻及低寄生電容之資料匯流排線。

上述依據傳統技術之DRAM基本上採用在晶片之水平方向上設置之字線及資料匯流排線，以及在垂直方向上設置之CLS線。

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

設於水平方向上之字線及資料匯流排線需要以一絕緣狀態與設於垂直方向上之CLS線相交，因此兩種型式之線係利用兩不同之佈線層而形成。

由上述理由，它採用包括第一與第二佈線層之兩層式結構，字線及資料匯流排線係藉第一佈線層形成，而CLS線則藉第二佈線層形成。

當記憶元尺寸變得較小時，即需要形成較精細之字線，其中資料匯流排線之電阻需要為小以便抑制信號傳輸延遲。

為形成低電阻之資料匯流排線，吾人希望用低電阻材料例如Al以及製成一甚厚之膜。

然而，精細之Al佈線易於電遷移及應力徙動。此外，為形成一精細及甚厚之佈線層，即需要一實現非常高之縱橫尺寸比之特殊程序。

此外，假設相鄰佈線層製成精細且甚厚時，該佈線層間之寄生電容即遞增。例如，字線間之干擾會提升而使一未選定字線之位準(電位)高於一接地位準(零電位)，以致破壞未選定記憶元中之資料。

同時滿足精細字線及低電阻資料匯流排線之需求會變得更困難。

本發明之一目的係提供一半導體儲存裝置其可同時實現精細字線及低電阻資料匯流排線且容許一高速作業及一高儲存容量。

依據本發明之一觀點，係提供一種具有一半導體晶片

(請先閱讀背面之注意事項再...本頁)

裝

訂

線

## 五、發明說明( )

之半導體儲存裝置，包含：一記憶元陣列包括多數個設置成矩陣形狀之記憶元；多數條字線而每一字線連至一相關行之記憶元；一行解碼器俾選擇一字線；多數條位元線而每一位元線連至一相關列之記憶元；多數個感測放大器而每一放大器包括一感測放大器選擇電晶體其具有一連至相關位元線之輸入電極；一列選擇線連至每一感測放大器選擇電晶體之閘極電極；一列解碼器俾選擇一列選擇線；以及一資料匯流排線連至每一感測放大器選擇電晶體之輸出電極；其中列選擇線係設置成相交字線及資料匯流排線，以及至少部分字線及至少部分資料匯流排線係藉不同佈線層而形成。

字線可藉一第一位準金屬佈線層形成，列選擇線可藉一形成在第一位準金屬佈線層上之第二位準金屬佈線層形成，以及資料匯流排線可藉一形成在第二位準金屬佈線層上之第三位準金屬佈線層形成。

字線及資料匯流排線係藉一三層式結構之不同佈線層而形成。例如，字線係藉一第一位準W薄佈線層而形成，CLS係藉一第二位準A1佈線層而形成，以及資料匯流排線係藉一第三位準A1厚佈線層而形成。因此有可能提供精細之字線及低電阻之資料匯流排線。

依據本發明之另一觀點，係提供一種具有半導體晶片之半導體儲存裝置，包括：一記憶元陣列其包括多數個設置成矩陣形狀之記憶元；多數條局部字線而每一字線連至一相關行之記憶元；一局部行解碼器俾選擇一局部字線；

(請先閱讀背面之注意事項再以此本頁)

裝

訂

線

## 五、發明說明( )

多數條泛用字線而無一字線連至一相關局部行解碼器；一泛用行解碼器俾選擇一泛用字線；多數條位元線而每一位元線連至一相關列之記憶元；多數個感測放大器而每一放大器包括一感測放大器選擇電晶體其具有一連至一相關位元線之輸入電極；一系列選擇線連至每一感測放大器選擇電晶體之閘極電極；一系列解碼器俾選擇一系列選擇線；以及一資料匯流排線連至每一感測放大器選擇電晶體之輸出電極，其中局部字線係藉一第一位準金屬佈線層形成，列選擇線係藉一在第一位準金屬佈線層上之第二位準金屬佈線層形成，以及泛用字線係藉一在第二位準金屬佈線層上之第三位準金屬佈線層形成。

第三位準金屬佈線層可藉一引線框架之金屬薄板形成。

依據本發明之進一步觀點，係提供一種具有半導體晶片之半導體儲存裝置，包括：一記憶元陣列包括多數個設置成矩陣形狀之記憶元；多數條字線而每一字線連至一相關行之記憶元；一行解碼器俾選擇一字線；多數條位元線而每一位元線連至一相關列之記憶元；多數個感測放大器而每一放大器包括一感測放大器選擇電晶體其具有一連至一相關位元線之輸入電極；一系列選擇線連至每一感測放大器選擇電晶體之閘極電極；一系列解碼器俾選擇一系列選擇線；以及一資料匯流排線連至每一感測放大器選擇電晶體之輸出電極，其中字線係藉一第一位準金屬佈線層形成，資料匯流排線係藉一在第一位準金屬佈線層上之第二位準金

(請先閱讀背面之注意事項再...本頁)

裝

訂

線

## 五、發明說明( )

屬佈線層形成，以及列選擇線係藉一在相關於記憶元陣列之區域處之第二位準金屬佈線層以及藉一在相關於感測放大器之區域處之第一位準金屬佈線層而形成。

採用兩層式結構。例如，字線係藉一第一位準W薄佈線層形成，以及資料匯流排線係藉一第二位準A1厚佈線層形成。CLS線係藉著一記憶元陣列段之區域處之第二位準A1厚層，及藉著一在S/A區域處之第一位準W薄佈線層而形成。因此有可能提供精細之字線，及具有一較傳統技術為低之電阻之資料匯流排線。

基本上，假設字線及資料匯流排線係藉不同之佈線層形成時，則可同時達成精細之字線及資料匯流排線上之受抑制之信號傳輸延遲而不致於在兩種型式之線路之佈線中存有任何特殊之限制。

本發明對半導體儲存裝置例如DRAM之高積體化及高速作業方面貢獻良多。

第1A及1B圖係示意平面視圖其顯示本發明第一實施例之DRAM晶片之佈局，以及一感應放大器電路之電路圖。

第2A至2F圖為截面視圖其說明製造第一實施例之DRAM晶片之方法之主要程序。

第3圖為本發明第二實施例之半導體儲存裝置之示意平面視圖。

第4A及4B圖為示意平面視圖其說明本發明第三實施例之半導體儲存裝置之結構。

第5A至5F圖係顯示本發明之第四實施例，其中第5A及

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

5B圖為一示意平面及一截面視圖其揭示一引線框架與一晶片間之關係，第5C圖為一示意平面視圖其揭示晶片上之佈線與引線框架間之連接，第5D圖為一示意平面視圖其揭示金屬模具與晶片間之關係，以及第5E及5F圖為截面視圖其揭示樹脂模製後切割一引線框架之方法。

第6圖為一示意平面視圖其顯示傳統技術之DRAM晶片之佈局。

第7A至7D圖為截面視圖其說明一傳統DRAM晶片之製程。

本發明實施例將於下文中說明。

### (第一實施例)

第1A圖為一示意平面視圖其顯示本發明第一實施例之DRAM晶片之佈局。第1A圖所示之矽晶片1包括輸入/輸出墊2，列解碼器3，列選擇線4，感測放大器5a及5b，資料匯流排線6，記憶元陣列段7a、7b，字線8，行解碼器9以及位元線10。

如第1A圖所示，多數個輸入/輸出(I/O)墊2係在第1A圖看入之垂直方向上於晶片1之中心處呈直線設置。列解碼器CD 3係在第1A圖看入之水平方向上於接近晶片1之較長側之中心處設置。一藉列解碼器3選擇之列位址信號係經由一與晶片1之較長側平行形成之列選擇信號(CLS)線4而供應至每一感測放大器(S/A)5a、5b之列選擇輸入端。

第1B圖顯示一相關於一系列之感測放大器S/A。一對位

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

元線BL及BL係連至一由n-通道電晶體Tn1與Tn2及p-通道電晶體Tp1與Tp2所組成之正反器，並經由列選擇電晶體T1a及T1b而連至資料匯流排線DB及DB。一CLS線係連至電晶體T1a及T1b之閘極。

回參第1A圖，傳送一來自S/A 5a、5b之輸出之資料匯流排線6係平行於晶片1之較短側而設置，且經由S/A 5a、5b之輸出電路而連至I/O墊2。

位元線10及字線8係形成於每一記憶元陣列段7a及7b中。每一記憶元陣列段包括設置成行與列之矩陣之記憶元。記憶元陣列段亦設置成矩陣形狀並分成在I/O墊2兩側上之兩組。由矽化物膜製成之位元線10係平行於晶片1之較長側延伸且連至S/A 5a、5b之輸入側。字線8係平行於晶片1之較短側延伸且連至一行解碼器(RD)9。行解碼器9係設於I/O墊2之右及左側上之記憶元陣列段7a與7b之間。

每一記憶元陣列段7a、7b具有128(位元線對)×256(字線)之結構。本實施例之DRAM晶片之每一記憶元為由本發明人所提出之一翼片堆疊式電容器之例如第2A圖所示者。一記憶元之尺寸為 $0.75\mu\text{m}$ (字線節距)× $1.7\mu\text{m}$ (感測放大器節距)= $1.275\mu\text{m}^2$ 。

身為形成字線之一第一佈線層(M1)，一400nm之鎢(W)薄膜係用以解決一佈線縱橫尺寸比及相關於一傳統DRAM晶片之字線之徙動等問題。每一字線具有一 $0.35\mu\text{m}$ 之寬度及一距相鄰字線 $0.40\mu\text{m}$ 之距離(間隙)。

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

由鎢薄膜製成之第一佈線層(M1)之薄膜電阻為 $0.3\Omega$  / 其高於鋁(A1)之薄膜電阻。因此，行解碼器9設於輸入墊2之兩側上之記憶元陣列段7a與7b之間以便二等分由每一行解碼器9至每一字線終端之距離且抑制字線上之信號傳輸延遲。晶片上之行解碼器數量可遞增。

因採用一具低佈線縱橫尺寸比之薄W膜，所以易於製得一字線之精細樣式且亦易於在形成字線後之一絕緣膜之表面平面化作業。此種佈線層不僅可供字線之用，且可供其他周邊電路之佈線之用。

因一第二佈線層(M2)主供形成CLS線及電源線之用，所以採用 $100\text{nm}$ 厚度之氮化鈦(TiN)膜及 $500\text{nm}$ 之鋁(A1)膜。CLS線之寬度為 $100\mu\text{m}$ ，以及相鄰CLS線間之距離，例如，為 $0.7\mu\text{m}$ 。

佈線寬度應設定成相當大使得充作佈線材料之A1層係設定成具有一相當小之 $500\text{nm}$ 厚度以便使佈線層形成後之平面化作業易於進行。

因足夠小之佈線縱橫尺寸比之故，一佈線層之精細樣式易於得到，以及佈線層可供其他周邊電路之佈線之用。

因一第三佈線層(M3)主供形成資料匯流排線，長距離線及電源線之用，所以採用厚度為 $1\mu\text{m}$ 之鋁(A1)膜。無需設定如此精細之佈線層寬度。因此，為不採用一昂貴之步階，寬度即設定為大，例如， $5\mu\text{m}$ 。

此類三佈線層之採用可改善設計自由度並解除程序限制。雖額外使用兩光罩，惟因光罩尺寸精度之大公差(尤

(請先閱讀背面之注意事項再填)

裝

訂

線

## 五、發明說明( )

其是第三佈線層光罩)之故使得程序數量之增加及費用上升等現象實質上甚小。

第2A至2F圖為截面視圖其說明第一實施例之DRAM晶片之製法的主要程序。

第2A至2F圖中以參考號碼代表之DRAM晶片之構成元件包括一半導體基質11，一場氧化物膜12，一源極擴散層13，一汲極擴散層14，一閘極絕緣膜15，一閘極電極16，一位元線10，一儲存電極17，一電介質層18，一相反或共用電極19，一源極擴散層20，一汲極擴散層21，一閘極絕緣膜22，一閘極電極23，一第一SiO<sub>2</sub>膜24，一第二SiO<sub>2</sub>膜25，一BPSG膜26，貫穿孔26a及26b，一Ti膜27，一TiN膜28，一W膜29，一字線29a，一源極佈線29b，一汲極佈線29c，一電漿氧化物膜30，一TEOS-O<sub>2</sub>氧化物膜31，一貫穿孔31a，一TiN膜32，一Al膜33，一CLS線33a，一電漿氧化物膜34，一TEOS-O<sub>2</sub>氧化物膜35，一貫穿孔35a，一Al膜36，一資料匯流排線36a，以及一泛用字線36b。

第一實施例之DRAM晶片之製法將參看第2A至2F圖加以說明。

第一程序(參看第2A圖)

有源區係藉著形成至半導體基質11(例如矽)上之場氧化物膜12加以界定。在一記憶元形成區中，形成一由MOSFET及一儲存電容器構成之記憶元，MOSFET包括源極擴散層13，位元線10，汲極擴散層14，閘極絕緣膜15，及閘極電極16，以及分別形成於汲極擴散層14上之包括儲存電

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

極 17 之儲存電容器，電介質層 18，及相反電極 19。在一周邊電路形成區中，形成一周邊電路例如一感測放大器 S/A 其包括一由源極擴散層 20，汲極擴散層 21，閘極絕緣膜 22 及閘極電極 23 所構成之一 MOSFET。第 2A 圖所示之周邊電路之電晶體係假設為一感測放大器之電晶體。

BPSG 膜 26 覆蓋記憶元及周邊電路例如 S/A。周邊電路例如 S/A 之區域中之第一與第二 SiO<sub>2</sub> 膜 24 及 25 以及 BPSG 膜 26 係加以選擇式蝕刻以便形成外露源極與汲極擴散層 20 及 21 之貫穿孔 26a 及 26b。

第二程序(參看第 2B 圖)

在具有藉第一程序形成之貫穿孔 26a 及 26b 之 BPSG 膜 26 上，噴鍍 Ti 膜 27 達一 20nm 之厚度。TiN 膜 28 噴鍍至 Ti 膜 27 上達一 50nm 之厚度。具有一薄膜電阻 0.3Ω / 之 W 膜 29 係藉 CVD 增長於 TiN 膜 28 上。

其次，W 膜 29，TiN 膜 28，及 Ti 膜 27 係藉光刻法及 RIE 進行選擇式蝕刻以便形成記憶元陣列段上之字線 29a 及周邊電路之源極與汲極佈線 29b 及 29c。

採用 W 充作佈線材料之理由如下。貫穿孔 26a 及 26b 既小且深因此佈線層之覆蓋會變得不良，假設該層係以噴鍍方式形成的話。假設 W 膜係藉 CVD 形成，則易獲得一良好之覆蓋效果。一 W 膜對電遷徙及應力徙動有高度之抗性因此即使一精細窄佈線層之可靠度亦不致退化。

在 W 膜 29 下側形成 Ti 膜 27 及 TiN 膜 28 之理由為改善藉 CVD 增長而成之 W 膜 29 與 BPSG 膜 26 及 SiO<sub>2</sub> 膜之不良黏附性

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明 ( )

，以及與Si之高接觸電阻。此類Ti膜27及TiN膜28稱為膠層。

### 第三程序(參看第2C圖)

厚度為100nm之電漿氧化物膜30及厚度為800nm之TEOS-0。氧化物膜31係增長於字線29a，源極佈線29b以及汲極佈線29c之上。貫穿孔31a係藉著光刻法及RIE而形成以便部分外露周邊電路例如S/A之源極佈線29b之表面。

TEOS-0，氧化物膜31為利用TEOS及O<sub>2</sub>充作氣體源並藉CVD增長而成之一氧化物SiO<sub>2</sub>膜，此膜顯示出流動性且可充填一凹部。下側之電漿氧化物膜30藉著提供一均勻下層而用來平面化TEOS-0，氧化物膜31，此因膜31之增長相關於下側表面之故也，以及亦充作一隔膜俾防止氫氣（而該氫氣為TEOS-0，氧化物膜31增長期間之副產物）進入電晶體有源區內。

### 第四程序(參看第2D圖)

在具有部分外露源極佈線29b之貫穿孔31a之電漿氧化物膜30及TEOS-0，氧化物膜31上，噴鍍一厚度達100nm之TiN膜32。Al膜33噴鍍至TiN膜32上達一500nm之厚度，且藉光刻法及RIE而樣式化以便形成CLS線33a及源極佈線33b。

TiN膜32係用以改善對Al膜33之應力徙動之抗力。

藉著以上程序，形成第一佈線層之W膜29及第二佈線層之Al膜33。在一傳統半導體儲存裝置中，如稍早所述，字線及匯流排線係藉第一佈線層之W膜形成，以及CLS線

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明( )

係藉第二佈線層之Al膜33形成。因此，資料匯流排線具有一高電阻，造成資料匯流排線上之大幅信號傳輸延遲。

本實施例之半導體儲存裝置之資料匯流排線係藉著次一程序中將作說明之低電阻，甚厚之第三佈線層而形成。

第五程序(參看第2E圖)

在第四程序所形成之CLS線33a上，增長一厚度為100nm之電漿氧化物膜34而TEOS-0。氧化物膜35係增長於該膜上達一1000nm之厚度。

接著，TEOS-0。氧化物膜35及電漿氧化物膜34係藉光刻法及RIE加以樣式化以便形成部分外露源極佈線33b之表面之貫穿孔35a。接著，移除光刻法所採用之光阻膜。

第六程序(參看第2F圖)

在形成有貫穿孔35a之TEOS-0。膜35上，噴鍍一厚度為 $1.0\mu\text{m}$ 之Al膜36，且藉光刻法及RIE加以樣式化以便形成連至感測放大器之資料匯流排線36a。

在第2F圖中，第二實施例所採用之泛用字線36b亦為稍後將作之說明之方便性而顯示。

此RIE之後，移除充作一蝕刻光罩用之光阻膜。

接著，實施例如形成一鈍化膜之程序以完成半導體儲存裝置。

因為晶片成本會提升，所以一DRAM晶片之額外佈線層所造成之製程的增加並不好。

如稍早所述，非常難以形成一具有非常高之縱橫尺寸比之佈線。因此需要提供某些特殊裝置以形成一具有非常

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明( )

高縱橫尺寸比佈線之裝置之間作比較。

傳統技術藉著第一佈線層之厚鋁膜而形成字線及資料匯流排線，其中實施例藉第一佈線層而形成字線以及藉不同之第三佈線層而形成資料匯流排線。實施例方法約具有如第2E及2F圖所示之兩額外程序。然而，假設一佈線或接點孔之縱橫尺寸比為2或更高時，則傳統技術即被視為亦需額外程序。即使此類額外程序未納入考慮，程序數量間之差異約為整個程序數量之2%。此一差異可藉著由第三佈線層形成之長距離佈線及電源線所減少之晶片面積而易於受到補償。

在第一實施例之以上說明中，CLS線係藉第二佈線層形成而資料匯流排線則藉第三佈線層形成。CLS線及資料匯流排線可互換式分別在第三及第二佈線層形成。雖然假設列選擇線CLS之長度希被縮短時一對列解碼器CD係設於第1A圖中之右側及左側上，列解碼器CD之數量可遞增。記憶元陣列段及行解碼器之佈局並非僅以第1A圖顯示者為限。

(第二實施例)

第3圖為一示意平面視圖其顯示本發明第二實施例之DRAM晶片之佈局。

顯示於第3圖中之晶片41包括輸入/輸出墊42，列解碼器43，列選擇線44，感測放大器45a、45b，資料匯流排線4b，記憶元陣列段47a、47b，泛用字線48a，局部字線48b，泛用行解碼器49a，局部行解碼器49b，以及位元線

## 五、發明說明( )

50。泛用行解碼器解碼例如一 $n$ -位元行位址之上 $(n-1)$ 個位元，以及局部行解碼器解碼剩餘之1位元。多數個局部解碼器可在列方向上連至一泛用解碼器。

如第3圖所示，多數個輸入/輸出(I/O)墊42係在第3圖看入之垂直方向上於晶片41之中心處呈直線設置。列解碼器CD 43係平行於晶片41之較短側布於接近晶片41之較長側之中心處設置。一藉列解碼器43選擇之列位址信號係經由一平行於晶片41之較長側而形成之列選擇信號(CLS)線44以供應至一相關感測放大器(S/A)45a或45b之列選擇輸入端處。

用以傳送來自S/A 45a、45b之一輸出之資料匯流排線46係平行於晶片41之較短側設置，且經由S/A 45a、45b之輸出電路而連至I/O 墊42。

位元線50係形成於呈矩陣形狀設置之每一記憶元陣列段47a及47b中，該記憶元陣列段分成在I/O 墊42兩側上之兩組。由矽化物膜製成之位元線50平行於晶片41之較長側延伸且連至S/A 45a、45b之輸入側。局部行解碼器49b係設於呈矩陣形狀設置之記憶元陣列段47a與47b之間，記憶元陣列段分成在I/O 墊42兩側上之兩組。局部字線48b充作記憶段47a、47b中之字線，平行於晶片41之較短側延伸以及連至局部行解碼器49b。局部行解碼器49b係經由泛用字線48a而連至設在墊42之兩側上之一泛用行解碼器49a

## 五、發明說明( )

處。局部行解碼器係解碼一行位址之下位元以便選擇局部字線48b。第3圖中，泛用字線48a橫過局部行解碼器49b並延伸達記憶元陣列段47a。此乃假設佈局具有屬於同一泛用行解碼器之其他局部行解碼器。泛用字線係平行於資料匯流排線，且兩線藉同一佈線層形成。

本實施例之DRAM晶片類以於第一實施例但不同處為行解碼器分成於用行解碼器49a及局部行解碼器49b，泛用行解碼器49a藉著利用由第三A1線層(M3)形成之泛用字線48a來選擇局部行解碼器49b，及選定之局部行解碼器49b解碼低位元以便選擇由第一W佈線層(M1)形成之局部字線48b。DRAM晶片之結構具有一類似第2F圖之橫截面。此一結構可藉類似於第2A圖至2F所說明之程序的程序加以實現。第2F圖中，泛用字線36b係平行於資料匯流排線36a。

雖此一佈局採用延伸達一長距離之泛用字線48a，局部行解碼器仍解碼最低之行位址位元，使得泛用字線之數量為充作實際字線之局部字線48b之數量之半。假設局部行解碼器係配置成解碼更多之位址位元，則泛用字線之數量即變得較小。泛用字線48a之數量通常少於局部字線48b之數量，因此佈線之寬度可製作成較寬。因局部字線48b可製成甚短，所以即使一薄金屬膜之電阻亦不會造成實際問題。依此方式，晶片41之面積可減少且高速電路運作可達成。

即使第一佈線層(M1)之電阻性遞增亦可藉著增加局部行解碼器49b之數量的方式加以補償。

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

### (第三實施例)

第4A及4B圖為本發明第三實施例之半導體儲存裝置之示意平面視圖。第4A圖顯示佈線之輪廓，及第4B圖顯示感測放大器與記憶元間之關係。

第4A圖顯示之晶片51包括記憶元陣列段52，感測放大器53a及53b，字線54，資料匯流排線55，列選擇線56a及56b，及位元線57a至57d。

雖第一及第二實施例採用一額外之佈線層，本實施例提供類似於未採用額外佈線層之第一與第二實施例之效果。

如第4A圖所示，在晶片51上設置成矩陣形狀之每一記憶元陣列段52中，位元線50係由一金屬佈線層下側之矽化物膜形成，位元線在圖中水平延伸且連至S/A 53a、53b之輸入側。藉第一佈線層形成之字線54在圖中垂直延伸。藉第二佈線層形成之資料匯流排線55在圖中垂直延伸，且傳送來自感測放大器S/A 53a、53b之輸出。

選擇S/A用之列選擇線CLS 56a及56b係藉著具有 $1\mu\text{m}$ 厚度之第二Al佈線層(M2)而形成至記憶元陣列段52上，並藉著具有 $400\text{nm}$ 厚度之第一W佈線層(M1)而形成至S/A區域上。字線係由記憶元陣列段朝向行解碼器設置，且未設置於記憶元陣列段間之區域上，該區域包括感測放大器。字線用之佈線層因此亦可供本區域中之CLS線使用。類似地，資料匯流排線係設置在感測放大器之區域上，且未設置在記憶元陣列段之區域上。因此，資料匯流排線用

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 五、發明說明( )

之佈線層亦可供記憶元陣列段之區域上之CLS線使用。

藉著CLS線之此種配置，具有一低縱橫尺寸比及高可靠度之字線54及具有一相當低之電阻之資料匯流排線55可藉兩層結構加以實現。

第一佈線層(M1)亦充作S/A 53a、53b之電路中之佈線及互連件之用。並非總是可能任意地將CLS線橫跨S/A 53a、53b而設置。

第4B圖顯示感測放大器及記憶元之佈局實例。連至記憶元52a之位元線57a至57d係設於具有一相關於感測放大器區之寬度之區域內，以及感測放大器係設於記憶元陣列段之兩側上。

在此情形下，每一S/A 53c、53d均設於具有一相關於4條位元線57a至57d之寬度之區域內。簡言之，S/A區域之寬度被加倍。因此存有一空間可藉第一佈線(M1)形成CLS線56a及56b。

然而，因感測放大器53a及53b係設於記憶元陣列段之兩側上，所以一晶片面積即增加。本實施例之一晶片面積之增加係無可避免的雖然DRAM晶片之資料匯流排線之電阻可予以減少而不致遞增程序之數量。

另有一較第一及第二實施例之性能為低之缺點將會由S/A 53a、53b之區域中之第一佈線層(M1)所形成之部分CLS線56b所致之信號傳輸延遲造成。

雖有此類缺點，惟成本及性能均較習知技術為佳。

(第四實施例)

(請先閱讀背面之注意事項再訂本頁)

裝

訂

線

## 五、發明說明( )

第5A至5F圖顯示本發明第四實施例之半導體儲存裝置。第5A圖為一平面視圖其顯示結合至一晶片之引線框架，以及第5B圖為沿第5A圖剖面線VB-VB剖開之截面視圖。第5C圖顯示引線框架及佈線之主要部分。

如第5A圖所示，結合墊64之多條線係形成在一半導體晶片70上。引線框架62之引線62a朝結合墊64未形成之區域延伸，且藉兩側式黏著帶黏著至該區域。

第5A圖中藉參考號碼表示之元件包括局部資料匯流排線61a及61b，一引線框架62，主要資料匯流排線62a及62b，S/A 63，墊64a及64b，結合線64c及64d，CLS線65，字線66，及行解碼器67。

第5C圖顯示晶片之放大示意頂視圖。引線62a及62b為第5A及5B圖所示引線框架之部分且充作主要資料匯流排線。感測放大器63係呈直線設於引線框架之引線62a與62b之間，以及一記憶元陣列段係設於引線62b之右側上。連至行解碼器67之字線66係設於記憶元陣列段之區域內。

資料匯流排線係分成由第一佈線層(M1)所形成之局部資料匯流排線61a、61b以及由引線框架之引線所形成之一主要資料匯流排線62a、62b。局部資料匯流排線及主要資料匯流排線係藉結合線連接。

局部資料匯流排線61a、61b係藉S/A63之區域內之第一佈線層(M1)而形成。連至S/A 63之輸出電路之局部資料匯流排線係經由一墊64a、64b及一結合線64c、64d而連至主要資料匯流排線62a、62b。

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明( )

連至S/A 63之CLS線65係藉第二佈線層(M2)形成，且連至行解碼器67之字線66係藉第一佈線層(M1)形成。

此一佈局使局部資料匯流排線61a及61b變短使得資料匯流排線之整體電阻可減低，即使局部資料匯流排線61a及61b之薄膜電阻為高時亦然。

在為資料匯流排線佈線時，當引線框架62附著至晶片70之表面如第5A及5B圖所示之後，墊64a、64b即藉結合線64c、64d而電連至主要資料匯流排線62a、62b如第5D圖所示。如第5E及5F圖所示，引線框架62係夾於金屬模具74a與74b之間。某些引線被切除如第5E圖所示，以及其餘引線則延伸至外側如第5F圖所示。其次，晶片乃藉密封樹脂68加以模製。接著，引線框架62之周邊閉合區域被切割以使外部延伸之引線彼此呈電氣式分隔以便形成積體電路之外部端子。

本實施例之局部資料匯流排線係藉一薄膜形成。然而，因其長度為短，所以電阻為小。一足夠低之電阻可為一結合線及一引線而實現。因此，整體電阻可保持為低。雖然外部端子引線及資料匯流排線需要個別(二倍)之引線切割，惟增加之程序仍甚少。

在此實施例中，引線框架之一引線係充作一資料匯流排線之部分。一字線之部分亦可藉引線框架之引線形成。例如，第二實施例之泛用線可藉一引線及一結合線形成。

本發明已相關於較佳實施例加以說明，本發明非僅受限於以上實施例。熟於本技藝人士明顯可知各種改變、變

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明( )

化、替換、組合及類似作法均可實施而不致偏離隨附申請  
專利範圍之範疇。

(請先閱讀背面之注意事項再填本頁)

裝  
訂  
線

## 五、發明說明 ( )

## 元件標號對照表：

2	輸入／輸出墊	23	閘極電極
3	列解碼器	24	第一 SiO <sub>2</sub> 膜
4	列選擇信號線 (CLS)	25	第二 SiO <sub>2</sub> 膜
5a	感測放大器	26	BPSG 膜
5b	感測放大器	26a	貫穿孔
6	資料匯流排線	26b	貫穿孔
7a	記憶元陣列段	27	Ti 膜
7b	記憶元陣列段	28	TiN 膜
8	字線	29	W 膜
9	行解碼器	29a	W 插塞件
10	位元線	29a	字線
11	半導體基質	29b	源極佈線
12	場氧化物膜	29c	汲極佈線
13	源極擴散層	30	電漿氧化物膜
14	汲極擴散層	31	TEOS-O <sub>2</sub> 氧化物膜
15	閘極絕緣膜	31a	貫穿孔
16	閘極電極	32	TiN 膜
17	儲存電極	33	Al 膜
18	電介質層	33a	CLS 線
19	相反或共用電極	34	電漿氧化物膜
20	源極擴散層	35	TEOS-O <sub>2</sub> 氧化物膜
21	汲極擴散層	35a	貫穿孔
22	閘極絕緣膜	36	Al 膜

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明( )

36a	資料匯流排線	57a至57d	位元線
36b	泛用字線	61a	局部資料匯流排線
41	晶片	61b	局部資料匯流排線
42	輸入／輸出墊	62	引線框架
43	列解碼器	62a	引線
44	列選擇信號線 (CLS)	62a	主要資料匯流排線
45a	感測放大器	62b	主要資料匯流排線
45b	感測放大器	63	感測放大器 (S/A)
46	資料匯流排線	64	結合墊
47a	記憶元陣列段	64a	墊
47b	記憶元陣列段	64b	墊
48a	泛用字線	64c	結合線
48b	局部字線	64d	結合線
49a	泛用行解碼器	65	CLS 線
49b	局部行解碼器	66	字線
50	位元線	67	行解碼器
51	晶片	68	密封樹脂
52	記憶元陣列段	70	晶片
53a	感測放大器	70	半導體晶片
53b	感測放大器	71	晶片
54	字線	72	輸入／輸出墊
55	資料匯流排線	73	列解碼器
56a	列選擇信號線 (CLS)	74	列選擇信號線 (CLS)
56b	列選擇信號線 (CLS)	74a	金屬模具

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明( )

74b	金屬模具	96	BPSG 膜
75	感測放大器	96a	貫穿孔
76	資料匯流排線	96b	貫穿孔
76a	資料匯流排線	97	Ti 膜
76b	資料匯流排線	98	TiN 膜
77	記憶元陣列段	99	W 膜
78	字線	99a	W 插塞件
79	行解碼器	100	Al 膜
80	輸出電路	100a	字線
81	半導體 Si 基質	100b	源極佈線
82	場氧化物膜	100c	汲極佈線
83	源極擴散層	105	位元線
84	汲極擴散層	111	TiN 膜
85	閘極絕緣膜	112	電漿氧化物膜
86	閘極電極	113	電漿氧化物膜
87	儲存電極	114	自旋玻璃膜(SOG)
88	電容器電介質層	115	電漿氧化物膜
89	相反或共用電極	115a	貫穿孔
90	源極擴散層	S/A	感測放大器
91	汲極擴散層	BL	位元線
92	閘極絕緣膜	BL	位元線
93	閘極電極	Tn1	n-通道電晶體
94	第一 SiO <sub>2</sub> 膜	Tn2	n-通道電晶體
95	第二 SiO <sub>2</sub> 膜	Tp1	p-通道電晶體

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 五、發明說明 ( )

Tp2 p-通道電晶體

DB 資料匯流排線

T1a 列選擇電晶體

DB 資料匯流排線

T1b 列選擇電晶體

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 具新穎佈線結構之高速DRAM)

一種高速操作之大容量半導體儲存裝置包括多數個記憶元陣列段，每一陣列段包括設置成行與列矩陣形狀之記憶元，若干條字線而每一字線連至一相關行之記憶元，一行解碼器俾選擇一字線，若干位元線而每一位元線連至一相關選擇電晶體之記憶元且具有一連至一位元線之輸入(源極)電極，一列選擇線其連至感測放大器選擇電晶體之閘極電極，一列解碼器俾選擇一列選擇線，以及資料匯流排線其連至感測放大器選擇電晶體之輸出(汲極)電極，其中列選擇線係設置成相交字線及資料匯流排線，字線係藉一第一佈線層形成，列選擇線係藉一第二佈線層形成，以及資料匯流排線係藉一第三佈線層形成。可同時實現精細之字線及低電阻資料匯流排線。

## 英文發明摘要(發明之名稱: HIGH SPEED DRAM WITH NOVEL WIRING STRUCTURE)

A semiconductor storage device of a high capacity operating at high speed includes a plurality of memory cell array blocks, each including memory cells disposed in a matrix shape of rows and columns, word lines each connected to memory cells of an associated row, a row decoder for selecting a word line, bit lines each connected to memory cells of an associated select transistor and having an input (source) electrode connected to a bit line, a column select line connected to a gate electrode of the sense amplifier select transistor, a column decoder for selecting a column select line, and data bus lines connected to output (drain) electrodes of the sense amplifier select transistors, wherein the column select lines are disposed intersecting the word lines and the data bus line, the word lines are formed by a first wiring layer, the column select lines are formed by a second wiring layer, and the data bus lines are formed by a third wiring layer. Both fine word lines and low resistance data bus lines are realized.

(請先閱讀背面之注意事項再填寫各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體儲存裝置其具有一半導體晶片，包含：
  - 一記憶元陣列包括多數個設置成行與列矩陣形狀之記憶元；
  - 多數條字線而每一字線連至一相關行之記憶元；
  - 一行解碼器俾選擇一字線；
  - 多數條位元線而每一位元線連至一相關列之記憶元；
  - 多數個感測放大器，每一放大器包括一感測放大器選擇電晶體，且具有一連至一相關位元線之輸入電極；
  - 一列選擇線其連至每一感測放大器選擇電晶體之閘極電極；
  - 一列解碼器俾選擇一列選擇線；以及
  - 一資料匯流排線其連至每一感測放大器選擇電晶體之一輸出電極；

其中該列選擇線係設置成相交該字線及該資料匯流排線，以及至少部分字線及至少部分資料匯流排線係藉不同之佈線層形成。
2. 如申請專利範圍第 1 項之半導體儲存裝置，其中該字線係藉一第一位準金屬線層形成，該列選擇線係藉一形成於該第一位準金屬線層上之第二位準金屬線層形成，以及該資料匯流排線係藉一形成於該第二位準金屬佈線層上之第三位準金屬佈線層形成。
3. 如申請專利範圍第 1 項之半導體儲存裝置，其中該行

## 六、申請專利範圍

解碼器包括一相關於上位元之泛用行解碼器以及一相關於至少一下位元之局部行解碼器，該字線包括一局部字線其連接記憶元至該局部行解碼器以及一泛用字線其連接該局部行解碼器及該泛用行解碼器，該局部字線係藉一第一位準金屬佈線層而形成，該列選擇線係藉一形成於該第一位準金屬佈線層上之第二位準金屬佈線層而形成，以及該資料匯流排線及該泛用字線係藉一形成於該第二位準金屬佈線層上之第三位準金屬佈線層而形成。

4. 如申請專利範圍第 3 項之半導體儲存裝置，其中該記憶元陣列係設置成在不同列處形成多數個陣列段，且該泛用及局部解碼器係設置於不同之列位置處。
5. 如申請專利範圍第 4 項之半導體儲存裝置，其中該行解碼器具有多數個共連至該泛用行解碼器之局部行解碼器。
6. 如申請專利範圍第 1 項之半導體儲存裝置，其中該字線係藉一第一位準金屬佈線層而形成，該資料匯流排線係藉一形成於該第一位準金屬佈線層上之第二位準金屬佈線層而形成，以及該列選擇線係藉一相關於該記憶元陣列之區域處之第二位準金屬佈線層，以及藉一相關於該感測放大器之區域處之第一位準金屬佈線層而形成。
7. 如申請專利範圍第 6 項之半導體儲存裝置，其中該多數個感測放大器係設於至少該部分記憶元陣列之兩側

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 六、申請專利範圍

上，以及該形成在相關於該記憶元陣列之區域處之字線係選擇式連接至設於該記憶元陣列之兩側上之兩感測放大器之一處。

8. 如申請專利範圍第 1 項之半導體儲存裝置，另包含：
  - 一金屬引線附著至該半導體晶片且與該半導體晶片絕緣；
  - 一金屬墊形成於該半導體晶片上；及
  - 一結合線用以結合該金屬墊及該金屬引線；其中該資料匯流排線分成一局部資料匯流排線及一主要資料匯流排線，該字線及該局部資料匯流排線係藉一第一位準金屬佈線層而形成，以及該主要資料匯流排線係藉該結合線及該金屬引線而形成。
9. 如申請專利範圍第 8 項之半導體儲存裝置，其中該列選擇線係藉著形成於該第一位準金屬佈線層上之該第二位準金屬佈線層而形成。
10. 如申請專利範圍第 9 項之半導體儲存裝置，其中該金屬引線係設於該記憶元陣列與該感測放大器間之一中間區域處。
11. 如申請專利範圍第 2 項之半導體儲存裝置，另包含一設於該半導體晶片上之金屬引線，以及該第三位準金屬佈線層係利用該金屬引線之部分而形成。
12. 如申請專利範圍第 3 項之半導體儲存裝置，另包含一設於該半導體晶片上之金屬引線，以及該第三位準金屬佈線層係利用該金屬引線之部分而形成。

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 六、申請專利範圍

13. 一種半導體儲存裝置其具有一半導體晶片，包含：

一記憶元陣列包括多數個設置成行與列矩陣形狀之記憶元；

多數條局部字線而每一字線連至一相關行之記憶元；

一局部行解碼器俾選擇一局部字線；

多數條泛用字線連至該局部行解碼器；

一泛用行解碼器俾選擇一泛用字線；

多數條位元線而每一位元線連至一相關列之記憶元；

多數個感測放大器，每一放大器包括一感測放大器選擇電晶體，且具有一連至一相關位元線之輸入電極；

一列選擇線其連至每一感測放大器選擇電晶體之閘極電極；

一列解碼器俾選擇一列選擇線；以及

一資料匯流排線其連至每一感測放大器選擇電晶體之一輸出電極；

其中該局部字線係藉一第一位準金屬佈線層而形成，該列選擇線係藉一形成於該第一位準金屬佈線層上之第二位準金屬佈線層而形成，以及該泛用字線係藉一形成於該第二位準金屬佈線層上之第三位準金屬佈線層而形成。

14. 如申請專利範圍第13項之半導體儲存裝置，另包含一

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 六、申請專利範圍

設於該半導體晶片上之金屬引線，以及該第三位準金屬佈線層係利用該金屬引線之部分而形成。

15. 一種半導體儲存裝置其具有一半導體晶片，包含：

一記憶元陣列包括多數個設置成行與列矩陣形狀之記憶元；

多數條字線而每一字線連至一相關行之記憶元；

一行解碼器俾選擇一字線；

多數條位元線而每一位元線連至一相關列之記憶元；

多數個感測放大器，每一放大器包括一感測放大器選擇電晶體，且具有一連至每一位元線之輸入電極；

一列選擇線其連至每一感測放大器選擇電晶體之閘極電極；

一列解碼器俾選擇一列選擇線；以及

一資料匯流排線其連至每一感測放大器選擇電晶體之一輸出電極；

其中該字線係藉一第一位準金屬佈線層而形成，該資料匯流排線係藉一形成於該第一位準金屬佈線層上之第二位準金屬佈線層而形成，以及該列選擇線係藉著相關於該記憶元陣列之區域處之第二位準金屬佈線層及藉著相關於該感測放大器之區域處之第一位準金屬佈線層而形成。

16. 如申請專利範圍第15項之半導體儲存裝置，另包含一

(請先閱讀背面之注意事項再  
本頁)

裝

訂

線

## 六、申請專利範圍

設於該半導體晶片上之金屬引線，以及該第三位準金屬佈線層係利用該金屬引線之部分而形成。

(請先閱讀背面之注意事項再填本頁)

裝

訂

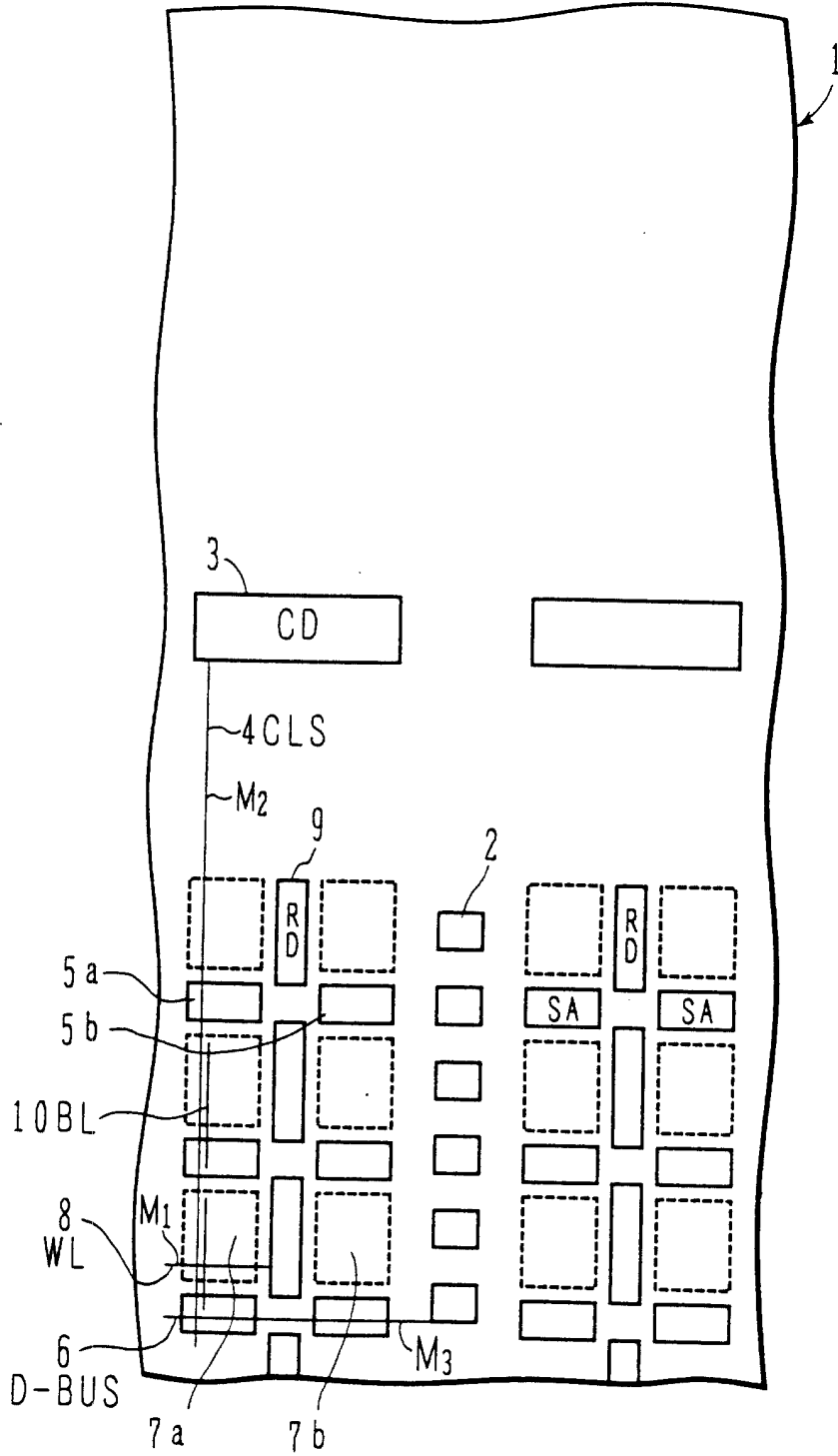
線

274637

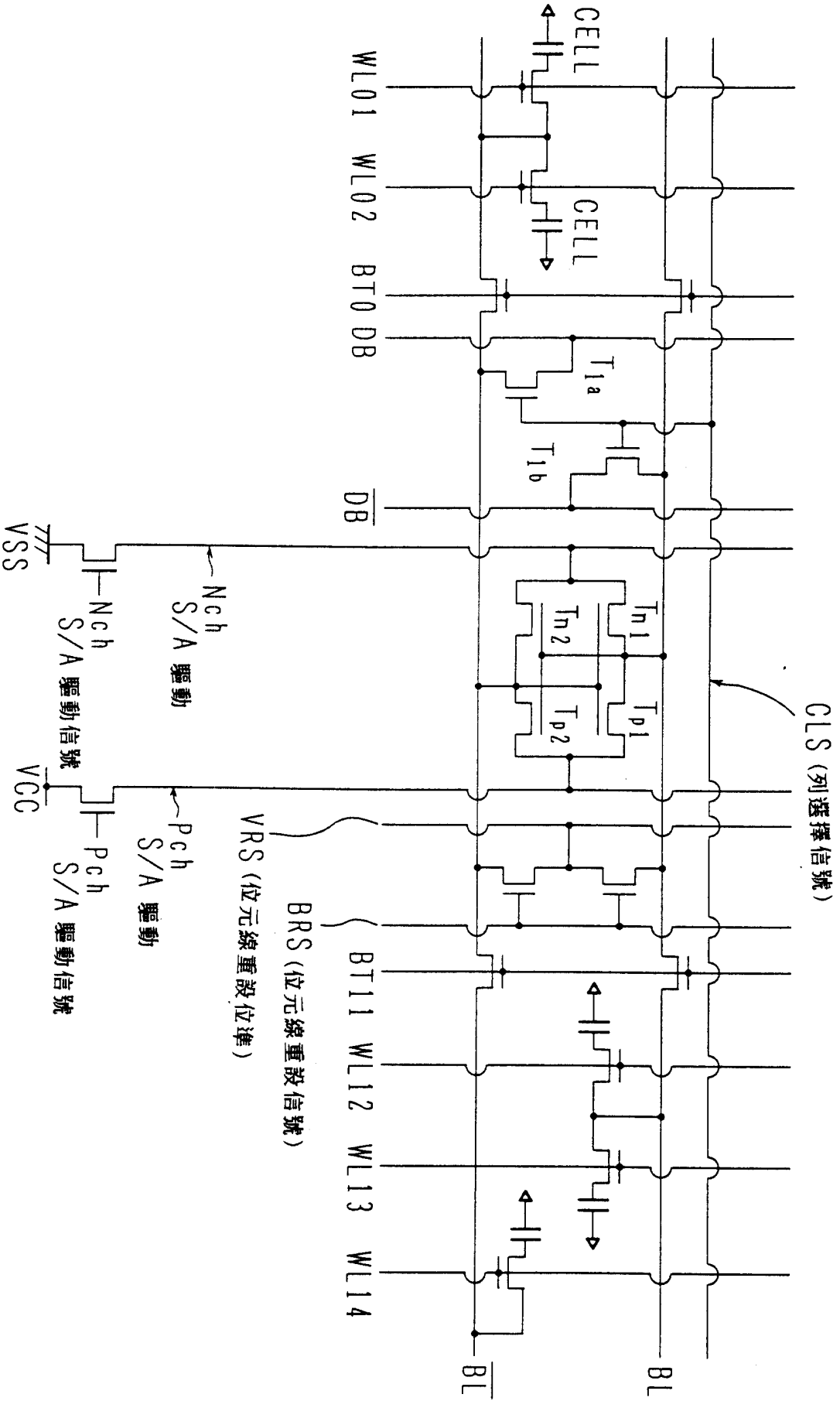
84105226

中  
譯  
圖

第 1 A 圖

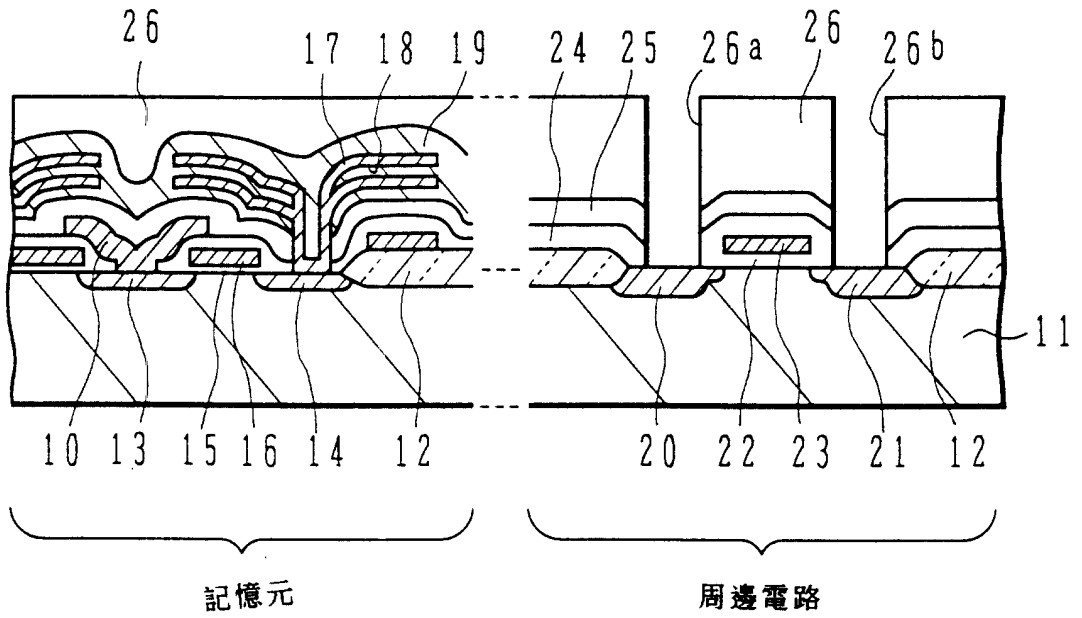


第 1 B 圖

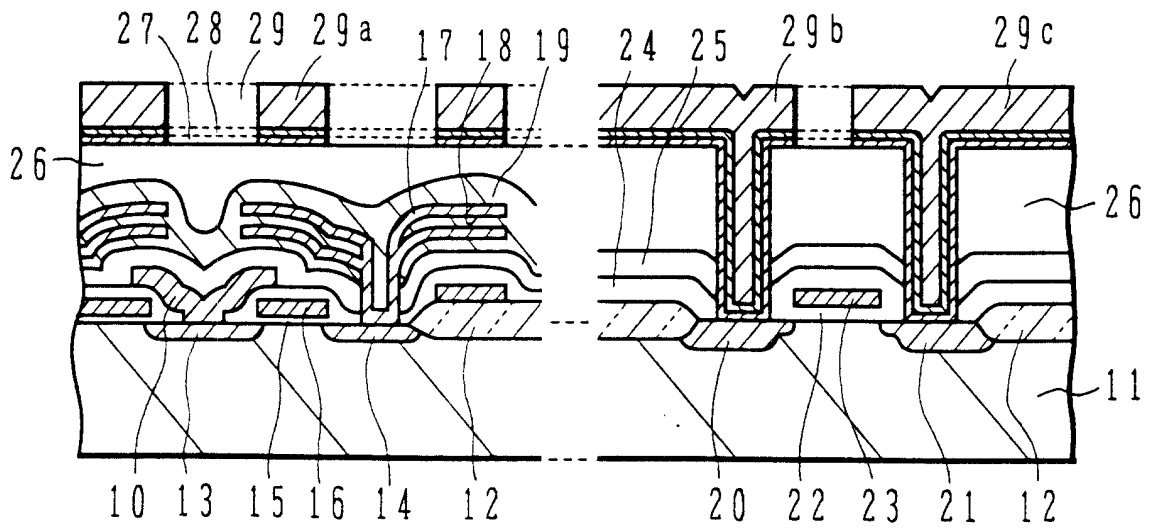


274637

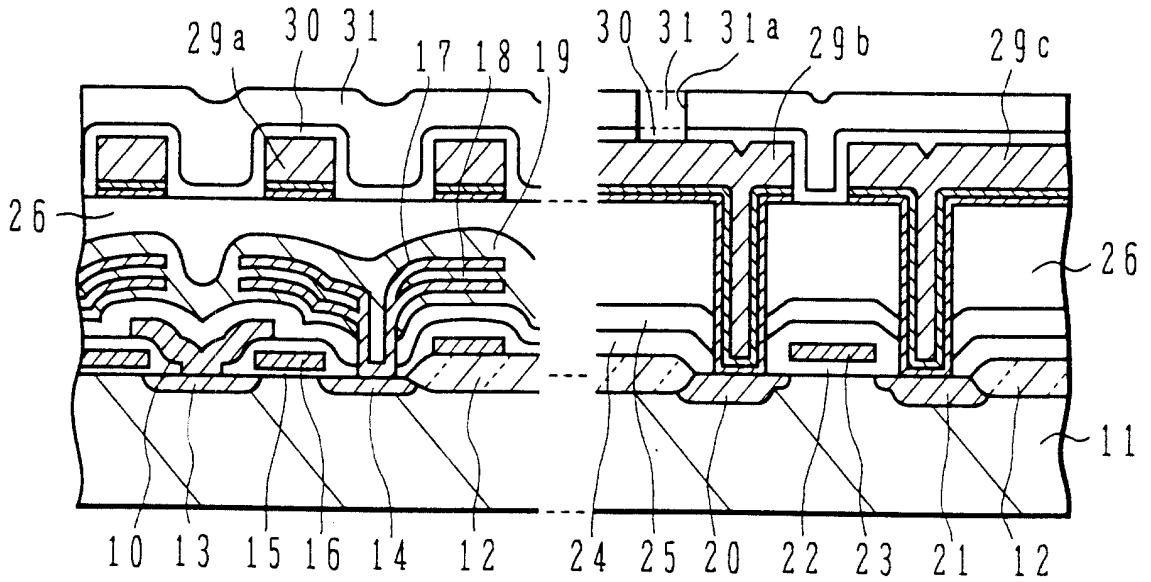
第2A圖



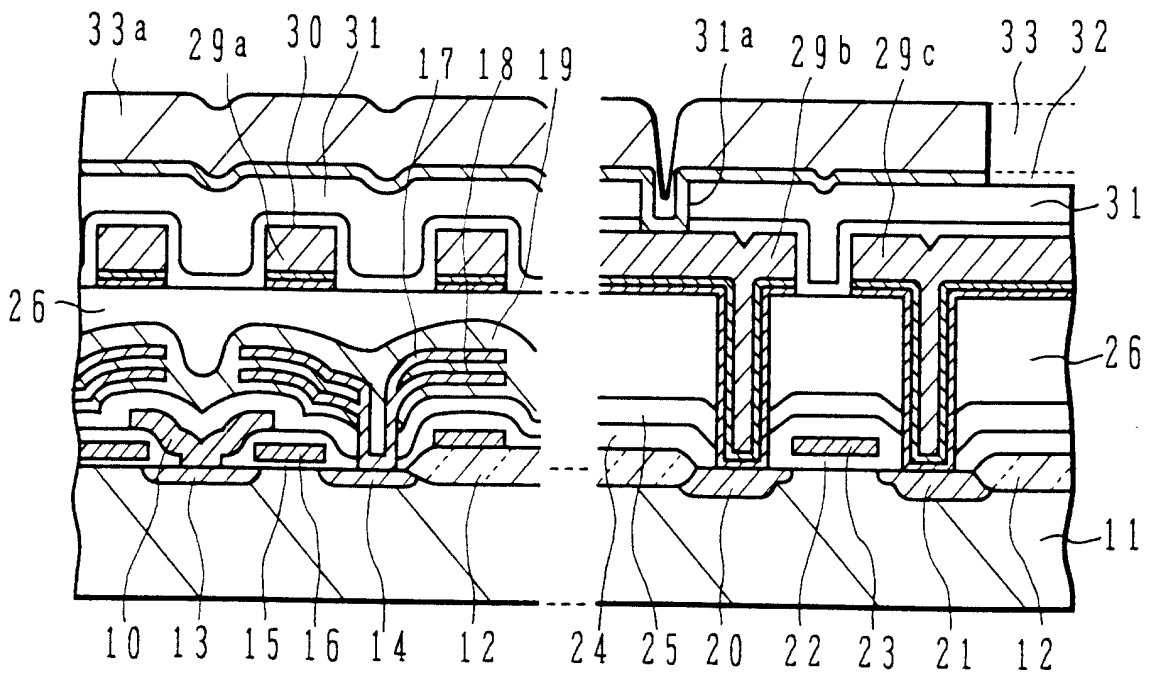
第2B圖



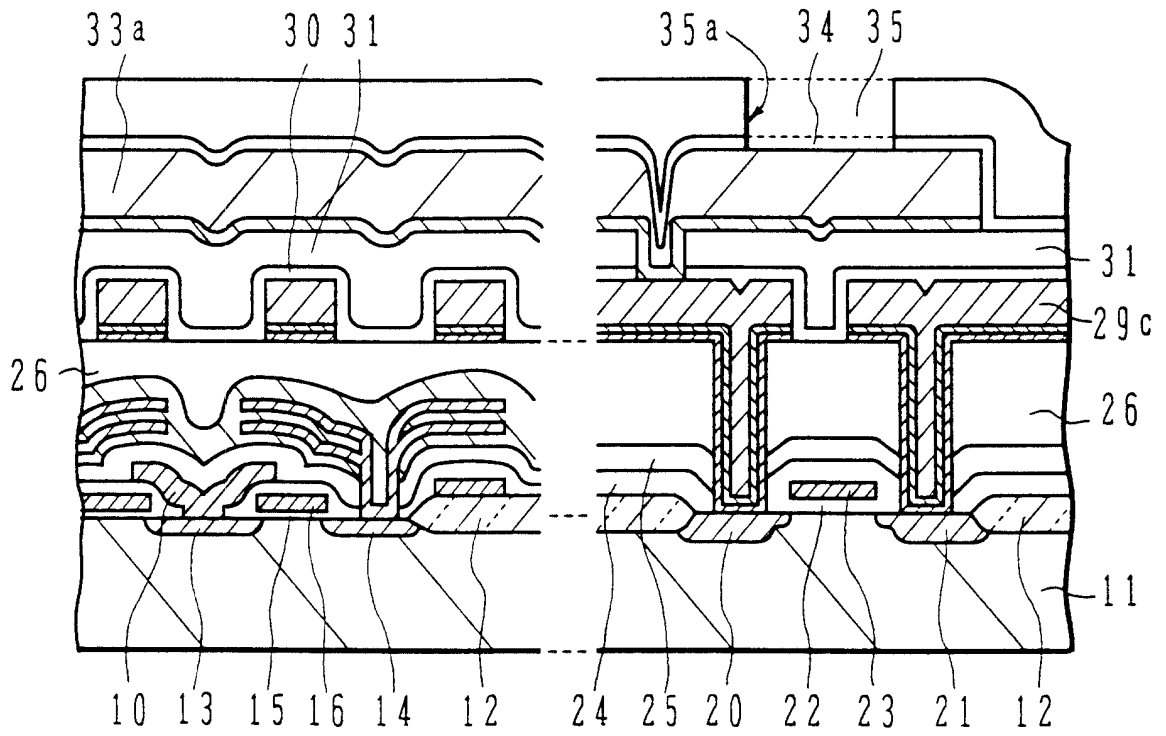
第2C圖



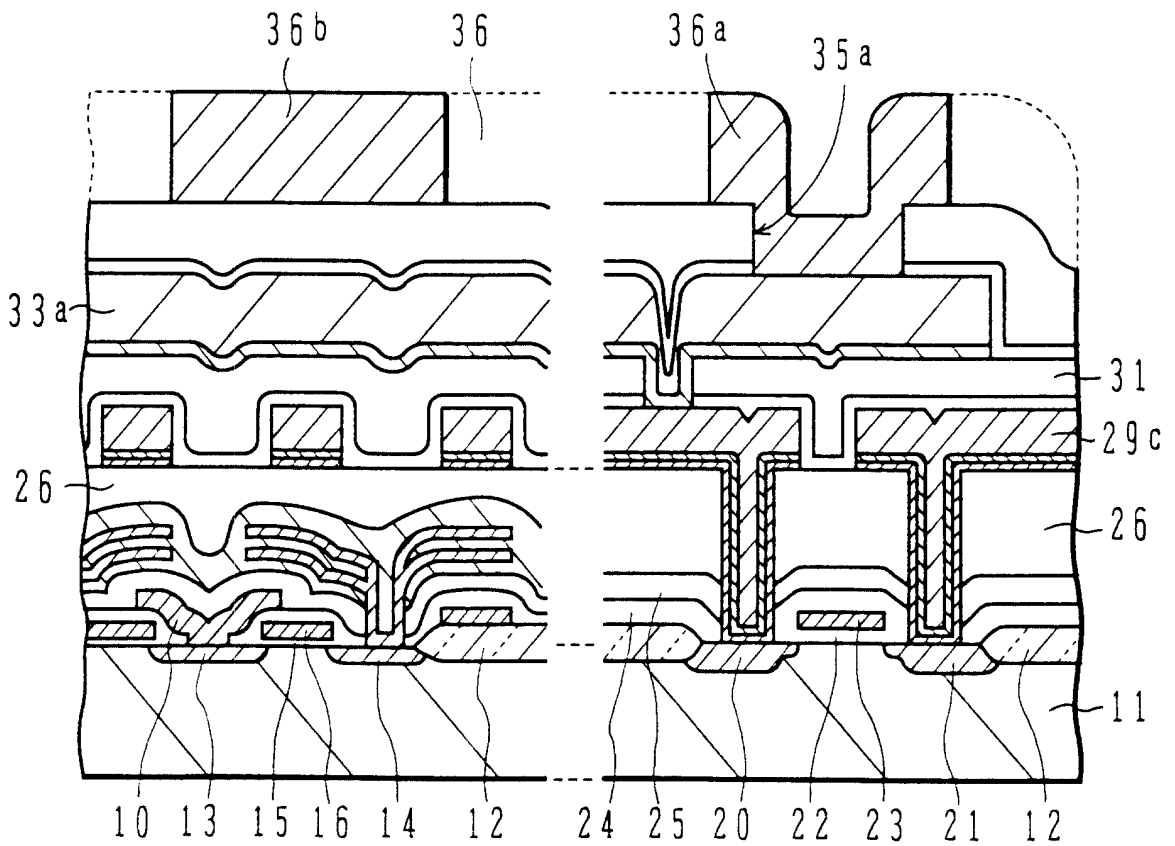
第2D圖



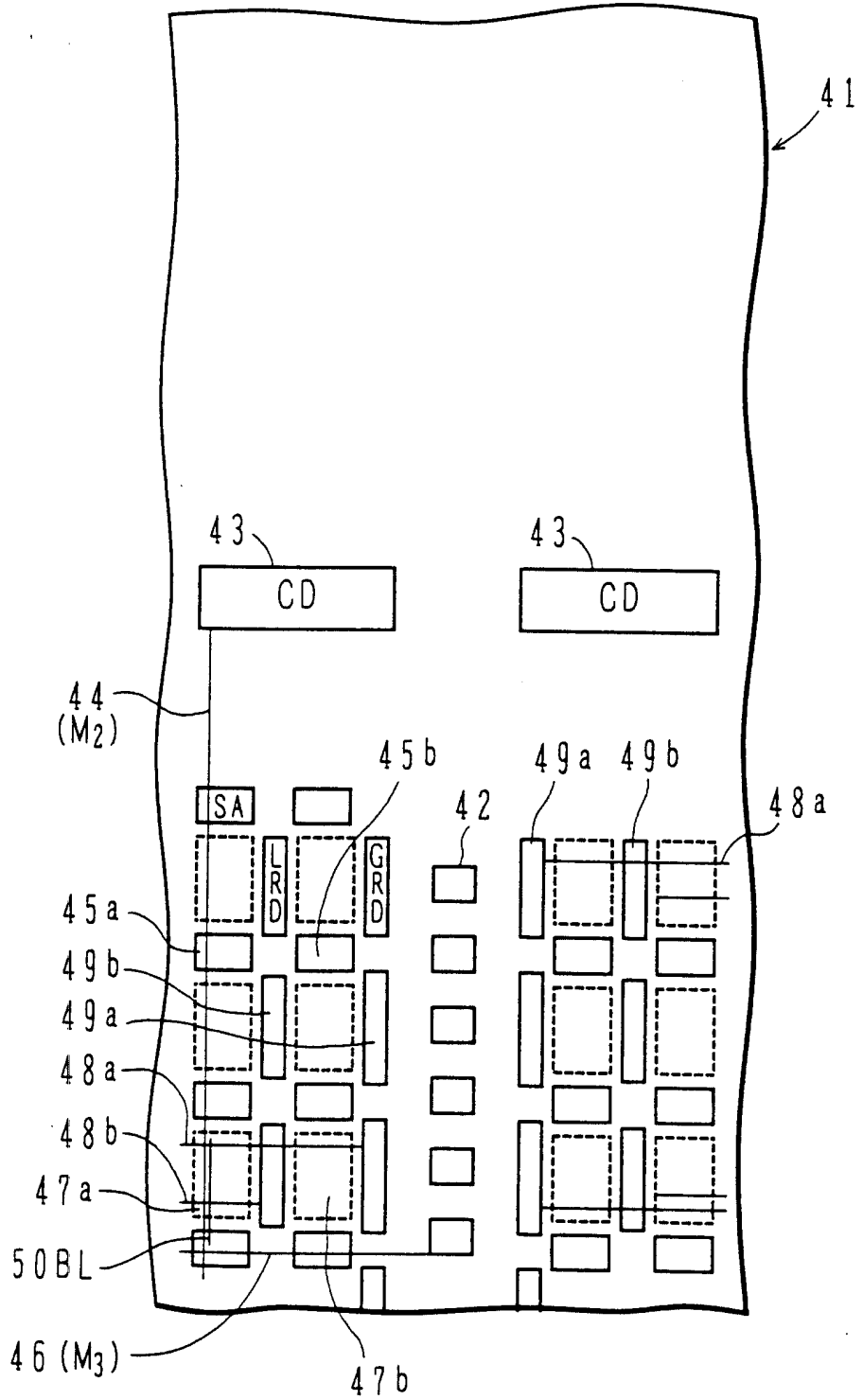
第 2 E 圖



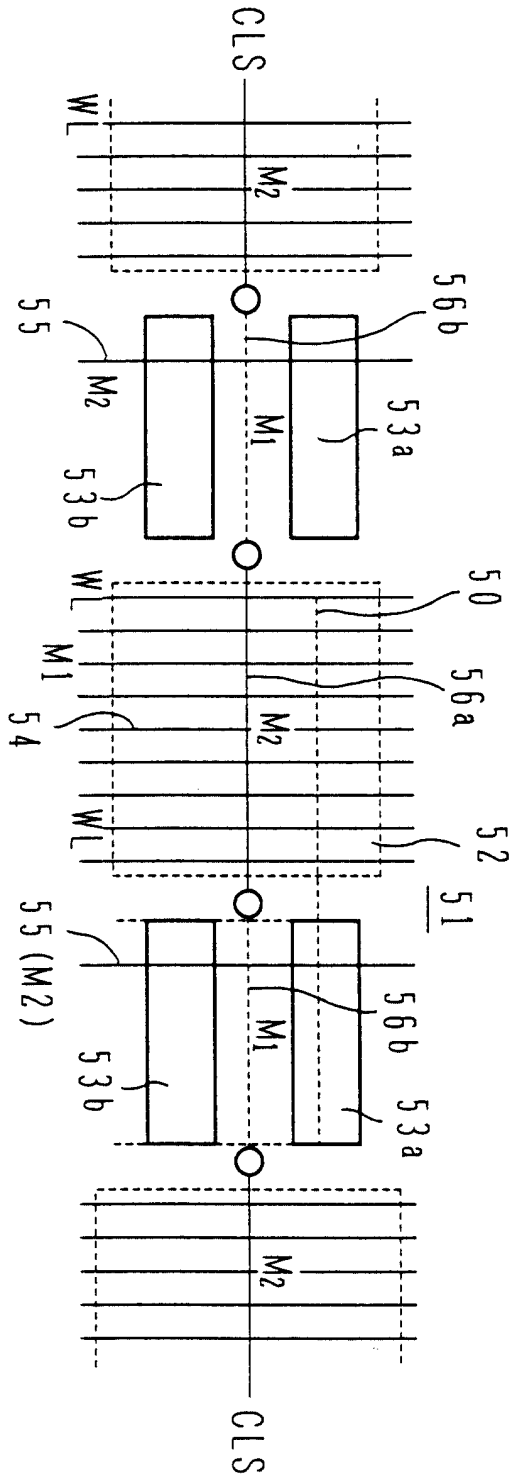
第 2 F 圖



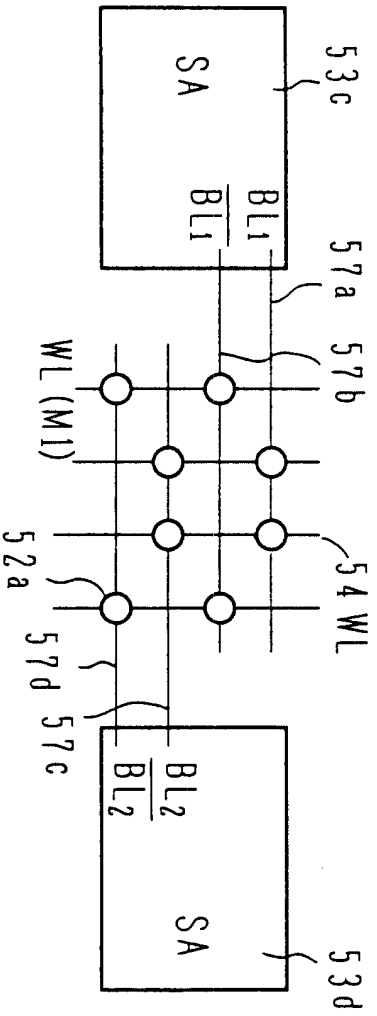
第 3 圖



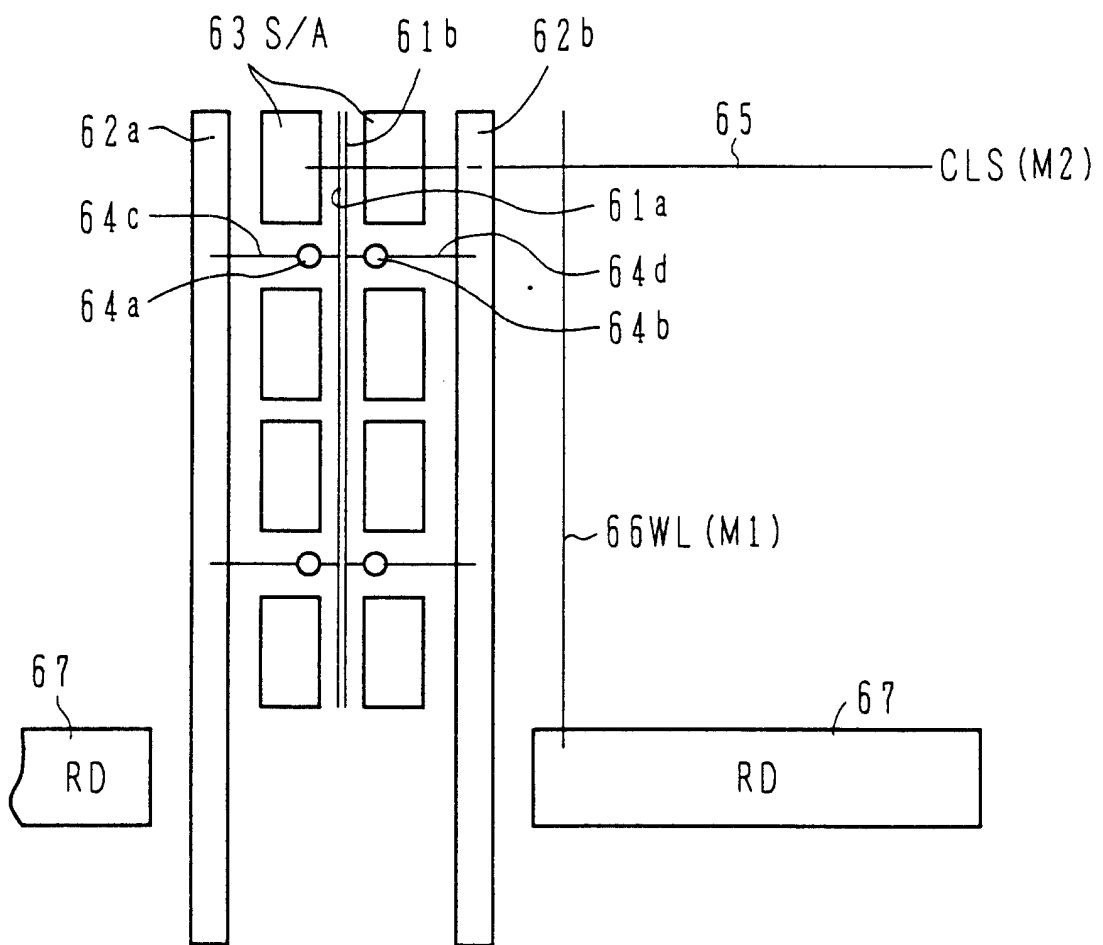
第 4 A 圖



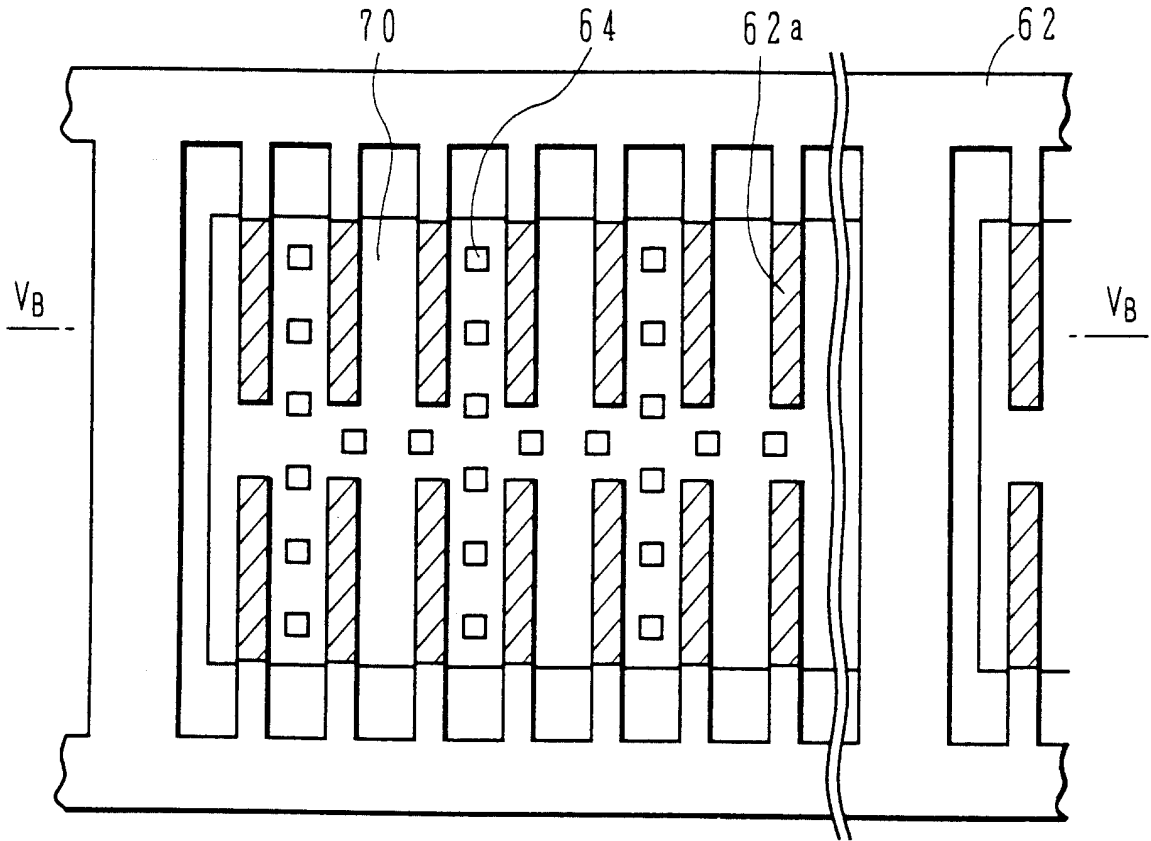
第 4 B 圖



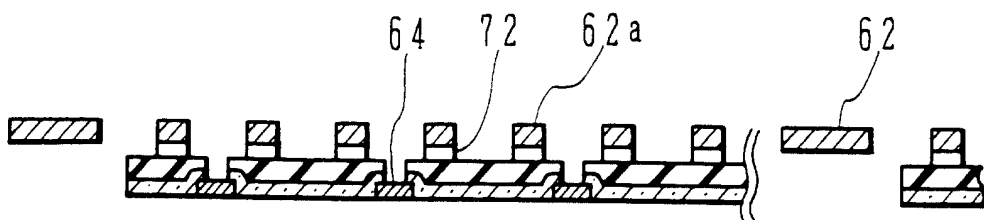
第 5 C 圖



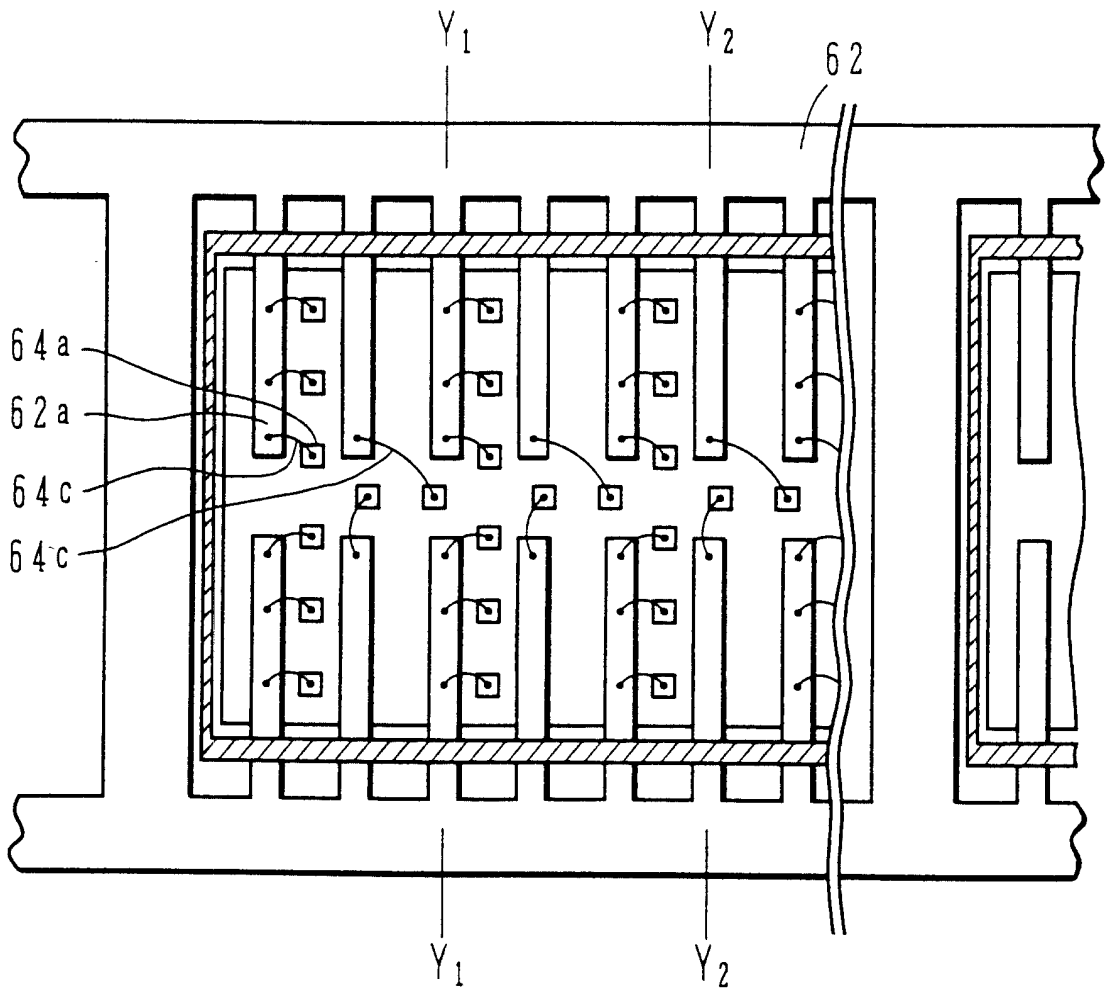
第5A圖



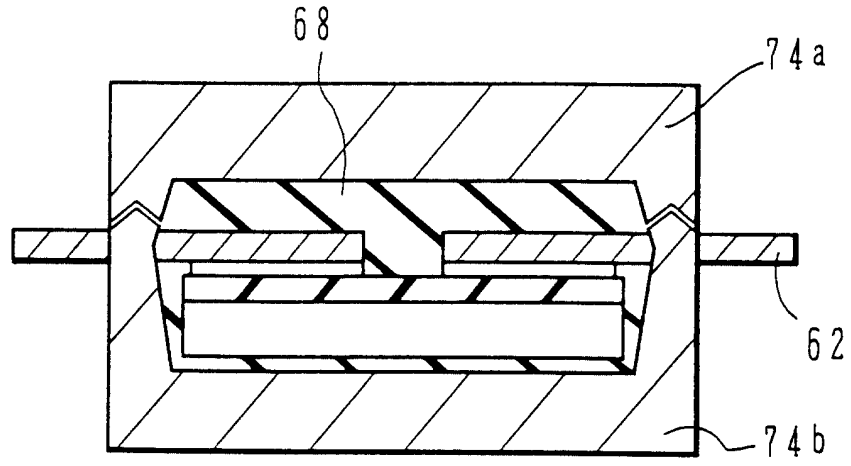
第5B圖



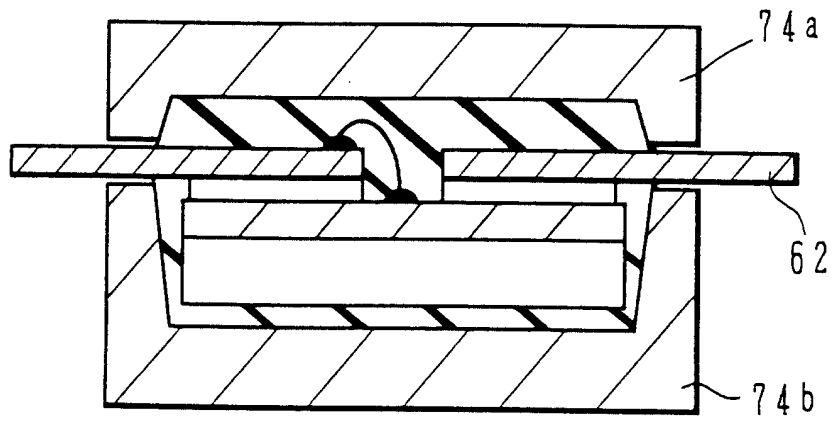
第 5 D 圖



第5E圖

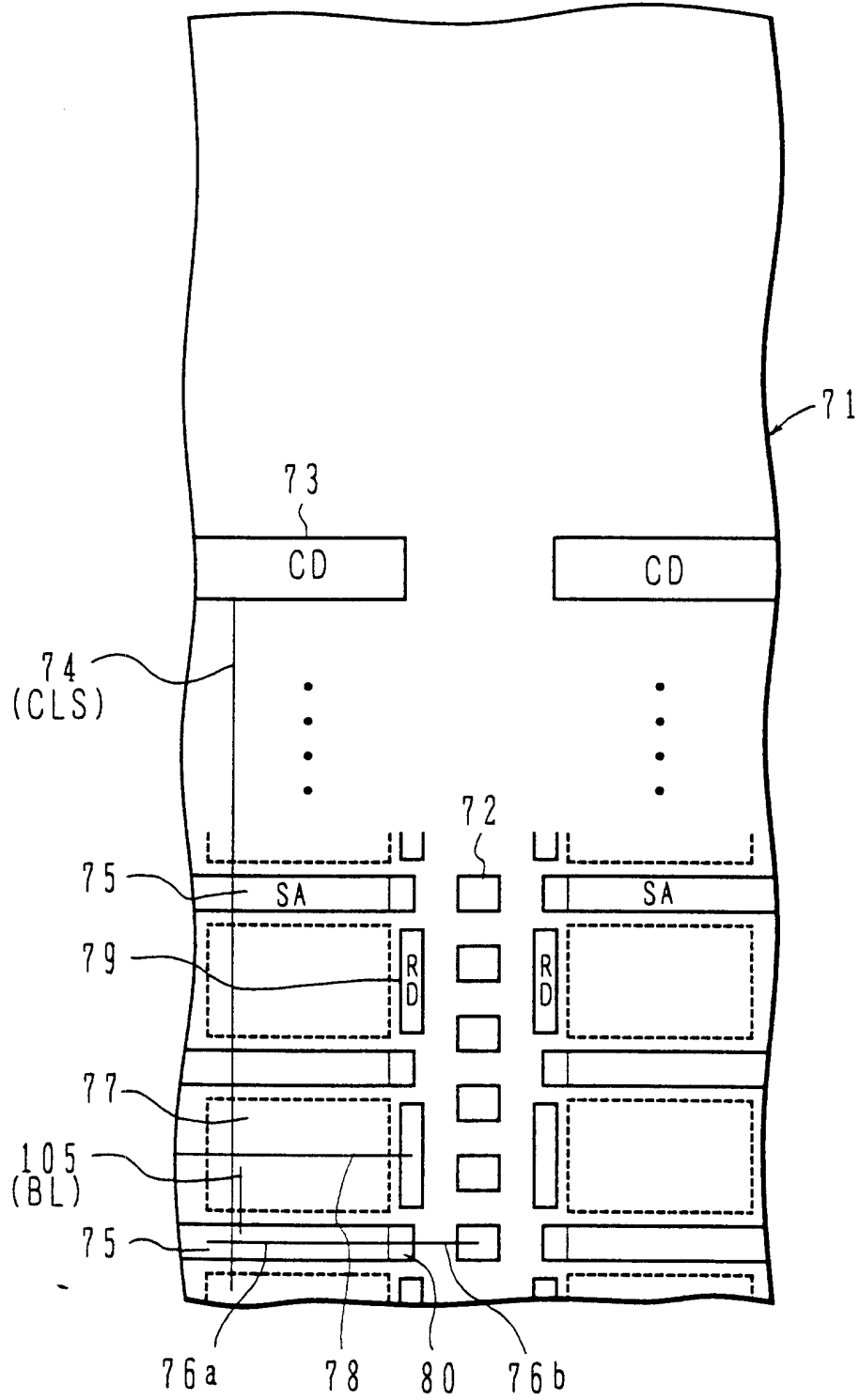


第5F圖



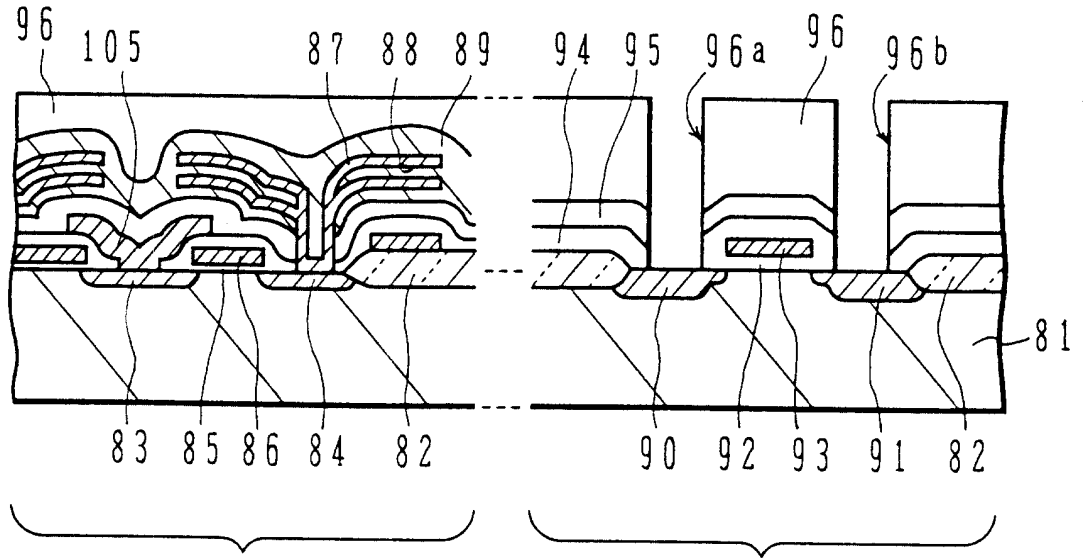
# 第 6 圖

(習知技藝)



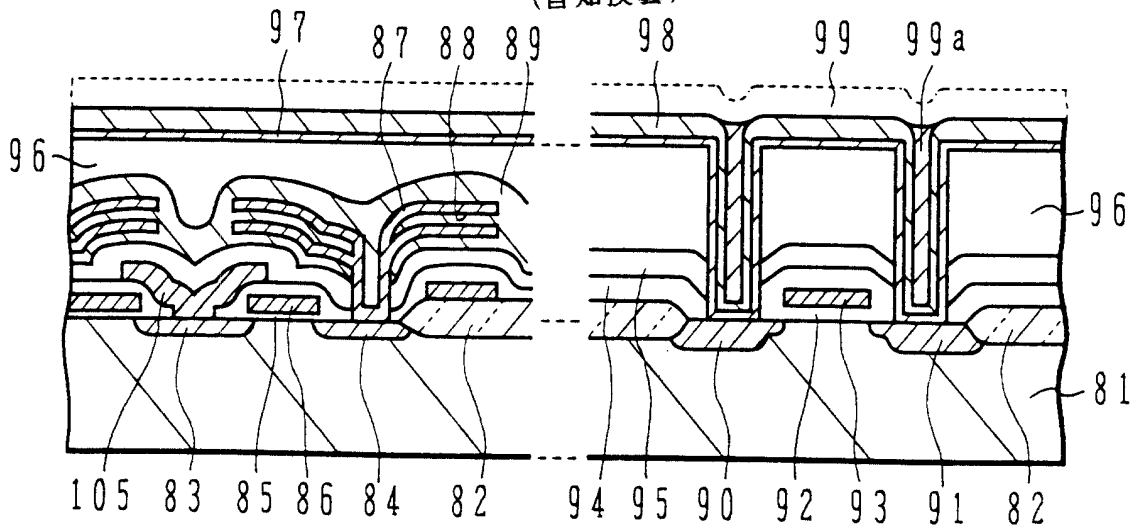
第 7A 圖

(習知技藝)



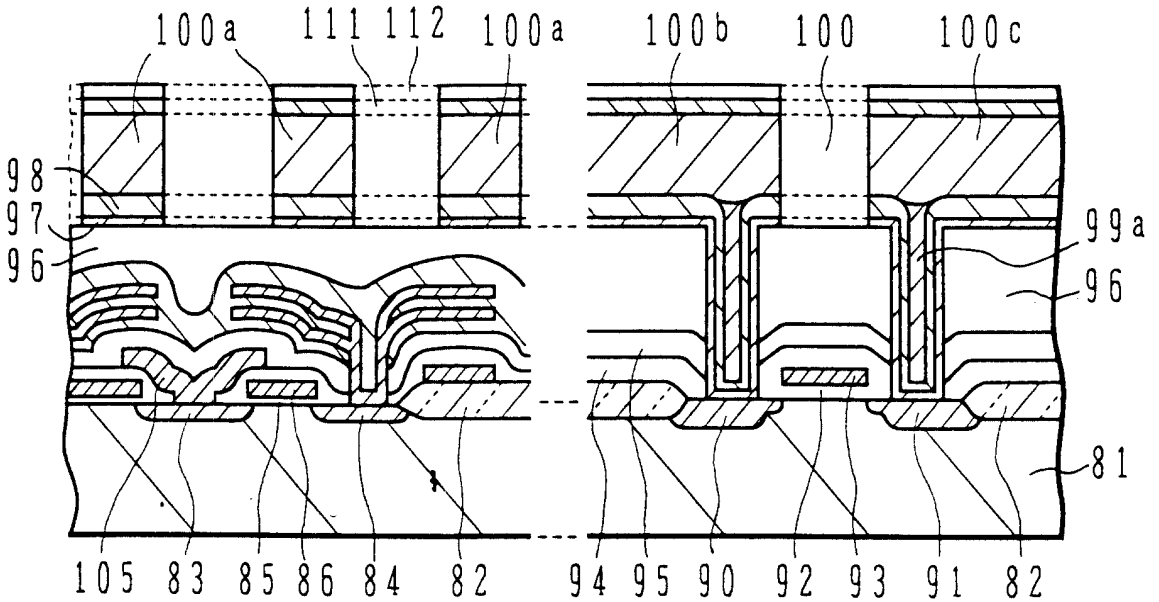
第 7B 圖

(習知技藝)



### 第7C圖

(習知技藝)



### 第7D圖

(習知技藝)

