



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I886143 B

(45) 公告日：中華民國 114 (2025) 年 06 月 11 日

(21) 申請案號：109128288

(22) 申請日：中華民國 109 (2020) 年 08 月 19 日

(51) Int. Cl. : *H05K3/46 (2006.01)* *H05K3/04 (2006.01)*
H05K3/42 (2006.01) *H05K3/18 (2006.01)*
C25D5/18 (2006.01) *C25D3/38 (2006.01)*

(30) 優先權：2019/08/19 歐洲專利局 19192262.4

(71) 申請人：德商德國艾托特克公司 (德國) ATOTECH DEUTSCHLAND GMBH (DE)
德國

(72) 發明人：雅司卡 阿克夫 OZKOK, AKIF (TR)；雷恩斯 博特 REENTS, BERT (DE)；雅司卡 慕斯塔法 OZKOK, MUSTAFA (DE)；馬克米 馬可 MIRKOVIC, MARKO (DE)；尤克哈尼斯 馬可斯 YOUKHANIS, MARKUS (DE)；布格曼 霍司特 BRUGGMANN, HORST (DE)；藍彼奇 史凡 LAMPRECHT, SVEN (DE)；麥特傑 特 凱 珍斯 MATEJAT, KAI-JENS (DE)

(74) 代理人：陳長文

(56) 參考文獻：

TW	201907772A	US	2007/0163887A1
US	2015/0289387A1	US	2018/0010258A1

審查人員：林益平

申請專利範圍項數：17 項 圖式數：5 共 46 頁

(54) 名稱

高密度互連印刷電路板的製造順序及高密度互連印刷電路板

(57) 摘要

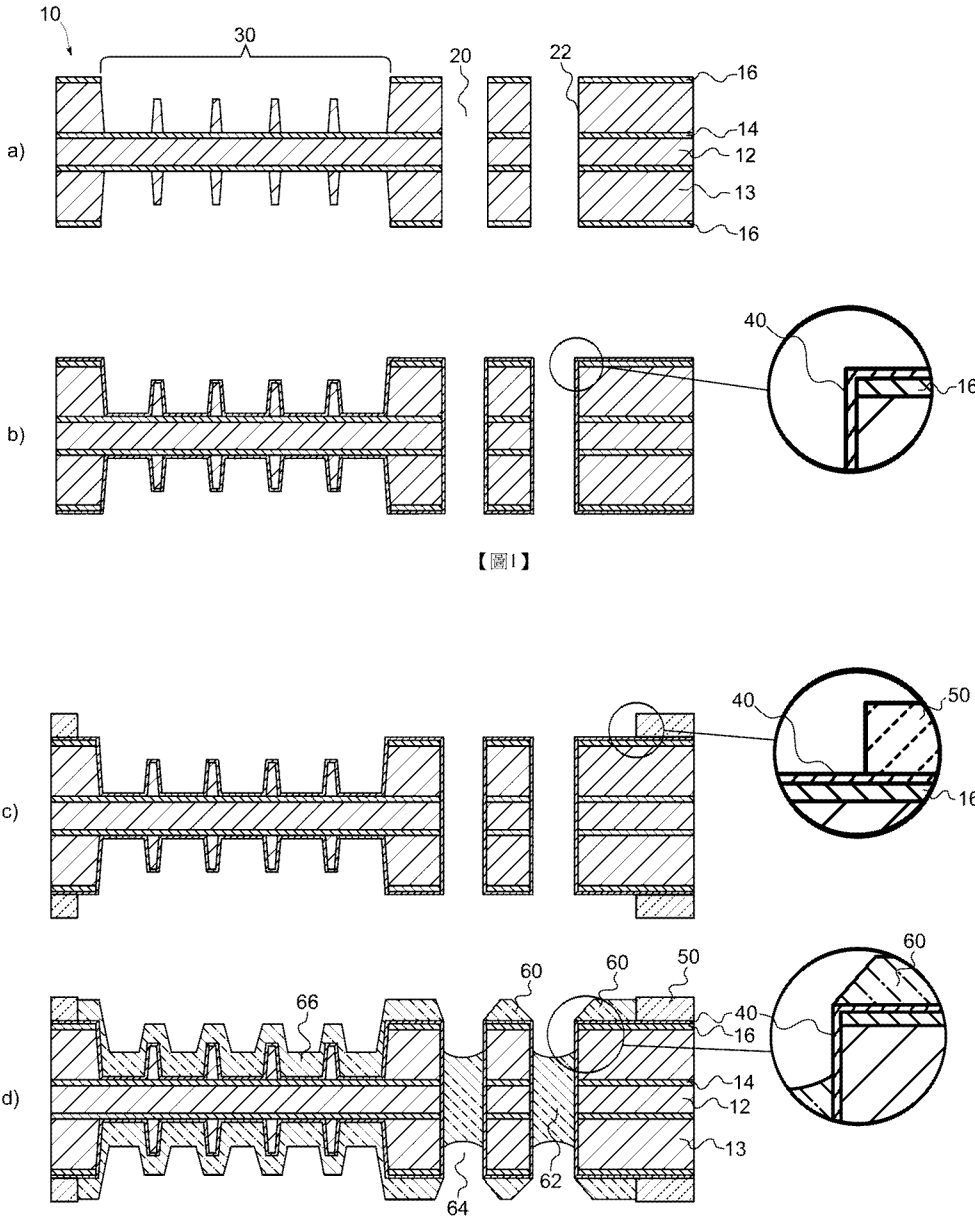
本發明係指一種製備包含用銅填充之穿孔及/或格柵結構之高密度互連印刷電路板(HDI PCB)或 IC 基板之方法。

The present invention refers to a method of preparing a high density interconnect printed circuit board (HDI PCB) or IC substrates including through-holes and/or grate structures filled with copper.

指定代表圖：

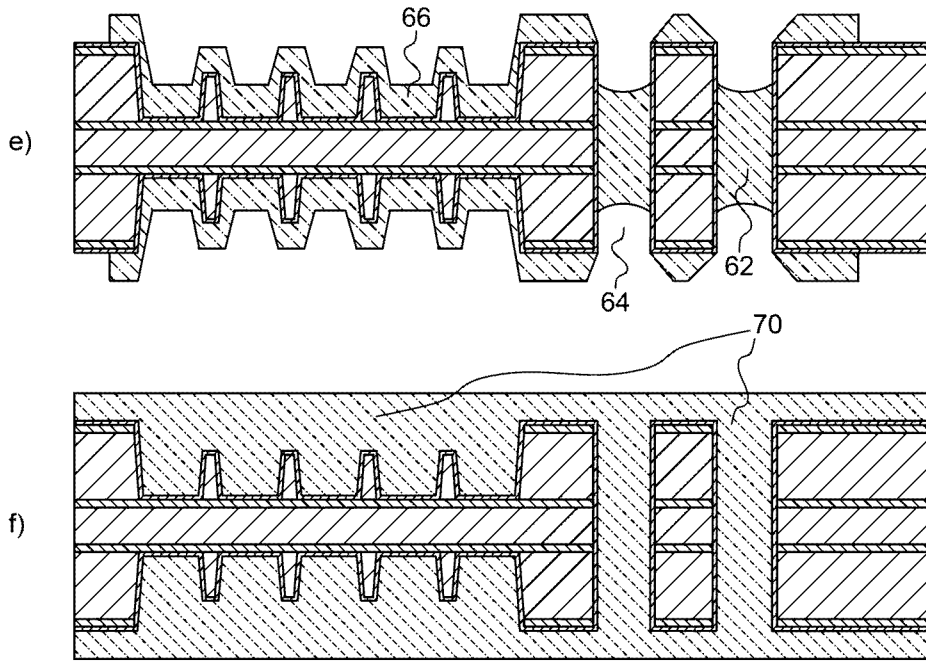
符號簡單說明：

- 10:多層基板
- 12:絕緣核心層
- 13:外絕緣層
- 14:導電夾層
- 16:覆蓋層
- 20:穿孔
- 22:內表面
- 30:格柵結構
- 40:非銅導電層或銅層
- 50:圖案化之遮罩膜
- 60:第一銅層
- 62:銅內密封件
- 64:盲微孔
- 66:銅嵌體
- 70:銅填充物



【圖1】

【圖1】(續)



【圖1】(續)



I886143

【發明摘要】

【中文發明名稱】

高密度互連印刷電路板的製造順序及高密度互連印刷電路板

【英文發明名稱】

MANUFACTURING SEQUENCES FOR HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARDS AND A HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARD

【中文】

本發明係指一種製備包含用銅填充之穿孔及/或格柵結構之高密度互連印刷電路板(HDI PCB)或IC基板之方法。

【英文】

The present invention refers to a method of preparing a high density interconnect printed circuit board (HDI PCB) or IC substrates including through-holes and/or grate structures filled with copper.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 10: 多層基板
- 12: 絕緣核心層
- 13: 外絕緣層
- 14: 導電夾層
- 16: 覆蓋層
- 20: 穿孔

- 22: 內表面
- 30: 格柵結構
- 40: 非銅導電層或銅層
- 50: 圖案化之遮罩膜
- 60: 第一銅層
- 62: 銅內密封件
- 64: 盲微孔
- 66: 銅嵌體
- 70: 銅填充物

【發明說明書】

【中文發明名稱】

高密度互連印刷電路板的製造順序及高密度互連印刷電路板

【英文發明名稱】

MANUFACTURING SEQUENCES FOR HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARDS AND A HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARD

【技術領域】

【0001】 本發明係關於高密度互連印刷電路板(HDI PCB)之製造順序及藉由該製造順序獲得之高密度互連印刷電路板。

【先前技術】

【0002】 目前，高密度互連印刷電路板(HDI PCB)係藉助於諸如減成法、半加成法(SAP)、改良型半加成法(mSAP)或先進改良型半加成法(amSAP)之方法來製造。特定言之，mSAP及amSAP構成用於製造下一代HDI PCB之有希望的變動，從而容許超細微孔結構、線/空間寬度 $\leq 30\mu\text{m}$ (L/S)且因此提供更高互連複雜性。

【0003】 此外，熱消散結構需要整合至HDI PCB中以防止局部過熱。此等熱消散結構可(例如)包含延伸穿過HDI PCB且用導熱材料(諸如銅)填充之穿孔。另一熱消散結構可為提供於HDI PCB之上表面或下表面處之格柵。此外，該格柵結構之孔係用導熱材料(諸如銅)填充。因此，HDI PCB之製程亦可考量用銅填充此熱消散結構。

【0004】 習知mSAP順序以銅包覆基板開始，其中銅覆蓋層可為 $3\mu\text{m}$ 至 $9\mu\text{m}$ 厚且該基板包含單側或雙側盲微孔(BMV)。程序之第一步驟係

無電沈積銅，在銅包覆基板之周邊表面及微孔之內表面上分佈薄金屬晶種層(0.35 μm 至0.6 μm)以便為後續電沈積步驟提供導電基底。 $\sim 3 \mu\text{m}$ 閃速銅之後續電沈積構成第一銅層且導致經部分填充之微孔。在下一步驟中層壓一圖案化之乾膜(遮罩)界定線圖案(導電跡線)之負型圖案；即，該圖案化之乾膜界定最終PCB之導電跡線之間隔區域。在後續步驟中，在第二電沈積步驟中使用特定微孔填充電解質處理基板。然而，乾膜之後續移除表明，在先前步驟中使用此等特定電解質將產生微孔墊(微孔之外端)與圖案化之銅表面之間的不利銅厚度變動，此繼而導致後續蝕刻步驟之困難。最後，將藉由完全蝕刻第一及第二銅層以及在先前藉由乾膜界定之區域中之晶種及覆蓋層來實現跡線間分離。

【0005】 在L/S分離歸因於不斷減小之跡線寬度之持續需求而減小時，移除過量銅變為愈來愈複雜的問題。由於一直存在「過蝕刻」以適應鍍銅厚度變動且確保乾淨跡線間分離(其中跡線寬度 $< 30 \mu\text{m}$)之趨勢，因此存在不可接受的寬度減小以及底切之嚴重風險。因此，減小銅層之層厚度以及減小厚度變動係本發明之所要目標，以便減小蝕刻程序期間之所述風險。倘若用銅填充熱消散結構(諸如穿孔或格柵結構)，則此等問題自然亦出現。

【0006】 此外，具有不同穿孔程度之基板表面區域係以高孔密度(HHD)表面因子為特徵。HHD表面因子經定義為包含(例如)所有通孔及/或格柵結構之內表面之總表面(亦被稱為總柵格區域或總柵格表面)與對應區域之周邊表面(亦被稱為柵格區域或柵格表面)之間的比率，其中HHD表面因子係1 (不存在通孔或其他結構)。內表面之計算將受通孔及格柵結構之直徑、通孔彼此間之距離、特定區域內之通孔之數目及基板之厚度影

響。HHD表面因子愈高，通孔愈多，分別為孔間距(通孔中點之間的距離)愈小，通孔之直徑愈小且通孔及格柵結構擴展通過之基板(例如，板)之厚度愈大。格柵結構可為用於HDI PCB之有效溫度調節之重要熱消散元件。然而，歸因於多個狹槽之非常緊密壁間配置，分別歸因於非常小的壁間距離，格柵結構亦構成具有高HHD因子之區域。

【0007】 在施加電壓之情況下，HHD表面因子判定所得局部電流密度，即，HHD表面因子愈高，電流密度愈低。作為電化學沈積程序之結果，此意謂不同材料狀況(變化之局部電流密度)將導致變化之層厚度。然而，層厚度變動將導致後續蝕刻(調平)問題且甚至可引起經堆疊PCB基板中之層黏著性降低。若與基板之表面(具有高及低HHD表面因子之區域)之複雜性相比，在填充之後之所得層厚度之變動太高，則無法執行後續程序步驟且客戶將拒絕基板。

【0008】 在此背景內容中，填充具有高HHD表面因子之微孔、穿孔及/或格柵結構或亦組合填充具有不同HHD表面因子之微孔、穿孔及/或格柵結構特別具有挑戰性。

【0009】 在最先進技術中，描述用於填充穿孔之各種程序。

【0010】 例如，US 2007/0163887 A1描述製造電路載體之方法，其包括：在提供印刷電路板之後，在其至少一側上用介電質塗佈電路板；結構化介電質以使用雷射消融在其中產生溝渠及通孔。接下來，將底漆層沈積至介電質上、至介電質之整個表面上或僅至所產生之溝渠及通孔中。將金屬層沈積至底漆層上，其中溝渠及通孔完全用金屬填充以在其中形成導體結構。最後，若將底漆層沈積至介電質之整個表面上，則移除過量金屬及底漆層直至曝露介電質，其中導體結構保持完整。

【0011】 然而，藉由使用減成法，形成具有溝渠及通孔之區域與不具有此等結構之區域之間的非常不相等之銅表面分佈。例如，無法藉由蝕刻移除此等差異，此係因為所有區域將以相同方式進行蝕刻，其中表面高度之差異不會消失。因此，此方法不適用於具有高HHD表面因子之區域之HDI PCB生產。此外，藉由使用加成法，在用金屬完全填充時，在具有溝渠及通孔之區域中發生強過度鍍敷。稍後必須移除此金屬。

【0012】 例如，藉由使用先前技術減成法，可達成在給定條件(10 μm 的金屬鍍敷厚度)下具有1之HHD表面因子之基板表面區域。在鍍敷(完全填充)具有1之HHD表面因子之基板表面區域A及具有1.2之HHD表面因子之相鄰基板表面區域B之相同條件下，區域A中之可達成金屬鍍敷厚度再次為10 μm ，而同時由於總柵格表面高出17%，因此基板表面區域B之可達成金屬厚度僅為8.3 μm 。不同表面區域中之銅表面之此等不同高度在此實例中導致1.7 μm 或17%之高度差(或鍍敷厚度)。作為進一步實例，3之HHD表面因子在此實例中將導致區域B中之3.3 μm 厚度且導致6.7 μm 或67%之高度差。以後基板之表面上之此等表面厚度差不能或不能容易地均化。因此，該方法不適用於應用於HHD表面鍍敷之領域中。

【0013】 WO 2006/032346 A1描述兩步沈積技術，其首先藉由完全或幾乎完全填充孔中心而自穿孔提供兩個孔，從而產生各在靠近孔中心之一端處封閉之盲孔。藉由增加穿孔中心之區域中之散射來調整穿孔中心之區域中之沈積物形狀，從而提供V形或圓形窄部分沈積物。用於填充盲孔之後續程序亦為已知的且在最先進技術中描述。

【0014】 一個實例可為描述特別適於銼削微盲孔之電解銅沈積程序之EP 1 264 918 A1。此處，在虛擬鍍敷階段中使用惰性陽極有助於維持及

改良電解質之填充能力。

【0015】然而，兩個步驟之效率取決於在此等電化學程序中作為用於金屬沈積之驅動力應用之(反向)電流脈衝之完全可調整性。由於金屬基底層(晶種層)用作此等氧化還原體系中之陰極，因此顯然地，材料特性構成重要因素(例如，導電性、熔點)。通常，晶種層係由銅製成且藉由無電沈積形成。此等無電銅晶種層之缺點在於低抗蝕刻性引起問題，尤其是在將應用高電流脈衝參數以容許較低電流效率時。此外，歸因於諸如熔點之物理性質，銅晶種層亦可為不合適的，尤其是在應用高電流密度以增加填充程序期間之處理量時。

【0016】因此本發明之目的係克服或減少如下文所描述之上述缺點之至少一者。

【發明內容】

【0017】

本發明係指一種如技術方案1定義之製備包含用銅填充之穿孔及/或格柵結構之高密度互連印刷電路板(HDI PCB)或IC基板之方法。該方法包括以下步驟：

a)提供多層基板，其包括：

- (i)絕緣核心層，其具有周邊表面，或
- (i')堆疊總成，其具有嵌入於兩個導電夾層之間的絕緣核心層及附接於該導電夾層上且具有周邊表面之至少一外絕緣層，
- (ii)選用覆蓋層，其較佳由銅製成且覆蓋該周邊表面，及
- (iii)至少一穿孔，其延伸穿過該多層基板之所有層；及/或格柵結構，其具有延伸穿過該選用覆蓋層且部分延伸於該絕緣核

心層中或延伸穿過至少該選用覆蓋層及該等外絕緣層之至少一者之多個狹槽；

b)分別在該格柵結構之內表面上，在該覆蓋層上及在該穿孔之內表面上形成非銅導電層或銅層；

c)在該非銅導電層上或在該銅層上形成圖案化之遮罩膜；

d)在該穿孔內部電沈積足以形成兩個盲微孔之銅內密封件，分別在該格柵結構之該內表面之該非銅導電層上或該銅層上及在該非銅導電層或該銅層之該剩餘周邊表面上電沈積銅嵌體，全部在一個步驟中；

e)移除該遮罩膜；及

f)在一個步驟中在該等盲微孔中，分別該銅嵌體及在該第一銅層上電沈積銅填充物。

【0018】 較佳地，藉由反向脈衝鍍敷執行步驟d)之電沈積。

【0019】 較佳地，藉由使用具有(例如) Fe^{2+} 及/或 Fe^{3+} 離子之源之氧化還原體系及/或其他合適氧化還原對(如 V^{4+} 及/或 V^{5+} 離子)來執行步驟f)之電沈積。鍍敷可執行為反向脈衝鍍敷、脈衝鍍敷或DC鍍敷，較佳為反向脈衝鍍敷。

【0020】 根據本發明之另一態樣，提供一種包含用銅填充之穿孔之高密度互連印刷電路板(HDI PCB)或IC基板，其中該HDI PCB係藉由上文所描述之方法獲得。

【0021】 本發明之進一步態樣可自附屬技術方案或以下描述學習。

【0022】 表述「穿孔及/或格柵結構」及「穿孔及/或格柵結構之結構區域」被視為在以下描述中可互換。

【0023】 藉由本發明，特定言之可填充作為穿孔及/或格柵結構之結

構，該等結構可經定義為具有高HHD表面因子之穿孔及/或格柵結構之結構區域。HHD表面因子愈高，使用本發明愈有利。HHD表面因子較佳在1.1至5，更佳在1.1至3且最佳在1.1至2之範圍內。

【0024】 亦可填充具有高HHD表面因子(較佳自1.1至5，更佳1.1至3，最佳1.1至2)之具有穿孔及/或格柵結構之結構之區域，且同時鍍敷基板之表面上之具有1之HHD表面因子之區域。

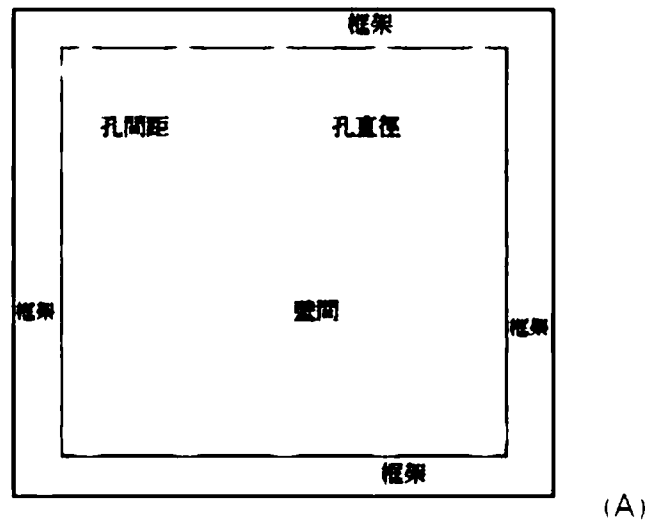
【0025】

如下般計算本發明中所使用之HHD表面因子：

HHD表面因子=總柵格區域/柵格區域。

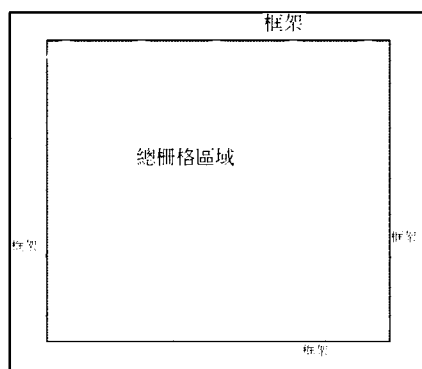
【0026】

總柵格區域(亦為總柵格表面)包含其中定位穿孔(或至少一穿孔)之區域之表面及穿孔之壁之表面(取決於基板(例如，板)之數目、直徑及厚度)。因此，表面之尺寸係受穿孔之間的壁間距離、孔間距(距兩個穿孔之兩個相鄰中心之距離)、穿孔之數目及直徑以及板之厚度影響。框架區域定位在至少一穿孔之區域周圍，該框架區域亦屬於總柵格區域(參見圖式(A))。至少一穿孔之圓周或一定數目個穿孔中之最外穿孔之圓周之部分直接鄰近於框架區域。雖然穿孔之間的壁間距離、穿孔之數目及直徑可改變，但框架區域之框架之尺寸係固定的以用於將HHD表面因子計算為1 mm寬度(參見圖式B))。

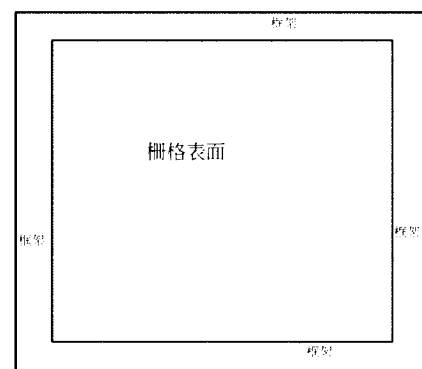


【0027】

柵格區域(亦為柵格表面)包含其中將定位穿孔(或至少一穿孔)但在無該至少一穿孔之情況下計算之區域之理論表面。相同框架區域(如在總柵格區域中)定位在具有理論表面之區域周圍，該框架區域亦屬於柵格區域(參見圖式(C))。



(B)



(C)

【0028】

作為獲得1.76之HHD表面因子之實際實例，給出以下參數：

- 柵格5x5穿孔
 - 板厚度1.5 mm
 - 孔直徑0.2 mm

- 孔間距0.4 mm
- 壁間0.2 mm
- 框架寬度1 mm
- 總柵格表面40.8 mm²
- 柵格區域28.8 mm²

【0029】 具有穿孔之區域具有較佳400個至20,000個孔、自0.05 mm至2.0 mm之孔間距、自0.05 mm至2.0 mm之孔直徑、自0.2 mm至3.2 mm之板厚度。

【0030】 在銅填充步驟f)之後，相較於不具有穿孔及/或格柵結構之高度，穿孔及/或格柵結構上方之所得銅鍍敷厚度之高度差係自0至40%。基板亦可包含不具有穿孔或格柵結構之區域及具有穿孔及/或格柵結構之區域。

【0031】 鑑於穿孔及/或格柵結構上方之高度或分別鑑於不同區域中之高度，銅填充步驟f)之所得銅鍍敷厚度應平均分佈，其中具有不同HHD表面因子之區域之高度差係銅鍍敷厚度之自0至40% (較佳自0至20%)。

【0032】 在本發明之實施例中，可填充僅包含具有(例如)自2至5之較高HHD表面因子之具有穿孔之區域及在基板之表面上之具有1之HHD表面因子之區域之基板，其中區域之高度差係自0至20%。

【0033】 在本發明之實施例中，可填充包含具有(例如)自1.1至5之不同HHD表面因子之具有穿孔及/或格柵結構之區域及在基板之表面上之具有1之HHD表面因子之區域之基板，其中區域之高度差係自0至40%。基板之表面愈複雜，不同區域之可容許高度差愈可容忍。

【0034】 此外，憑藉本發明方法，可提供在穿孔及/或格柵結構之經

填充結構或穿孔及/或格柵結構之區域上方之非常均勻且相當的薄及均勻銅表面層。此防止或減少步驟f)之後之蝕刻或拋光步驟。

【圖式簡單說明】

【0035】

一般技術者將藉由參考附圖詳細描述例示性實施例而變得明白特徵，其中：

圖1繪示根據本發明之實施例之包含方法之各步驟a)至f)之橫截面視圖之示意性順序。

圖2繪示根據本發明之另一實施例之包含方法之各步驟a)至f)之橫截面視圖之示意性順序。

圖3繪示根據本發明之進一步實施例之包含方法之各步驟a)至f)之橫截面視圖之示意性順序。

圖4a、圖4b繪示根據第一實施例之格柵結構及根據第二實施例之格柵結構之示意性橫截面視圖及各自示意性俯視圖。

圖5繪示根據本發明之進一步實施例之包含方法之各步驟a)至f)之橫截面視圖之示意性順序。

【實施方式】

【0036】 現將詳細參考實施例，其等之實例係在附圖中進行繪示。將參考附圖描述例示性實施例之效應及特徵，以及例示性實施例之實施方法。在圖式中，相同元件符號指示相同元件，且省略冗餘描述。如本文中所使用，術語「及/或」包含相關聯列舉項之一或多者之任何及全部組合。此外，在描述本發明之實施例時使用「可」係指「本發明之一或多項實施例」。

【0037】 在本發明之實施例之以下描述中，除非上下文另有明確指示，否則單數形式之術語可包含複數形式。

【0038】 在圖式中，可為清楚起見放大元件之尺寸。例如，在圖式中，可為闡釋性目的而任意展示各元件之尺寸或厚度，且因此本發明之實施例不應被解釋為限於此。

【0039】 可藉由參考實施例之以下詳細描述及隨附圖式而更容易理解本發明概念之特徵及完成本發明概念之方法。在下文中，將參考隨附圖式更詳細描述實例性實施例，其中通篇相同元件符號係指相同元件。然而，本發明可以各種不同形式體現，且不應被解釋為僅限於本文中之所繪示實施例。實情係，此等實施例係作為實例提供，使得本發明將係透徹及完整的，且將向熟習此項技術者充分傳達本發明之態樣及特徵。因此，可能不描述對於一般技術者完全理解本發明之態樣及特徵而言並非必要之程序、元件及技術。

【0040】 如本文中所使用，術語「實質上」、「大約」及類似術語係用作近似術語而非程度術語，且旨在考量一般技術者將認識到之經量測或經計算值之固有偏差。此外，若術語「實質上」係結合可使用數值表示之特徵使用，則術語「實質上」表示以該值為中心之值之 $\pm 5\%$ 之範圍。此外，在描述本發明之實施例時使用「可」係指「本發明之一或多項實施例」。在本文中，術語「上」及「下」係根據z軸定義。例如，罩蓋定位於z軸之上部處，而接地板定位於z軸之下部處。

【0041】 如本文中所使用，術語「銅鍍敷厚度」或「高度」係指步驟f)中之經沈積/鍍敷層之厚度。若層經沈積以填充定位於基板之表面內之穿孔及/或格柵結構，則銅層之厚度或銅層之高度可為不同的。因此，自

(包含前述步驟之保形層之)基板之不含有穿孔或格柵結構之表面(HHD表面因子為1)開始計算或自基板之其中穿孔或格柵結構開始延伸至基板中之表面(HHD表面因子 > 1)計算銅層之厚度或高度之給定值。兩個「表面」係在相同水平上。步驟f)之銅填充之所得厚度導致穿孔及/或格柵結構或穿孔及/或格柵結構之區域上方之較佳自 $10\ \mu\text{m}$ 至 $300\ \mu\text{m}$ 、更佳自 $10\ \mu\text{m}$ 至 $100\ \mu\text{m}$ 、甚至更佳 $10\ \mu\text{m}$ 至 $30\ \mu\text{m}$ 之相當的薄及均勻銅層厚度(其中HHD表面因子 > 1.1 ，更佳 1.1 至 5)。在此上下文中，「相當」意謂穿孔愈長(或如板之基板之厚度愈厚)，第一銅層可愈厚。

【0042】 根據本文中所描述之本發明之實施例之電子或電裝置及/或任何其他相關裝置或組件可利用任何合適硬體、韌體(例如，特定應用積體電路)、軟體或軟體、韌體及硬體之組合來實施。例如，此等裝置之各種組件可形成於一個積體電路(IC)晶片上或分開的IC晶片上。此外，此等裝置之各種組件可實施於可撓性印刷電路膜、捲帶式封裝(TCP)、印刷電路板(PCB)上或形成於如IC基板之基板上。此外，此等裝置之各種組件可為於一或多個運算裝置中、運行於一或多個處理器上之執行電腦程式指令且與其他系統組件互動以用於執行本文中所描述之各種功能性之程序或執行緒。電腦程式指令係儲存於記憶體中，該記憶體可使用標準記憶體裝置(舉例而言，諸如隨機存取記憶體(RAM))實施於運算裝置中。電腦程式指令亦可儲存於其他非暫時性電腦可讀媒體中，舉例而言，諸如CD-ROM、隨身碟或類似者。此外，熟習此項技術者應認識到，在不脫離本發明之例示性實施例之範疇之情況下，各種運算裝置之功能性可組合或整合至單個運算裝置中，或特定運算裝置之功能性可跨一或多個其他運算裝置分佈。

【0043】 一般而言，HDI PCB提供最精細跡線結構、最小孔及盲孔及掩孔(微孔)。因此，HDI技術容許使用墊中通孔及多個微孔層(經堆疊及交錯之通孔)達成高度緊湊、可靠PCB設計。藉由使用SBU (連續裝配)或SSBU (半連續裝配)技術按壓更多層，可連接及拆分(unbundled)導電夾層上之信號。此在外層上留出空間用於具有高引腳密度之組件。IPC標準藉助於微孔 ≤ 0.15 mm及軌跡寬度/距離 ≤ 0.1 mm來定義HDI電路板。

【0044】 HDI層可由雙側核心板或多層PCB裝配而成。HDI層可建置於PCB之兩側上。SBU/SSBU程序由若干步驟組成：層層壓、通孔形成、通孔金屬化及通孔填充。各步驟具有多個材料及/或技術選擇。特定言之，可用不同材料及程序填充微孔。然而，通常用電鍍敷銅填充經堆疊微孔以在多個HDI層之間建立電互連且對微孔之外層級或對安裝於最外銅墊上之組件提供結構支撐。

【0045】 此外，HDI PCB可包含熱消散結構，諸如用銅填充之穿孔或格柵結構。本發明係指其中用銅填充穿孔及/或格柵結構之製造順序。

【0046】 本發明可用於建置IC基板。IC基板透過跡線及孔之導電網路用作(若干) IC晶片與PCB之間的連接。IC基板支援包含電路支援及保護、熱消散及信號及功率分佈之關鍵功能。IC基板表示PCB製造中之最高層級之微型化且與半導體製造共有許多相似點。現將參考圖1至圖5中所繪示之例示性實施例詳細說明製備包含用銅填充之穿孔及/或格柵結構之高密度互連印刷電路板(HDI PCB)或IC基板之本發明方法。

【0047】 圖1展示包含方法之各步驟a)至f)之橫截面視圖之示意性順序，其中HDI PCB包含必須用銅填充之穿孔20以及格柵結構30。下文將說明該順序之細節。

【0048】圖2及圖3繪示包含當HDI PCB包含穿孔20時之方法之各步驟a)至f)之橫截面視圖之進一步示意性順序。在圖2之實施例中，堆疊總成包括嵌入於兩個導電夾層14之間的絕緣核心層12。至少一外絕緣層13附接於導電夾層14上。在圖3之實施例中，穿孔20經設置於HDI PCB之不具有任何導電夾層之區域中。再次，下文將說明順序之細節。

【0049】圖4a及圖4b繪示兩個例示性格柵結構30、32之示意性橫截面視圖及各自示意性俯視圖。

【0050】根據圖4a中繪示之第一實施例，格柵結構30經設置於HDI PCB之兩側上。格柵結構30包含配置成五個列及行之二十五個狹槽36。狹槽36係藉由薄壁34分離。狹槽36之各者之尺寸可與穿孔20之尺寸相同。狹槽36延伸穿過覆蓋層16及外絕緣層13。壁32具有小於絕緣層13之厚度之高度。

【0051】根據圖4b中繪示之第二實施例，格柵結構32與圖4a之格柵結構30之區別之處在於，薄壁35延伸至與絕緣層13相同之高度且被覆蓋層16覆蓋。

【0052】圖5繪示包含在填充圖4a中所繪示之格柵結構30之情況中之方法之各步驟a)至f)之橫截面視圖之示意性順序。下文將說明順序之細節。

【0053】

製備包含用銅填充之穿孔20及/或格柵結構30、32之高密度互連印刷電路板(HDI PCB)或IC基板之本發明方法包括以下步驟：

a)提供多層基板10，其包括：

(i)絕緣核心層12，其具有周邊表面，或

(i')堆疊總成，其包括嵌入於兩個導電夾層14之間的絕緣核心層12及附接於導電夾層14上且具有周邊表面之至少一外絕緣層13，

(ii)選用覆蓋層16，其較佳由銅製成，且覆蓋該周邊表面，及

(iii)至少一穿孔20，其延伸穿過多層基板10之所有層；及/或

格柵結構30、32，其具有延伸穿過選用覆蓋層16且部分延伸於絕緣核心層12中或延伸穿過至少選用覆蓋層16及外絕緣層13之至少一者之多個狹槽36；

b)分別在格柵結構30、32之內表面上，在覆蓋層16上及在穿孔20之內表面22上形成非銅導電層40或銅層40；

c)在非銅導電層40上或在銅層40上形成圖案化之遮罩膜50；

d)在一個步驟中在穿孔20內部電沈積足以形成兩個盲微孔64之銅內密封件62，分別在格柵結構30、32之該內表面之非銅導電層40上或銅層40上及在非銅導電層40或銅層40之剩餘周邊表面上電沈積銅嵌體66；

e)移除遮罩膜50；及

f)在一個步驟中在盲微孔64中，分別銅嵌體66及在第一銅層60上電沈積銅填充物70。

【0054】 換言之，製造順序在步驟a)中藉由提供包括穿孔20及/或格柵結構30、32之多層基板10而開始，其中多層基板10可在堆疊總成之最外層之頂部上層壓有覆蓋層16。對於如mSAP之HDI應用，覆蓋層16係較佳的。堆疊總成之最外層可為絕緣核心層12或外絕緣層13，其繼而附接至導電夾層14。至少一導電夾層可嵌入於絕緣核心層與外絕緣層之間。此外，只要至少一導電夾層可嵌入於絕緣核心層與外絕緣層之間，導電夾層便可嵌入於兩個外絕緣層之間。較佳地，多層基板10包括穿孔20及格柵

結構30、32兩者。

【0055】 根據實施例，穿孔20具有在自30 μm 至1000 μm 之範圍內之直徑，及/或多個狹槽36具有在自30 μm 至300 μm 之範圍內之直徑。

【0056】 穿孔20之直徑對基板10之厚度之縱橫比係0.5至13，較佳1至4。多個狹槽(36)之直徑對狹槽之深度之縱橫比係0.5至3。

【0057】 在步驟b)中，非銅導電層40或銅層40經形成於覆蓋層16上以及穿孔20之內表面22及/或格柵結構30、32之內表面上。對於一些應用(例如，如SAP法之IC基板應用，其中具有甚至更小線與空間比)，較佳的是不施敷覆蓋層16。步驟b)之非銅導電層40可為金屬或合金、導電金屬氧化物(諸如氧化鈦)、碳基材料(諸如石墨、石墨炔及石墨二炔)、作為導電聚合物之導電有機材料(諸如Ecopact CP)。

【0058】 在其中形成銅層40之情況中，此層係由純銅製成且被理解為包含 ≥ 97 原子百分比、較佳 ≥ 99 原子百分比、更佳 ≥ 99.5 原子百分比之銅含量之銅層。此層較佳藉由濕式化學銅沈積、較佳在活化周邊表面之後(尤其是若未形成覆蓋層16)形成。

【0059】 在金屬或合金之情況中，在非銅導電層40之背景內容中之術語「非銅」可被理解為如藉由標準化學/儀器分析方法判定之包含 ≤ 95 原子百分比、較佳 ≤ 50 原子百分比、更佳 ≤ 10 原子百分比、最佳 ≤ 1 原子百分比之銅含量之金屬或合金。ICP-MS (電感耦合電漿質譜分析法)可用於分析用作非銅導電層40之各自材料中之銅跡線。換言之，非銅導電層40並非由純銅或高純度銅製成。較佳地，形成非銅導電層40，此係因為可更積極地選擇步驟d)中之條件及參數，因為含銅層對於在本發明之步驟d)中之電沈積期間之強蝕刻及/或非所要溶解更敏感。換言之，非銅導電

層40可為抗蝕刻的。特定言之，可調整非銅導電層40之抗蝕刻性之程度以便防止由後續電沈積步驟中施加之酸及/或電解質蝕刻，但並不暗示絕對抗蝕刻性。

【0060】 步驟b)之非銅導電層40可藉由無電鍍敷程序、無電沈積程序、物理沈積程序、化學氣相沈積程序或電漿增強型化學氣相沈積程序之一或多者形成。

【0061】 施敷非銅導電層40可使得能夠使用具有較低電流效率之高反向脈衝參數來執行無夾雜物鍍敷，但亦可使得能夠在穿孔填充期間使用更高電流密度來實現更高處理量。

【0062】 在步驟c)中，圖案化之遮罩膜50經形成於非銅導電層40上。將在步驟e)中移除遮罩膜50。

【0063】 在步驟d)中且在穿孔20之情況中，藉由電沈積在穿孔20內部形成銅內密封件62，從而形成兩個盲微孔64。在格柵結構30、32之情況中，銅嵌體66係藉由電沈積形成於格柵結構30、32之內表面之非銅導電層40上。另外，第一銅層60經形成於非銅導電層40之剩餘周邊表面上。程序係在一個步驟中執行。

【0064】 在一個步驟中在穿孔20內部電沈積銅內密封件62，分別在格柵結構30、32上電沈積銅嵌體66及電沈積第一銅層60之步驟d)可包含將多層基板10浸入於具有作為陰極連接之非銅導電層40之電解質銅鍍敷系統中之電解質浴中，該鍍敷系統進一步包括不溶性尺寸穩定陽極及銅金屬源，其中該電解質浴包括酸、銅離子源、亞鐵及/或鐵離子源及用於控制經沈積銅之物理-機械性質之至少一添加劑。

【0065】 在浸入步驟d)之後，在不溶性尺寸穩定陽極與非銅導電層

40之間施加電壓，使得電流在其等之間流動持續足以電沈積銅以形成銅內密封件62及/或銅嵌體66以及在周邊非銅導電層40上電沈積第一銅層60之時間，其中在電解質浴中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原體系以提供待藉由溶解來自銅金屬源之銅離子而電沈積之額外銅離子。「一個步驟」在本文定義為一個鍍敷機遍次，即，多層基板經輸送穿過電解質銅鍍敷系統一次。

【0066】 在一個步驟中在穿孔20之盲微孔64中，在銅嵌體66上及在第一銅層60上電沈積銅填充物70之步驟f)可包含將多層基板10浸入於具有作為陰極連接之非銅導電層40之電解質銅鍍敷系統中之電解質浴中，該鍍敷系統進一步包括不溶性尺寸穩定陽極及銅金屬源，其中該電解質浴包括酸、銅離子源、亞鐵及/或鐵離子源及用於控制經沈積銅之物理-機械性質之至少一添加劑。

【0067】 在浸入步驟f)之後，在不溶性尺寸穩定陽極與銅層或非銅導電層40之間施加電壓，使得電流在其等之間流動持續足以電沈積銅以在盲微孔64及銅嵌體66中形成銅填充物70之時間，同時減小第一銅層60之層厚度。在電解質浴中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原體系以提供待藉由溶解來自銅金屬源之銅離子而電沈積之額外銅離子。「一個步驟」在本文定義為一個鍍敷機遍次，即，多層基板經輸送穿過電解質銅鍍敷系統一次。反向脈衝鍍敷係用於電沈積銅。因此，薄及均勻銅層由此步驟f)所引起。

【0068】 包括步驟d)、e)及f)之方法分別構成程序步驟的顯著減少，提供成本降低且實現銅之無夾雜物及無凹坑電沈積。因此，本發明之目標問題可為提供容許對包括穿孔及格柵結構之多層基板進行具時間及成本效益之銅填充且因此提供具有穿孔之經改良熱管理之高品質PCB之方法。

【0069】 憑藉本發明，相較於不具有下方經填充結構之相鄰區域(例如，直接相鄰之區域或在亦包括由步驟f)製成之銅之至少一穿孔與格柵結構之間的區域)，可進一步獲得在不具有不均勻高度(鑑於經填充結構，如經填充穿孔或經填充格柵結構)之整個經處理基板上方提供銅鍍敷厚度之均勻銅表面之銅填充物。

【0070】 在步驟f)之後，不同HHD表面因子之區域之所得銅層之高度差係銅鍍敷厚度之自0至40%，較佳自0至20%。

【0071】 較佳地，若HHD表面因子係自1.1至5，則所得銅層之高度差係自0至40%。更佳地，若HHD表面因子係自1.1至3，則所得銅層之高度差係自0至20%，及/或若HHD表面因子係自2至5，則所得銅層之高度差係自10%至40%。

【0072】 倘若僅存在兩個不同HHD表面因子(1.1至5及1之HHD)，則差可自0至10%。在具有擁有不同的至少三個HHD表面因子1.1至5 (包含1之HHD表面因子)之區域之更複雜表面之情況中，差係10%至40%，較佳10%至30%。

【0073】 若具有穿孔之區域之HHD表面因子係自1.1至5、更佳自1.1至3、最佳自1.1至2，則較佳的是自0至40%之所得銅層之高度差。又較佳的是，若HHD表面因子係自1.1至2，則所得銅層之高度差係自0至20%。倘若僅存在兩個不同HHD表面因子(1.1至2及1之HHD)，則差可自0至10%。在具有擁有三個或三個以上不同HHD表面因子1.1至5 (包含HHD表面因子1)之區域之更複雜表面之情況中，差係自10%至40%，較佳10%至30%。

【0074】 若具有格柵結構之區域之HHD表面因子係自1.1至3，較佳

自1.1至2，則較佳的是自0至40%之所得銅層之不均勻高度差。更佳的是，若HHD表面因子係自1.1至2，則所得銅層之高度差係自0至20%。

【0075】 步驟d)及步驟f)中之酸可選自由以下各者組成之群組：硫酸、甲烷磺酸、焦磷酸、氟硼酸及胺基硫酸。

【0076】 根據實施例，銅離子源係銅(II)鹽，較佳選自由以下各者組成之群組：硫酸銅(II)、五水硫酸銅(II)、七水硫酸銅(II)、甲烷磺酸銅(II)、焦磷酸銅(II)、氟硼酸銅(II)及胺基磺酸銅(II)。

【0077】 如上文所提及，浴中含有Fe(II)及/或Fe(III)鹽。合適鐵鹽可為七水硫酸亞鐵(II)及九水硫酸亞鐵(II)兩者，在短操作時間之後自其等之任一者或兩者形成有效 Fe^{2+}/Fe^{3+} (Fe(II)/Fe(III))氧化還原體系。

【0078】 根據另一實施例，亞鐵離子源係Fe(II)鹽，較佳選自由以下各者組成之群組：七水硫酸亞鐵(II)、乙酸亞鐵(II)、丙酸亞鐵(II)、苯甲酸亞鐵(II)及六氟矽酸亞鐵(II)。

【0079】 在實施例中，鐵離子源包括Fe(III)鹽，較佳選自由以下各者組成之群組：九水硫酸鐵(III)、乙酸鐵(III)、丙酸鐵(III)、苯甲酸鐵(III)及六氟矽酸鐵(III)。

【0080】 此等鹽主要適用於含水、酸性銅浴。亦可使用其他水溶性鐵鹽(例如，高氯酸鐵)。不含(硬)配位劑(complex former)之鹽係有利的。此等配位劑可能在生物上不可降解或僅在某些困難下可能可降解，因此在處置沖洗水(例如，鐵鉸鑿)時，此等鹽可能會產生問題。不應使用在銅沈積溶液(例如，諸如氯化物或硝酸鹽)之情況中具有導致非所要二次反應之陰離子之鐵化合物。因此，鐵離子之羧酸鹽(諸如乙酸鹽、丙酸鹽及苯甲酸鹽以及六氟矽酸鹽)亦為有利的。採用 Fe^{2+}/Fe^{3+} 氧化還原體系之合適系

統係在(例如) WO 2010/094998 A1、WO 2007/112971 A2、US專利第 5,976,341號及第6,099,711號中揭示，關於此體系之額外細節，可諮詢該等案。與使用 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原體系有關之上述專利之揭示內容係以引用的方式併入本文中。

【0081】 合適添加劑化合物可為(例如)聚合含氧化合物、有機硫化物、硫脲化合物、聚合二甲基苯基吡啶酮鎘化合物及聚合氮化合物，以及此等添加劑化合物之任一添加劑化合物之任兩者或兩者以上之混合物或組合。

【0082】 合適例示性聚合含氧化合物可包括以下一或多者：羧甲基纖維素、壬基酚-聚乙二醇醚、辛二醇-雙-(聚伸烷二醇醚)、辛醇聚伸烷二醇醚、油酸聚乙二醇酯、聚乙烯-丙二醇共聚物聚乙二醇、聚乙二醇-二甲醚、聚氧丙二醇、聚丙二醇、聚乙烯醇、硬脂酸聚乙二醇酯、硬脂醇聚乙二醇醚及 β -萘酚聚乙二醇醚。

【0083】 合適例示性硫脲類化合物可包括以下一或多者：硫脲、N-乙醯硫脲、N-三氟乙醯硫脲、N-乙基硫脲、N-氰基乙醯硫脲、N-烯丙基硫脲鄰甲苯基硫脲、N,N'-丁撐硫脲、噻唑烷硫醇、4-噻唑烷硫醇、咪唑啉硫醇(N,N'-亞乙基硫脲)、4-甲基-2-嘧啶硫醇、2-硫脲嘧啶。

【0084】 合適例示性二甲基苯基吡啶酮鎘化合物可包括以下一或多者：聚-(6-甲基-7-二甲基胺基-5-苯基二甲基苯基吡啶酮鎘硫酸鹽)、聚(2-甲基-7-二乙基胺基-5-苯基二甲基苯基吡啶酮鎘氯化物)、聚(2-甲基-7-二甲基胺基-5-苯基二甲基苯基吡啶酮鎘硫酸鹽)、聚(5-甲基-7-二甲基胺基二甲基苯基吡啶酮鎘乙酸鹽)、聚(2-甲基-7-苯胺基-5-苯基二甲基苯基吡啶酮鎘硫酸鹽)、聚(2-甲基-7-二甲基胺基二甲基苯基吡啶酮鎘硫酸鹽)、

聚(7-甲基胺基-5-苯基二甲基苯基吡啶酮鎊乙酸鹽)、聚(7-乙基胺基-2,5-二苯基二甲基苯基吡啶酮鎊氯化物)、聚(2,8-二甲基1-7-二乙基胺基-5-對甲苯基二甲基苯基吡啶酮鎊氯化物)、聚(2,5,8-三苯甲基1-7-二甲基胺基二甲基苯基吡啶酮鎊硫酸鹽)、聚(2,8-二甲基1-7-胺基-5-苯基二甲基苯基吡啶酮鎊硫酸鹽)及聚(7-二甲基胺基-5-苯基二甲基苯基吡啶酮鎊氯化物)。

【0085】 合適例示性聚合含氮化合物可包括以下一或多者：聚乙烯亞胺、聚亞乙基亞胺、聚丙烯醯胺、聚丙烯亞胺、聚乙烯丁基亞胺、N-甲基聚乙烯亞胺、N-乙醯基聚乙烯亞胺及N-丁基聚乙烯亞胺。

【0086】 原則上，銅離子將在多層基板上之電沈積程序期間消耗。然而，為在電解質浴中重新獲得銅離子，其等不能無法藉由不溶性尺寸穩定陽極直接供應。代替性地，其等將藉由化學溶解銅金屬源(即，由銅或含銅成型體製成之犧牲陽極)來提供。可在二次反應器中實現及/或控制銅金屬源之溶解且可在主反應器中實現及/或控制電沈積，其中兩個反應器經連接。二次反應器可與主反應器連接以便以適當流速在二次反應器與主反應器之間提供電解質浴之循環。

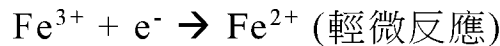
【0087】

在此氧化還原體系中，銅離子係在使用經溶解Fe(III)鹽作為氧化劑之氧化還原反應中由銅金屬源(犧牲陽極或含銅成型體)形成。換言之，Fe(III)離子被還原為Fe(II)離子，而源銅金屬被氧化以形成Cu(II)離子。藉助於此氧化還原反應，電沈積程序所需之銅離子之總濃度在電解質浴中保持相對恆定。此外，對其施加實際電壓之不溶性尺寸穩定陽極保持相同均勻尺寸。如將認識到，以下反應發生：

在不溶性尺寸穩定陽極處(電沈積程序)：



在陰極處，即，在多層基板處(電沈積程序)：



在銅金屬源處(Cu^{2+} 之無電重新獲得)：



【0088】 當對基板施加電壓時，局部電流密度在具有通孔及格柵結構之區域(所謂之高孔密度區域，HHD區域)與不具有通孔之區域之間發散，以及其取決於特定區域中之通孔之孔密度。相較於不具有通孔之區域，HHD區域通常具有較低局部電流密度。此外，通孔之孔密度愈高，局部電流密度愈低。在該背景內容中，基板之特定區域之HHD表面因子經定義為包含所有通孔或格柵結構之內表面之總表面(亦被稱為總柵格區域或總柵格表面)與對應區域之周邊表面(亦被稱為柵格表面)之間的比率。HHD表面因子愈高，通孔愈多，相應地孔間距(通孔中點之間的距離)愈小，通孔之直徑愈小且電流密度愈低。

【0089】 在上文所描述之電沈積程序中，局部電流效率(即，電子在系統中轉移從而促進電化學反應(此處為銅之沈積)之效率)與局部電流密度相關。因此，HHD表面因子愈高，局部電流密度愈低，局部電流效率愈低，即，來自銅沈積之層厚度愈小。

【0090】 在上文所描述之氧化還原體系中，局部電流效率進一步取決於電解質浴中之 Fe^{3+} 濃度，即， Fe^{3+} 濃度愈高，經沈積之銅層之厚度愈小。

【0091】 此外，在上文所描述之氧化還原體系中，局部電流效率取決於溫度，即，溫度愈高，經沈積之銅層之厚度愈小。

【0092】 此外，在上文所描述之氧化還原體系中，局部電流效率取決於反向電流脈衝之持續時間，即，反向電流脈衝之持續時間愈長，經沈積之銅層之厚度愈小。

【0093】 根據實施例，電壓係以具有包含正向電流脈衝及反向電流脈衝之雙極性脈衝之反向脈衝形式施加。

【0094】 在另一實施例中，藉由調整以下至少一者來控制局部電流效率：銅離子源之濃度、亞鐵離子源之濃度、鐵離子源之濃度、反向電流脈衝之持續時間及電解質浴之溫度。較佳地，藉由調整以下至少一者來控制局部電流效率：鐵離子源之濃度、反向電流脈衝之持續時間及電解質浴之溫度。

【0095】 特定言之，若提高亞鐵離子之濃度及/或電解質浴之溫度，則電流效率降低。此外，若縮短反向脈衝之持續時間，則電流效率亦降低。另一方面，電流效率隨著銅(II)離子濃度增加而增加。

【0096】 根據實施例，電解質浴包括在自20 g/l至150 g/l之範圍內之濃度之銅離子源，及/或在自1 g/l至40 g/l之範圍內之濃度之亞鐵離子源，及/或在0.1 g/l至40 g/l之範圍內之濃度之鐵離子源。

【0097】 反向電流脈衝之持續時間可在0毫秒至200毫秒之範圍內調整。

【0098】 此外，正向電流脈衝之持續時間可在0毫秒至200毫秒之範圍內調整。

【0099】 在本發明之另一態樣中，藉由上文所描述之方法獲得包含

用銅填充之穿孔20之高密度互連印刷電路板(HDI PCB)。

【符號說明】

【0100】

- 10: 多層基板
- 12: 絕緣核心層
- 13: 外絕緣層
- 14: 導電夾層
- 16: 覆蓋層
- 20: 穿孔
- 22: 內表面
- 30, 32: 格柵結構
- 34, 35: 格柵結構之壁
- 36: 狹槽
- 40: 非銅導電層或銅層
- 50: 圖案化之遮罩膜
- 60: 第一銅層
- 62: 銅內密封件
- 64: 盲微孔
- 66: 銅嵌體
- 70: 銅填充物

【發明申請專利範圍】

【請求項1】

一種製備包含用銅填充之穿孔及/或格柵結構之高密度互連印刷電路板(HDI PCB)或IC基板之方法，該方法包括以下步驟：

a)提供多層基板(10)，其包括：

(i)絕緣核心層(12)，其具有周邊表面，或

(i')堆疊總成，其包括嵌入於兩個導電夾層(14)之間的絕緣核心層(12)及附接於該導電夾層(14)上且具有周邊表面之至少一外絕緣層(13)，

(ii)選用覆蓋層(16)，其覆蓋該周邊表面，及

(iii)至少一穿孔(20)，其延伸穿過該多層基板(10)之所有層；及/或格柵結構(30、32)，其具有延伸穿過該選用覆蓋層(16)且部分延伸於該絕緣核心層(12)中或延伸穿過至少該選用覆蓋層(16)及該等外絕緣層(13)之至少一者之多個狹槽(36)；

b)分別在該格柵結構(30、32)之內表面上，在該覆蓋層(16)上及在該穿孔(20)之內表面(22)上形成非銅導電層(40)或銅層(40)；

c)在該非銅導電層(40)上或在該銅層(40)上形成圖案化之遮罩膜(50)；

d)在一個步驟中在該穿孔(20)內部電沈積足以形成兩個盲微孔(64)之銅內密封件(62)，分別在該格柵結構(30、32)之該內表面之該非銅導電層(40)上或該銅層(40)上電沈積銅嵌體(66)及在該非銅導電層(40)或該銅層(40)之該剩餘周邊表面上電沈積第一銅層(60)；

e)移除該遮罩膜(50)；及

f)在一個步驟中在該等盲微孔(64)中，分別該銅嵌體(66)及在該第一銅層(60)上電沈積銅填充物(70)，其中相較於不具有穿孔及/或格柵結構之高度，步驟f)之該穿孔及/或格柵結構上方之所得銅鍍敷厚度之高度之差係自0至40%。

【請求項2】

如請求項1之方法，其中該穿孔(20)具有在自30 μm 至1000 μm 之範圍內之直徑及/或該多個狹槽(36)具有在自30 μm 至300 μm 之範圍內之直徑。

【請求項3】

如請求項1或2之方法，其中步驟b)之該非銅導電層(40)選自由以下各者組成之群組：金屬或金屬合金層；導電金屬氧化物層；由石墨、石墨炔、石墨二炔製成之碳層；有機層。

【請求項4】

如請求項1或2之方法，其中該非銅導電層(40)係藉由以下一或多者形成：無電鍍敷程序、無電沈積程序、物理沈積程序、化學氣相沈積程序或電漿增強型化學氣相沈積程序。

【請求項5】

如請求項1之方法，其中在該穿孔(20)內部電沈積該銅內密封件(62)及電沈積第一銅層(60)之步驟d)包含將該多層基板(10)浸入至具有作為陰極連接之該非銅導電層(40)之電解質銅鍍敷系統中之電解質浴中，該鍍敷系統進一步包括不溶性尺寸穩定陽極及銅金屬源，其中該電解質浴包括酸、銅離子源、 Fe^{2+} 及/或 Fe^{3+} 離子源及用於控制經沈積銅之物理-機械性質之至少一添加劑；且

在該不溶性尺寸穩定陽極與該非銅導電層(40)之間施加電壓，使得電

流在其等之間流動持續足以電沈積銅以形成該銅內密封件(62)及在該周邊非銅導電層(40)上形成第一銅層(60)之時間，其中在該電解質浴中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原體系以提供待藉由溶解來自該銅金屬源之銅離子而電沈積之額外銅離子。

【請求項6】

如請求項1之方法，其中電沈積該銅填充物(70)之步驟f)包含將該多層基板(10)浸入至具有作為陰極連接之該非銅導電層(40)之電解質銅鍍敷系統中之電解質浴中，該鍍敷系統進一步包括不溶性尺寸穩定陽極及銅金屬源，其中該電解質浴包括酸、銅離子源、 Fe^{2+} 及/或 Fe^{3+} 離子源及用於控制經沈積銅之物理-機械性質之至少一添加劑；且

在該不溶性尺寸穩定陽極與該銅層(40)或非銅導電層(40)之間施加電壓，使得電流在其等之間流動持續足以電沈積銅以在該盲微孔(64)及銅嵌體(66)中形成該銅填充物(70)之時間，同時減小該第一銅層(60)之層厚度，其中在該電解質浴中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原體系以提供待藉由溶解來自該銅金屬源而非該第一銅層(60)之該銅之銅離子而電沈積之額外銅離子。

【請求項7】

如請求項5或6之方法，其中該酸選自由以下各者組成之群組：硫酸、甲烷磺酸、焦磷酸、氟硼酸及胺基硫酸。

【請求項8】

如請求項5或6之方法，其中該銅離子源係銅(II)鹽。

【請求項9】

如請求項5或6之方法，其中該亞鐵離子源係Fe(II)鹽。

【請求項10】

如請求項5或6之方法，其中該鐵離子源包括Fe(III)鹽。

【請求項11】

如請求項5或6之方法，其中該電壓係以具有包含正向電流脈衝及反向電流脈衝之雙極性脈衝之反向脈衝形式施加。

【請求項12】

如請求項11之方法，其包含藉由調整以下至少一者來控制局部電流效率：

該銅離子源之濃度，

該亞鐵離子源之濃度，

該鐵離子源之濃度，

該反向電流脈衝之持續時間，及

該電解質浴之溫度。

【請求項13】

如請求項12之方法，其中該電解質浴包括

在自20 g/l至150 g/l之範圍內之濃度之該銅離子源，及/或

在自1 g/l至40 g/l之範圍內之濃度之該亞鐵離子源，及/或

在自0.1 g/l至40 g/l之範圍內之濃度之該鐵離子源。

【請求項14】

如請求項12之方法，其中該反向電流脈衝之該持續時間係在自0毫秒至200毫秒之範圍內調整。

【請求項15】

如請求項1、2、5及6中任一項之方法，其中延伸穿過該多層基板

(10)之所有層之該至少一穿孔(20)及/或

具有延伸穿過該選用覆蓋層(16)且部分延伸於該絕緣核心層(12)中或延伸穿過至少該選用覆蓋層(16)及該等外絕緣層(13)之至少一者之多個狹槽(36)之該格柵結構(30、32)之HDD表面因子係自1.1至5。

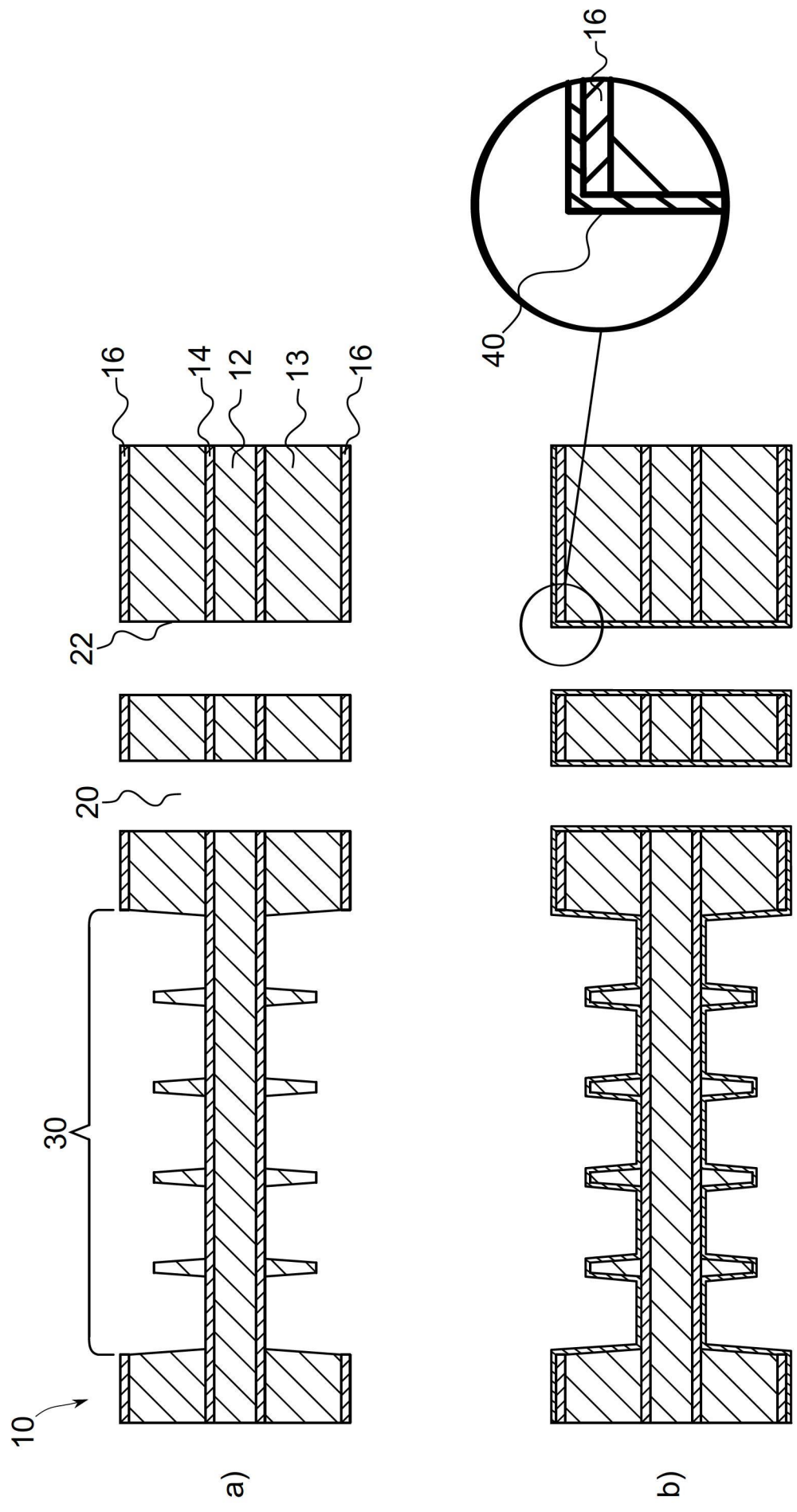
【請求項16】

如請求項1、2、5及6中任一項之方法，其中步驟f)之該銅填充物之所得厚度導致該穿孔及/或格柵結構上方之自10 μm 至300 μm 之薄且均勻銅層厚度之銅層厚度。

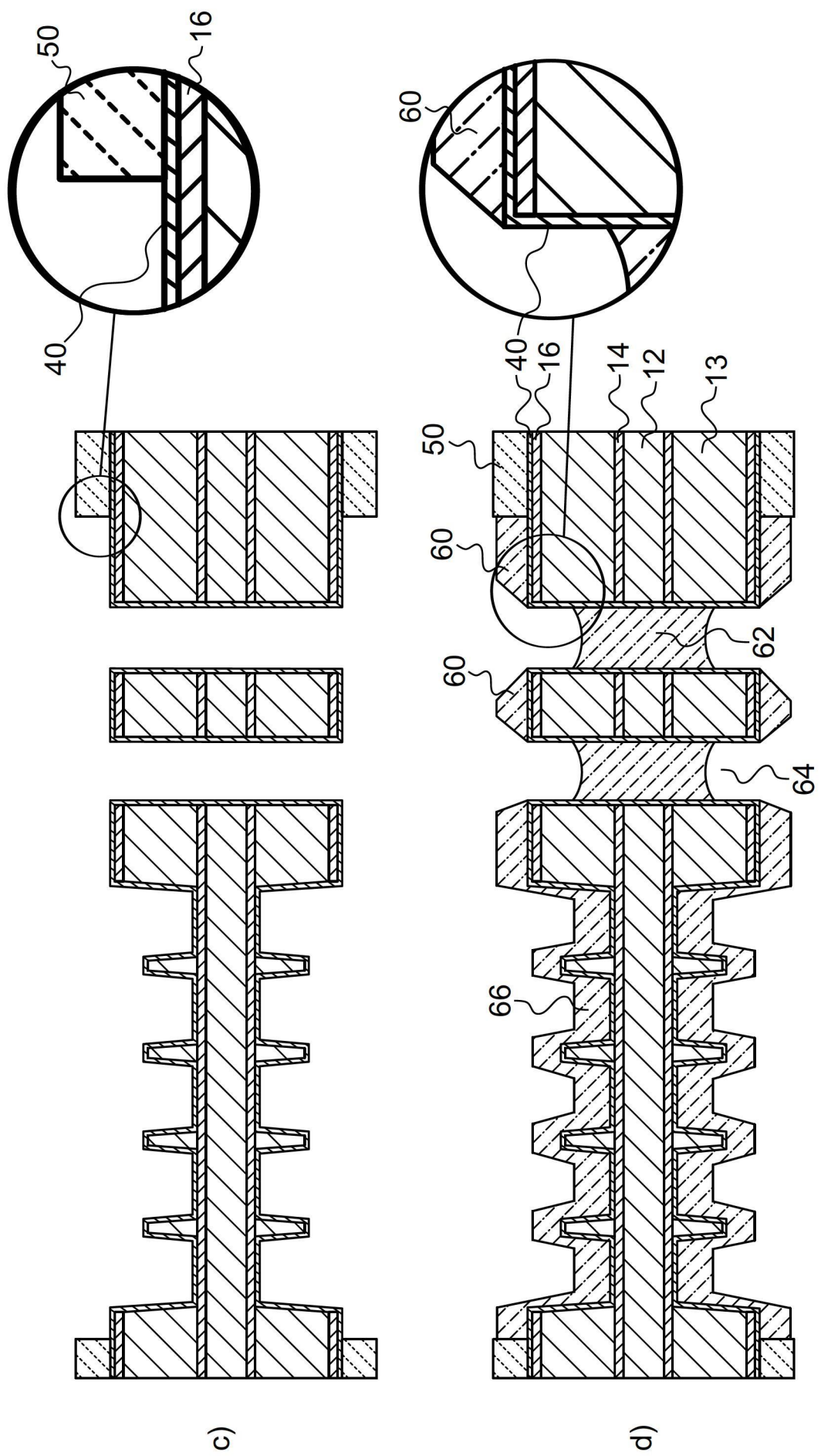
【請求項17】

一種包含用銅填充之穿孔(20)之高密度互連印刷電路板(HDI PCB)或IC基板，該HDI PCB藉由如請求項1至16中任一項之方法獲得。

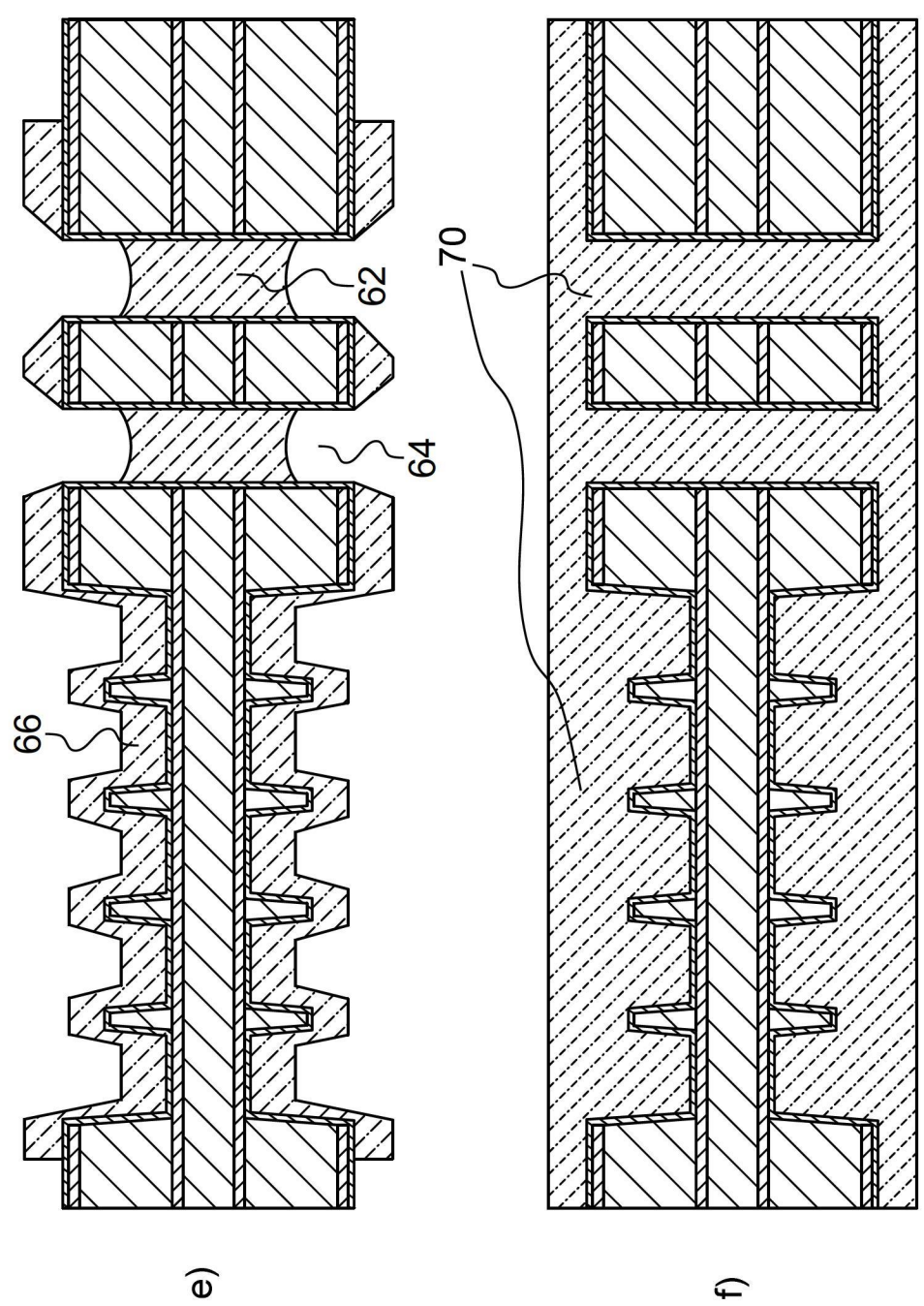
【發明圖式】



【圖1】



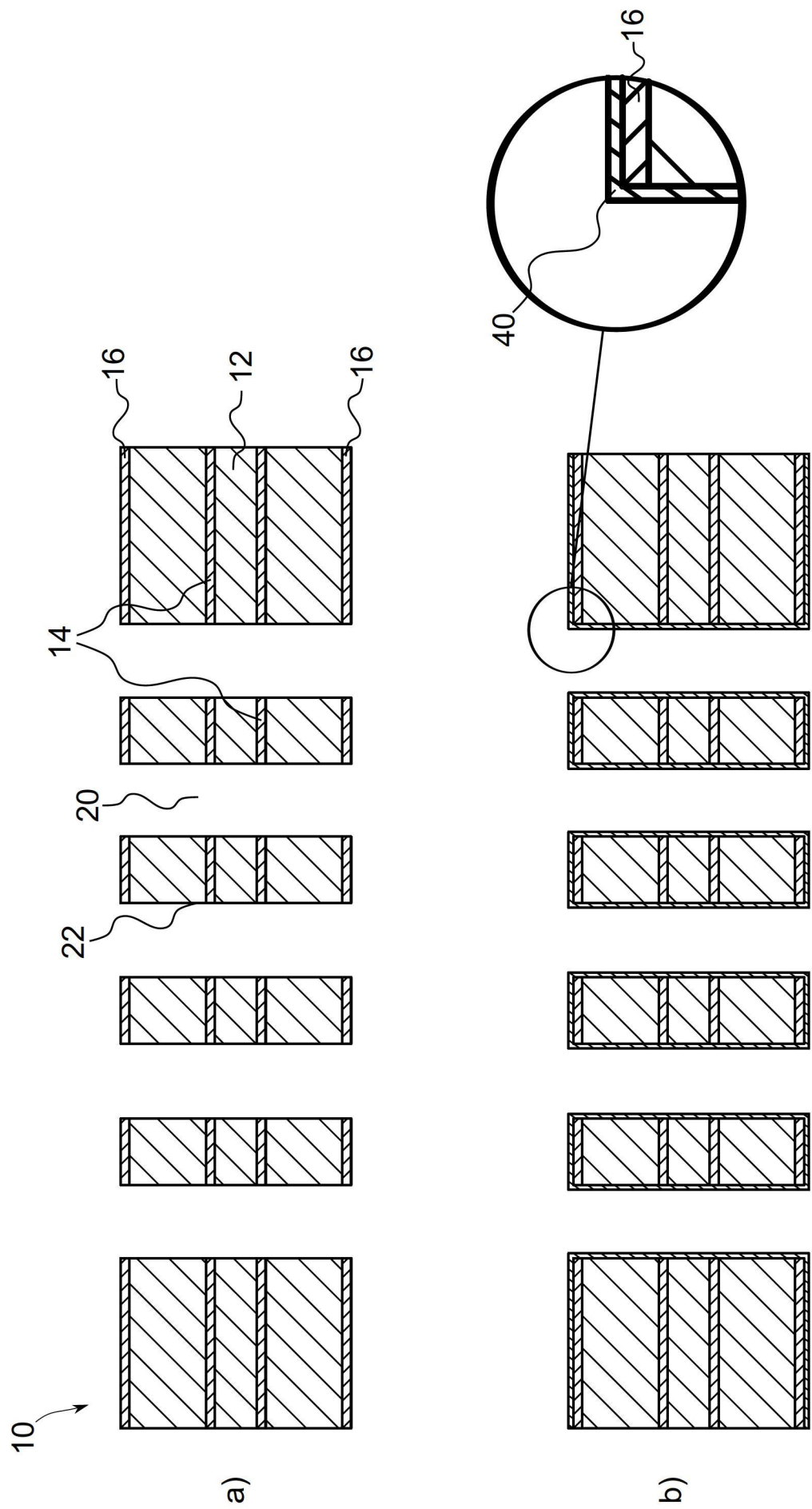
【圖1】(續)



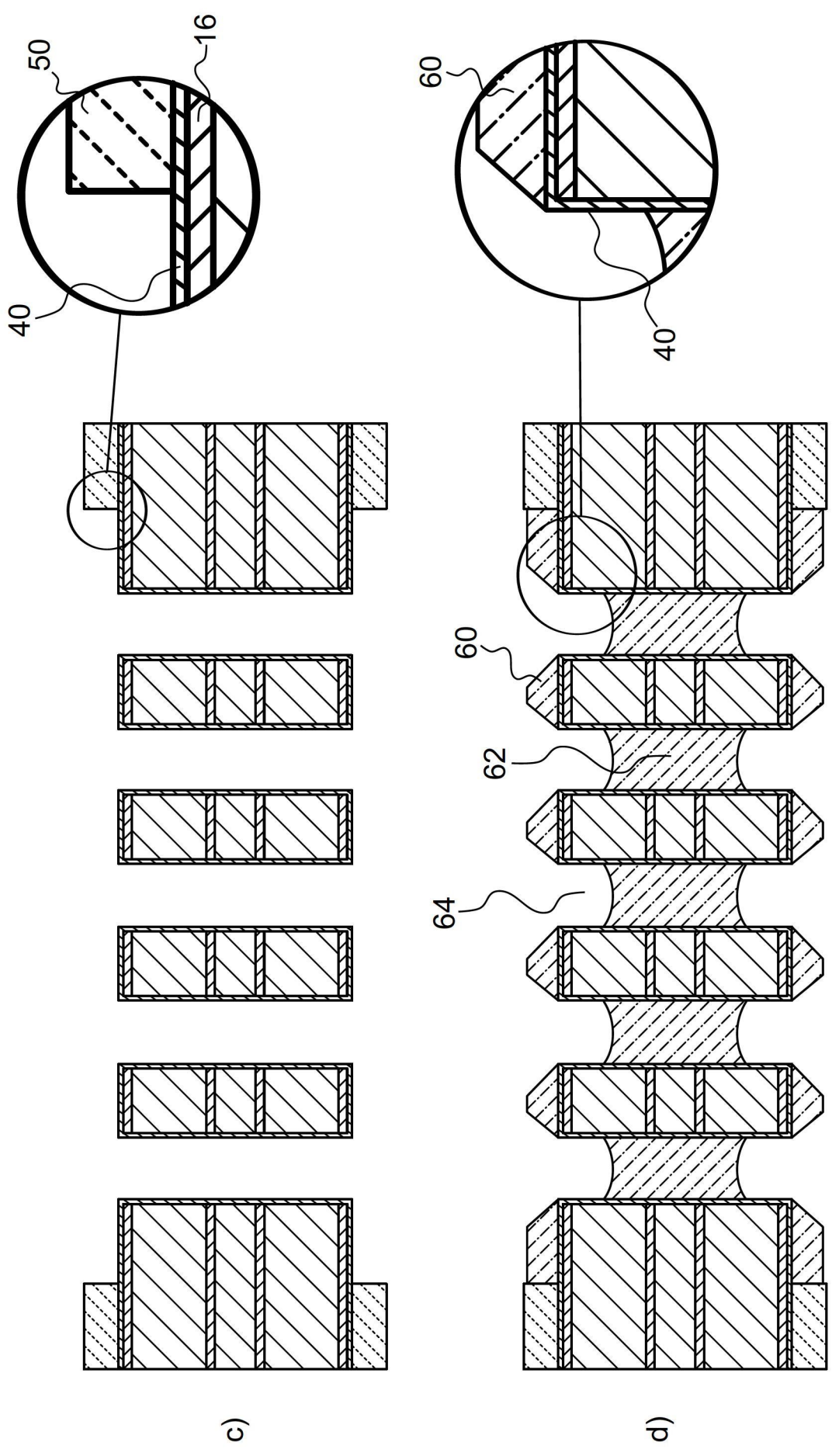
【圖1】(續)

e)

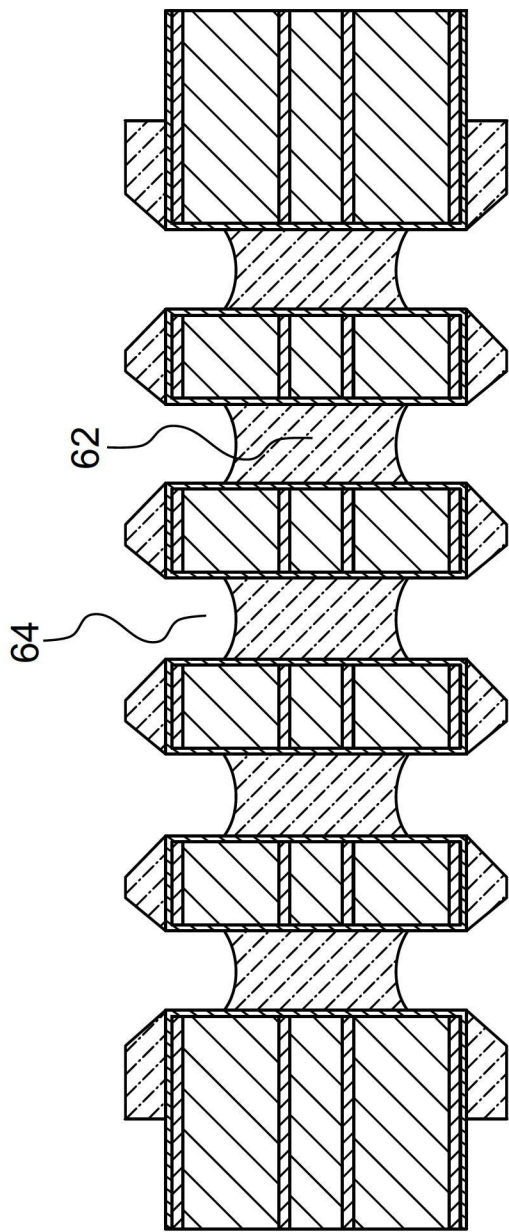
f)



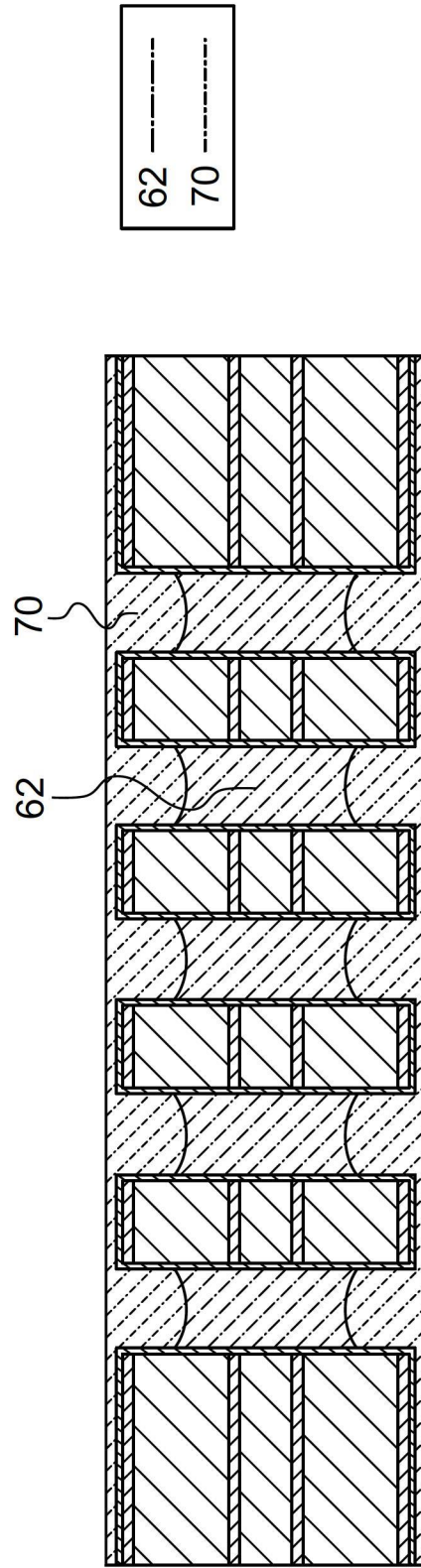
【圖2】



【圖2】(續)

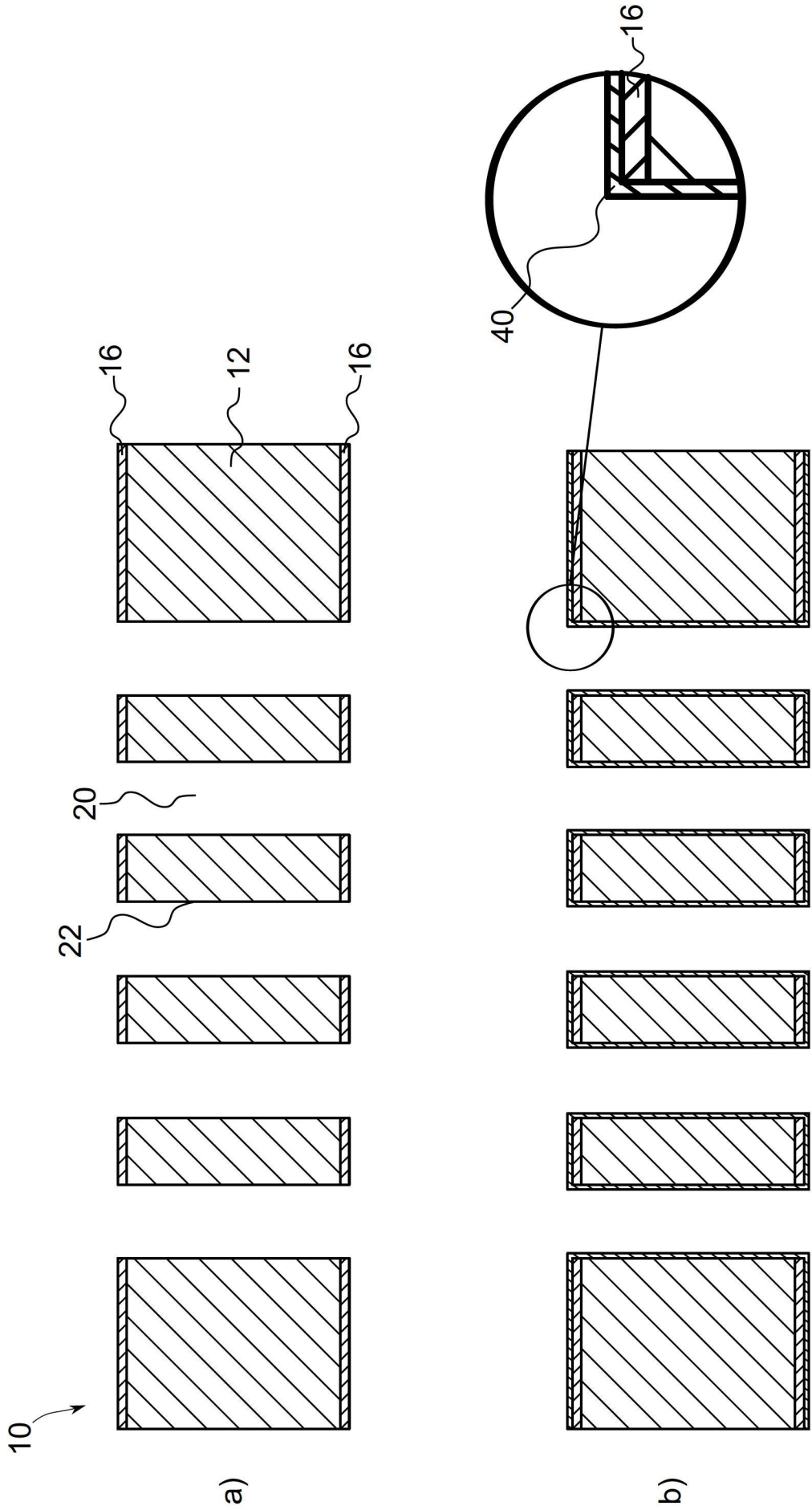


e)

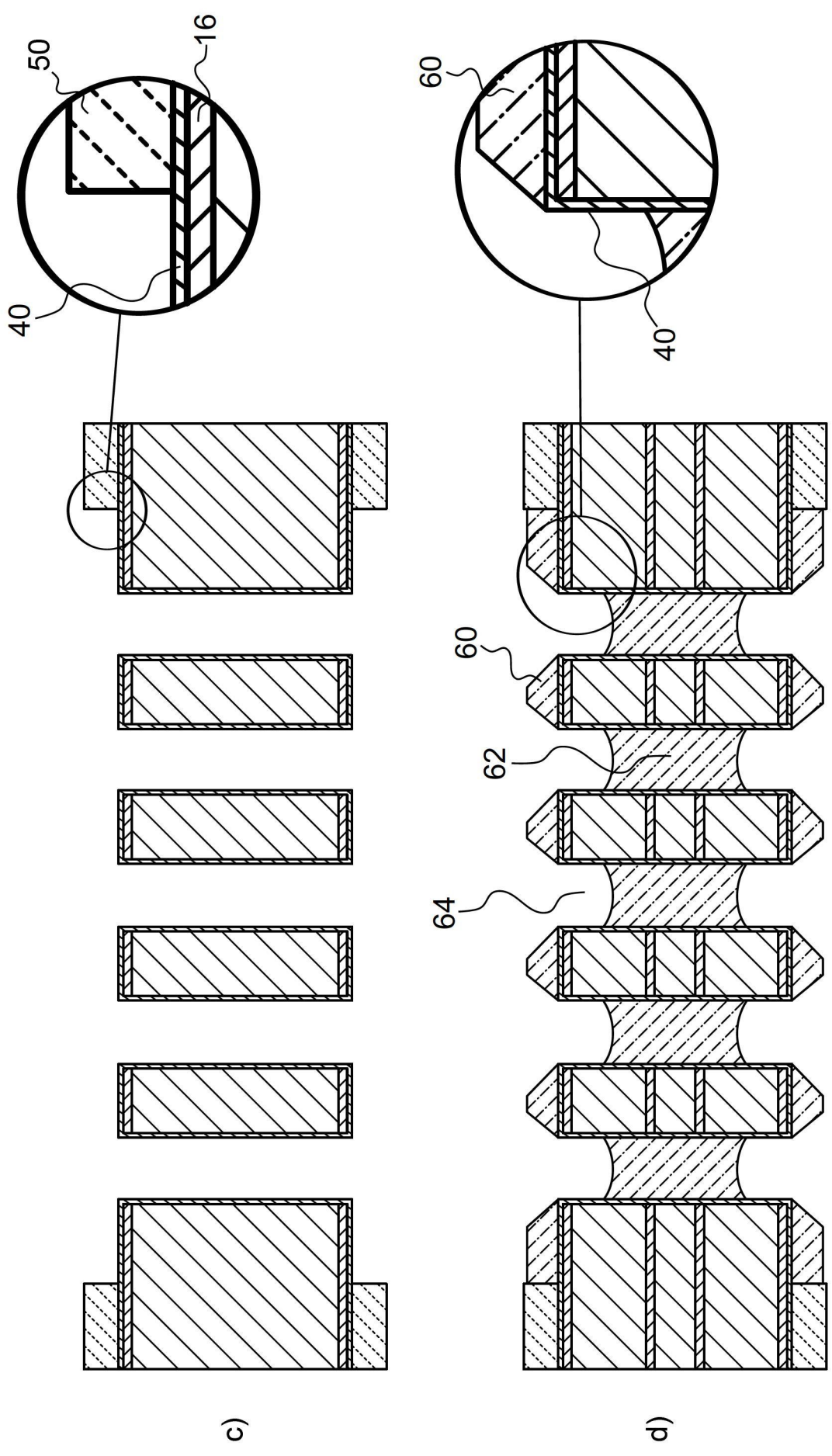


f)

【圖2】(續)



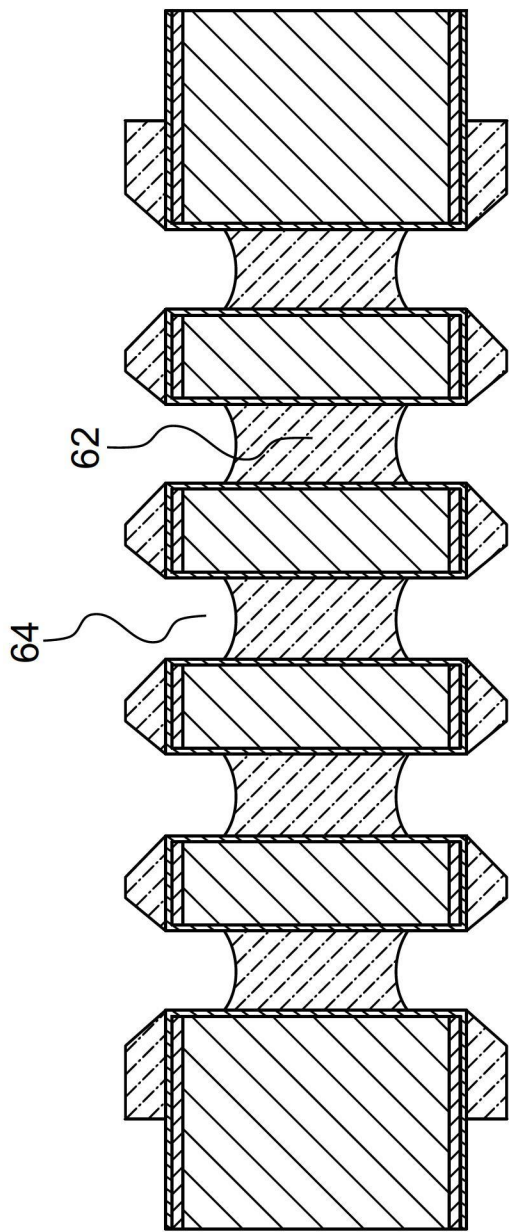
【圖3】



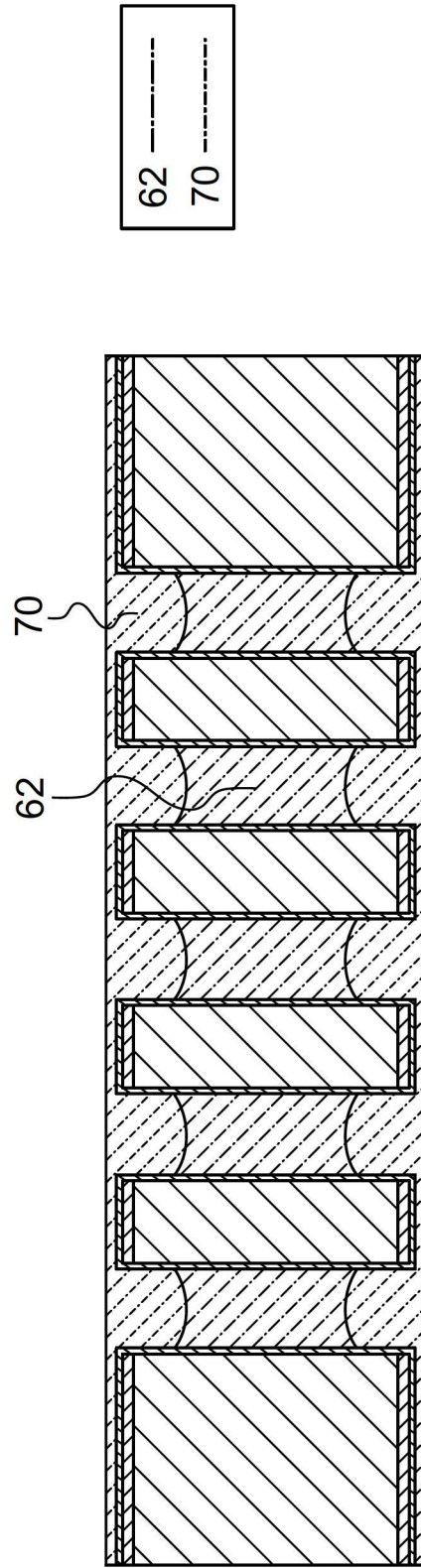
【圖3】(續)

c)

d)

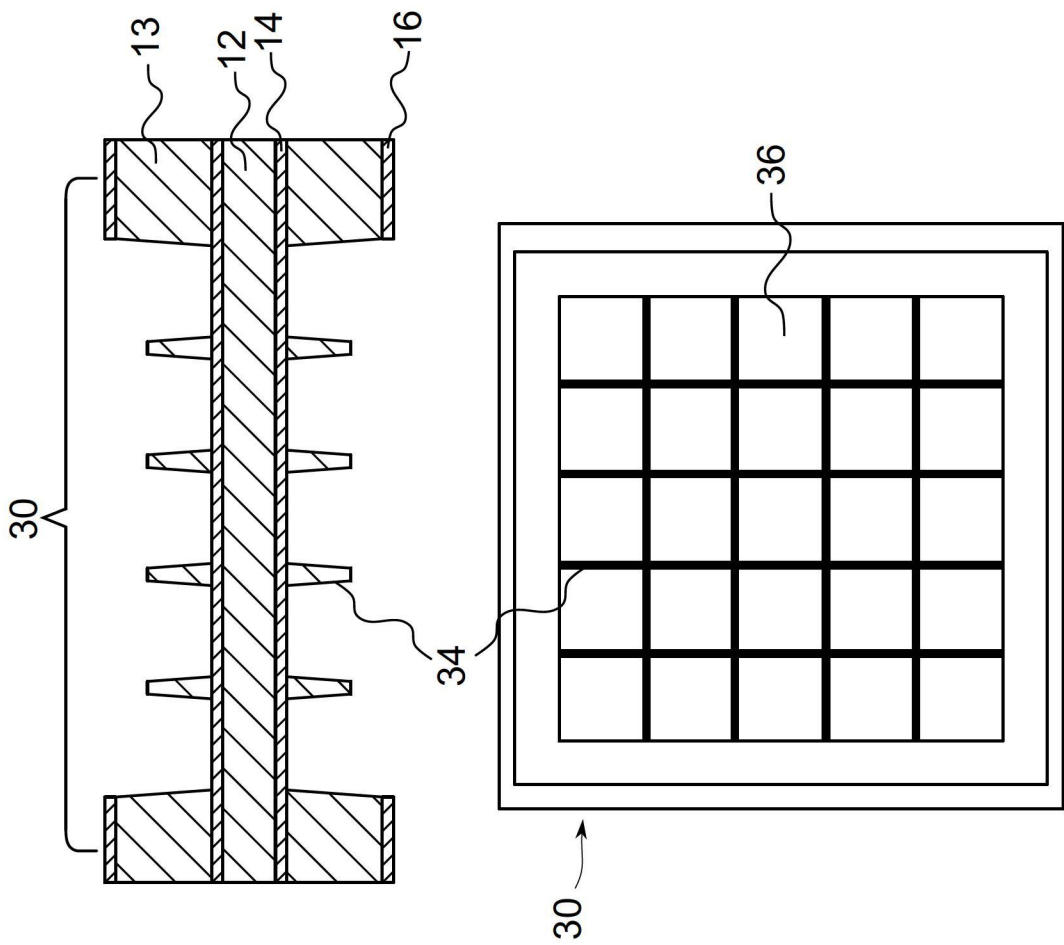


e)

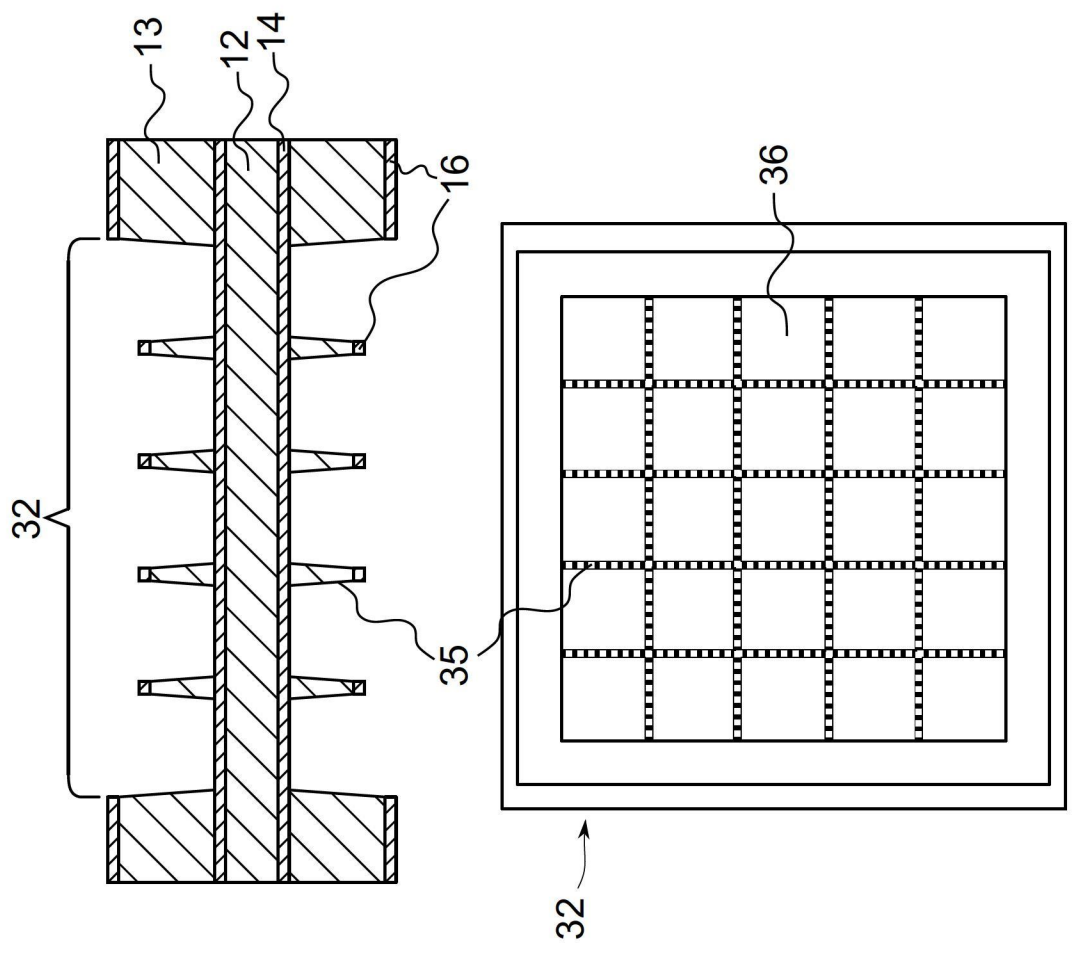


f)

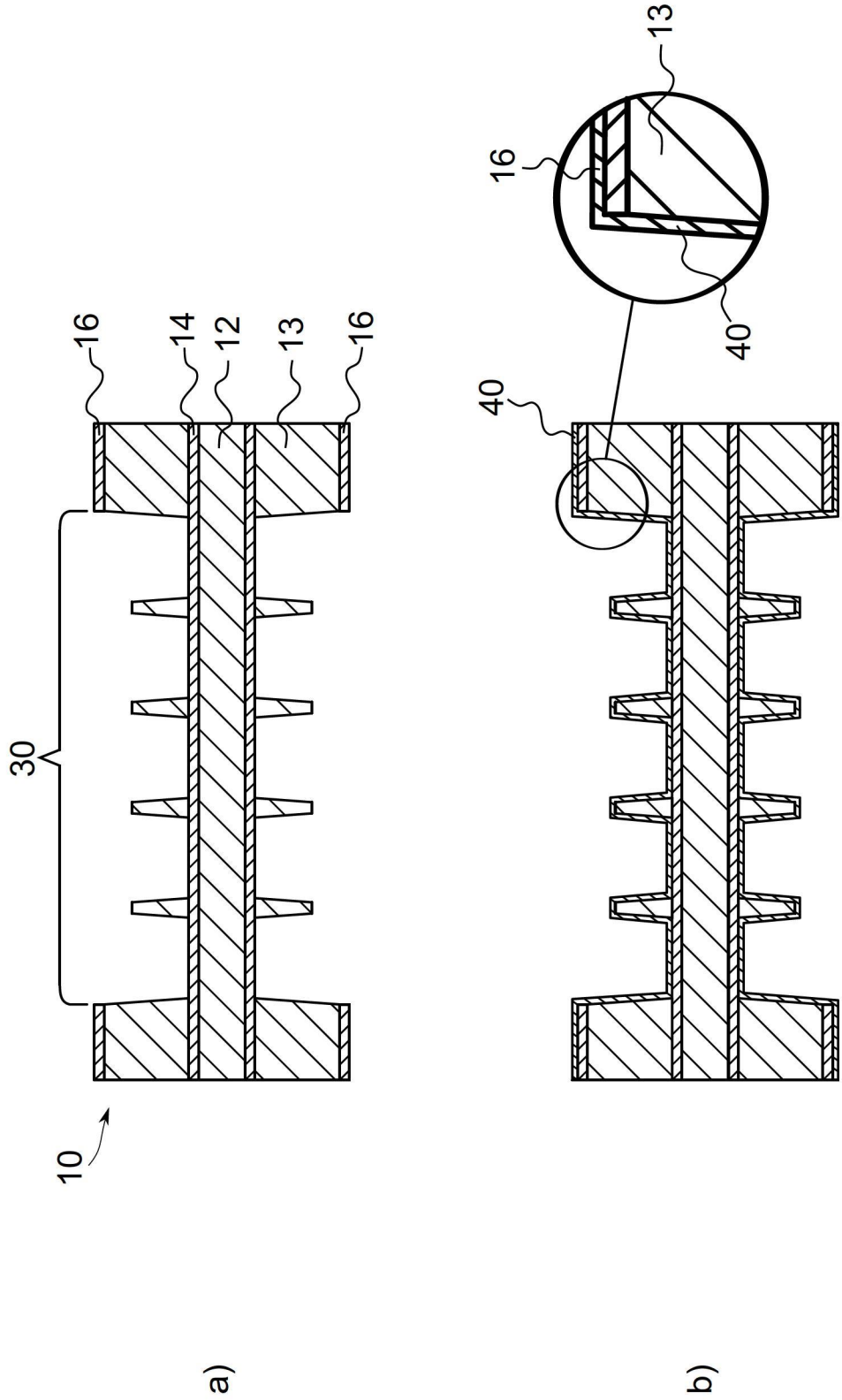
【圖3】(續)



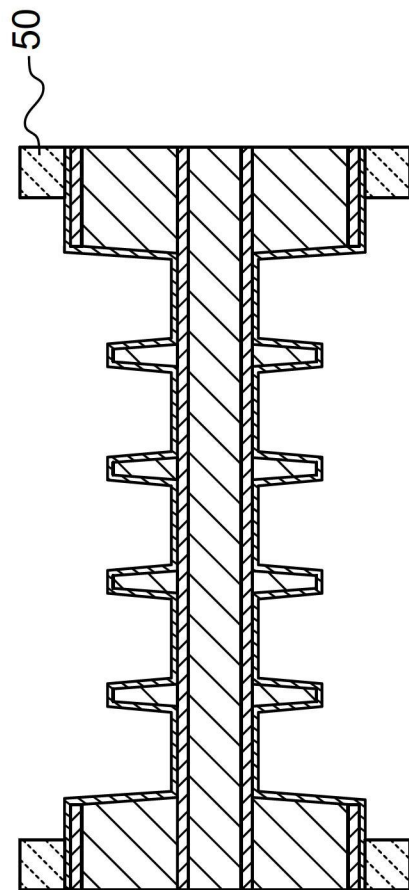
【圖4a】



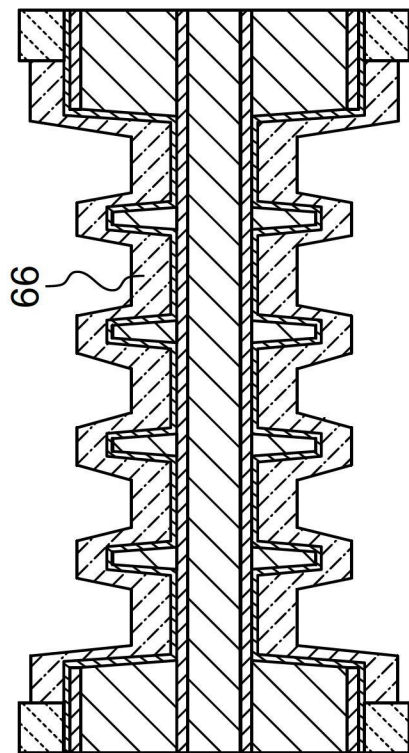
【圖4b】



【圖5】

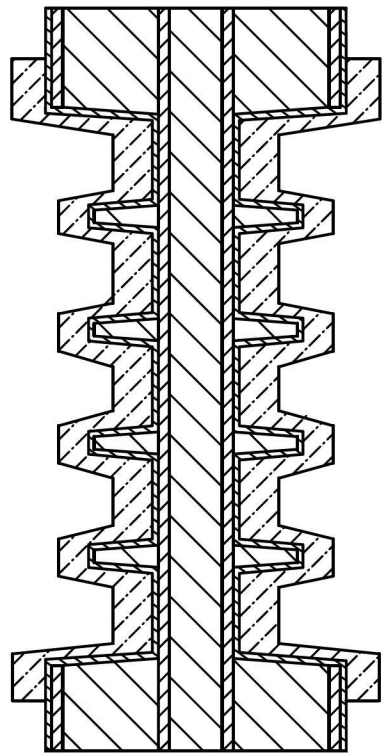


c)

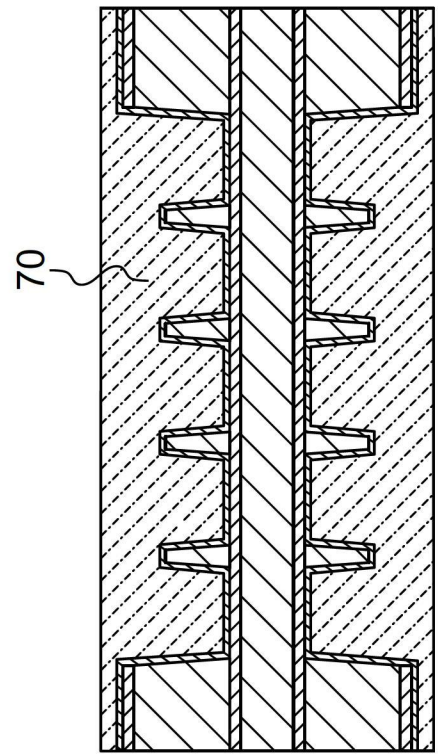


d)

【圖5】(續)



e)



f)

【圖5】(續)