

公告本

388968

申請日期	87. 9. 11		
案號	8711 574		
類	In 類	Cl ⁶	HOLL 2/82

A4
C4

388968

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	改良之雷射熔線及其製造方法
	英文	Improved laser fuse links and methods therefor
二、發明 人	姓名	1. 彼得威甘 (Peter Weigand) 2. 艾德華 W. 凱拉 (Edward W. Kiewra) 3. 陳翠西哈納瑞元 (Chandrasekhar Narayan) 4. 肯尼斯 C. 亞特 (Kenneth C. Arndt) 5. 大衛拉特魯普 (David Lachtrupp) 6. 理查亞富瑞吉摩 (Richard Alfred Gilmour) 7. 安東尼麥可帕拉勾尼亞 (Anthony Michael Palagonia)
	國籍	1. 奧地利 2. 美國 3.-7. 皆屬美國
	住、居所	1. 德國安特哈琴 D-82008 瑞修帕特 2 號 2. 美國紐約州 12585 弗班克可普道 337 號 3. 美國紐約州 12533 荷普威點坎辛頓道 62 號 4. 美國紐約州 13524 芳希吉威須 10 號 5. 美國佛蒙特州 05677 瓦特伯瑞中心 郵政信箱第 237 號 6. 美國佛蒙特州 05446 可卻斯特摩席道 11 號 7. 美國佛蒙特州 05489 山下頁路 30 號
三、申請人	姓名 (名稱)	1. 西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT 2. 國際商業機器股份有限公司 International Business Machines Corporation
	國籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑 D-80333 威田巴契廣場 2 號 2. 美國紐約州 10504 艾蒙克老橡樹路
	代表 姓名	1. 貝斯納 (Basner) & 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

五、發明說明(1)

發明背景：

本發明係關於積體電路之製造。更具體的是，本發明係關於用於在使用雷射熔線之積體電路中增加電路密度或減少基片損毀之改良技術。

半導體積體電路(IC)及其製程技術皆為熟知。在一典型的積體電路中，可以在矽基片上製造多個半導體裝置。為了達到所要的功能，通常提供導線來耦合選擇之裝置。在一些積體電路中，一些導線可能與熔線耦合，可以在製程之後以電線切斷或爆破。在一動態隨機存取記憶體(DRAM)電路中，可以在製程中使用熔線以保護一些電晶體之閘堆免於累積電荷所造成之損害。一旦實質上完成了IC的製造，可以爆破或切斷熔線以使DRAM電路如同從未有過保護電流路徑般地執行。

一般來說，可以使用熔線來設定DRAM電路中冗餘陣列元素之致能位元及位址位元。為了方便討論，第1圖顯示典型的動態隨機存取記憶體(DRAM)積體電路，包含了一主記憶體陣列102。為了易於置換主記憶體陣列102中瑕疵之主陣列元件，提供一冗餘陣列104，如圖所示。在熔線陣列106中之數個熔線經由一熔線門鎖陣列108及一熔線解碼器電路110而耦合至冗餘陣列104。為了置換一瑕疵之主記憶體陣列元件，在熔線陣列106中之個別熔線可以被爆破或切斷以設定其值至"1"或"0"以符合解碼電路之要求。

在運作期間，熔線陣列106中之熔線值係典型地在啓動

五、發明說明(>)

時置入熔線門鎖陣列 108。這些值接著在運轉期間由熔線解碼器電路 110 解碼，藉此促進了以冗餘陣列 104 之特定冗餘元件置換損壞之主記憶體陣列元件之過程。以冗餘陣列元件置換損壞之主記憶體陣列元件之技術在本領域中乃為一般技術，故此不在此多做描述。

如上述提及者，在熔線陣列 106 中之熔線可以雷射束選擇性地爆破或切斷。一旦被雷射束所爆破，熔線自一高導電狀態變為一高電阻狀態，亦即不導電狀態，爆破熔線禁止電流流經電流路徑，並代表對於電流路徑之斷路。參考第 2A 圖，熔線陣列元件 106 之熔線 202, 204, 206, 及 208 係在未爆破，即導電狀態。在第 2B 圖中，熔線 204 則由雷射束被爆破或切斷，藉以禁止電流流經。

經發現的是，使用雷射束來設定，例如切斷或爆破，熔線可以使在熔線下的區域易受雷射引發之損壞，這主要是由於在熔線設定操作期間雷射能量之吸收所造成的。在某些情況中，在熔線下之區域在熔線設定操作之後受到某一程度之雷射引發損害。由於雷射引發損害之可能性，在習知技術中，通常在熔線下方之區域中皆未置放半導體裝置（例如電晶體）。

即使沒有活性裝置，基片本身亦受到某種程度之雷射引發損害。這是因為矽，即典型的基片材料，快速地吸收了雷射能量，特別是當使用短波雷射時更是如此。因此原故，已在習知技術中使用如紅外線雷射之較長波長之雷射，以進行設定運作。

五、發明說明(3)

雖然紅外線雷射在減輕對基片之雷射引發損害上是有助益的，但是使用具有長波長之雷射需要一些不利的妥協。例如，較長波長之紅外線雷射在熔線設定運作期間在基片上形成較大之點，而限制了熔線間之最近距離。對於波長約為1微米之紅外線雷射，在基片上形成之點可能是波長的兩倍或是約2至2.5微米寬。

較長波長雷射之缺點可參見第3A及3B圖。第3A圖係部分熔線陣列106之橫切面圖，包含熔線202, 204, 206, 及208。在第3A圖中，熔線202, 204, 206, 及208係被封裝在一鈍化層302之內。基片304如圖所示，係在熔線下方。應注意的是第3A圖被簡化很多以方便說明，而熔線陣列106則可能包含其他的傳統層及/或零件，如圖所示。

在第3B圖中，第3A圖之熔線204已由雷射束所爆破或切斷。代替熔線204的是一孔3A，其直徑約為所使用雷射束波長之兩倍。雷射點之直徑C限制了相鄰熔線之間最小熔線節距312之長。假使對於一特定雷射波長而言，熔線之間距離太近，則可能不慎爆破或切斷相鄰熔線，使得IC具有瑕疵。

使用較短波長之雷射則可能減少雷射點之直徑及熔線之最小節距。然而短波長雷射實質上將增加習知技術中下層基片損害之可能性，這是由於矽基片快速地自短波雷射中吸取雷射能量。假使使用了短波雷射來設定習知技術熔線陣列106之熔線，則可能造成區域320中過多的基片損壞，而導致積體電路的瑕疵及失效。

五、發明說明(4)

由上述可知，需要有製造具有雷射熔線之積體電路之改良技術更具體地說，需要有改良之雷射熔線結構及方法，以有利地最小化在熔線設定操作期間所產生之基片損害，及/或允許使用短波雷射以減小熔線節距。

發明概述：

本發明係關於一包含基片及覆蓋基片之保護部分之積體電路。積體電路更包含第一雷射熔線。雷射熔線在積體電路之製造期間由一雷射束設定。第一雷射熔線放置在保護部分上方，其中當第一雷射熔線由雷射束設定時，保護部分實質上將雷射束造成之雷射引發損害最小化到在保護部分下方之第一區域。

在另一實施例中，本發明係關於矽基片上之動態隨機存取記憶體積體電路。動態隨機存取記憶體積體電路包含一具有主記憶體陣列元件之主記憶體陣列，及一耦合至主記憶體陣列之冗餘記憶體陣列。冗餘記憶體陣列具有冗餘記憶體陣列元件，每一個冗餘記憶體陣列元件係用來取代主記憶體陣列元件之瑕疵元件。動態隨機存取記憶體積體電路包含數個耦合至冗餘記憶體陣列之雷射熔線。數個雷射熔線之第一個雷射熔線將在製造動態隨機存取記憶體積體電路期間由雷射束改變，來設定冗餘記憶體陣列元件中第一個元件之位址熔或之值。動態隨機存取記憶體積體電路亦包含在第一雷射熔線之下之保護部分。保護部分係用來在雷射束設定第一雷射熔線時實質上將雷射束造成之雷射引發損害最小化至在保護部

五、發明說明(5)

分下方之第一區域。

在另一實施例中，本發明係關於在一積體電路中，當雷射束設定雷射熔線時用於保護在雷射熔線下方之區域免於雷射引發之損害。本方法包含提供一矽基片，在矽基片上形成一保護部分，並在保護部分上方形成一絕緣層。本方法亦包含在絕緣層上方形成雷射熔線雷射熔線係放置在保護部分上方使得保護部分實質上將雷射束造成之雷射引發損害最小化到在保護部分下方之區域。

本發明這些及其他優點將隨著以下之詳細描述及伴隨之圖示而更形清楚。

圖示之簡單說明：

本發明係藉由所附圖示之範例來描述，但並不受限於這些範例，不同圖中相似的參考標號代表相似之元件

第1圖顯示典型的動態隨機存取記憶體(DRAM)積體電路以方便討論。

第2A圖顯示數個在未爆破，即，導電狀態下之傳統雷射熔線。

第2B圖顯示第2A圖中之雷射熔線之爆破，即，非導電狀態。

第3A及3B圖顯示基片上之數個雷射熔線，包含在雷射設定運作之後形成於其上之雷射點，以方便討論與長波雷射相關之缺點。

第4A圖根據本發明之一方面顯示一改良積體電路之橫切面圖，其中每一個熔線下方皆有一保護部分。

五、發明說明(b)

第4B圖根據本發明之一方面顯示保護部分反射雷射束離開下方區域以保護下方區域免於雷射引發之損害。

第5圖顯示對於砂在能量吸收及雷射波長之間之關係。

第6圖顯示另一實施例，其中保護部分係一毯式澱積之連續保護層。

第7圖根據本發明之一方面顯示形成改良式雷射熔線之步驟。

較佳實施例之詳細說明

以下將參考所附圖式之實施例詳細說明本發明。在以下的描述中，提出了很多特定的詳細資料以提供對本發明之全然了解。然而，對熟悉此領域之技藝人士明顯的是本發明可在缺乏這些特定詳情之部分或全部時亦可實施。在其他範例中，並未描述熟知程序之步驟以避免不必要地模糊本發明。

根據本發明之一方面，雷射熔線具有下方保護部分。雷射熔線係使用在，例如積體電路(ICs)中，致使連接以達到所要之功能。這種IC包含記憶體電路之類，例如，隨機存取記憶體(RAMs)，動態RAMs(DRAMs)，同步DRAMs(SDRAMs)，靜態RAMs(SRAMs)及唯讀記憶體(ROMs)。其他IC包含邏輯裝置，例如可程式化邏輯陣列(PLAs)，特定應用IC(ASIC)或其他電路裝置。

數個IC通常以並聯方式製造於半導體基片上，例如矽晶圓上。在加工完之後，切割晶圓以便分離IC成為數個獨立晶片。晶片然後被封裝成為最後的成品以使用在如

五、發明說明(1)

消費產品之電腦系統，行動電話，個人數位助理(PDA)，及其他成品等等。為了簡化本發明之討論，描述係限制在單一晶片上，更具體的是，一RAM晶片上。

藉由提供保護部分，可在使用雷射束來設定雷射熔線時保護下方區域免於雷射引發損害。在一實施例中，雷射熔線係藉由一介電層而隔絕於下方保護部分。有了較少的基片損害，雷射熔線下方之區域及保護部分皆可使用於製造半導體裝置(例如，電晶體，電容，及其相似者)，藉此增加電路密度。

在雷射熔線下方之保護部分促進了較習知紅外線雷射波長為短之雷射。假使在習知雷射熔線上使用此種較短波長之雷射，可能由於雷射能之過分吸收而對下方基片造成過度的傷害。有了保護部分在適當的位置，過剩的雷射能量可以自下方區域反射出去或是由保護部分自行吸收，藉此降低在熔線下方區域之雷射引發損害。

現在因為可以使用較短波長之雷射束，相鄰雷射熔線可以更接近，藉以增加電路密度。例如，短波雷射束之使用允許多個熔線用於DRAM之冗餘陣列，藉此增加可用於置換瑕疵主記憶體陣列元件之冗餘陣列元件之數目。

本發明之特性及優點可由下列討論及參考圖式而更顯清楚。第4A圖描述一改良積體電路之橫切面圖，其中，每一熔線皆具有一下方保護部分。參考第4A圖，再次顯示第3A圖之雷射熔線202, 204, 206, 及208雷射熔線可由鋁或一鋁合金形成，也可由其他適當的熔線材料形成(例

五、發明說明(8)

如，多晶矽)。

在第4A圖中，雷射熔線202, 204, 206, 及208分別具有保護部分402, 404, 406, 及408。保護部分與雷射熔線最好是由絕緣材料形成。在第4A圖之範例中，氧化層410使雷射熔線與保護部分絕緣，但也可使用其他種類之介電材料。在另一方面，假使提供保護部分作為各體襯墊(即，之間互不相連)，則有可能應需要使雷射熔線及其下方保護部分直接相接。相似地，假使保護部分係由非導電材料所形成，則即使保護部分係連續不斷的，則仍可直接接觸。

一般來說，保護部分最好由可以實質反射所有入射之雷射能量的材料來形成。例如鎢，鉬，鉑，鉻，鈦，及其合金等耐熔材料通常有良好的功效。雖然最好使用高熔點之材料(與雷射熔線之熔點比較)，但是具有實質上相似或更低熔點之材料也可以適當大小來反射或吸收足夠之雷射能量以保護下方區域，例如，保護部分也可以由鋁或其合金之一或如矽及多晶矽之非金屬材料來形成。在較佳實施例中，保護部分係由約3500埃厚之一層鎢形成。

例如保護部分402之保護部分最好是尺寸化，使其寬較相關雷射熔線之尺寸為寬(例如，雷射熔線202)。較大之保護部分402即使在雷射束約略偏離雷射熔線202的中心，仍能對保護部分402之下方區域提供保護(由於，例如，調齊公差)。因為尺寸較大而使保護部分402內之較大質量亦能確保基片304中下方區域免於雷射引發損害。然

五、發明說明(9)

而，保護部分可能有與其相關之雷射熔線相同之尺寸或可能更小以增加電路密度。在這些情形中，因為適當厚度之保護部分可能能夠吸收過剩雷射能量之全部，或大部分或一部分，所以仍能提供一些保護，藉以最小化或去除對下方區域之雷射引發損害。

在第4B圖中，雷射熔線204已由雷射束432爆破。如第4B圖所示，保護部分404反射雷射束432離開下方區域434以保護這個區域免於雷射引發損害。雖然第4A及4B圖之雷射熔線係封裝在鈍化層中，但是並非所有情況中都存在有鈍化層。

因為在保護部分下方之區域係實質地免於雷射引發損害，所以本發明促進了下方區域在形成半導體裝置上之使用，例如第4B圖中之區域434。相較之下，在習知技術中之雷射熔線下方之區域則通常由於損害的考量，而未具有裝置。再者，保護部分提供之保護允許使用具有較短波長之雷射，以最小化熔線節距。如上所述，在習知技術中通常使用紅外線雷射，這是因為具有較短波長之雷射容易由於吸收過剩能量而對下方基片引起不可接受之損害。

對矽之能量吸收及雷射波長之關係可參考第5圖。如第5圖所示，由矽基片吸收之能量隨著雷射波長減短而大大增加。在約為習知技術中之紅外線雷射之波長，即約1微米時，吸收係數則約為100/公分(點502)。對UV雷射而言，其波長約為0.35微米，吸收係數則約為40,000

五、發明說明(10)

/公分(點504)。例如砷化鎵之其他基片材料顯示了相似之趨勢。因此，可預期的是在此揭示之熔線技術亦應用於這些基片中。

因為能量吸收隨著波長減短而呈對數增加，習知技術之趨勢係使用較長波長之雷射，甚至是較習知紅外線雷射之波長長，以便減少能量吸收及基片損害。本發明使用相反方式，促進具有短波長雷射之使用，同時實質地最小化對下方基片之可能損害。有了保護部分，現在可以使用次紅外線雷射，紫外線雷射，可見雷射，如綠雷射，藍雷射，紅雷射，及相似者以使設定熔線。

保護部分在需要其他結構以製造於基片上亦不明確。這和現有趨勢亦相反，現有趨勢極力簡化製程及設計的複雜度。然而，在一特定之較佳實施例中，保護部分可以不需要任何額外製程或額外層來製造。參考第4圖，保護部分402, 404, 406, 及408可自熔線層下方之一適當層有利地形成。例如，一些積體電路可以有多个金屬層，其中的下方金屬層可以執行相互連接選擇裝置之非保護功能。在這些情形中，保護部分可自下方金屬層藉由重新設計用於蝕刻下方金屬層之光罩而形成，使得保護部分亦可自下方金屬層來形成。在這種方式中，現有的下方層也可在某些區域中執行原始非保護功能(例如，互相連接)並在熔線區域下方執行保護功能雖然下方金屬層係用作為一範例，其他任何適當的下方層也可被使用。

並不需要在所有情形中對每一個雷射熔線皆提供分離

五、發明說明(II)

的保護部分。第6圖顯示另一實施例，其中保護部分係一毯覆蓋連續保護層602。假使保護層602係由一導電材料形成，例如，一金屬材料，則最好以至少一介電層使雷射熔線絕緣於保護層。雷射束432在第4A圖之雷射熔線204被切除後自保護層602反射開來。

假使保護材料被選來反射雷射束，則本發明可減少雷射束之能源設定，這是因為某些反射之雷射能量可以幫助熔線設定運作。隨著減少之雷射能，較少之能量擊打保護部分，藉此允許保護材料成為更細，及/或當改變熔線狀態時提供一較大之製程窗口。這特別符合於在製程期間下方保護部分分出之情形。盤化使得一保護部分成為一凹透鏡之形狀且通常是一不佳現象。然而，凹形保護部分可以更有效地集中雷射能至雷射熔線之背面，藉此有利地減少設定特定雷射熔線所需之能量。這特別符合於曲線半徑實質上等於在保護及熔線之間之間隔。

第7圖顯示，根據本發明之一部分，形成提供給熔線下方區域於熔線設定操作期間免於雷射引發損害之更大保護。在步驟702中，提供了由矽形成之基片，在步驟704中，在基片上形成保護部分。如前述，保護部分可代表分離保護部分(第4A圖)或保護材料之毯覆蓋連續層(第6圖)。在步驟706中，非必須之絕緣層，形成於保護部分之上方。假使保護部分並未相連或係由非導電材料所形成，則絕緣層可以是不必要的。在步驟708中，形成了雷射熔線。如有需要，可在步驟710中雷射熔線上方形成非

五、發明說明(一)

必要之鈍化層。

雖然本發明已經較佳實施例來描述，但仍有在本發明範圍之內之變化及相等例。另外，尚有其他實施本發明之方法及裝置。因此所附申請專利範圍將包含所有在本發明之範圍及精神內之變化及相等例。

(請先閱讀背面之注意事項再填寫本頁)

訂

(請先閱讀背面之注意事項再填寫本頁)

表
訂

五、發明說明()

參考符號說明

- 102.....記憶體陣列
- 104.....冗餘陣列
- 106.....熔線陣列
- 108.....熔線門鎖
- 110.....熔線解碼器
- 202.....熔線
- 204.....熔線
- 206.....熔線
- 208.....熔線
- 302.....鈍化層
- 304.....基片
- 310.....洞
- 312.....熔線節距
- 320.....區域320
- 402.....保護部分
- 404.....保護部分
- 406.....保護部分
- 408.....保護部分
- 410.....氧化層
- 430.....下方區域
- 432.....雷射束
- 434.....下方區域
- 502/504.....點502/054
- 602.....保護層

四、中文發明摘要(發明之名稱：)

改良之雷射熔線及其製造方法

形成於矽基片上之動態隨機存取記憶體積體電路。動態隨機存取記憶體積體電路包含具有主記憶體陣列元件之主記憶體陣列，及一耦合至主記憶體陣列之冗餘記憶體陣列。冗餘記憶體陣列包含冗餘記憶體陣列元件，每一個冗餘記憶體陣列元件係用來置換主記憶體陣列元件中之瑕疵元件。動態隨機存取記憶體積體電路包含數個與冗餘記憶體陣列耦合之雷射熔線(202, 204, 206, 及 208)。數個雷射熔線之第一雷射熔線將於動態隨機存取記憶體積體電路期間由雷射束改變以設定冗餘記憶體陣列元件中之第一元件之位址熔線之值。動態隨機存取記憶體積體電路亦包含在雷射熔線下之數個保護部分(402, 404, 406及 408)。保護部分實質地最小化在雷射束設定第一雷射熔線時雷射束對於在保護部分下方之第一區域所造成之雷射引發損害。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要 (發明之名稱: **Improved laser fuse links and methods therefor**)

A dynamic random access memory integrated circuit implemented on a silicon substrate. The dynamic random access memory integrated circuit includes a main memory array having main memory array elements, and a redundant memory array coupled to the main memory array. The redundant memory array includes redundant memory array elements, each of the redundant memory array elements being configured to replace a defective one of the main memory array elements. The dynamic random access memory integrated circuit includes a plurality of laser fuse links (202, 204, 206, and 208) coupled to the redundant memory array. A first laser fuse link of the plurality of laser fuse links is configured to be modified by a laser beam during fabrication of the dynamic random access memory integrated circuit to set a value of an address fuse for a first one of the redundant memory array elements. The dynamic random access memory integrated circuit also includes a plurality of shielding portions (402, 404, 406, and 408) underlying the laser fuse links. The shielding portions are configured to substantially minimize laser-induced damage from the laser beam to a first area underlying the shielding portion when the first laser fuse link is set with the laser beam.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種積體電路，包含：
 - 一基片；
 - 一覆蓋於該基片上之保護部分；及
 - 一第一雷射熔線，該雷射熔線係在該積體電路之製造期間由雷射束來設定，該第一雷射熔線係直接放置在該保護部分上方，其中該保護部分係用來實質地最小化該雷射束在該第一雷射熔線由該雷射束設定時，對該保護部分下方之第一區域造成之雷射引發損害。
2. 如申請專利範圍第1項之積體電路，其中該保護部分係用來反射入射至該保護部分之雷射能之實質部分。
3. 如申請專利範圍第2項之積體電路，其中該保護部分係由金屬材料所形成。
4. 如申請專利範圍第1項之積體電路，其中該保護部分係用來最小化雷射引發損害到低於讓該積體電路成為瑕疵之程度，該雷射束具有一較紅外線雷射波長短之波長。
5. 如申請專利範圍第1項之積體電路，其中該保護部分係用來最小化雷射引發損害到低於讓該積體電路成為瑕疵之程度，該雷射束係一紫外線雷射束。
6. 如申請專利範圍第1項之積體電路，其中該保護部分係自能夠實質保護該第一區域免於雷射引發損害之第一材料之毯覆蓋層蝕刻。
7. 如申請專利範圍第6項之積體電路，其中該第一材料之至少一部分在該積體電路之其他部分執行非保護區。

六、申請專利範圍

8. 如申請專利範圍第7項之積體電路，其中該非保護功能代表一連接功能，用於連接在該積體電路上所選之裝置，該第一材料之毯覆蓋層代表一導電層。

9. 一種實現於矽基片上之動態隨機存取記憶體積體電路包含：

一主記憶體陣列，具有主記憶體陣列元件；

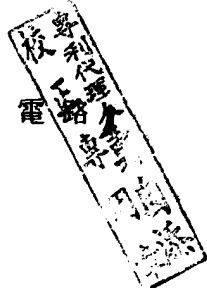
一耦合至該主記憶體陣列之冗餘記憶體陣列，該冗餘記憶體陣列具有冗餘記憶體陣列元件，每一個冗餘記憶體陣列元件係用來替代該主記憶體陣列元件中之瑕疵元件；

數個雷射熔線，耦合至該冗餘記憶體陣列，該數個雷射熔線之第一雷射熔線係在製造該動態隨機存取記憶體積體電路期間，由雷射束設定成該冗餘記憶體陣列元件之第一個之位址熔線之一值；及

一保護部分，位在該第一雷射熔線下方，該保護部分實質最小化在該雷射束設定該第一雷射熔線時，該雷射束對該保護部分下方之第一區域造成之雷射引發損害。

10. 如申請專利範圍第9項之動態隨機存取記憶體積體電路，其中該保護部分自能夠免於實質雷射引發損害之第一材料之毯覆蓋層蝕刻，其中該第一材料之至少一部分在該動態隨機存取記憶體積體電路之其他部分上執行非保護功能。

11. 如申請專利範圍第9項之動態隨機存取記憶體積體電



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

路，其中該保護部分係用來反射入射於在該保護部分之雷射能之實質部分。

12.如申請專利範圍第11項之動態隨機存取記憶體積體電路，其中該保護部分包含一金屬層。

13.如申請專利範圍第9項之動態隨機存取記憶體積體電路，其中該雷射束之波長較1微米短。

14.如申請專利範圍第9項之動態隨機存取記憶體積體電路，其中該雷射束係一紫外線雷射束。

15.如申請專利範圍第9項之動態隨機存取記憶體積體電路，其中該第一區域代表用於實施半導體裝置之一區域。

16.一種用於在積體電路中保護雷射熔線下之一區域在該雷射熔線由一雷射束時免於雷射引發之損害之方法，包含：

提供一矽基片；

在該矽基片上形成一保護部分；

在該保護部分上方形成一絕緣層；

在該絕緣層上方形成該雷射熔線，該雷射熔線係直接置放在該保護部分上方，使得該保護部分在該雷射線設定該雷射熔線時實質地最小化該雷射束對該保護部分造成之雷射引發損害。

17.如申請專利範圍第16項之方法，其中形成該保護部分之方法包含自碲覆蓋金屬層中形成該保護部分。

18.如申請專利範圍第17項之方法包含：

(請先閱讀背面之注意事項再填寫本頁)

表
訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

在形成該保護部分之前在該區域中形成至少一半導體裝置。

19. 如申請專利範圍第16項之方法，其中該雷射束代表一具有較短波長雷射束之波長為短之波長之雷射束。

20. 一種用於增加具有雷射熔線之積體電路中之容量，該方法包含：

提供一基片；

在該基片上形成一第一保護部分；

在該第一保護部分上形成一絕緣層；

在該絕緣層上方形成該雷射熔線，該雷射熔線中之第一雷射熔線係直接置放在該第一保護部分上方，使得該第一保護部分實質地最小化在該雷射束設定第一雷射熔線時該雷射束對該保護部分下方第一區域所造成之雷射引發損害。

21. 如申請專利範圍第20項之方法，更包含：

在該基片上形成第二保護部分，該第二保護部分係放置在該積體電路中該絕緣層的下方，其中該雷射熔線中之第二雷射熔線係直接置放在該第二保護部分上方，使得該第二保護部分實質地最小化在該雷射束設定該第二雷射熔線時，該雷射束對該第二保護部分下方之第二區域所造成之雷射引發損害。

22. 如申請專利範圍第21項之方法，其中該第一保護部分及該第二保護部分係連續的。

23. 如申請專利範圍第21項之方法，其中該第一保護部分

六、申請專利範圍

及該第二保護部分係由金屬材料所形成。

24.如申請專利範圍第21項之方法，其中該積體電路代表動態隨機存取記憶體電路。

25.如申請專利範圍第20項之方法，其中該雷射束代表一具有較紅外線雷射束之波長短之波長之雷射束。

(請先閱讀背面之注意事項再填寫本頁)

裝

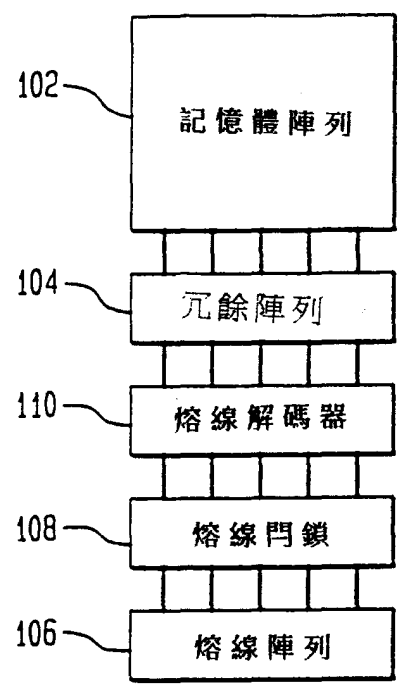
訂

89115214

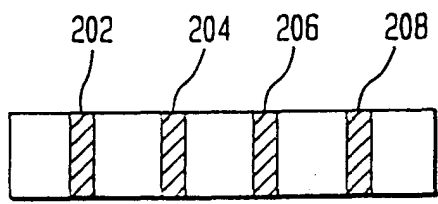
388968

97 P 7594

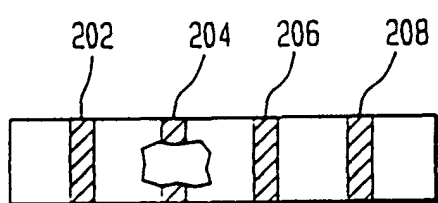
1/4



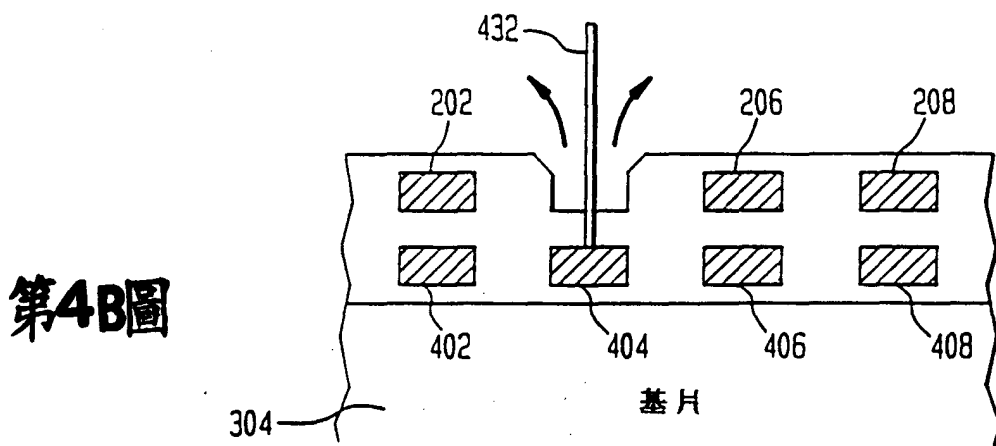
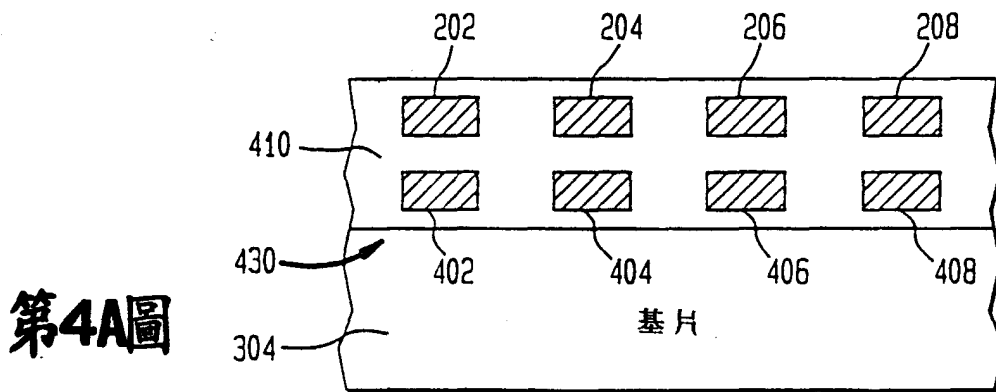
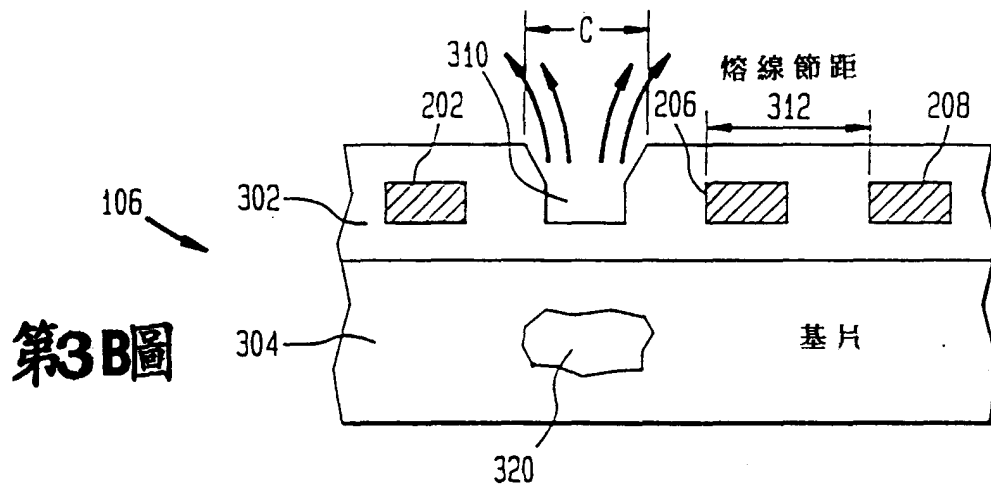
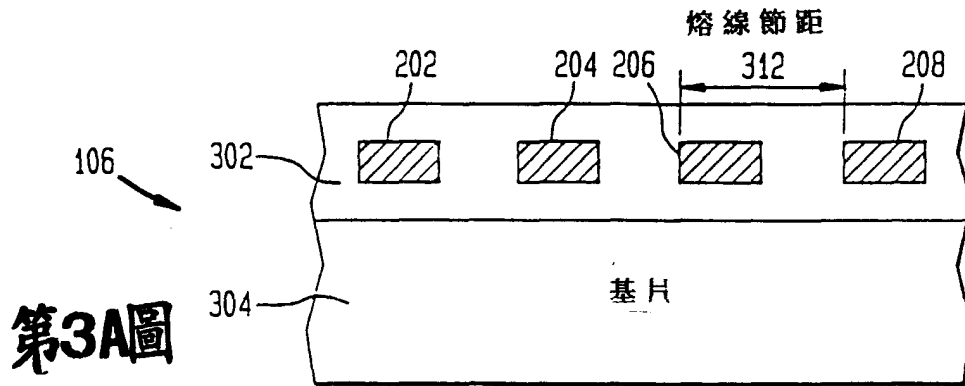
第1圖

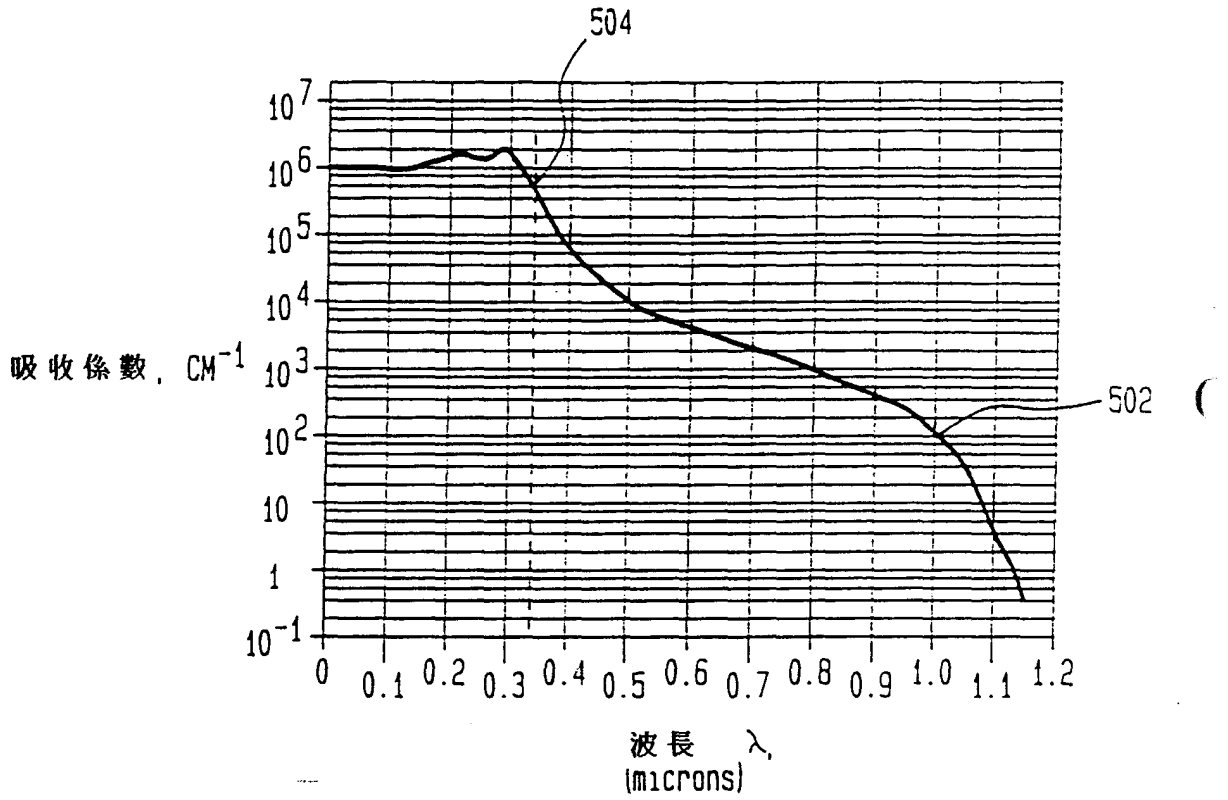


第2A圖

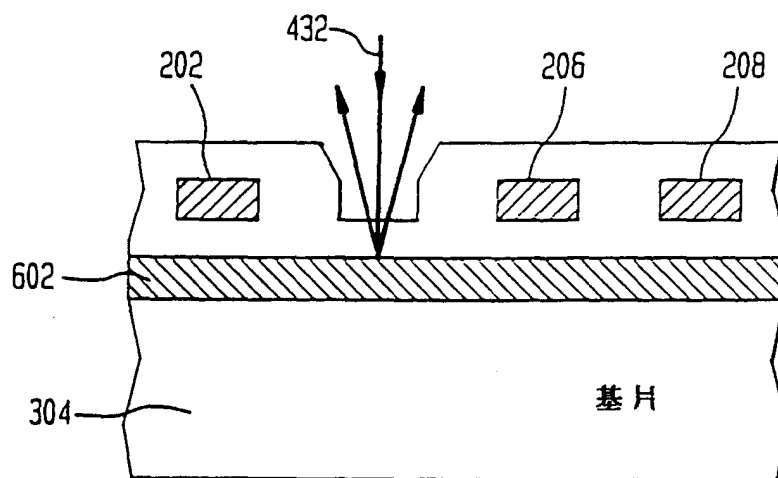


第2B圖

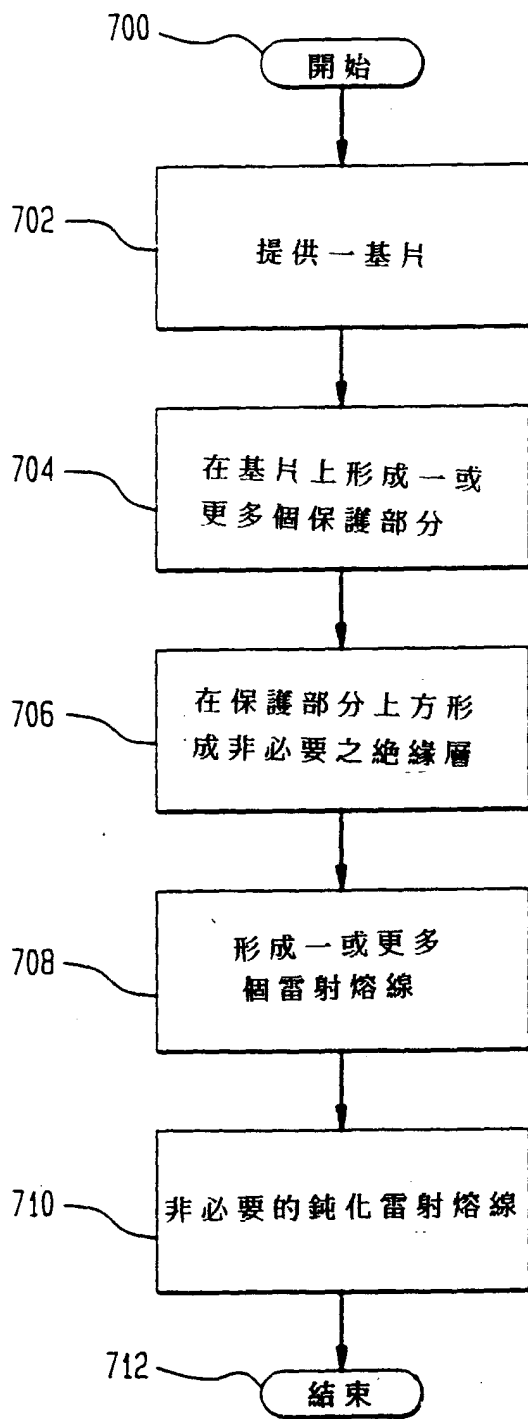




第 5 圖



第 6 圖



第 7 圖