

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4250511号
(P4250511)

(45) 発行日 平成21年4月8日 (2009.4.8)

(24) 登録日 平成21年1月23日 (2009.1.23)

(51) Int.Cl.

F I

HO 4 N 5/232 (2006.01)

HO 4 N 5/232 Z

HO 4 N 101/00 (2006.01)

HO 4 N 101:00

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2003-399322 (P2003-399322)	(73) 特許権者	000001007
(22) 出願日	平成15年11月28日 (2003.11.28)		キヤノン株式会社
(65) 公開番号	特開2005-159995 (P2005-159995A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成17年6月16日 (2005.6.16)	(74) 代理人	100090273
審査請求日	平成18年11月24日 (2006.11.24)		弁理士 國分 孝悦
		(72) 発明者	塩見 泰彦
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	関谷 隆一
		(56) 参考文献	特開2005-080051 (JP, A)
			)
		(58) 調査した分野 (Int.Cl., DB名)	
			HO 4 N 5/232

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

被写体像を撮像し電気信号に変換する撮像部と、
複数の画像処理部と、
前記撮像部から出力された1フレーム分の第1の電気信号を、前記複数の画像処理部のうちの一つの画像処理部で画像処理をしている期間中に、前記撮像部から前記第1の電気信号の次に出力された1フレーム分の第2の電気信号を、前記複数の画像処理部のうちの他の一つの画像処理部で画像処理を行うように制御する制御部と
を備えることを特徴とする撮像装置。

【請求項 2】

前記画像処理は、色処理を含むことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記色処理は、輝度信号及び色差信号を生成する処理を含むことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記画像処理は、圧縮処理を含むことを特徴とする請求項 1 に記載の撮像装置。

【請求項 5】

前記画像処理は、色処理及び圧縮処理を含むことを特徴とする請求項 1 に記載の撮像装置。

【請求項 6】

前記制御部は、前記第 1 の電気信号を圧縮処理している期間中に、前記第 2 の信号を色処理するように前記複数の画像処理部を制御することを特徴とする請求項 1 に記載の撮像装置。

【請求項 7】

被写体像を撮像し電気信号に変換する撮像部と、
複数の画像処理部と、

前記撮像部から出力された 1 フレーム分の電気信号を、前記複数の画像処理部のうちの一つの画像処理部で第 1 のパラメータを用いて色処理している期間中に、前記複数の画像処理部のうちの他の一つの画像処理部で前記第 1 のパラメータと異なる第 2 のパラメータを用いて色処理するように制御する制御部と

10

を備えることを特徴とする撮像装置。

【請求項 8】

前記色処理は、輝度信号及び色差信号を生成する処理を含むことを特徴とする請求項 7 に記載の撮像装置。

【請求項 9】

被写体像を撮像し電気信号に変換する撮像部と、
複数の画像処理部と、

前記撮像部から出力された 1 フレーム分の電気信号を、前記複数の画像処理部のうちの一つの画像処理部で前記 1 フレーム分の電気信号を第 1 の方式で圧縮処理している期間中に、前記複数の画像処理部のうちの他の一つの画像処理部で前記第 1 の方式と異なる第 2

20

の方式を用いて圧縮処理するように制御する制御部と

を備えることを特徴とする撮像装置。

【請求項 10】

前記撮像部と前記複数の画像処理部との間に、前記撮像部で生じるノイズ成分を補正する補正部を更に備え、

前記撮像部からの電気信号は、同じ前記補正部を介して前記複数の画像処理部へ入力されることを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、例えばデジタルカメラ等として適用される撮像装置及び撮像方法に関し、特に高速な画像処理や多機能のカメラシステムを構成する場合の応用技術に適用されるものである。

【背景技術】

【0002】

従来、デジタルカメラ等として適用される撮像装置としては、例えば図 7 に示すような構成のデジタルスチルカメラがある。なお、図示の例では、撮影者自身による不図示のカメラ操作スイッチ（カメラのメイン SW 及びレリーズ SW で構成される）の状態変化を全体制御 CPU 116 が検出し、その他の各回路ブロックへの電源供給及び初期設定を行うようにする。

40

【0003】

撮影画面範囲内の被写体像は、主撮影光学系 118 を通して撮像素子（この場合では CCD）100 上に結像し、この撮像素子 100 からの出力信号を CDS / AGC / AD 回路 103 を介して各画素毎に順々に所定のデジタル信号に変換する。

【0004】

ここで、撮像手段（撮像素子）100 は、全体の駆動タイミングを決定しているタイミングジェネレータ（TG / SS G）102 からの信号に基づき、各画素毎の水平駆動並びに垂直駆動のためのドライバー回路 101 の出力で所定駆動することにより、画像信号出力を発生する。

【0005】

50

CDS／AGC／AD回路103の出力信号は、補正ブロック104に入力し、ここで撮像素子100と主撮影光学系118との組み合わせ等で生ずるシェーディング補正を実行したり、センサ固有のパターンノイズを除去するための補正を実行する。

【0006】

以上のように、補正ブロック104の出力は、フロントメモリコントローラ105を介してバッファメモリ106へ順々にフレームデータとして記憶し、カメラの連写撮影時の画像を一時的に記憶してゆくことになる。

【0007】

なお、図示したようにフロントメモリコントローラ105は、タイミングジェネレータ102と同期して動作するタイミング制御ブロック107の信号に基づいて動作することにより、撮像素子100との同期をとっている。

10

【0008】

最低でも1駒以上の撮影が完了した時点で、フロントメモリコントローラ105の制御により、撮影データを記憶しているバッファメモリ106のデータを、リアメモリコントローラ108を介してワークメモリ111へ一時的に転送する。

【0009】

なお、このリアメモリコントローラ108は、同様にタイミングジェネレータ102と同期して動作するタイミング制御ブロック109の信号に基づいて動作する。

【0010】

次に、ワークメモリ111のデータを、同じバスAに接続されているカラー処理処理ブロック112にて色補間処理やマトリックス補正等のいわゆる絵作りを実施してR、G、B更にはY、Cr、Cbの変換処理を行ってその結果を再度ワークメモリ111に記憶する。

20

【0011】

ワークメモリ111に記憶したデータは、JPEG処理ブロック113を介して所定の圧縮フォーマットに基づきデータ圧縮し、その結果をカードコントローラ114を介してカードメモリ115(通常では、フラッシュメモリ等の不揮発性メモリを使用する。)に記憶する。

【0012】

また、逆に撮影済みの画像データを観察する場合には、カードメモリ115に圧縮記憶されたデータデータをJPEG処理ブロック113を通して通常の撮影画素毎のデータに伸張し、その結果をワークメモリ111へ転送することにより、不図示のモニター表示手段を通して外部表示することができる。

30

【0013】

一方、カメラ全体の制御に関しては、全体制御CPU116が、同じバスBに接続されたインストラクションメモリ117に記憶してあるインストラクションコードに従って命令を実行し、レンズ制御手段119を介して主撮影光学系118を駆動制御すると共に、通信I/F110を介して画像に添付する様々な情報をカードメモリのデータとして記録する。

【0014】

40

【特許文献1】特開2000-253305号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

上述したように、通常のデジタルカメラにおける画像処理の場合、途中迄連写撮影駒を生データとしてバッファメモリに記憶しておきながら、順次後方の処理ブロックに転送してカラー処理及びJPEG処理を実行するが、実際の動作の中では撮像素子からの読み出し速度をより高速化させることにより、いわゆるプロ仕様の銀塩カメラと同等の8駒／秒以上のスペックを実現することが可能となってきた。

【0016】

50

撮像素子の読み出し速度を上げる方法としては、タイミングジェネレータの駆動クロックの周波数をアップさせてドライバーの駆動を単に高速化させる方法や、撮像素子からの読み出しを2つ以上の出力から同時に実行し、その後のバッファメモリに記憶するまにおける処理をその読み出し出力数に合わせた複数ラインで並列に行う方法が提案されている。

【0017】

しかしながら、前述したように、バッファメモリの内容をメモリコントローラを介してワークメモリに展開した後、そのデータを順次カラー処理ブロックに引き渡した上で所定のR、G、B画像データ若しくはY、Cr、Cb画像データに変換して再度ワークメモリに順次一時的に記憶し、更に引き続きこのデータをJPEG処理ブロックへ転送する場合には、いわゆるラスタブロック変換に伴う8×8単位におけるブロック単位における読み出しを図示した各ブロック間に接続されたバスAを介して行うため、この処理ではバスAをかなりの頻度で占有してしまう。

10

【0018】

また、JPEG処理を介して実際に圧縮した画像データはカードメモリに記憶することになるが、この場合、カードメモリ自体の書き込み速度がネックとなり、当然のことながらJPEG処理した結果をワークメモリから掃出する速度が遅くなってしまい、結果的にはワークメモリに多くのデータが溜まった状態となる。

【0019】

この結果、撮影者自身にとっては、如何にカメラの駒速がアップしたとしても、実際の後処理の遅さがネックとなり、バッファメモリ又はワークメモリの容量を相当数増加させない限り、連写撮影した後のリリース動作に直ぐには移行できないという撮影上の不具合が発生してしまう。

20

【0020】

本発明は、上記の課題に鑑みてなされたものであり、撮影シーケンスの中で撮像手段からのデータ読み出しと組み合わせて撮影後の処理を高速化させ、撮影上の不具合を解消して信頼性の高い撮像装置及び方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

本発明の撮像装置は、被写体像を撮像し電気信号に変換する撮像部と、複数の画像処理部と、前記撮像部から出力された1フレーム分の第1の電気信号を、前記複数の画像処理部のうちの一つの画像処理部で画像処理をしている期間中に、前記撮像部から前記第1の電気信号の次に出力された1フレーム分の第2の電気信号を、前記複数の画像処理部のうちの他の一つの画像処理部で画像処理を行うように制御する制御部とを備える。

30

本発明の撮像装置の一態様では、前記画像処理は、色処理を含む。

本発明の撮像装置の一態様では、前記色処理は、輝度信号及び色差信号を生成する処理を含む。

本発明の撮像装置の一態様では、前記画像処理は、圧縮処理を含む。

本発明の撮像装置の一態様では、前記画像処理は、色処理及び圧縮処理を含む。

本発明の撮像装置の一態様では、前記制御部は、前記第1の電気信号を圧縮処理している期間中に、前記第2の信号を色処理するように前記複数の画像処理部を制御する。

40

本発明の撮像装置は、被写体像を撮像し電気信号に変換する撮像部と、複数の画像処理部と、前記撮像部から出力された1フレーム分の電気信号を、前記複数の画像処理部のうちの一つの画像処理部で第1のパラメータを用いて色処理している期間中に、前記複数の画像処理部のうちの他の一つの画像処理部で前記第1のパラメータと異なる第2のパラメータを用いて色処理するように制御する制御部とを備える。

本発明の撮像装置の一態様では、前記色処理は、輝度信号及び色差信号を生成する処理を含む。

本発明の撮像装置は、被写体像を撮像し電気信号に変換する撮像部と、複数の画像処理部と、前記撮像部から出力された1フレーム分の電気信号を、前記複数の画像処理部のう

50

ちの一つの画像処理部で前記1フレーム分の電気信号を第1の方式で圧縮処理している期間中に、前記複数の画像処理部のうちの他の一つの画像処理部で前記第1の方式と異なる第2の方式を用いて圧縮処理するように制御する制御部とを備える。

本発明の撮像装置の一態様では、前記撮像部と前記複数の画像処理部との間に、前記撮像部で生じるノイズ成分を補正する補正部を更に備え、前記撮像部からの電気信号は、同じ前記補正部を介して前記複数の画像処理部へ入力される。

【発明の効果】

【0029】

本発明によれば、撮影シーケンスの中で撮像手段からのデータ読み出しと組み合わせて撮影後の処理を高速化させ、撮影上の不具合を解消して、通常画像処理の遅さによって連写撮影時の駒数が制限されるという問題点を大幅に改善し、信頼性の高い撮像装置及び方法が実現する。

10

【発明を実施するための最良の形態】

【0030】

本願の第1の発明は、撮影画像をそのまま取り込み、撮影画像を一時記憶する一時記憶手段を構成するフロントブロックに関してはこれを1つとし、実際に絵作りを行うためのカラー処理ブロック、JPG処理ブロック、カードメモリコントローラ及びカードメモリを含み画像処理手段を構成するリアブロックに関しては、同一機能を有するものを2つ以上並列で接続配置する構成とする。

【0031】

20

具体的には、連写撮影時に1駒目については一方のリアブロックで処理し、その処理動作中に既に2駒目の撮影が完了している場合には、その撮影駒に対しての画像処理を他方のリアブロックで処理するというように、撮影の奇数駒と偶数駒で処理ブロックを切り替えるという方法が考えられる。

【0032】

本願の第2の発明は、第1の発明と同様のブロック構成の中で、カメラの撮影モードが1つの撮影駒に対して複数の異なる画像処理を実行するというモードに設定されている場合を想定し、例えば一方のリアブロックでは、最初の撮影駒に対して非可逆圧縮の処理（いわゆるLossy処理）を実行する一方、画像処理の他方のリアブロックでは同一の撮影駒に対して可逆圧縮の処理（いわゆるLoss Less処理）を実行するという方法が考えられる。

30

【0033】

また、上記の圧縮タイプそのものを変更するだけでなく、同一の撮影駒に対してカラー処理のパラメータそのものを複数の組み合わせで変化させ、そのうえで第1のパラメータ設定を行った画像を一方のリアブロックで処理し、第2のパラメータ設定を行った画像を他方のリアブロックで処理する方法も考えられる。

【0034】

以下、本発明を適用した及び方法の具体例について、図面を参照しながら詳細に説明する。

図1は、本実施形態による撮像装置全体のハードウェア構成を示すブロック図である。図示の例では、撮影者自身による不図示のカメラ操作スイッチ（カメラのメインSW及びリリースSWで構成される）の状態変化を全体制御CPU25が検出し、その他の各回路ブロックへの電源供給並びに初期設定を開始する。

40

【0035】

この撮像装置は、被写体像を結像し、その像データを各画素毎に電気信号に変換する撮像手段である撮像素子1と、撮像手段から出力された電気信号を一時的に記憶する一時記憶手段となるフロントブロック31と、フロントブロック31に記憶されている電気信号を読み出してこれを処理し、画像信号を生成する画像処理手段となるリアブロック32、33とを有して構成される。ここで、並列接続されたリアブロック32、33はフロントブロック31に記憶されている電気信号をそれぞれ個別に処理自在とされている。

50

【0036】

ここで、撮像素子1、フロントブロック31及びリアブロック32、33を備えた同一構成の撮像装置において、リアブロック32では第1のパラメータにより、リアブロック33では第2のパラメータにより処理し、1つの撮影画像に対して異なる画像処理を同時に実行するようにしても良い。

【0037】

フロントブロック31は、撮像素子1から出力された電気信号を一時的に記憶するためのフロントメモリコントローラ6及びバッファメモリ7と、メモリコントローラ6の撮像素子1との同期をとるためのタイミング制御ブロック8とを含み構成されている。ここで通常、補正ブロック5、フロントメモリコントローラ6及びタイミング制御ブロック8が全体で1つのチップで構成されるが、本発明では便宜上、その機能に着目して、メモリコントローラ6、バッファメモリ7及びタイミング制御ブロック8からフロントブロック31が構成されるものと規定する。

10

【0038】

リアブロック32は、いわゆる絵作り動作を行うためのリアメモリコントローラ9と、リアメモリコントローラ9を動作させるための信号を出力するタイミング制御ブロック10と、J P E G処理ブロック14、カラー処理ブロック13及びワークメモリ12と、ワークメモリ12に記憶された画像データをカードコントローラ15を介して記憶するカードメモリ16と、通信I/F11とを有し、リアメモリコントローラ8、J P E G処理ブロック14、カラー処理ブロック13、ワークメモリ12、カードコントローラ15及び通信I/F11がバスA1に接続されている。

20

【0039】

リアブロック33も、リアブロック32と同様に、絵作り動作を行うためのリアメモリコントローラ17と、リアメモリコントローラ17を動作させるための信号を出力するタイミング制御ブロック18と、J P E G処理ブロック22、カラー処理ブロック21及びワークメモリ20と、ワークメモリ20に記憶された画像データをカードコントローラ23を介して記憶するカードメモリ24と、通信I/F19とを有し、リアメモリコントローラ17、J P E G処理ブロック22、カラー処理ブロック21、ワークメモリ20、カードコントローラ23及び通信I/F19がバスA2に接続されている。

30

【0040】

(第1の実施形態)

撮影画面範囲内の被写体像は、主撮影光学系27を通して撮像素子(この場合にはC C D)1上に結像し、この撮像素子1からの出力信号をC D S/A G C/A D回路4を介して各画素毎に相関二重サンプリング、ゲイン設定、A D変換を順次実施し、順々に所定のデジタル信号に変換する。

【0041】

ここで、撮像素子1は、全体の駆動タイミングを決定しているタイミングジェネレータ(T G/S S G)3からの信号に基づき、各画素毎の水平駆動並びに垂直駆動のためのドライバ回路2の出力で所定駆動することにより画像信号出力を発生する。

【0042】

C D S/A G C/A D回路4の出力信号は、補正ブロック5に入力し、ここで撮像素子1と主撮影光学系27との組み合わせ等で生ずるシェーディング補正を実行したり、センサ固有のパターンノイズを除去するための補正を実行するためのものであり、2次元画像データの水平方向及び垂直方向に対して、内部に組み込んでいる乗算回路や加算回路及びデータ記憶用のメモリを使って各画素毎の補正を行う。

40

【0043】

以上のような処理を行った後、補正ブロック5の出力を、フロントメモリコントローラ6を介してバッファメモリ7(通常、S D R A M等のメモリで構成される)へ順々にフレームデータとして記憶し、カメラの連写撮影時の画像を一時的に記憶していくことになる。

50

【0044】

なお、図示したようにフロントメモリコントローラ6は、タイミングジェネレータ3と同期して動作するタイミング制御ブロック8の信号に基づいて動作することで撮像素子1との同期をとって、上述したように撮像素子1からのセンサ信号をCDS／AGC／AD回路4、補正回路ブロック5を順次通して所定のバス巾データに変換し、バースト（連続）書き込みによってバッファメモリへデータを転送する。

【0045】

ここで上述のように、補正ブロック5、フロントメモリコントローラ6、タイミング制御ブロック8は、全体でフロントブロックとして通常1つのチップで構成されている。

【0046】

所定サイズの画像の書き込みが完了した時点で、フロントメモリコントローラ6は撮影データを記憶しているバッファメモリ7のデータをリアメモリコントローラ9を介してワークメモリ12へ一時的に転送する。

【0047】

なお、このリアメモリコントローラ9は、同様にタイミングジェネレータ3と同期して動作するタイミング制御ブロック10の信号に基づいて動作する。

【0048】

次に、このリアメモリコントローラ9は、ワークメモリ12のデータを同じバスA1に接続されているカラー処理ブロック13に順次転送し、いわゆる絵作り動作を行う。

この動作に関しては、図4に示したカラー処理ブロックの内部構成図を使って説明する。

バスAを介してワークメモリから入力した画像データは、データ入出力I／F50を通してここで所定のデータ巾に変換した後、色補間ブロック52へ入力するが、ここではまず通常センサの画素配列がいわゆるベイヤー配列で構成されているものに対して、色補間処理を行ってRGBの3プレーンのデータに変換する。

【0049】

この色補間処理に続いて、マトリックス補正ブロック53へ入力し、センサ固有のカラーフィルターの持つ分光特性から所望の色を出力するためのマトリックス補正を実行してR、G、BからR、G、Bへの変換を行う。

次にガンマ変換ブロック54へ入力して、通常CDS／AGC／ADでデジタルデータに変換したデータ巾12ビットを8ビットに変換する処理を行い、所定のダイナミックレンジに入るようにデータの変換いわゆる γ 変換を行う。

続いてR、G、B $\rightarrow$ Y、Cr、Cb変換ブロック55へ入力してR、G、BからY、Cr、Cbの色変換処理を行った後、偽色除去ブロック56へ入力してCr、Cb成分に対する偽色除去処理を行う。

【0050】

ここで、偽色除去処理としては、いわゆるサンプリング周波数と画像周波数との関係から生ずる色モアレ等の発生に対してメディアンフィルター（中間値フィルター）を使用する等が挙げられる。

【0051】

更に、エッジ強調ブロック57へ入力し、いわゆる画像の中間周波数付近のゲインを持ち上げるエッジ強調処理を行って画像の輪郭強調等の加工を行った後、解像度変換ブロック58へ入力して所定の画像サイズにリサイズする。

【0052】

ここで、所定の画像サイズにリサイズする場合には、実際にフィルター処理を行ってから間引き処理を行うことになるが、水平及び垂直方向に対して同等の処理を行う。

【0053】

以上の動作を1フレーム分順々に行ってゆき、その結果をデータ入出力I／F50を介して再度ワークメモリ12上の別領域上に展開してゆくことになる。

【0054】

以上の動作が図1に示した実際のカラー処理ブロック13の実際の動作であるが、各ブロックの動作は基本的にパラメータ設定ブロック51を介してその特性の設定を自由に全体制御CPU25からのデータによって変更可能であり、撮影駒毎に絵作り条件を変更することができる。

【0055】

続いて、リアメモリコントローラ9は、このワークメモリ12に展開したカラー処理後のデータを同じバスA1に接続されているJPEG処理ブロック14に順次転送し、ここで実際の画像の圧縮処理を実行する。

【0056】

このJPEG処理ブロック14の動作に関しては、図5及び図6に示した内部構成図を使って説明する。

10

図5は、いわゆる非可逆タイプのJPEG処理に関するものであり、DCT変換をベースにした周波数変換を基本としている。

【0057】

初めに、上述した方法でカラー処理を行った結果を記憶しているワークメモリ12の画像処理後のデータを、データ入出力I/F60を介して読み込み、ラスタブロック変換ブロック63へ入力して、画像データを水平8画素、垂直8画素単位における2次元単位におけるブロックに変換する。

【0058】

次に、DCT変換ブロック64にデータを入力し、ここでは8×8ブロック単位でいわゆる周波数成分毎の8×8のデータに変換するDCT変換を行い、2次元単位における低周波成分から高周波成分への係数を算出する。

20

【0059】

次に、量子化ブロック65へ入力して上記DCT変換で算出した係数値に対する量子化を行うが、この量子化に関しては事前に値が設定されている量子化テーブル61の値に基づいて各係数毎の除算にて実現している。

【0060】

更に、この量子化した結果を所定のスキャン方向に沿ってデータを読み出しながら、ハフマン符号化ブロック66へ入力して、ここではやはり事前に値が設定されているハフマンテーブル62の値に沿ったエントロピー符号化を実施する。

30

【0061】

上記の方法で圧縮したデータを再度データ入出力I/F60を介してワークメモリ12の所定領域内に書き戻すことにより、一連の圧縮処理を終了する。

【0062】

一方、別のタイプのJPEG処理としては可逆タイプの圧縮方法があるが、この方法に関しては図6の内部ブロック構成図を用いて説明を行う。

図6は、いわゆるDPCMをベースにした可逆タイプのJPEG処理に関するものである。初めに、上述した方法でカラー処理を行った結果を記憶しているワークメモリ12の画像処理後のデータを、データ入出力I/F70を介して読み込み、DPCM変換ブロック72へ入力して、予測値との差分データとして画像データを変換する。

40

【0063】

次に、このDPCM変換したデータを読み出しながらハフマン符号化ブロック73へ入力して、ここでは事前に値が設定されているハフマンテーブル71の値に沿ったエントロピー符号化を実施する。

【0064】

上記の方法で圧縮したデータを再度データ入出力I/F70を介してワークメモリ12の別の所定領域内に書き戻すことにより、一連の圧縮処理を終了する。

【0065】

以上の方法により、JPEG処理ブロック14を介して所定の圧縮フォーマットに基づきデータ圧縮したうえで、その圧縮データをカードコントローラ15を介してカードメモ

50

リ 1 6 (通常、フラッシュメモリ等の不揮発性メモリを使用する。)に記憶する。

【0066】

また、逆に撮影済みの画像データを観察する場合には、上記カードメモリ 1 6 に圧縮記憶されたデータを J P E G 処理ブロック 1 4 (但し前述した図 5 及び図 6 の J P E G 処理ブロック構成図の中では圧縮したデータを伸張するブロックは記載していない。)を通して通常の撮影画素毎のデータに伸張し、その結果をワークメモリ 1 2 へ転送することで、不図示のモニター表示手段を通して撮影画像を縮小して外部表示することができる。

【0067】

以上が図 1 の破線で示したいわゆる画像の後処理を行うリアブロック 3 2 の構成を説明したものであるが、全く同様にフロントメモリコントローラ 6 を介して出力されるデータを後処理するリアブロック 3 3 が存在する。

10

【0068】

このリアブロック 3 3 では、フロントメモリコントローラ 6 を介してバッファメモリ 7 に記憶した撮影画像を、リアメモリコントローラ 1 7 を介してワークメモリ 2 0 へ転送する。

更に、リアメモリコントローラ 1 7 はタイミング制御ブロック 1 8 からのタイミング信号に基づいて、ワークメモリ 2 0 のデータを読み出してカラー処理ブロック 2 1 へ転送し、ここで前述した方法に沿って実際の絵作り処理を行い、その結果を再度ワークメモリ 2 0 へ転送する。

【0069】

20

続いて、リアメモリコントローラ 1 7 はワークメモリ 2 0 に記憶した画像処理後のデータを読み出して J P E G 処理ブロック 2 2 へ転送し、ここで前述した方法に沿って J P E G 圧縮処理を行い、その圧縮データを再度ワークメモリ 2 0 へ書き戻すことになる。

【0070】

更に、この圧縮後のデータをカードコントローラ 2 3 を介してカードメモリ 2 4 へ書き込み撮影画像の記録を完了する。

【0071】

一方、カメラ全体の制御及び上記コントローラに対するシーケンス制御に関しては、全体制御 C P U 2 5 が、バス B に接続されているインストラクションメモリ 2 6 に記憶してあるインストラクションコードに従って命令を実行することで動作を行い、レンズ制御手段 2 8 を介して主撮影光学系 2 7 を駆動制御 (レンズ内のフォーカス駆動や絞り駆動制御する。)したり、不図示のシャッター制御手段を介して実際のシャッター露光制御を行い、通信 I / F 1 1 を介してリアブロック 3 2 内における撮影処理画像に対してヘッダー情報を付加したり、撮影条件等の情報をカードメモリ内のデータとして付加したりして記録する。

30

【0072】

同様に、リアブロック 3 3 に対しても通信 I / F 1 9 を介して上記と同様の処理を行って、様々な情報を付加して記録する。

【0073】

以上が図 1 に示した全体ブロックの構成に関する説明であるが、次に、上記フロントブロックからリアブロック 3 2 及びリアブロック 3 3 へのデータ受け渡し方法に関して、図 2 に示した撮影シーケンスタイミング図を用いて説明を行う。

40

【0074】

図 2 は、実際のカメラで連写撮影等を行った場合のタイミングを簡単に表したものであるが、一番上にシャッター露光タイミングを示しており、この場合連写撮影動作としてはほぼ同間隔で撮影を行い 1 0 駒目まにおける撮影を行っている。

【0075】

その下には、センサ読出しタイミングを示しており、各駒共にシャッター露光完了と同時にセンサ読出しを行い、前述したようにフロントメモリコントローラ 6 の制御に従ってバッファメモリ 7 に撮影画像データを書き込んでいる。

50

【0076】

その下には、リアメモリコントローラ9の制御により上記バッファメモリ7の記憶画像をワークメモリ12に転送している様子を示しており、上記1駒目の撮影画像がバッファメモリ7に書き込み完了した時点で動作を開始（実際にはバッファメモリに全ての画像を記憶する前に動作を開始することも可能）する。

【0077】

その下には、リアブロック32におけるカラー処理の動作タイミングの様子を示し、その下は同様にリアブロック32におけるJ P E G処理の動作タイミングの様子を示しており、更にその下にはリアブロック32におけるカード書込み処理の動作タイミングの様子を示している。

10

【0078】

以上のように各ブロックでは、1駒目の撮影画像に対して少しずつ開始タイミングをずらしながら処理を行ってゆく。

【0079】

その下には、リアブロック32の通信I / F処理の動作タイミングを示しており、この図にあるように初めに全体制御C P U 2 5からの命令でリアメモリコントローラ9に対して1駒目の撮影画像の制御開始動作を指示する。

【0080】

更に、リアブロック32における1駒目のカード書込み動作が完了した時点で、リアメモリコントローラ9からの完了割り込み信号を全体制御C P U 2 5へ伝達して1駒目の処理が完了したことを通知する。

20

【0081】

次に、2駒目の撮影画像に対する処理の場合には、図2の一番下に示したリアブロック33の通信I / F処理の動作タイミングに示したように、リアブロック32における1駒目の各処理動作が完了する前に、全体制御C P U 2 5からの命令でリアメモリコントローラ17に対して2駒目の撮影画像の制御開始動作を指示する。

【0082】

この指示により、リアブロック33内のリアメモリコントローラ17は、フロントブロック内のバッファメモリ7のデータをワークメモリ20へ転送するが、このタイミングを図2の下から5番目のタイミングで示している。

30

【0083】

その下には、リアブロック33におけるカラー処理の動作タイミングの様子を示しており、その下には、同様にリアブロック33におけるJ P E G処理の動作タイミングの様子を示している。更にその下には、リアブロック33におけるカード書込み処理の動作タイミングの様子を示している。

【0084】

以上のように各ブロックでは、2駒目の撮影画像に対して少しずつ開始タイミングをずらしながら処理を行ってゆく。

その下には、前述したようにリアブロック33の通信I / F処理の動作タイミングを示しており、リアブロック33における撮影画像2駒目のカード書込み動作が完了した時点で、リアメモリコントローラ17からの完了割り込み信号を全体制御C P U 2 5へ伝達して撮影画像2駒目の処理が完了したことを通知する。

40

【0085】

このように、リアブロック32における1駒目の画像処理が完了する前に、2駒目の撮影画像に対する画像処理を開始するので1駒目の撮影画像と2駒目の撮影画像は別々のカードメモリに記憶することになる。

【0086】

更に、この構成の場合リアブロック33における画像処理を完了する前に、3駒目に対する処理をリアブロック32で開始する構成となっており、非常に高速な画像処理をいわゆるインターリーブ処理を行うことで実現している。

50

【0087】

なお、この図2で示したタイミングでは、奇数撮影駒に対する処理はリアブロック32であり、偶数撮影駒に対する処理はリアブロック33で処理する構成となっているが、必ずしもこのような撮影駒に限定する必要はなく、処理を開始する前に動作が完了しているブロックを使用する方法も考えられる。

【0088】

例えば、1駒目の処理がリアブロック32で完了する前に、2駒目の処理がリアブロック33で完了した場合（1駒目と2駒目はこのタイミング図では時間差があるが、処理が進むにつれリアブロック32とリアブロック33が処理を開始するタイミングは近づいていき、処理時間が逆転する場合もある。）には、3駒目の処理はリアブロック33で続け

10

【0089】

これは、各リアブロック内のリアメモリコントローラからの処理完了割り込みを各通信I/Fブロックを介して全体制御CPU25が検出することで、次の撮影駒に対する処理をどちらのブロックで実行するかを決定することによって実現している。

【0090】

以上説明したように、本実施形態によれば、撮影シーケンスの中で撮像手段からのデータ読み出しと組み合わせて撮影後の処理を高速化させ、撮影上の不具合を解消して信頼性の高い撮像装置が実現する。即ち、カメラの高速連写撮影時などにおいて、撮像素子からの画像データを高速に読み出し、一時的にそのままの形（RAWデータ形式）でバッファメモリに連続的に記憶してゆきながら、1駒目の撮影画像に対する処理を一方の処理ブロックで開始する一方で、2駒目の撮影画像に対する処理もほぼ同時に他方の処理ブロックで開始するという方法を採用。これにより、通常画像処理の遅さによって連写撮影時の駒数が制限されるという問題点が大幅に改善される。

20

【0091】

また、このようなマルチ処理を実行する際に、単に奇数駒に対する処理は一方のリアブロックで行い、偶数駒に対する処理は他方のリアブロックで行うというような固定的な処理システムのみならず、その時々で画像処理が完了しており、次の処理を開始できる準備が整っているリアブロックを優先的に使用するというような、より高機能のマルチ処理システムを構成することにより、更に高速な撮像装置が実現される

30

【0092】

（第2の実施形態）

次に本発明の第2の実施例について、図3のタイミングチャートを用いて説明を行う。

この実施形態では、撮像装置の全体構成に関しては図1と全く同じであるが、図1のリアブロック32内のJPEG処理ブロック14については、例えば前述したような図5に示したDCT変換を基にした非可逆タイプの圧縮処理を実行するものとし、他方、リアブロック33内のJPEG処理ブロック22については、例えば前述したような図6に示したDPCM変換を基にした可逆タイプの圧縮処理を実行するものとする。

【0093】

なお、当然のことながら、リアブロック32内のJPEG処理ブロック14を可逆タイプの圧縮処理とし、リアブロック33内のJPEG処理ブロック22を非可逆タイプの圧縮処理としても構わない。

40

【0094】

図3は、実際のカメラで連写撮影等を行った場合のタイミングを簡単に表したものであり、一番上にシャッター露光タイミングを示しており、この場合連写撮影動作としてはほぼ同間隔で撮影を行い10駒目までにおける撮影を行っている。

【0095】

その下には、センサ読出しタイミングを示しており、各駒共にシャッター露光完了と同時にセンサ読出しを行い、前述したようにフロントメモリコントローラ6の制御に従ってバッファメモリ7に撮影画像データを書き込んでいる。

50

【0096】

その下には、リアメモリコントローラ9の制御により上記バッファメモリ7の記憶画像をワークメモリ12に転送している様子を示しており、上記1駒目の撮影画像がバッファメモリ7に書き込み完了した時点で動作を開始（実際にはバッファメモリに全ての画像を記憶する前に動作を開始することも可能）する。

【0097】

その下には、リアブロック32におけるカラー処理の動作タイミングの様子を示し、その下は同様にリアブロック32におけるJ P E G処理の動作タイミングの様子を示しており、更にその下には、リアブロック32におけるカード書込み処理の動作タイミングの様子を示している。ここで、J P E G処理に関しては、図5に示したD C T変換による非可逆タイプの圧縮処理を行うものとする。

10

【0098】

以上のように各ブロックでは、1駒目の撮影画像に対して少しずつ開始タイミングをずらしながら処理を行ってゆく。

【0099】

その下には、リアブロック32の通信I / F処理の動作タイミングを示しており、この図3に示すように、初めに全体制御C P U 2 5からの命令によりリアメモリコントローラ9に対して1駒目の撮影画像の制御開始動作を指示する。

【0100】

更に、リアブロック32における1駒目のカード書込み動作が完了した時点で、リアメモリコントローラ9からの完了割り込み信号を全体制御C P U 2 5へ伝達して1駒目の処理（この場合1駒目を非可逆タイプのJ P E G処理で実行）が完了したことを通知する。

20

【0101】

同時に、上記の動作と同じタイミングでリアブロック33に対しても1駒目の撮影画像に対する処理を開始するが、この撮影画像に対する処理の場合には、図3の一番下に示したリアブロック33の通信I / F処理の動作タイミングに示すように、リアブロック32における1駒目の各処理動作を開始するタイミングと同時に、C P U 2 5からの命令によりリアメモリコントローラ17に対して1駒目の撮影画像の制御開始動作を指示する。

【0102】

この指示により、リアブロック33内のリアメモリコントローラ17は、フロントブロック内のバッファメモリ7のデータをワークメモリ20へ転送する。このタイミングを図3の下から5番目のタイミングで示している。

30

【0103】

その下には、リアブロック33におけるカラー処理の動作タイミングの様子を示しており、その下には、同様にリアブロック33におけるJ P E G処理の動作タイミングの様子を示し、更にその下には、リアブロック33におけるカード書込み処理の動作タイミングの様子を示している。ここで、J P E G処理に関しては図6に示したD P C M変換による可逆タイプの圧縮処理を行うものとする。

【0104】

以上のように各ブロックでは、1駒目の撮影画像に対して少しずつ開始タイミングをずらしながら処理を行ってゆく。

40

【0105】

その下には、前述したようにリアブロック33の通信I / F処理の動作タイミングを示しており、リアブロック33における撮影画像1駒目のカード書込み動作が完了した時点で、リアメモリコントローラ17からの完了割り込み信号を全体制御C P U 2 5へ伝達して撮影画像1駒目の処理（この場合、1駒目を可逆タイプのJ P E G処理で実行する。）が完了したことを通知する。

【0106】

このように、リアブロック32では、1駒目の撮影画像に対する画像処理（非可逆タイプの圧縮処理）を実行し、同時にリアブロック33では、1駒目の撮影画像に対する画像

50

処理（可逆タイプの圧縮処理）を実行するので、1つの撮影画像に対して同時に異なる圧縮方法に基づく画像を形成し、非可逆タイプの圧縮画像と可逆タイプの圧縮画像は別々のカードメモリに記憶することになる。

【0107】

2駒目以降の撮影画像に対する処理も全く同様であり、通信I/F11及び19を介して全体制御CPU25がリアメモリコントローラ9及び17に対して制御開始の指示を与えることにより、1駒目と全く同様の処理を開始する。

【0108】

また、上記構成の場合、リアブロック32、33で圧縮の方法を変えることにより、別々の画像処理を実行していたが、カラー処理ブロック13、21における処理方法を変えることにより、1つの撮影画像に対して異なる画像処理を実行する方法もある。

10

【0109】

この場合には、図4に示したカラー処理ブロックの構成図の中で、パラメータ設定手段151の設定値をリアブロック32、33で変更することにより、例えば色補間やマトリックス補正のパラメータを変更するといった色処理の異なった画像を同時に形成したり、又解像度変換手段のパラメータを変更することにより、異なる画像サイズのファイルを同時に形成するということが可能となる。

【0110】

以上説明したように、本実施形態によれば、撮影シーケンスの中で撮像手段からのデータ読み出しと組み合わせて撮影後の処理を高速化させ、撮影上の不具合を解消して信頼性の高い撮像装置が実現する。即ち、1つの撮影画像に対して複数の画像処理を実行して複数の異なる画像を同時に形成するような撮像システムの場合に、カメラの高速連写撮影時などで撮像素子からの画像データを高速に読み出して、一時的にそのままの形（RAWデータ形式）でバッファメモリに連続的に記憶していきながら、1駒目の撮影画像に対して一方の処理ブロックで第1の画像パラメータによる画像処理を実行し、同時に1駒目の撮影画像に対して他方の処理ブロックで第2の画像パラメータによる画像処理を実行することにより、ほぼ同時に異なる画像を作成できる。そのため、通常1回の撮影データに対して2回の画像処理を行わねばならない場合と比較して、より高速に複数の画像データを形成することが可能となる。

20

【0111】

特にこの場合、複数の外部メモリカードとの組み合わせにより、例えば一方の外部メモリカードには非可逆タイプのLossy圧縮画像を、他方の外部メモリカードには可逆タイプのLoss Less圧縮画像を記録することができ、ユーザに対しての画像タイプ毎の容易な分類機能を提供すると共に撮影時の高速性を実現することが可能となる。

30

【0112】

なお、第1及び第2の本実施形態では、2つのリアブロック32、33が並列接続された場合を例示したが、本発明はこの構成に限定されるものではなく、3つ以上のリアブロックを並列接続し、撮影状況等に適合させて適宜切り替えるように構成しても良い。

【図面の簡単な説明】

【0113】

【図1】第1及び第2の実施形態に係る撮像装置全体のハードウェア構成を示すブロック図である。

40

【図2】第1の実施形態に係る実際の動作タイミングを表したタイミング図である。

【図3】第2の実施形態に係る実際の動作タイミングを表したタイミング図である。

【図4】本発明に係る画像処理の構成を示すブロック図である。

【図5】本発明に係る非可逆タイプの圧縮処理の構成を示すブロック図である。

【図6】本発明に係る可逆タイプの圧縮処理の構成を示すブロック図である。

【図7】従来の撮像装置全体のハードウェア構成を示すブロック図である。

【符号の説明】

【0114】

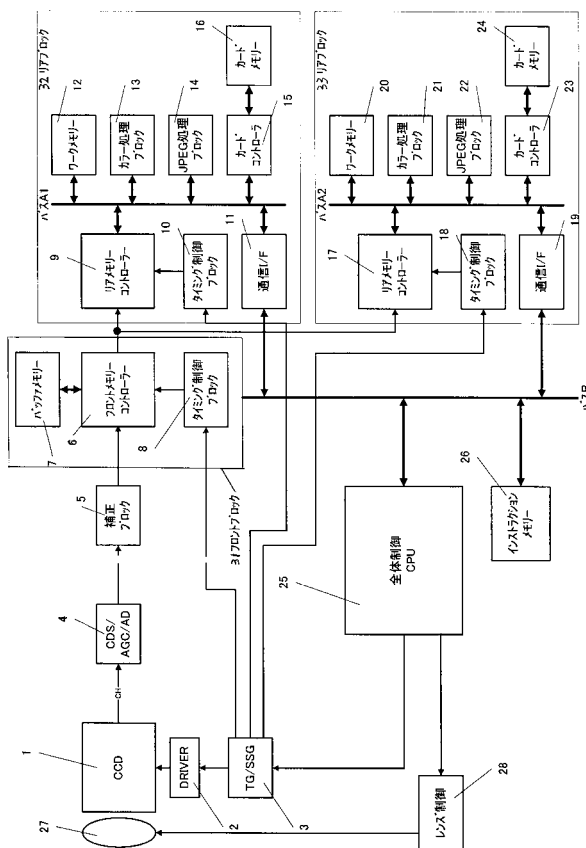
50

- 1 撮像素子
- 2 ドライバー回路
- 3 TG/SSG
- 4 CDS/AGC/AD回路
- 5 補正ブロック
- 6 フロントメモリコントローラ
- 7 バッファメモリ
- 8, 10, 18 タイミング制御ブロック
- 11, 19 通信I/F
- 12, 20 ワークメモリ
- 13, 21 カラー処理ブロック
- 14, 22 JPEG処理ブロック
- 15, 23 カードコントローラ
- 16, 24 カードメモリ
- 25 全体制御CPU
- 26 インストラクションメモリ
- 27 主撮影光学系
- 28 レンズ制御手段
- 31 フロントブロック
- 32, 33 リアブロック

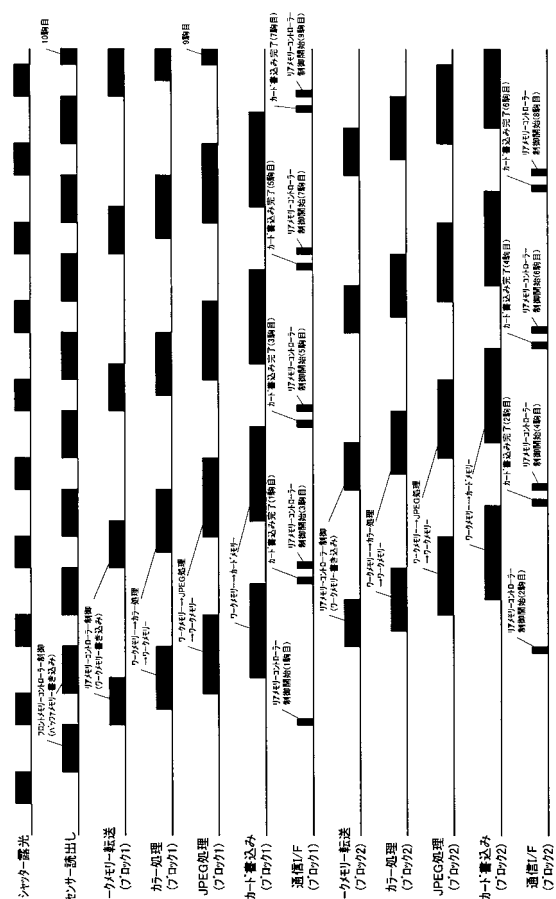
10

20

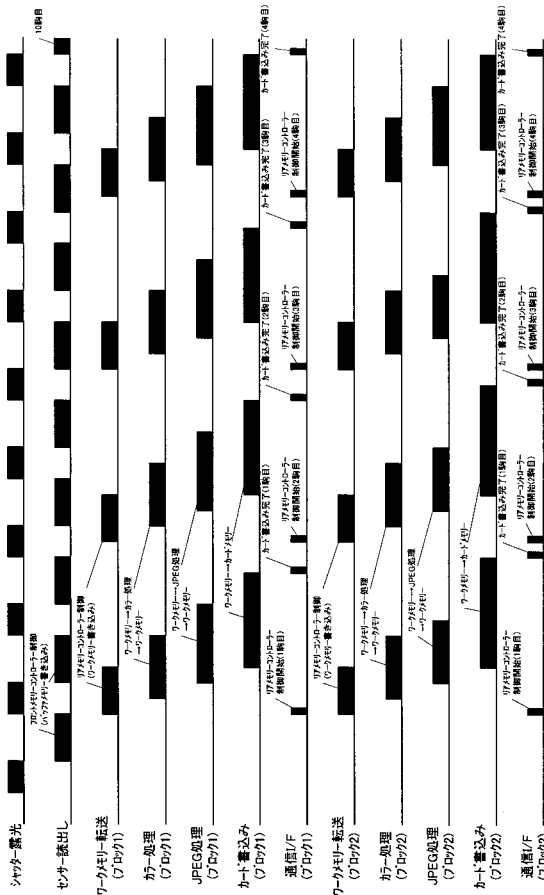
【図1】



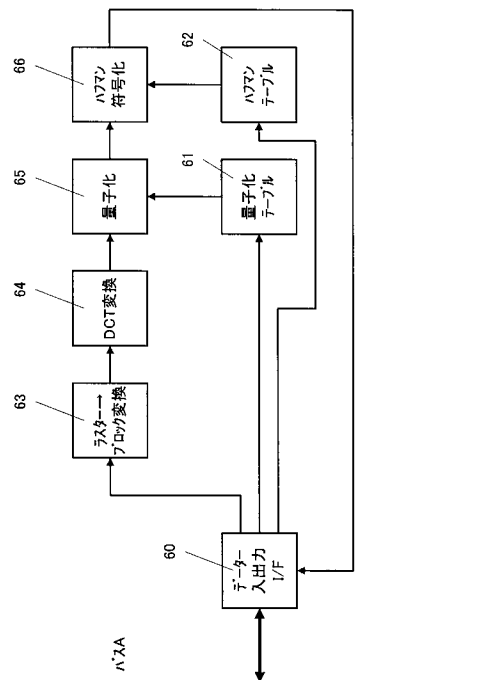
【図2】



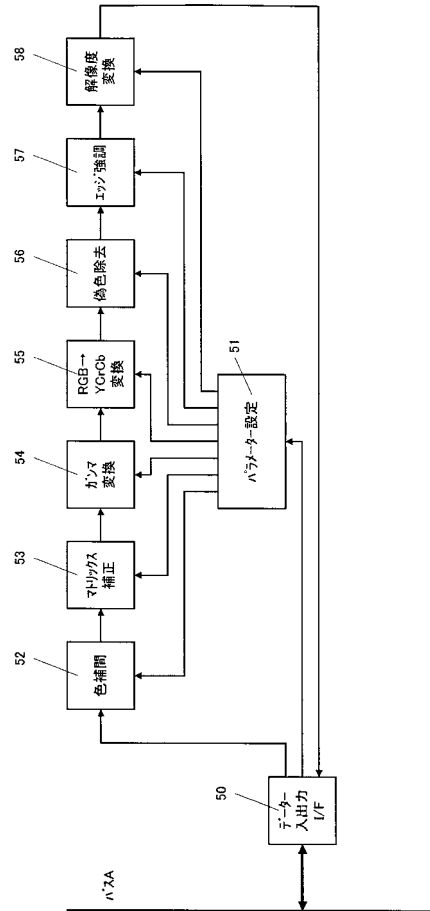
【図 3】



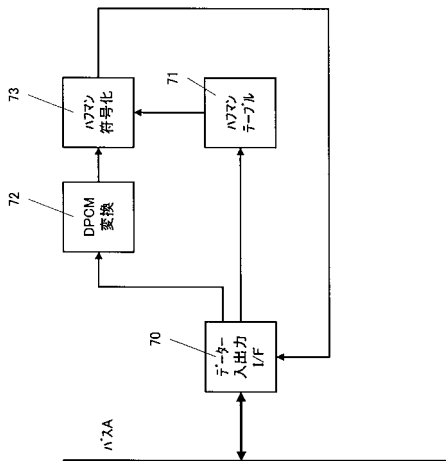
【図 5】



【図 4】



【図 6】



【図 7】

