

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 1 月 28 日(28.01.2010)

(10) 国際公開番号
WO 2010/010603 A1

PCT

- (51) 国際特許分類:
H04L 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2008/001995
- (22) 国際出願日: 2008 年 7 月 25 日(25.07.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤部亮(FUJIBE, Tasuku) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号株式会社アドバンテスト内 Tokyo (JP). 須田昌克(SUDA, Masakatsu) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 森下賢樹(MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-1-12 Tokyo (JP).

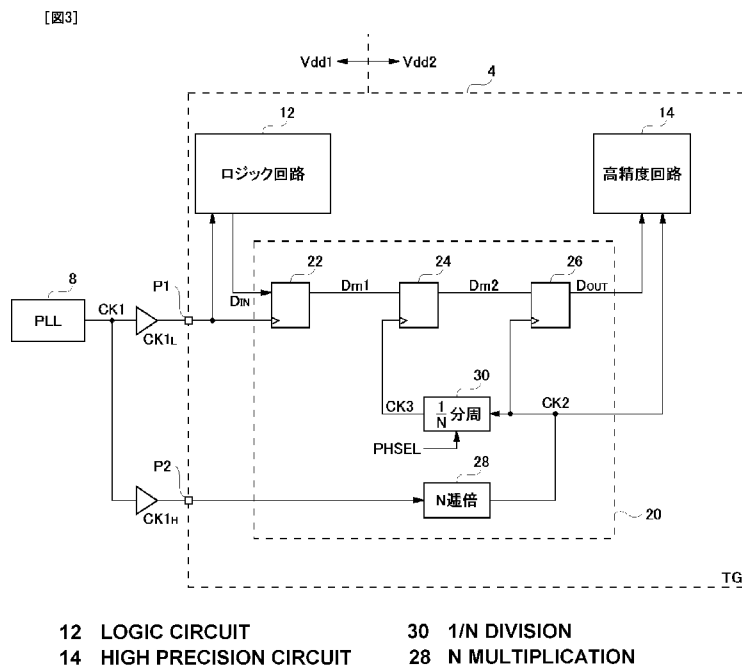
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: CLOCK TRANSFER CIRCUIT AND TESTER USING THE SAME

(54) 発明の名称: クロック乗せ換え回路およびそれを用いた試験装置



(57) Abstract: A second latch (24) latches data (Dm1) output from a first latch (22) in synchronization with a third clock (CK3) having the same frequency as that of a first clock (CK1). A third latch (26) latches data (Dm2) output from the second latch (24) in synchronization with a second clock (CK2) having a frequency of N (N is a natural number) times the frequencies of the first clock (CK1) and the third clock (CK3). There is a division/multiplication relationship between the second clock (CK2) and the third clock (CK3).

(57) 要約: 第2ラッチ24は、第1ラッチ22の出力データDm1を、第1クロックCK1と同一の周波数を有する第3クロックCK3でラッチする。第3ラッチ26は、第2ラッチ24の出力データDm2を、第1クロックCK1および第3クロックCK3のN倍(Nは自然数)の周波数を有する第2クロックCK2でラッチする。第2クロックCK2と第3クロックCK3は、分周関係にある。

明 細 書

クロック乗せ換え回路およびそれを用いた試験装置

技術分野

[0001] 本発明は、異なるクロックドメイン間でのデータ伝送技術に関する。

背景技術

[0002] 試験対象である半導体デバイス（以下、DUTと称す）にテストパターンを与え、その動作を検査して良否を判定するために、試験装置が利用される。図1は、試験装置の構成を示すブロック図である。

[0003] 試験装置100には、DUT200に与えるテストパターンを生成するパターン発生器（PG）2と、テストパターンをDUT200に対して与えるタイミングを規定するタイミング発生器（TG）4が搭載される。

[0004] タイミング発生器4は、ロジック回路12と高精度回路14の組み合わせで実装されるが、実装密度の向上のため、これらは同一の半導体基板上に集積化される場合が多い。一方、ロジック回路12は大きなスイッチングノイズを発生するため、高精度回路14に影響を与え、結果としてタイミング精度の悪化を引き起こす。この影響を抑制するために、ロジック回路12と高精度回路14の電源1a、1bを分割し、またリファレンスクロック（以下、単にクロックと称す）LREFCK、HREFCKの分配経路も別としている。

[0005] ロジック回路12は、クロックLREFCKに同期して動作し、クロックLREFCKに同期したデータを高精度回路14へと引き渡す。高精度回路14は微少遅延回路（不図示）を含んでおり、ロジック回路12からのデータに応じた遅延量を設定し、ユーザが指定したタイミングでDUT200にデータを供給する。

[0006] ロジック回路12は比較的低速な、たとえば286MHzのクロックLREFCKで動作するが、高精度回路14ではこれに加えて、高速な、たとえば286MHzを8逡倍した2.28GHzのクロックHREFCKを使用

する。図2は、ロジック回路12と高精度回路14の関係を示すブロック図である。ロジック回路12と高精度回路14の間にはマルチプレクサ16が設けられる。N逓倍（Nは自然数）したクロックを利用することで、高精度回路ひとつに対して、複数のロジック回路を並列に接続することができ、ロジック回路12が本来のクロックLREFCKのN倍の周波数で動作しているのと等価な動作が実現される。

発明の開示

発明が解決しようとする課題

[0007] 2つのクロックLREFCKおよびHREFCKは、同一の発振器から得られるクロックを基準として生成されるため、周期の比は一致することが保証されるが、位相は必ずしも一致しない。またプロセスばらつき等によって2つのクロックの位相関係は変動するところ、クロックが高速化すると位相関係の変動幅がクロックの周期に近づくため、正常な動作が保証されなくなる。したがってロジック回路12側が出力するデータを、高精度回路14で正しく受け取るための調整手段が必要となる。

[0008] 従来は、ロジック回路12と高精度回路14の間にFIFO（First In First Out）回路を設けて対応していたが、高精度回路14の動作周波数が高くなるに従い、FIFOのような複雑で大規模な論理回路を実装することが困難となってきた。またN逓倍回路がフリーランクロックで動作する場合、FIFOの開始位相を意図的にセットすることができないため、正常な動作状態を確立できなくなる。

[0009] 本発明はこうした課題に鑑みてなされたものであり、その目的のひとつは、異なるクロックドメイン間で、正確にデータ伝送する技術の提供にある。

課題を解決するための手段

[0010] 本発明のある態様は、クロック乗せ換え回路に関する。この回路は、入力データを第1クロックでラッチする第1ラッチと、第1ラッチの出力データを、第1クロックと同一の周波数を有する第3クロックでラッチする第2ラッチと、第2ラッチの出力データを、第1、第3クロックのN倍の周波数を

有する第2クロックでラッチする第3ラッチと、を備える。第2クロックと第3クロックは、分周通倍関係にある。

[0011] 「分周・通倍関係」とは、一方が他方を基準として分周により生成される関係、または一方が他方を基準として通倍により生成される関係をいう。

この態様によると、入力データは、第1クロックから第3クロック、第3クロックから第2クロックと2段階の受け渡しを経ることになる。第2クロックの位相と第3クロックの位相は、本質的に同期関係が保たれるため、第1クロックと第3クロックそれぞれの位相が所定の関係を満たしさえすれば、確実にクロックを乗せ換えることができる。

[0012] 本発明の別の態様も、クロック乗せ換え回路に関する。この回路は、入力データを第1クロックでラッチする第1ラッチと、第1クロックのN倍の周波数を有する第2クロックを $1/N$ 分周し、第3クロックを生成する分周回路と、第1ラッチの出力データを、第3クロックでラッチする第2ラッチと、第2ラッチの出力データを、第2クロックでラッチする第3ラッチと、を備える。

この態様においても、第1クロックと第3クロックが所定の関係を満たしさえすれば、確実なクロック乗せ換えが実現できる。

[0013] ある態様のクロック乗せ換え回路は、第1クロックをN通倍（Nは自然数）し、第2クロックを生成する通倍回路をさらに備えてもよい。

[0014] 第2クロックを分周して得られる第3クロックの位相は、第2クロックの周期を単位として調節可能であってもよい。この態様によると、第2ラッチのセットアップ条件、ホールド条件を満たすように、第3クロックのタイミングを調節できる。

[0015] ある態様のクロック乗せ換え回路は、第3クロックのエッジのタイミングと入力データのエッジのタイミングの時間差を、第2クロックを利用してカウントするカウンタをさらに備えてもよい。

この場合、カウンタのカウント値は、入力データに対する第3クロックのタイミングを示す指標となるため、カウント値にもとづいてセットアップ条

件、ホールド条件を満たすように第3クロックの位相を最適化できる。

[0016] 第3クロックの位相は、カウンタのカウント値が所定の範囲に含まれるように調整されてもよい。

[0017] ある態様において、第3クロックの位相は、第3クロックの位相をスリープさせながら、以下のステップを経て初期化されてもよい。

1. 各位相において、入力データとして所定のパターンを印加する。
2. パターン印加後のカウンタのカウント値を読み出す。
3. 読み出されたカウント値が所定の範囲に含まれるかを判定する。

[0018] また別の態様において、第3クロックの位相は、以下のステップにより初期化されてもよい。

1. 第3クロックの位相を所定の初期値に設定する。
2. 設定された位相において、入力データとして所定のパターンを印加する。
3. パターン印加後のカウンタのカウント値を読み出す。
4. 読み出されたカウント値が、所定の範囲の上限値より大きいとき、第3クロックの位相を、所定の第1の値に設定する。カウント値が所定の範囲の下限値より小さいとき、第3クロックの位相を、所定の第2の値に設定する。

[0019] これらの態様によれば、第3クロックの位相を好適に初期化することができる。

[0020] 本発明のさらに別の態様は試験装置に関する。この試験装置は、第1クロックを生成する発振器と、第1クロックと同期した入力データを受け、第2クロックに乘せ換える上述のいずれかの態様のクロック乗せ換え回路と、を備える。

[0021] なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置などの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0022] 本発明のある態様によれば、第1クロックと同期したデータを、それと逡倍関係にある第2クロックに正確に乗せ換えることができる。

図面の簡単な説明

[0023] [図1]試験装置の構成を示すブロック図である。

[図2]ロジック回路と高精度回路の関係を示すブロック図である。

[図3]実施の形態に係るクロック乗せ換え回路を搭載したタイミング発生器の構成を示す回路図である。

[図4]図3のクロック乗せ換え回路の動作を示すタイムチャートである。

[図5]第3クロックCKの位相 ϕ を制御する位相調節回路の構成を示す回路図である。

[図6]図5の位相調節回路の動作を示すタイムチャートである。

[図7]位相調節回路における位相最適化の第1の手順を示すフローチャートである。

[図8]位相調節回路における位相最適化の第2の手順を示すフローチャートである。

符号の説明

[0024] 1…電源、2…パターン発生器、4…タイミング発生器、8…クロック発生器、12…ロジック回路、14…高精度回路、16…マルチプレクサ、20…クロック乗せ換え回路、22…第1ラッチ、24…第2ラッチ、26…第3ラッチ、28…逡倍回路、30…分周回路、CK1…第1クロック、CK2…第2クロック、CK3…第3クロック、40…位相調節回路、42…カウンタ、44…ANDゲート、46…ANDゲート、100…試験装置。

発明を実施するための最良の形態

[0025] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない

。

[0026] 本明細書において、「部材Aが部材Bに接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電氣的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電氣的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

[0027] 図3は、実施の形態に係るクロック乗せ換え回路20を搭載したタイミング発生器4の構成を示す回路図である。タイミング発生器4は、ロジック回路12、高精度回路14、クロック乗せ換え回路20を備え、ひとつの半導体基板上に一体集積化される。図1で説明したように、ロジック回路12および高精度回路14は異なる電源電圧 V_{dd1} 、 V_{dd2} を受けて動作する。クロック発生器8はたとえばPLL回路であり、第1周波数 f_1 の第1クロック CK_1 を出力する。タイミング発生器4は、ロジック回路12で利用するクロックと高精度回路14側で利用するクロックを、それぞれ別のクロック端子P1、P2に受ける。第1クロック CK_1 は分岐され、一方の第1クロック CK_{1L} は、クロック端子P1を介してロジック回路12へと供給され、他方の第1クロック CK_{1H} は、クロック端子P2を介して高精度回路14へと供給される。

[0028] ロジック回路12は、クロック発生器8から出力される第1周波数 f_1 の第1クロック CK_{1L} と同期した入力データ D_{IN} を生成する。クロック乗せ換え回路20は、第1クロック CK_{1L} と同期した入力データ D_{IN} を、第1周波数 f_1 のN倍の周波数の第2周波数 f_2 を有する第2クロック CK_2 に乗せ換える。高精度回路14は、クロック乗せ換え回路20から出力される出力データ D_{OUT} を受け、第2クロック CK_2 と同期して動作する。以下、説明の簡潔化のため $N=8$ の場合を説明するが、その値は任意であり特に限定されない。

[0029] 以上がタイミング発生器 4 の全体構成である。続いて、クロック乗せ換え回路 20 の構成を説明する。

クロック乗せ換え回路 20 は、第 1 ラッチ 22、第 2 ラッチ 24、第 3 ラッチ 26、通倍回路 28、分周回路 30 を備える。

[0030] 第 1 ラッチ 22 は、入力データ D_{IN} を第 1 クロック $CK1_L$ でラッチする。第 2 ラッチ 24 は、第 1 ラッチ 22 の出力データ（第 1 中間データ D_{m1} ）を、第 1 クロック $CK1_L$ と同一の周波数を有する第 3 クロック $CK3$ でラッチする。

[0031] 第 3 ラッチ 26 は、第 2 ラッチ 24 の出力データ（第 2 中間データ D_{m2} ）を、第 1 クロック $CK1$ および第 3 クロック $CK3$ の N 倍（ N は自然数）の周波数 $f2$ を有する第 2 クロック $CK2$ でラッチする。

[0032] 第 2 クロック $CK2$ と第 3 クロック $CK3$ は互いに、分周、通倍関係にある。たとえば第 2 クロック $CK2$ が、第 3 クロック $CK3$ を N 通倍して生成されてもよいし、反対に、第 3 クロック $CK3$ が、第 2 クロック $CK2$ を $1/N$ 分周して生成されてもよい。本実施の形態では後者の方式が採られている。

[0033] 入力データ D_{IN} は、第 1 クロック $CK1_L$ から第 3 クロック $CK3$ 、第 3 クロック $CK3$ から第 2 クロック $CK2$ と 2 段階の受け渡しを経る。分周通倍関係にある第 2 クロック $CK2$ と第 3 クロック $CK3$ は、それぞれの位相が、本質的に同期関係が保たれている。したがって、図 3 のクロック乗せ換え回路 20 によれば、第 1 クロック $CK1_L$ と第 3 クロック $CK3$ の位相差が所定の関係を満たしさえすれば、第 2 ラッチ 24 以降は同期動作するため、確実にクロックを乗せ換えることができる。

[0034] 続いて、図 3 における各クロックの関係を説明する。

分周回路 30 は、第 1 クロック $CK1$ の N 倍の第 2 周波数 $f2$ を有する第 2 クロック $CK2$ を $1/N$ 分周し、第 3 クロック $CK3$ を生成する。通倍回路 28 は、第 1 クロック $CK1_H$ を N 通倍し、第 2 クロック $CK2$ を生成する。

[0035] 以上がクロック乗せ換え回路20の構成である。図4は、図3のクロック乗せ換え回路20の動作を示すタイムチャートである。

第3クロックCK3として第1クロックCK1_Hをそのまま利用するのではなく、第2クロックCK2を分周して第3クロックCK3を生成することにより、第3クロックCK3の位相を、第2クロックCK2の周期($1/f_2$)を単位として、調節することが可能となる。なぜなら、第2クロックCK2を $1/N$ 分周する場合、N相 $\phi_0 \sim \phi_7$ のうちのいずれかを選択可能だからである。図4の第2クロックCK2を $1/8$ 分周して得られる8相の第3クロックCK3($\phi_0 \sim \phi_7$)のうち、位相選択信号PHSEL(=0~7)に応じたひとつが選択され、第2ラッチ24に供給される。

[0036] 続いて、第3クロックCK3の位相の最適化方法およびそれを実現するための回路構成を説明する。

[0037] 図5は、第3クロックCK3の位相 ϕ を制御する位相調節回路40の構成を示す回路図である。位相調節回路40は、カウンタ42、ANDゲート44、ANDゲート46を備える。

[0038] カウンタ42は、第3クロックCK3のエッジのタイミングと、第1ラッチ22からの第1中間データD_{m1}のエッジのタイミングの時間差を、第2クロックCK2を利用してカウントする。カウンタ42は、第1中間データD_{m1}のポジティブエッジと第3クロックCK3のエッジの時間差を測定してもよいし、第1中間データD_{m1}のネガティブエッジと第3クロックCK3のエッジの時間差を測定してもよい。図5の位相調節回路40は、後者にもとづいて、第3クロックCK3の位相を最適化するよう構成される。

[0039] ANDゲート44は、第1中間データD_{m1}を用いて、第2クロックCK2をマスクする。マスクされたクロックCK4は、カウンタ42へと供給され、カウンタ42はこのクロックCK4をカウントする。

ANDゲート46は、第2ラッチ24からの第2中間データD_{m2}と、出力データD_{OUT}の反転と、の論理積を生成する。カウンタ42に保持されるカウント値COUNTは、ANDゲート46から出力されるクリア信号CLR

によって初期化される。

[0040] 図6は、図5の位相調節回路40の動作を示すタイムチャートである。位相を調節する際、入力データ D_{IN} として所定のパターンを入力する。図6のタイムチャートでは、入力データ D_{IN} は、ローレベル、ハイレベル、ローレベルと順に遷移するパターンである。第1ラッチ22から出力される第1中間データ D_{m1} も、入力データ D_{IN} に追従して、ローレベル、ハイレベル、ローレベルと遷移する。

[0041] 時刻 t_1 に第1中間データ D_{m1} がハイレベルとなると、ANDゲート44による第2クロック CK_2 の遮断が解除され、第2クロック CK_2 がカウンタ42へと出力され、カウンタ42のカウント動作が開始する。

[0042] 第3クロック CK_3 として、 i 番目の位相($0 \leq i < N$)を選択すると、そのポジティブエッジで第1中間データ D_{m1} がラッチされ、第2中間データ D_{m2} が生成される。時刻 t_2 に第2中間データ D_{m2} がハイレベルとなると、ANDゲート46から出力されるクリア信号 CLR がアサートされ、カウンタ42のカウント値がゼロリセットされる。その後、カウンタ42のカウント値は、クロック CK_4 のパルスごとに1ずつカウントアップしていく。なお、カウンタ42は、クリア直後にカウントが有効に機能しない期間(デッドバンド DB)が存在するため、クリア直後のいくつかのパルスはカウントされない。図6のタイムチャートではデッドバンド t_d は2クロックの期間にわたる。

[0043] 入力データ D_{IN} の遷移に応じて、時刻 t_3 に第1中間データ D_{m1} がローレベルに遷移する。そうすると、ANDゲート44によって第2クロック CK_2 が遮断され、カウンタ42にクロック CK_4 が供給されなくなり、カウンタ42のカウント動作が停止する。カウンタ42には、新たな入力データ D_{IN} が印加されてクリア信号 CLR がアサートされない限り、カウント値 $COUNT$ が保持される。つまりこの構成によれば、カウント値 $COUNT$ の値は、第1クロック CK_{1L} 、 CK_{1H} の状態とは無関係となるから、位相の最適化の最中に各クロックを停止する必要がないという利点がある。

[0044] 最終的なカウンタ 42 のカウント値 COUNT は、第 3 クロック CK3 のエッジのタイミング (t_2) から、第 1 中間データ D_{m1} のネガティブエッジのタイミング (t_3) までの時間 τ に応じた値となる。時間 τ は、第 2 クロック CK2 の周期 T_2 ($= 1 / f_2$) を用いて、

$$\tau = \tau_d + \text{COUNT} \times T_2$$

で与えられる。デッドバンドが無視しうる程度に短いカウンタ 42 を用いた場合、カウント値 COUNT は、 $\tau = \text{COUNT} \times T_2$ となる。

[0045] カウント値 COUNT は、第 3 クロック CK3 の位相が進むほど大きくなり、遅れるほど小さくなる。したがってこのカウント値 COUNT が所定の範囲となるように、第 3 クロック CK3 の位相を選択することにより、第 3 クロック CK3 のエッジのタイミングを、第 2 ラッチ 24 のセットアップ条件、ホールド条件を満たすように、具体的には第 1 中間データ D_{m1} のユニットインターバルの中心付近となるように最適化することができる。図 6 のタイムチャートでは、カウント値 COUNT が 2 ~ 4 のときが最適である。

[0046] 第 3 クロック CK3 の位相の最適化は、以下の手順に従って実行することができる。

[0047] 第 1 の手順

図 7 は、位相調節回路 40 における位相最適化の第 1 の手順を示すフローチャートである。

[0048] 最適化処理は、変数 PHSEL の値を 0 ~ 7 まで 1 ずつインクリメントしながら以下の処理を実行する (S100)。

[0049] 変数 PHSEL を i ($0 \leq i < N$) とし、第 3 クロック CK3 の位相を ϕ_i に設定する (S102)。続いて入力データ D_{IN} として所定のパターンを印加し (S103)、カウンタ 42 のカウント値 COUNT を読み出す (S104)。カウント値 COUNT が最適な範囲に含まれるとき (S106 の Y)、現在の変数 PHSEL の値で確定し (S108)、最適化処理を終了する。

[0050] カウント値 COUNT が最適な範囲から外れていれば (S106 の N)、

変数 $PHSEL$ をインクリメントしてステップ $S102$ に戻り、同様の処理を繰り返す。

[0051] 図7のフローチャートによれば、最大で N 回の繰り返しで、第3クロック $CK3$ の位相を最適化することができる。またパターンを新たに入力しない限り、カウンタ値 $COUNT$ が保持されるため、リファレンスクロック $CK1$ の停止、再起動の制御が不要であるため、回路の安定状態を待つためのウェイトタイムが不要となり、高速な初期化が可能となる。

[0052] 第2の手順

図8は、位相調節回路40における位相最適化の第2の手順を示すフローチャートである。

[0053] まず変数 $PHSEL$ の値をある初期値 $INIT (=0)$ に設定し、第3クロック $CK3$ の位相を $\phi 0$ に設定する ($S200$)。初期値 $INIT$ は0でなくてもよい。

[0054] 続いて入力データ D_{IN} として所定のパターンを印加し ($S202$)、カウンタ42のカウント値 $COUNT$ を読み出す ($S204$)。カウント値 $COUNT$ が最適な範囲の上限値 $H (=4)$ より低く ($S206$ の N)、かつカウント値 $COUNT$ が最適な範囲の下限値 $L (=2)$ より小さいとき ($S210$ の N)、変数 $PHSEL$ を初期値 $INIT$ に設定し、最適化処理を終了する。

[0055] ステップ $S206$ において、カウンタ値 $COUNT$ が上限値 $H (=4)$ より大きい場合 ($S206$ の Y)、第3クロック $CK3$ のエッジのタイミングが早すぎることを意味するから、初期値 $INIT$ とは異なる第1の値 $X (=2)$ に設定する ($S208$)。第1の値は、初期値よりも所定値 (たとえば2) だけ大きな値に設定される。その結果、第3クロック $CK3$ のタイミングが2サイクル分だけ後ろにシフトし、第3クロック $CK3$ のタイミングが最適化される。

[0056] ステップ $S210$ において、カウンタ値 $COUNT$ が下限値 $L (=2)$ より小さい場合 ($S210$ の Y)、第3クロック $CK3$ のエッジのタイミング

が遅すぎることを意味する。そこで第3クロックCK3のタイミングを前にシフトさせるために、変数PHSELの値を初期値とは異なる第2の値Y（＝5）に設定する（S212）。その結果、第3クロックCK3がサイクルを跨いで後ろにシフトするため、結果として初期状態よりも前のタイミングに設定される。

[0057] 第2の手順によれば、パターンを1回印加するのみで、第3クロックCK3の位相を最適化できる。

[0058] 実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

産業上の利用可能性

[0059] 本発明のある態様によれば、第1クロックと同期したデータを、それと逡倍関係にある第2クロックに正確にませ換えることができる。

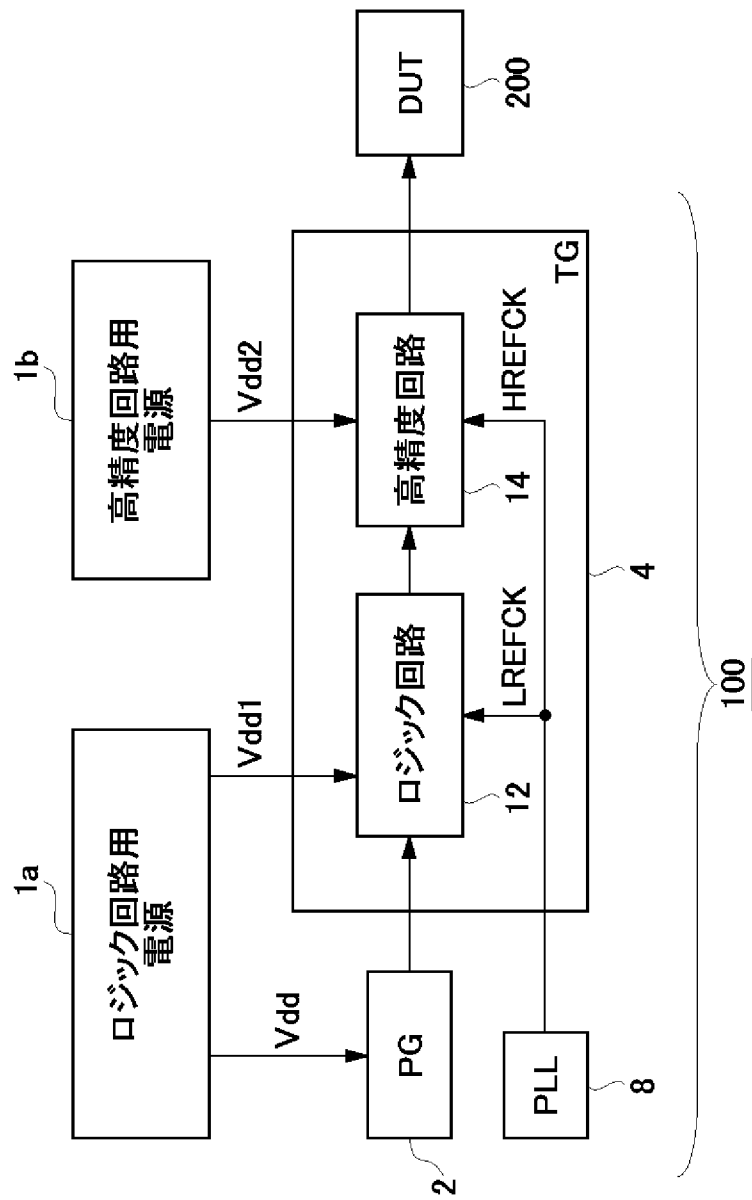
請求の範囲

- [1] 入力データを第1クロックでラッチする第1ラッチと、
前記第1ラッチの出力データを、前記第1クロックと同一の周波数を有する第3クロックでラッチする第2ラッチと、
前記第2ラッチの出力データを、前記第1、第3クロックのN倍（Nは自然数）の周波数を有する第2クロックでラッチする第3ラッチと、
を備え、
前記第2クロックと前記第3クロックは、分周逡倍関係にあることを特徴とするクロック乗せ換え回路。
- [2] 入力データを第1クロックでラッチする第1ラッチと、
前記第1クロックのN倍の周波数を有する第2クロックを $1/N$ 分周し、第3クロックを生成する分周回路と、
前記第1ラッチの出力データを、前記第3クロックでラッチする第2ラッチと、
前記第2ラッチの出力データを、前記第2クロックでラッチする第3ラッチと、
を備えることを特徴とするクロック乗せ換え回路。
- [3] 前記第1クロックをN逡倍（Nは自然数）し、前記第2クロックを生成する逡倍回路をさらに備えることを特徴とする請求項2に記載のクロック乗せ換え回路。
- [4] 前記第2クロックを分周して得られる前記第3クロックの位相は、前記第2クロックの周期を単位として調節可能であることを特徴とする請求項2または3に記載のクロック乗せ換え回路。
- [5] 前記第3クロックのエッジのタイミングと前記第1ラッチの出力データのエッジのタイミングの時間差を、前記第2クロックを利用してカウントするカウンタをさらに備えることを特徴とする請求項4に記載のクロック乗せ換え回路。
- [6] 前記第3クロックの位相は、前記カウンタのカウント値が所定の範囲に含

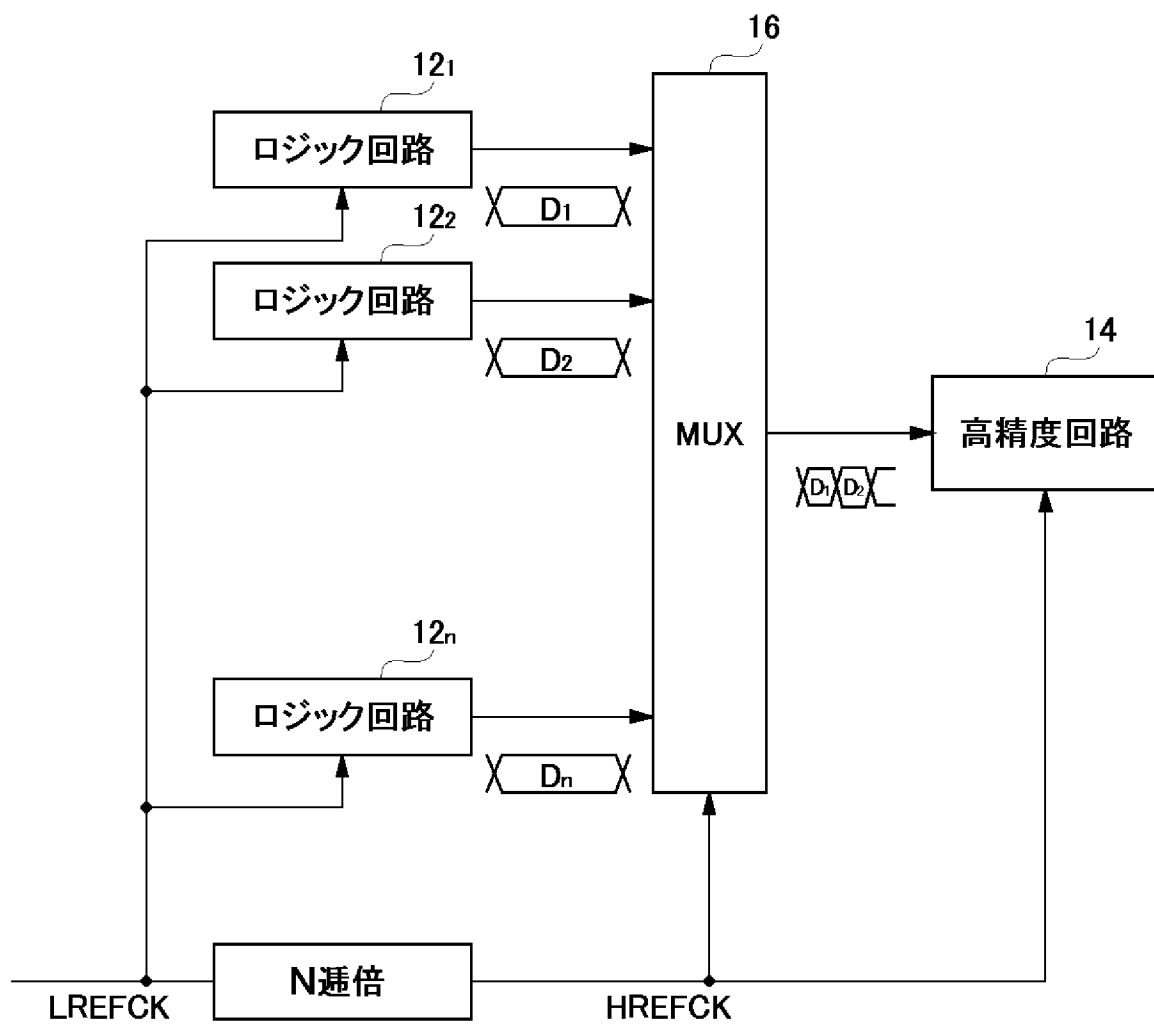
まれるように調整されることを特徴とする請求項5に記載のクロック乗せ換え回路。

- [7] 前記第3クロックの位相は、
前記第3クロックの位相をスweepさせながら、
各位相において、前記入力データとして所定のパターンを印加するステップと、
パターン印加後の前記カウンタのカウント値を読み出すステップと、
読み出された前記カウント値が前記所定の範囲に含まれるかを判定するステップと、
を繰り返し実行することにより初期化されることを特徴とする請求項6に記載のクロック乗せ換え回路。
- [8] 前記第3クロックの位相は、
前記第3クロックの位相を所定の初期値に設定するステップと、
設定された位相において、前記入力データとして所定のパターンを印加するステップと、
パターン印加後の前記カウンタのカウント値を読み出すステップと、
読み出された前記カウント値が、前記所定の範囲の上限値より大きいとき、前記第3クロックの位相を、前記初期値と異なる第1の値に設定し、前記カウント値が前記所定の範囲の下限値より小さいとき、前記第3クロックの位相を、前記初期値と異なる第2の値に設定するステップと、
を実行して初期化されることを特徴とする請求項6に記載のクロック乗せ換え回路。
- [9] 第1クロックを生成する発振器と、
前記第1クロックと同期した入力データを受け、前記第2クロックに乗せ換える請求項1から8のいずれかに記載のクロック乗せ換え回路と、
を備えることを特徴とする試験装置。

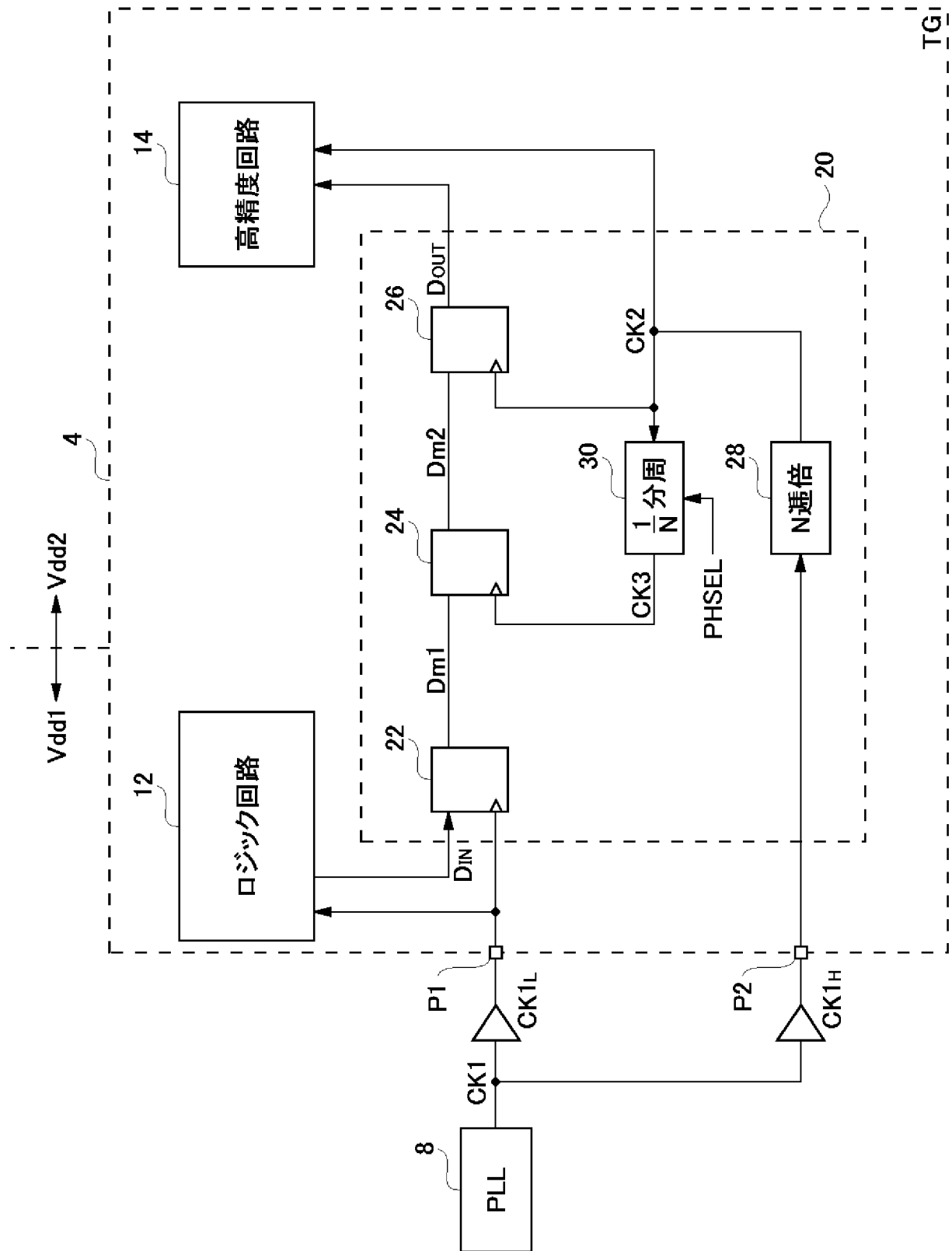
[図1]



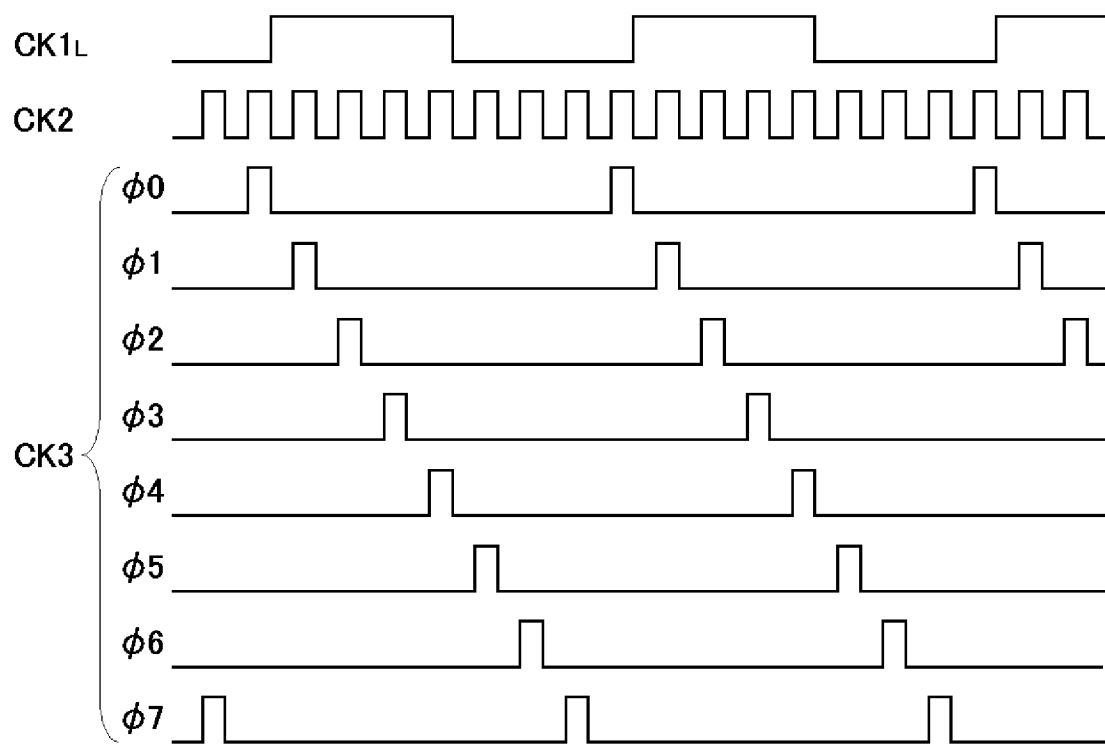
[図2]



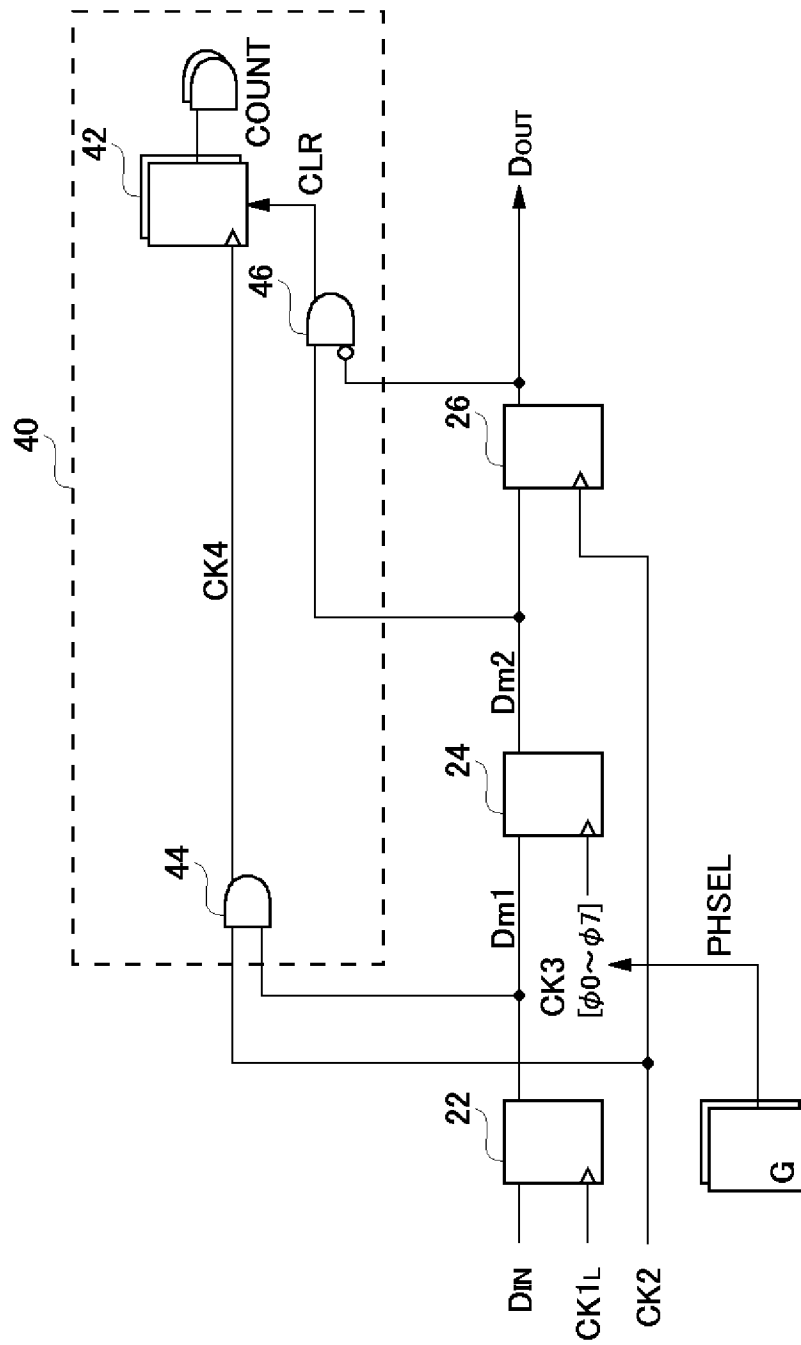
[図3]



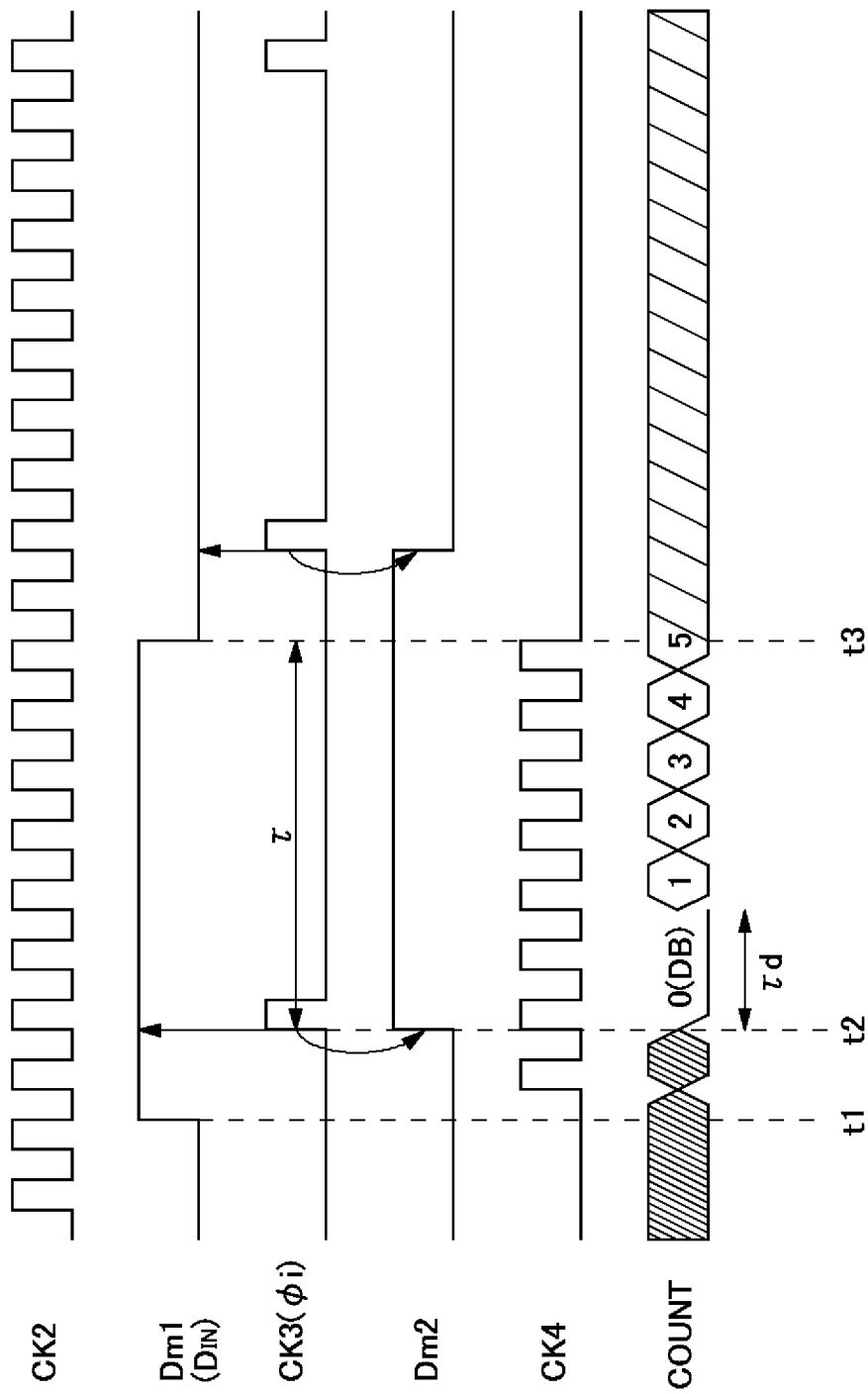
[図4]



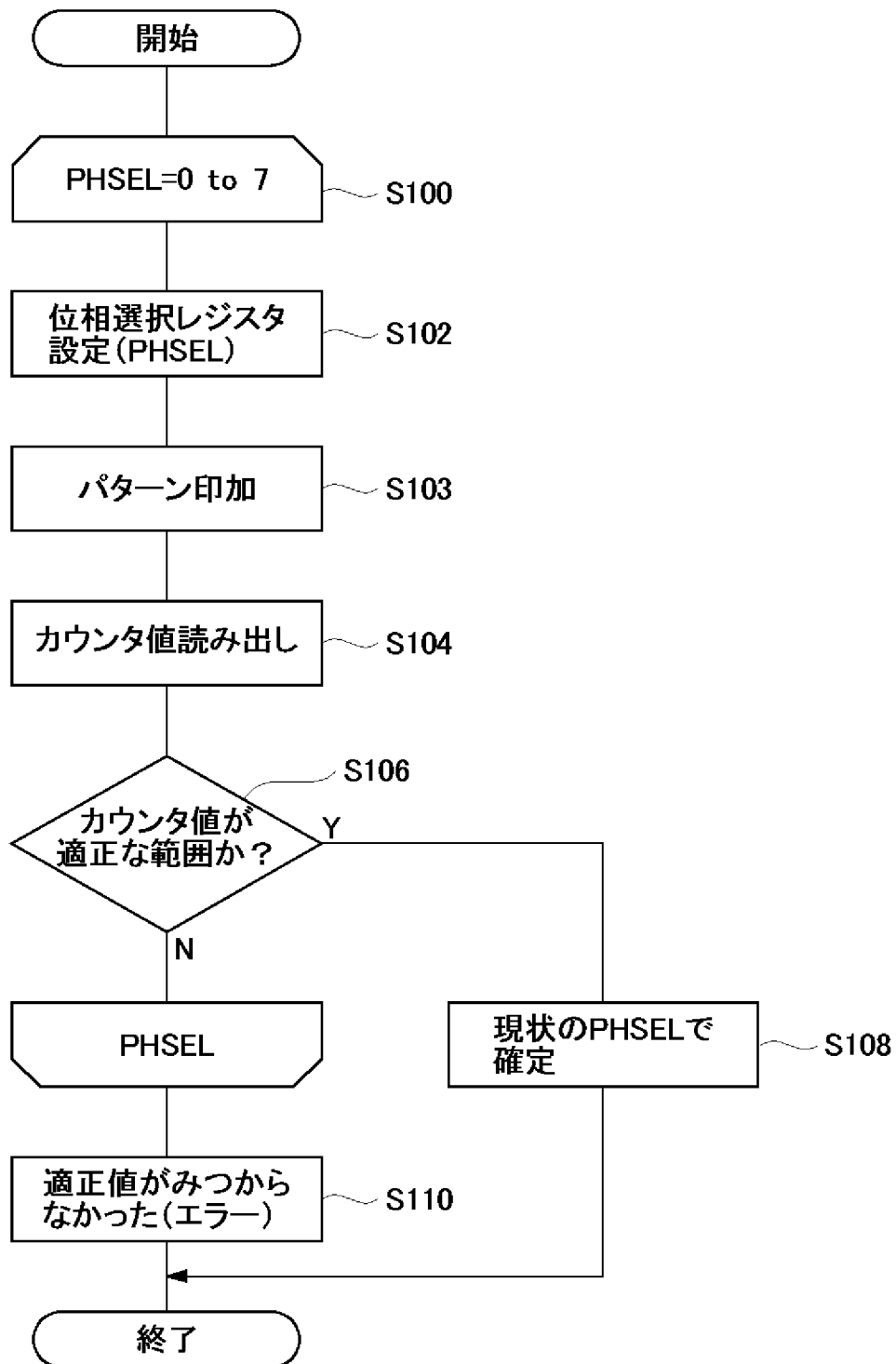
[図5]



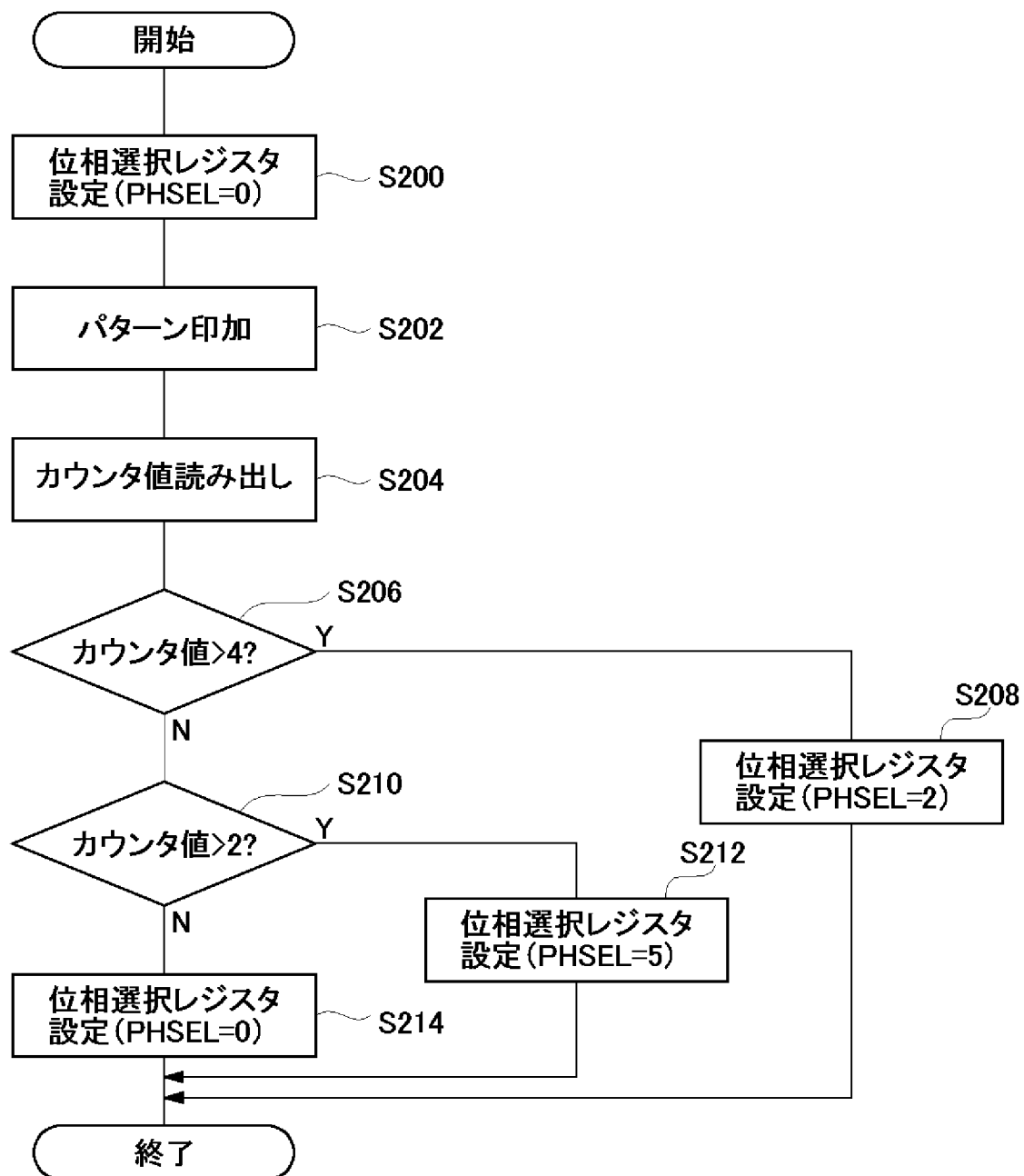
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/001995

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00-7/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-65173 A (NEC Engineering, Ltd.), 08 March, 1996 (08.03.96), Figs. 1 to 4, 8 (Family: none)	1, 2, 9 3-8
A	JP 2-76332 A (Nippon Telegraph And Telephone Corp.), 15 March, 1990 (15.03.90), Figs. 1, 2 (Family: none)	1-9
A	JP 2004-297703 A (Fujitsu General Ltd.), 21 October, 2004 (21.10.04), Figs. 1, 2, 4, 5 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 October, 2008 (15.10.08)

Date of mailing of the international search report
28 October, 2008 (28.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/001995

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-9629 A (NEC Miyagi, Ltd.), 11 January, 2002 (11.01.02), Figs. 5, 6 (Family: none)	1-9
A	JP 9-93232 A (Fujitsu Ltd.), 04 April, 1997 (04.04.97), Figs. 1 to 3 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04L7/00(2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04L7/00-7/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 8-65173 A (日本電気エンジニアリング株式会社) 1996.03.08, 図 1-4, 8 (ファミリーなし)	1, 2, 9 3-8
A	JP 2-76332 A (日本電信電話株式会社) 1990.03.15, 第 1, 2 図 (フ ァミリーなし)	1-9
A	JP 2004-297703 A (株式会社富士通ゼネラル) 2004.10.21, 図 1, 2, 4, 5 (ファミリーなし)	1-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 1 0 . 2 0 0 8

国際調査報告の発送日

2 8 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

白井 亮

5 K

3 3 6 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-9629 A (宮城日本電気株式会社) 2002. 01. 11, 図 5, 6 (ファミリーなし)	1-9
A	JP 9-93232 A (富士通株式会社) 1997. 04. 04, 図 1-3 (ファミリーなし)	1-9