(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월18일
(11) 등록번호 10-2433801
(24) 등록일자 2022년08월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) *H01L 27/12* (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2021-7037333(분할)
(22) 출원일자(국제) 2010년10월22일
심사청구일자 2021년11월30일
(85) 번역문제출일자 2021년11월16일
(65) 공개번호 10-2021-0138818
(43) 공개일자 2021년11월19일
(62) 원출원 특허 10-2021-7012853
원출원일자(국제) 2010년10월22일
심사청구일자 2021년05월17일
(86) 국제출원번호 PCT/JP2010/069226
(87) 국제공개번호 WO 2011/058885
국제공개일자 2011년05월19일
(30) 우선권주장
JP-P-2009-259818 2009년11월13일 일본(JP)
JP-P-2009-278995 2009년12월08일 일본(JP)
(56) 선행기술조사문헌
JP2007096055 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
타카하시 케이
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 3 항 심사관 : 김민수

(54) 발명의 명칭 **표시 장치 및 이 표시 장치를 구비한 전자 기기**

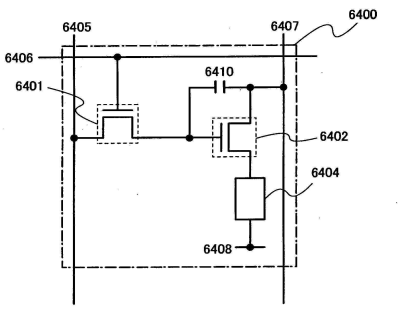
(57) 요 약

본 발명은 소비 전력이 억제된 표시 장치를 제공한다.

제 1 트랜지스터, 제 2 트랜지스터, 및 한 쌍의 전극을 갖는 발광 소자를 포함하는 화소가 복수 형성된 화소부를 갖고, 상기 제 1 트랜지스터는, 게이트가 주사선에 전기적으로 접속되고, 소스 또는 드레인 중 한쪽이 신호선에

(뒷면에 계속)

대 표 도 - 도2



전기적으로 접속되고, 소스 또는 드레인 중 다른 한쪽이 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 2 트랜지스터는, 소스 또는 드레인의 한쪽이 전원선에 전기적으로 접속되고, 소스 또는 드레인의 다른 한쪽이 상기 한 쌍의 전극의 한쪽에 전기적으로 접속되고, 상기 제 1 트랜지스터는, 수소 농도가 $5\times10^{19}/cm^3$ 이하인 산화물 반도체층을 갖는다. 그리고, 상기 표시 장치가 정지 화상을 표시하는 기간 동안, 상기 화소부에 포함되는 모든 주사선에 공급되는 신호의 출력이 정지되는 기간을 갖는다.

(52) CPC특허분류
H01L 27/3262 (2013.01)
G09G 2310/0286 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 용량 소자, 및 발광 소자를 포함하는 화소가 복수 제공된 화소부를 가지고,

상기 제 1 트랜지스터는,

절연층 위에 채널 형성 영역을 포함하는 산화물 반도체층;

상기 산화물 반도체층 위의 게이트 절연층;

상기 게이트 절연층 위의 게이트 전극;

상기 게이트 절연층 위의 제 1 개구부를 통하여, 상기 산화물 반도체층에 전기적으로 접속된 제 1 도전층; 및

상기 게이트 절연층 위의 제 2 개구부를 통하여, 상기 산화물 반도체층에 전기적으로 접속된 제 2 도전층을 가지고,

상기 절연층은 질화 실리콘층과 제 1 산화 실리콘층의 적층 구조를 가지고,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 가지고,

상기 게이트 절연층은 제 2 산화 실리콘층을 가지고,

상기 게이트 전극은 제 1 티탄과 몰리브덴을 이용한 적층 구조를 가지고,

상기 제 1 도전층과 상기 제 2 도전층은 각각, 제 2 티탄과 알루미늄을 이용한 적층 구조를 가지고,

상면시에서의 상기 제 1 개구부로부터 상기 제 2 개구부를 향하는 방향에서, 상기 산화물 반도체층의 폭은 상기 게이트 전극의 폭보다 크고,

상기 제 2 트랜지스터는 채널 형성 영역에 다결정의 실리콘층을 가지고,

상기 제 1 트랜지스터의 게이트 전극은 주사선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 제 2 트랜지스터의 게이트 전극과 상기 용량 소자의 한쪽의 전극에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 발광 소자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 다른 한쪽과 상기 용량 소자의 다른 한쪽의 전극은 전원선에 전기적으로 접속되는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는 스위칭용 트랜지스터이며, 상기 제 2 트랜지스터는 구동용 트랜지스터인, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 한쪽은 신호선에 전기적으로 접속되는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 표시 장치에 관한 것이다. 또는, 이 표시 장치를 구비하는 전자 기기에 관한 것이다.

배 경 기 술

[0002] 최근, 액정 표시 장치나, 일렉트로 루미네센스 소자를 이용한 일렉트로 루미네센스 표시 장치(이하, 'EL 표시 장치'라 한다.)로 대표되는 플랫 패널 디스플레이가 화상 표시 장치의 주류로서 양산화되고 있다.

[0003] 액티브 매트릭스형의 액정 표시 장치나 EL 표시 장치의 경우, 화소부의 각 화소에 트랜지스터가 형성되어 있다. 그리고, 이들 트랜지스터에는, 실리콘(Si)으로 된 반도체층이 활성층으로 이용되고 있다.

[0004] 이에 반해, 산화물을 활성층으로 이용한 트랜지스터를 이용한 화상 표시 장치가 제안되어 있다(예를 들어, 특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2006-165528호 공보

발명의 내용

해결하려는 과제

[0006] 트랜지스터의 전기 특성을 판단하는 지표의 하나로, 오프 전류가 있다. 오프 전류란, 트랜지스터가 오프 상태(비통전 상태라고도 한다.)일 때, 소스와 드레인 사이에 흐르는 전류를 말한다. n 채널형 트랜지스터에서는, 게이트와 소스 사이에 인가되는 전압이 역치 전압(Vth) 이하인 경우에, 소스와 드레인 사이를 흐르는 전류를 말한다.

[0007] 비정질 산화물 반도체 박막을 트랜지스터의 채널층으로 이용함으로써, 오프 전류를 10㎂(=1×10^{-5}A) 미만, 바람직하게는 0.1㎂(=1×10^{-7}A) 미만으로 할 수 있다고 특허문헌 1에 개시되어 있다. 또한, 특허문헌 1에는, 비정질 산화물 반도체 박막을 이용함으로써, 온·오프 비를 10^3 초과로 할 수 있다고 기재되어 있다. 그러나, 이 정도의 전기적 특성을 나타내는 트랜지스터에서는, 오프 전류가 충분히 낮다고는 할 수 없다. 즉, 화상 표시 장치의 추가적인 저소비 전력화가 요구되고 있는 현재의 요구를 맞추기 위해서는, 오프 전류를 더욱 낮게 하는 것이 요구된다.

[0008] 본 발명의 일 양태는, 산화물 반도체를 이용한 트랜지스터를 갖는 화소가 복수 형성된 화소부를 포함하는 표시 장치에서, 소비 전력이 억제된 표시 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0009] 본 발명의 일 양태는, 표시 장치의 표시부에서의 각 화소에서, 산화물 반도체를 이용한 트랜지스터를 적어도 갖는 것을 특징으로 한다. 이 산화물 반도체를 이용한 트랜지스터는, 안정된 전기 특성을 갖고 있으며, 예를 들어 오프 전류가 매우 낮다. 오프 전류가 매우 낮은 트랜지스터를 실현하기 위해, 본 발명의 일 양태는, 진성 또는 실질적으로 진성이라고 할 수 있을 정도로 캐리어의 공여체가 되는 불순물 농도가 매우 저감된 산화물 반도체(고순도의 산화물 반도체)를 이용하고 있다. 대표적으로는, 본 발명의 일 양태는, 막 중에 포함되는 수소 농도가 $5\times10^{19}/cm^3$ 이하인 산화물 반도체를 이용한 트랜지스터이다.

[0010] 본 발명의 일 양태는, 제 1 트랜지스터, 제 2 트랜지스터, 및 한 쌍의 전극을 갖는 발광 소자를 포함하는 화소가 복수 형성된 화소부를 갖는다. 그리고, 상기 제 1 트랜지스터는, 게이트가 주사선에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 신호선에 전기적으로 접속되고, 소스 또는 드레인의 다른 한쪽이 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 2 트랜지스터는, 소스 또는 드레인의 한쪽이 전원선에 전기적으로 접속되고, 소스 또는 드레인의 다른 한쪽이 상기 한 쌍의 전극의 한쪽에 전기적으로 접속되고, 상기 제 1 트

랜지스터는, 수소 농도가 $5\times10^{19}/cm^3$ 이하인 산화물 반도체층을 갖는 것을 특징으로 하는 표시 장치이다.

[0011] 또한, 본 발명의 일 양태는, 상기 표시 장치가 정지 화상을 표시하는 기간 동안, 상기 화소부에 포함되는 모든 주사선에 공급되는 신호의 출력이 정지되는 기간을 갖는 표시 장치이다.

[0012] 또한, 본 발명의 일 양태는, 제 1 트랜지스터, 제 2 트랜지스터, 및 한 쌍의 전극을 갖는 발광 소자를 포함하는 화소가 복수 형성된 화소부와, 상기 화소부를 구동하는 구동 회로부와, 상기 구동 회로부를 구동하는 제어신호, 및 상기 화소에 공급하는 화상 신호를 생성하는 신호 생성 회로와, 상기 화상 신호를 프레임 기간별로 기억하는 기억 회로와, 상기 기억 회로에서 상기 프레임 기간별로 기억된 화상 신호 중, 연속하는 프레임 기간의 화상 신호의 차이를 검출하는 비교 회로와, 상기 비교 회로에서 차이를 검출했을 때 상기 연속하는 프레임 기간의 화상 신호를 선택하여 출력하는 선택 회로와, 상기 비교 회로에서 차이를 검출했을 때 상기 제어 신호 및 상기 선택 회로에서 출력되는 화상 신호의 상기 구동 회로부로의 공급을 행하고, 상기 비교 회로에서 차이를 검출하지 않았을 때 상기 제어 신호의 상기 구동 회로부로의 공급을 정지하는 표시 제어 회로를 갖는다. 그리고, 상기 제 1 트랜지스터는, 게이트가 주사선에 전기적으로 접속되고, 소스 또는 드레인의 한쪽이 신호선에 전기적으로 접속되고, 소스 또는 드레인의 다른 한쪽이 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 2 트랜지스터는, 소스 또는 드레인의 한쪽이 전원선에 전기적으로 접속되고, 소스 또는 드레인의 다른 한쪽이 상기 한 쌍의 전극의 한쪽에 전기적으로 접속되고, 상기 제 1 트랜지스터는, 수소 농도가 $5\times10^{19}/cm^3$ 이하인 산화물 반도체층을 갖는 것을 특징으로 하는 표시 장치이다.

[0013] 또한, 본 발명의 일 양태는, 상기 제어 신호가, 고전원 전위, 저전원 전위, 클럭 신호, 스타트 펄스 신호, 또는 리셋 신호인 표시 장치이다.

[0014] 또한, 본 발명의 일 양태는, 상기 화소에 축광층을 추가로 갖는 표시 장치이다.

[0015] 또한, 본 발명의 일 양태는, 상기 산화물 반도체층의 캐리어 농도가 $1\times10^{14}/cm^3$ 미만인 표시 장치이다.

[0016] 또한, 본 발명의 일 양태는, 상기 산화물 반도체층의 밴드갭이 2eV 이상인 표시 장치이다.

[0017] 또한, 본 발명의 일 양태는, 상기 제 2 트랜지스터는, 수소 농도가 $5\times10^{19}/cm^3$ 이하인 산화물 반도체층을 갖는 표시 장치이다.

[0018] 또한, 본 발명의 일 양태는, 상기 제 2 트랜지스터는, 다결정 실리콘층을 갖는 표시 장치이다.

[0019] 또한, 본 발명의 일 양태는, 상기 표시 장치를 구비하는 전자 기기이다.

[0020] 한편, 트랜지스터는, 그 구조상, 소스와 드레인의 구별이 어렵다. 또한, 회로의 동작에 따라서는, 전위의 높고 낮음이 바뀌는 경우도 있다. 따라서, 본 명세서에서는, 소스와 드레인은 특별히 특정하지 않고, 제 1 전극(또는 제 1 단자), 제 2 전극(또는 제 2 단자)로 기술한다. 예를 들어, 제 1 전극이 소스인 경우에는, 제 2 전극은 드레인을 말하고, 반대로 제 1 전극이 드레인인 경우에는, 제 2 전극은 소스를 말한다.

[0021] 한편, 본 명세서에서, '개구율'이란, 단위 면적에 대해, 광이 투광하는 영역의 면적 비율에 대해 나타낸 것이고, 광을 투광하지 않는 부재가 차지하는 영역이 넓어지면 개구율이 저하되고, 광을 투광하는 부재가 차지하는 영역이 넓어지면 개구율이 향상하게 된다. 표시 장치에서는, 화소 전극에 중첩하는 배선, 용량선이 차지하는 면적, 및 트랜지스터의 사이즈를 작게 함으로써 개구율이 향상하게 된다.

[0022] 특히, 발광 소자를 각 화소에 포함하는 자기발광형의 표시 장치에서는, 관찰자가 표시 장치의 표시에 마주하는 위치에서 관찰할 수 있는 발광 소자의 발광 면적이, 화소 면적에서 차지하는 비율을 개구율이라 한다.

[0023] 또한, 본 명세서에서, 'A와 B가 접속되어 있다' 라고 기재하는 경우는, A와 B가 전기적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼운 상태로 접속되어 있는 경우)와, A와 B가 기능적으로 접속되어 있는 경우(즉, A와 B 사이에 다른 회로를 끼운 상태로 기능적으로 접속되어 있는 경우)와, A와 B가 직접 접속되어 있는 경우(즉, A와 B 사이에 다른 소자나 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다.

[0024] 또한, 본 명세서에서 이용하는 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)이라는 용어는, 구성 요소의 혼동을 막기 위해 부여한 것으로, 수적으로 한정하는 것이 아니다. 예를 들어, '제 1 트랜지스터'라고 본 명세서에서 기재하고 있더라도, 다른 구성 요소와 혼동을 일으키지 않는 범위에서 '제 2 트랜지스터'라고 읽을 수도 있다.

발명의 효과

[0025] 본 발명의 일 양태에 따르면, 고순도의 산화물 반도체를 이용한 트랜지스터를 표시 장치의 화소부로 이용함으로써, 오프 전류를 1×10^{-13}A 이하로 저감할 수 있다. 이로 인해, 데이터의 유지 기간을 길게 가질 수 있게 되고, 정지 화상 등을 표시할 때의 소비 전력을 억제할 수 있다.

[0026] 또한, 정지 화상과 동화상을 판정하고, 정지 화상을 표시하는 기간 동안 구동 회로부의 동작을 정지시킴으로써, 표시 장치의 소비 전력을 더욱 억제할 수 있다.

도면의 간단한 설명

[0027] 도 1은, 표시 장치의 구성의 일 예를 나타낸 도면이다.

도 2는, 화소 구성의 일 예를 나타낸 등가 회로도이다.

도 3은, 트랜지스터의 일 예를 나타낸 단면도이다.

도 4는, 화소에 대한 쓰기 기간과 유지 기간의 관계를 나타낸 도면이다.

도 5(A) 내지 도 5(C)는, 화소 구성의 일 예를 나타낸 단면도이다.

도 6(A) 및 도 6(B)는, 발광 표시 패널의 일 예를 나타낸 평면도 및 단면도이다.

도 7은, 표시 장치의 블럭도의 일 예를 나타낸 도면이다.

도 8은, 구동 회로의 일 예를 나타낸 도면이다.

도 9는, 구동 회로의 타이밍 차트를 나타낸 도면이다.

도 10(A) 내지 도 10(C)는, 구동 회로의 일 예를 나타낸 도면이다.

도 11(A) 내지 도 11(D)는, 구동 회로에 공급되는 신호의 공급 및 정지 순서의 일 예를 나타낸 도면이다.

도 12(A) 및 도 12(B)는, 발광 표시 패널의 일 예를 나타낸 평면도 및 단면도이다.

도 13(A) 및 도 12(B)는, 트랜지스터의 일 예를 나타낸 평면도 및 단면도이다.

도 14(A) 내지 도 14(E)는, 트랜지스터의 제작 방법의 일 예를 나타낸 단면도이다.

도 15(A) 내지 도 15(E)는, 트랜지스터의 제작 방법의 일 예를 나타낸 단면도이다.

도 16(A) 내지 도 16(D)는, 트랜지스터의 제작 방법의 일 예를 나타낸 단면도이다.

도 17(A) 내지 도 17(D)는, 트랜지스터의 제작 방법의 일 예를 나타낸 단면도이다.

도 18은, 화소 구성의 일 예를 나타낸 단면도이다.

도 19(A) 내지 도 19(C)는, 전자 기기를 나타낸 도면이다.

도 20은, 전자 기기를 나타낸 도면이다.

도 21은, 산화물 반도체를 이용한 MOS 트랜지스터의 소스-드레인 간 밴드구조를 나타낸 도면이다.

도 22는, 도 19에서 드레인 측으로 플러스 전압이 인가된 상태를 나타낸 도면이다.

도 23(A) 및 도 23(B)는 산화물 반도체를 이용한 MOS 트랜지스터의 MOS 구조의 에너지밴드도이고, (A) 게이트 전압을 플러스로 한 경우, (B) 게이트 전압을 마이너스로 한 경우를 나타낸 도면이다.

도 24는, 실리콘 MOS 트랜지스터의 소스-드레인 간 밴드구조를 나타낸 도면이다.

도 25는, 제작한 트랜지스터의 초기 특성을 나타낸 도면이다.

도 26(A) 및 도 26(B)는, 제작한 트랜지스터를 나타낸 상면도이다.

도 27(A) 및 도 27(B)는, 제작한 트랜지스터의 전기 특성을 나타낸 도면이다.

도 28은, 구동 회로에 공급되는 신호의 공급 및 정지 순서의 일 예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 일 양태에 관한 실시형태에 대해, 도면을 이용하여 자세히 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어나지 않는 한도 내에서 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 실시형태의 기재 내용에 한정하여 해석되어서는 안 된다. 한편, 이하에 설명하는 본 발명의 일 양태에서, 동일한 것을 나타내는 부호는 다른 도면에서도 공통으로 한다.

[0029] 한편, 이하에 설명하는 실시형태 및 실시예의 각각에서, 특별히 언급이 없는 한, 본 명세서에 기재되어 있는 다른 실시형태 및 실시예와 적절히 조합하여 실시하는 것이 가능하다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는, 본 발명의 일 양태인 표시 장치의 일 예에 대해 설명한다. 특히, 표시 장치의 화소부에 형성되는 화소 구성의 일 예에 대해 도 1, 도 2, 도 3, 도 4, 도 5(A) 내지 도 5(C), 도 6(A) 및 도 6(B)를 이용하여 설명한다.

[0033] 도 1은, 본 발명의 일 양태인 표시 장치의 구성의 일 예를 나타낸 도면이다. 도 1에 나타낸 바와 같이, 표시 장치에는, 복수의 화소(201)가 매트릭스 형태로 배치된 화소부(202)가 기판(200) 위에 형성되어 있다. 그리고, 표시 장치는, 복수의 화소(201)를 구동하는 회로로, 주사선 구동 회로(203) 및 신호선 구동 회로(204)를 갖는다. 화소(201)는, 주사선 구동 회로(203)에 전기적으로 접속된 제 1 배선(121)(주사선)에 의해 공급되는 주사 신호에 의해, 각 행 별로 선택 상태인지, 비 선택 상태인지가 결정된다. 또한, 주사 신호에 의해 선택되어 있는 화소(201)는, 신호선 구동 회로(204)에 전기적으로 접속된 제 2 배선(122)(신호선)에 의해, 제 2 배선(122)에서 비디오 전압(영상 신호, 화상 신호, 비디오 신호, 비디오 데이터라고도 한다.)이 공급된다. 또한, 화소(201)에는 한 쌍의 전극을 갖는 발광 소자가 형성되어 있고, 이 발광 소자의 한쪽 전극에는 전위를 공급하기 위한 전원선(123)이 전기적으로 접속되어 있다.

[0034] 한편, 도 1에서는, 주사선 구동 회로(203), 및 신호선 구동 회로(204)가 기판(200) 위에 형성되는 구성에 대해 도시하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 즉, 주사선 구동 회로(203) 또는 신호선 구동 회로(204) 중 어느 한쪽이 기판(200) 위에 형성되는 구성이어도 좋다. 또한, 화소부(202) 만이 기판(200) 위에 형성되는 구성이어도 좋다.

[0035] 또한, 도 1에서는, 복수의 화소(201)가 매트릭스 형태로 배치(스트라이프 배치)되어 있는 예를 나타내고 있으나, 본 발명은 이 구성에 한정되지 않는다. 즉, 화소(201)의 배치 구성으로, 스트라이프 배치뿐만 아니라, 델타 배치, 베이어 배치 등을 채용할 수 있다.

[0036] 또한, 화소부(202)에서의 표시 방식은, 프로그레시브 방식이나 인터레스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소로는, RGB(R은 적, G는 녹, B는 청을 나타낸다.)의 삼색에 한정되지 않는다. 예를 들어, RGBW(W는 백을 나타낸다.), 또는 RGB에, 옐로우, 시안, 마젠타 등을 한가지 색 이상 추가한 것이 있다. 한편, 색 요소의 도트 별로 그 표시 영역의 크기가 달라도 좋다. 단, 본 발명은 컬러 표시의 표시 장치에 한정되는 것이 아니며, 흑백 표시 장치에 적용할 수도 있다.

[0037] 또한, 도 1에서, 제 1 배선(121) 및 제 2 배선(122)의 갯수가, 각각 화소의 행 방향 및 열 방향의 수에 1 대 1로 대응한 것을 나타내고 있으나, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 이웃하는 화소간에, 제 1 배선(121) 또는 제 2 배선(122)을 공유하여 화소(201)를 구동하는 구성으로 하여도 좋다.

[0038] 도 2는, 도 1에서의 화소(201) 구성의 일 예를 나타낸 등가 회로도이다. 한편, 본 발명은 도 2에 나타낸 화소 구성에 한정되는 것은 아니다.

[0039] 화소(6400)에는, 제 1 트랜지스터(이하, 스위칭용 트랜지스터라고 부를 수 있다.)(6401)와, 제 2 트랜지스터(이하, 구동용 트랜지스터라고 부를 수 있다.)(6402)와, 발광 소자(6404)가 형성되어 있다.

[0040] 제 1 트랜지스터(6401)는, 게이트가 주사선(6406)에 전기적으로 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 전기적으로 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 제 2 트랜지스터(6402)의 게이트에 전기적으로 접속되어 있다. 또한, 제 2 트랜지스터(6402)는, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 전원선(6407)에 전기적으로 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 발광 소자(6404)의 제 1 전극(화소전극)에 전기적으로 접속되어 있다. 한편, 발광 소자(6404)의 제 2

전극은 공통 전극(6408)에 상응한다. 또한, 도 2에서는 제 2 트랜지스터(6402)의 게이트와 전원선(6407) 사이에 용량 소자(6410)를 형성하는 구성으로 하였으나, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 제 2 트랜지스터(6402)의 게이트와 제 2 트랜지스터(6402)의 제 2 전극 사이에 용량 소자를 형성하는 구성으로 하여도 좋다.

[0041] 공통 전극(6408)은, 공통 전위선과 전기적으로 접속되고, 저전원 전위가 공급되도록 설정되어 있다. 또한, 전원선(6407)에는 고전원 전위가 공급되도록 설정되어 있다. 한편, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 만족하는 전위이다. 저전원 전위의 구체예로는, GND, 0V를 들 수 있다. 한편, 고전원 전위와 저전원 전위의 전위는, 고전원 전위와 저전원 전위의 전위 차가 적어도 발광 소자(6404)의 순방향 역치 전압 이상이 되도록 각각 설정할 필요가 있다.

[0042] 여기서, 본 실시형태에서는, 산화물 반도체층을 갖는 트랜지스터를 제 1 트랜지스터(6401)로 이용하고 있다. 이때, 제 1 트랜지스터(6401)는 n 채널형 트랜지스터이다. 또한, 제 2 트랜지스터(6402)는, n 채널형 트랜지스터 및 p 채널형 트랜지스터 중 어느 쪽을 이용하여도 좋다. 또한, 제 2 트랜지스터(6402)는, 활성층으로 산화물 반도체층을 이용한 구성으로 하여도 좋으며, 실리콘층을 이용한 구성으로 하여도 좋다. 활성층으로 실리콘층을 이용하는 경우는, 비정질의 실리콘층이어도 좋으나, 다결정의 실리콘층을 이용하는 것이 바람직하다. 본 실시형태에서는, 제 2 트랜지스터(6402)가 n 채널형 트랜지스터이고, 산화물 반도체층을 활성층으로 이용하는 경우에 대해 설명한다.

[0043] 이어서, 화소(6400)에서의 제 1 트랜지스터(6401)의 단면도의 일 예를 도 3에 나타낸다. 도 3에 나타낸 트랜지스터(106)는, 제 1 트랜지스터(6401)에 대응하는 것으로, 보톰 게이트형의 구조이다. 또한, 채널 영역이 되는 산화물 반도체층(103)에 대해 아래측으로 게이트 전극으로 기능하는 제 1 배선(101)을 갖고, 산화물 반도체층(103)을 사이에 끼워 제 1 배선(101)과 반대측에, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)(102A), 및 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)(102B)을 가지므로, 역스태거형의 트랜지스터라고도 불린다.

[0044] 기판(111) 위에는, 하지막(112)을 통해 제 1 배선(101)이 형성되어 있다. 제 1 배선(101)은, 트랜지스터(106)의 게이트로 기능한다. 그리고, 제 1 배선(101)은, 주사선 구동 회로와 전기적으로 접속되는 주사선 그 자체이어도 좋으며, 주사선과 전기적으로 접속되어 있는 배선이어도 좋다.

[0045] 또한, 제 1 배선(101)을 덮도록 게이트 절연막(113)이 형성되어 있다. 그리고, 게이트 절연막(113) 위에는 산화물 반도체층(103)이 형성되어 있다. 그리고, 산화물 반도체층(103) 위에는, 제 1 전극(102A), 및 제 2 전극(102B)이 형성되어 있다. 제 1 전극(102A), 및 제 2 전극(102B)은, 산화물 반도체층(103)에 전기적으로 접속되어 있고, 한쪽이 소스 전극으로 기능하고, 다른 한쪽이 드레인 전극으로 기능한다. 한편, 제 1 전극(102A)은, 신호선 구동 회로와 전기적으로 접속되는 신호선 그 자체이어도 좋으며, 신호선과 전기적으로 접속되어 있는 배선이어도 좋다.

[0046] 또한, 산화물 반도체층(103), 제 1 전극(102A), 및 제 2 전극(102B) 위에는, 패시베이션막으로 기능하는 산화물 절연층(114)이 형성되어 있다. 산화물 절연층(114)에는 개구부가 형성되어 있고, 이 개구부에서 제 4 배선(105)과 제 2 전극(102B)이 전기적으로 접속되어 있다. 한편, 이 제 4 배선(105)은, 제 2 트랜지스터의 게이트에 전기적으로 접속되어 있다.

[0047] 이어서, 산화물 반도체층(103)에 대해 설명한다.

[0048] 본 실시형태에서 이용하는 산화물 반도체층(103)은, 산화물 반도체를 이용한 트랜지스터의 전기 특성에 악영향을 주는 불순물이 매우 적은 레벨까지 저감된 것으로, 고순도화된 것이다. 전기 특성에 악영향을 주는 불순물의 대표적인 예로는, 수소를 들 수 있다. 수소는, 산화물 반도체 중에서 전자의 공여체(도너)가 될 수 있는 불순물이고, 산화물 반도체 중에 수소가 다량으로 포함되어 있으면, 산화물 반도체가 N형화되게 된다. 이와 같이 수소가 다량으로 포함된 산화물 반도체를 이용한 트랜지스터는, 노멀리 온 되게 된다. 그리고, 트랜지스터의 온·오프 비를 충분히 가질 수 없게 된다. 따라서, 본 명세서에서의 '고순도의 산화물 반도체'는 산화물 반도체에서의 수소가 최대한 저감되어 있는 것으로, 진성 또는 실질적으로 진성인 반도체를 말한다. 고순도의 산화물 반도체의 일 예로는, 함유하는 수소 농도가 적어도 $5\times10^{19}/cm^3$ 이하로, 바람직하게는 $5\times10^{18}/cm^3$ 이하, 더욱 바람직하게는 $5\times10^{17}/cm^3$ 이하, 또는 $1\times10^{16}/cm^3$ 미만인 산화물 반도체이다. 그리고, 캐리어 농도가, $1\times10^{14}/cm^3$ 미만, 바람직하게는 $1\times10^{12}/cm^3$ 미만, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 미만, 또는 $6.0\times10^{10}/cm^3$ 미만인 산화물 반도체막을 채널 형성 영역에 이용하여 트랜지스터를 구성한다. 한편, 산화물 반도체층 중의 수소 농도

측정은, 이차이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 행하면 된다.

[0049] 또한, 산화물 반도체층(103)의 에너지갭는, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다.

[0050] 이와 같이, 산화물 반도체층에 포함되는 수소를 철저히 제거함으로써 얻어지는 고순도의 산화물 반도체층을 트랜지스터의 채널 형성 영역으로 이용함으로써, 오프 전류 값이 매우 작은 트랜지스터를 제공할 수 있다.

[0051] 예를 들어, 고순도의 산화물 반도체층을 이용한 트랜지스터의 채널 길이가 3㎛, 채널 폭이 10㎜인 경우에도, 드레인 전압이 1V 및 10V인 경우에서, 게이트 전압이 -5V에서 -20V인 범위(오프 상태)에서, 드레인 전류는 1×10^{-13}A 이하가 되도록 작용한다.

[0052] 여기서, 고순도의 산화물 반도체층을 이용한 트랜지스터의 특성에 대해, 도 21 내지 도 27을 이용하여 설명한다. 한편, 이하의 설명에서는, 이해를 쉽게 하기 위해 이상적인 상황을 가정하고 있으며, 모든 것이 현실의 모양을 반영하고 있다고는 할 수 없다. 또한, 이하의 설명은 어디까지나 하나의 고찰에 지나지 않으며, 발명의 유효성에 영향을 주는 것이 아님을 명시한다.

[0053] 도 21은, 고순도의 산화물 반도체층을 이용한 트랜지스터의 소스-드레인 간 밴드 구조를 나타낸 도면이다. 고순도화가 얻어진 산화물 반도체의 페르미 준위는, 이상적인 상태에서는 금제대의 중앙에 위치하고 있다. 수소 농도를 감소시킨 산화물 반도체에서는 소수 캐리어(이 경우는 정공)가 0(zero) 또는 무한대로 0에 가까운 상태로 되어 있다.

[0054] 이 경우, 일함수를 Φ_m, 산화물 반도체의 전자 친화력을 χ, 산화물 반도체의 열평형 상태에서의 캐리어 밀도(전자 밀도)를 N_d, 산화물 반도체의 전도대에서의 실효 상태 밀도를 N_c로 하면, 금속-산화물 반도체의 접합면에서 밴드 구조가 플랫이 되기 위한 조건은, $\Phi_m=\chi-V_t\ln(N_d/N_c)$가 된다.

[0055] 여기서, $V_t=k_bT/q$이고, k_b:볼츠만 상수, T:온도, q:소전하이다. 이 등식 $\Phi_m=\chi-V_t\ln(N_d/N_c)$을 경계로, 우변이 큰 경우는 오믹 접촉이 된다. 여기서, $\Phi_m=\chi$이면, 접합면에서 전극 메탈의 페르미 레벨과 산화물 반도체의 전도대의 레벨이 일치한다. 산화물 반도체는, 밴드갭 3.05eV, 전자 친화력 4.3eV, 진성 상태(캐리어 밀도 약 $1\times10^{-7}/cm^3$)이라고 가정하고, 소스 전극 및 드레인 전극으로 일함수 4.3eV의 티탄(Ti)을 이용했을 때에는, 도 21에 나타낸 바와 같이 전자에 대해 격벽은 형성되지 않는다.

[0056] 도 22는 산화물 반도체를 이용한 트랜지스터에서, 드레인 측으로 플러스 전압이 인가된 상태를 나타낸 도면이다. 산화물 반도체는 밴드갭이 크므로, 고순도화되고 진성 또는 실질적으로 진성인 산화물 반도체의 진성 캐리어 밀도는 0 또는 무한대로 0에 가까운 상태이나, 게이트에 플러스 전압을 인가하고, 또한, 소스-드레인 간에 전압이 인가되면, 소스 측에서 캐리어(전자)가 주입되고, 드레인 측으로 흐를 수 있는 것을 이해할 수 있다.

[0057] 도 23(A)는 게이트 전압을 플러스로 했을 때의 MOS 구조의 에너지밴드도이고, 산화물 반도체를 이용한 트랜지스터에서의 것을 나타내고 있다. 한편, 도면에서 GE는 게이트 전극을 나타내고, GI는 게이트 절연막을 나타내고, OS는 산화물 반도체를 나타낸다. 이 경우, 고순도화된 산화물 반도체에는 열여기 캐리어가 거의 존재하지 않는다는 점에서, 게이트 절연막 부근에도 캐리어는 축적되지 않는다. 그러나, 도 22에 나타낸 바와 같이, 소스 측에서 주입된 캐리어가 전파될 수는 있다.

[0058] 도 23(B)는, 게이트 전압을 마이너스로 했을 때의 MOS 구조의 에너지밴드도이고, 산화물 반도체를 이용한 트랜지스터에서의 것을 나타내고 있다. 산화물 반도체 중의 소수 캐리어(정공)는 실질적으로 0이므로, 소스-드레인 간 전류는 무한대로 0에 가까운 값이 된다.

[0059] 한편, 도 24에 실리콘 반도체를 이용한 경우의 트랜지스터의 밴드도를 나타낸다. 실리콘 반도체의 진성 캐리어 밀도는 $1.45\times10^{10}/cm^3$(300K)이고, 실온에서도 캐리어가 존재하고 있다. 이는, 실온에서도, 열여기 캐리어가 존재하고 있다는 것을 의미한다. 실용적으로는 인 또는 보론 등의 불순물이 첨가된 실리콘 웨이퍼가 사용되므로, 실제로는 $1\times10^{14}/cm^3$ 이상의 캐리어가 실리콘 반도체에 존재하고, 이것이 소스-드레인 간 전도에 기여한다. 나아가, 실리콘 반도체의 밴드갭은 1.12eV이므로, 실리콘 반도체를 이용한 트랜지스터는 온도에 의존하여 오프 전류가 크게 변동하게 된다.

[0060] 이와 같이, 단순히, 밴드갭이 넓은 산화물 반도체를 트랜지스터에 적용하는 것이 아니라, 도너를 형성하는 수소 등의 불순물을 최대한 저감하고, 캐리어 농도를 $1\times10^{14}/cm^3$ 미만, 바람직하게는 $1\times10^{12}/cm^3$ 미만, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 미만, 또는 $6.0\times10^{10}/cm^3$ 미만이 되도록 함으로써, 실용적인 동작 온도에서 열적으로 여기되는 캐리어를 배제하여, 소스 측에서 주입되는 캐리어만에 의해 트랜지스터를 동작시킬 수 있다. 이에 의해, 오프 전류를 $1\times10^{-13}A$ 이하까지 낮춤과 동시에, 온도 변화에 의해 오프 전류가 거의 변화하지 않는 매우 안정적으로 동작하는 트랜지스터를 얻을 수 있다.

[0061] 이어서, 평가용 소자(TEG라고도 한다)에서의 오프 전류의 측정치에 대해 이하에 설명한다.

[0062] L/W=3㎛/50㎛의 트랜지스터를 200개 병렬로 접속하고, L/W=3㎛/10000㎛의 트랜지스터의 초기 특성을 도 25에 나타낸다. 여기에서는, Vg를 -20V~+5V까지의 범위로 나타내고 있다. 또한, 상면도를 도 26(A)에 나타내고, 그 일부를 확대한 상면도를 도 26(B)에 나타낸다. 도 26(B)의 점선으로 둘러싼 영역이 L/W=3㎛/50㎛, Lov=1.5㎛의 1단 분의 트랜지스터이다. 트랜지스터의 초기 특성을 측정하기 위해, 기판 온도를 실온으로 하고, 소스-드레인 간 전압(이하, 드레인 전압 또는 Vd라 한다.)을 10V로 하고, 소스-게이트 간 전압(이하, 게이트 전압 또는 Vg라 한다.)을 -20V~+20V까지 변화시켰을 때의 소스-드레인 전류(이하, 드레인 전류 또는 Id라 한다.)의 변화 특성, 즉 Vg-Id 특성을 측정하였다.

[0063] 도 25에 나타낸 바와 같이, 채널 폭(W)이 10000㎛인 트랜지스터는, Vd가 1V 및 10V에서 오프 전류는 1×10^{-13}[A] 이하로 되어 있고, 측정기(반도체 파라메터·아날라이저, Agilent 4156C; Agilent사 제조)의 분해능(100fA) 이하로 되어 있다.

[0064] 이어서, 측정한 트랜지스터의 제작 방법에 대해 설명한다.

[0065] 우선, 유리 기판 위에 하지층으로, CVD법에 의해 질화 규소층을 형성하고, 질화 규소층 위에 산화질화 규소층을 형성하였다. 산화질화 규소층 위에 게이트 전극으로 스퍼터링법에 의해 텅스텐층을 형성하였다. 여기서, 텅스텐층을 선택적으로 에칭하여 게이트 전극을 형성하였다.

[0066] 이어서, 게이트 전극 위에 게이트 절연층으로 CVD법에 의해 두께 100nm의 산화질화 규소층을 형성하였다.

[0067] 이어서, 게이트 절연층 위에, 스퍼터링법에 의해 In-Ga-Zn-O계의 금속 산화물 타겟(몰수비로, In_2O_3:Ga_2O_3:ZnO=1:1:2)을 이용하여, 두께 50nm의 산화물 반도체층을 형성하였다. 그리고, 산화물 반도체층을 선택적으로 에칭하여, 섬 모양의 산화물 반도체층을 형성하였다.

[0068] 이어서, 산화물 반도체층을 클린 오븐에서 질소 분위기 하, 450℃, 1시간의 제 1 열처리를 하였다.

[0069] 이어서, 산화물 반도체층 위에 소스 전극 및 드레인 전극으로 티탄층(두께 150nm)을 스퍼터링법에 의해 형성하였다. 여기서, 소스 전극 및 드레인 전극을 선택적으로 에칭하고, 1개의 트랜지스터의 채널 길이(L)가 3㎛, 채널 폭(W)이 50㎛로 하고, 200개를 병렬로 함으로써, L/W=3㎛/10000㎛가 되도록 하였다.

[0070] 이어서, 산화물 반도체층에 접하도록 보호 절연층으로 리액티브 스퍼터링법에 의해 산화 규소층을 막후 300nm로 형성하였다. 여기서, 보호 절연층인 산화 규소층을 선택적으로 에칭하고, 게이트 전극, 소스 전극 및 드레인 전극 위에 개구부를 형성하였다. 그 후, 질소 분위기 하, 250℃에서 1시간, 제 2 열처리를 하였다.

[0071] 그리고, Vg-Id 특성을 측정하기 전에 150℃, 10시간의 가열을 하였다.

[0072] 이상의 공정에 의해, 보톰 게이트형의 트랜지스터를 제작하였다.

[0073] 도 25에 나타낸 바와 같이, 트랜지스터의 오프 전류가, 1×10^{-13}[A] 정도인 것은, 상기 제작 공정에서 산화물 반도체층 중에서의 수소 농도를 충분히 저감할 수 있었기 때문이다. 산화물 반도체층 중의 수소 농도는, $5\times10^{19}atoms/cm^3$ 이하, 바람직하게는 $5\times10^{18}atoms/cm^3$ 이하, 더욱 바람직하게는 $5\times10^{17}/cm^3$ 이하, 또는 $1\times10^{16}atoms/cm^3$ 미만으로 한다. 한편, 산화물 반도체층 중의 수소 농도 측정은, 이차이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 행한다.

[0074] 또한, In-Ga-Zn-O계의 산화물 반도체를 이용하는 예를 도시하였으나, 특별히 한정되지 않으며, 다른 산화물 반도체 재료, 예를 들어, In-Sn-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, In-Sn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계 등을 이용할 수 있다. 또한, 산화물 반도체 재료로, AlO_x를

2.5~10wt% 혼입한 In-Al-Zn-O계나, Si를 2.5~10wt% 혼입한 In-Zn-O계를 이용할 수도 있다.

[0075] 또한, 캐리어 측정기로 측정되는 산화물 반도체층의 캐리어 농도는, $1\times10^{14}/cm^3$ 미만, 바람직하게는 $1\times10^{12}/cm^3$ 미만, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 미만, 또는 $6.0\times10^{10}/cm^3$ 미만이다. 즉, 산화물 반도체층의 캐리어 농도는, 무한대로 0에 가깝게 할 수 있다. 한편, 캐리어 농도의 측정 방법의 구체예로는, MOS 캐패시터를 제작하고, 상기 MOS 캐패시터의 CV 측정의 결과(CV 특성)를 평가함으로써 구하는 방법을 들 수 있다.

[0076] 또한, 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 할 수도 있다. 이 경우, 회로의 동작 속도를 고속화할 수 있고, 오프 전류 값이 매우 작으므로, 더욱 저소비 전력화를 도모할 수 있다.

[0077] 한편, 트랜지스터의 오프 상태에서, 산화물 반도체층은 절연체로 간주하여 회로 설계를 할 수 있다.

[0078] 이어서, 본 실시형태에서 제작한 트랜지스터에 대해 오프 전류의 온도 특성을 평가하였다. 온도 특성은, 트랜지스터가 사용되는 최종 제품의 내환경성이나, 성능의 유지 등을 고려하였을 때 중요하다. 당연히, 변화량이 작을수록 바람직하며, 제품 설계의 자유도가 늘어난다.

[0079] 온도 특성은, 항온조를 이용하여, -30, 0, 25, 40, 60, 80, 100, 및 120℃의 각각의 온도에서 트랜지스터를 형성한 기판을 일정 온도로 하고, 드레인 전압을 6V, 게이트 전압을 -20V~+20V까지 변화시켜 Vg-Id 특성을 취득하였다.

[0080] 도 27(A)에 나타낸 것은, 상기 각각의 온도에서 측정한 Vg-Id 특성을 중복 기재한 것으로, 점선으로 둘러싼 오프 전류의 영역을 확대한 것을 도 27(B)에 나타낸다. 도에서 화살표로 나타낸 우단의 곡선이 -30℃, 좌단이 120℃에서 취득한 곡선으로, 다른 온도에서 취득한 곡선은, 그 사이에 위치한다. 온 전류의 온도 의존성은 거의 볼 수 없다. 한편, 오프 전류는 확대도인 도 27(B)에서도 알 수 있듯이, 게이트 전압이 -20V 부근을 제외하고, 모든 온도에서 측정기의 분해능 근방의 1×10^{-12}[A] 이하로 되어 있고, 온도 의존성도 보이지 않는다. 즉, 120℃의 고온에서도, 오프 전류가 1×10^{-12}[A] 이하를 유지하고 있으며, 채널 폭(W)이 10000㎛인 것을 고려하면, 1×10^{-16}[A/㎛] 이하가 되고, 오프 전류가 매우 작은 것을 알 수 있다.

[0081] 고순도화의 산화물 반도체(purified OS)를 이용한 트랜지스터는, 오프 전류의 온도 의존성이 거의 나타나지 않는다. 이는, 도 21의 밴드도에 나타낸 바와 같이, 산화물 반도체가 고순도화됨으로써, 도전형이 무한대로 진성형에 가까워지고, 페르미 준위가 금제대의 중앙에 위치하므로, 온도 의존성을 나타내지 않게 된다고 할 수 있다. 또한, 이는, 산화물 반도체의 에너지갭이 3eV 이상이고, 열여기 캐리어가 매우 적은 것에도 기인한다. 또한, 소스 영역 및 드레인 영역은 축퇴한 상태에 있으므로 역시 온도 의존성이 나타나지 않는 요인이 된다. 트랜지스터의 동작은, 축퇴한 소스 영역에서 산화물 반도체에 주입된 캐리어에 의한 것이 대부분이고, 캐리어 밀도의 온도 의존성이 없다는 점에서 상기 특성(오프 전류의 온도 의존성 없음)을 설명할 수 있다.

[0082] 이상과 같이, 트랜지스터의 채널 폭(W)이 1×10^4㎛이고, 채널 길이가 3㎛인 소자라도, 오프 전류가 10^{-13}A 이하이고, 서브스레숄드 스윙값(S값, subthreshold swing)이 0.1V/dec.(게이트 절연막후 100nm)라는 우수한 전기 특성을 얻을 수 있다. 이와 같이, 산화물 반도체 중의 불순물이 최대한 포함되지 않도록 고순도화함으로써, 트랜지스터의 동작을 양호한 것으로 할 수 있다. 즉, 상술한 산화물 반도체층을 구비하는 트랜지스터는, 채널 폭 1㎛ 당 오프 전류를 10aA/㎛(1×10^{-17}A/㎛)이하, 나아가 1aA/㎛(1×10^{-18}A/㎛) 이하로 하는 것이 가능하다. 그리고, 오프 상태에서의 전류값(오프 전류값)이 매우 작은 트랜지스터를 제 1 트랜지스터(6401)로 이용함으로써, 영상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있다. 예를 들어, 쓰기 간격은 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상 10분 미만으로 한다. 쓰기 간격을 길게 함으로써, 소비 전력을 억제하는 효과를 높일 수 있다.

[0083] 한편, 예를 들어 저온 폴리 실리콘을 구비하는 트랜지스터에서는, 오프 전류가 1×10^{-12}A/㎛ 상당인 것으로 추정하여 설계 등을 행하도록 되어 있다. 이로 인해, 산화물 반도체를 갖는 트랜지스터에서는, 저온 폴리 실리콘을 구비하는 트랜지스터에 비해, 유지 용량이 동등(0.1pF 정도)할 때, 전압의 유지 기간을 10^5배 정도 연장할 수 있다. 또한, 아몰퍼스 실리콘을 구비하는 트랜지스터의 경우, 채널 폭 1㎛ 당 오프 전류는, 1×10^{-13}A/㎛ 이상이다. 따라서, 유지 용량이 동등(0.1pF정도)할 때, 고순도의 산화물 반도체를 이용한 트랜지스터가 아몰퍼스 실리콘을 이용한 트랜지스터에 비해, 전압의 유지 기간을 10^4배 이상 연장할 수 있다.

[0084] 일 예로, 저온 폴리 실리콘을 이용한 트랜지스터를 갖는 화소에서는, 표시를 60프레임/초(1 프레임 당 16msec)로 행하고 있다. 이는 정지화인 경우도 동일하며, 레이트(rate)를 저하시키면(쓰기 간격을 늘림), 화소의 전압이 저하되어 표시에 지장을 주기 때문이다. 한편, 상술한 산화물 반도체층을 구비하는 트랜지스터를 이용한 경우, 오프 전류가 작으므로, 1회의 신호 쓰기에 의한 유지 기간을 10^5배인 1600초 정도로 할 수 있다. 그리고, 적은 화상 신호의 쓰기 횟수에서도, 표시부에서의 정지화 표시를 행할 수 있다. 유지 기간을 길게 가질 수 있으므로, 특히 정지화 표시를 할 때, 신호의 쓰기를 행하는 빈도를 저감할 수 있다. 예를 들어, 하나의 정지 화상의 표시 기간(1600초 정도의 기간)에 화소에 쓰는 횟수는, 저온 폴리 실리콘을 구비한 트랜지스터를 이용한 경우, 10^5회 정도 필요한데 반해, 상술한 산화물 반도체층을 구비하는 트랜지스터를 이용한 경우, 1회로 할 수도 있다.

[0085] 도 4에서는, 표시부로의 쓰기 기간과 유지 기간(1 프레임 기간이라고도 한다)의 관계에 대해 나타내고 있다. 도 4에서, 기간(251, 252)이 유지 기간에 상응하고, 기간(261, 262)이 표시부로의 쓰기 기간에 상응한다. 상술한 고순도의 산화물 반도체층을 구비하는 트랜지스터는, 유지 기간을 길게 가질 수 있으므로, 특히 정지화 표시를 행할 때, 화소로의 쓰기 횟수를 현저히 저감할 수 있다. 이로 인해, 표시의 전환이 적은 정지화 등의 표시에서는, 저소비 전력화를 도모할 수 있다.

[0086] 한편, 정지화 표시에서, 유지 기간 중의 구동용 트랜지스터의 게이트에 인가되어 있는 전압의 유지율을 고려하여, 적절히 리프레쉬 동작을 하여도 좋다. 예를 들어, 구동용 트랜지스터의 게이트에 신호를 쓴 직후에서의 전압의 값(초기값)에 대해 소정의 레벨까지 전압이 낮아진 타이밍에서 리프레쉬 동작을 하면 된다. 소정의 레벨로 하는 전압은, 초기값에 대해 깜빡임(flicker)을 느끼지 않을 정도로 설정하는 것이 바람직하다. 구체적으로는, 표시 대상이 영상인 경우, 초기값에 대해 1.0% 낮은 상태, 바람직하게는 0.3% 낮은 상태가 될 때마다, 리프레쉬 동작(다시 쓰기)을 하는 것이 바람직하다. 또한, 표시 대상이 문자인 경우, 초기값에 대해 10% 낮은 상태, 바람직하게는 3% 낮은 상태가 될 때마다, 리프레쉬 동작(다시 쓰기)을 하는 것이 바람직하다.

[0087] 이어서, 발광 소자(6404)의 구동 방법의 일 예로, 아날로그 계조 구동을 하는 방법을 설명한다. 제 2 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순 방향 전압+제 2 트랜지스터(6402)의 Vth 이상의 전압을 가한다. 여기서, 발광 소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 말하고, 적어도 순방향 역치 전압을 포함한다. 예를 들어, 제 2 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호(영상 신호)를 입력함으로써, 발광 소자(6404)에 전류를 흘려 보낼 수 있다. 한편, 제 2 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서는, 전원선(6407)의 전위를 제 2 트랜지스터(6402)의 게이트 전위보다 높게 하는 것이 좋다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흐르게 하고, 아날로그 계조 구동을 행할 수 있다.

[0088] 또한, 전압 입력 전압 구동 방식에 의하면, 복수의 화소를 이용한 면적 계조 표시나, 발광색이 다른 복수의 화소(예를 들어 R, G, B)의 조합에 의한 색 표현, (예를 들어, R+G, G+B, R+B, R+G+B) 등이 가능하다. 전압 입력 전압 구동 방식의 경우에는, 제 2 트랜지스터(6402)의 게이트에는, 제 2 트랜지스터(6402)가 충분히 온이 되거나, 오프가 되는 2개의 상태가 되도록 신호를 입력한다. 즉, 제 2 트랜지스터(6402)는 선형 영역에서 동작시킨다. 한편, 제 2 트랜지스터(6402)를 선형 영역에서 동작시키기 위해서는, 전원선(6407)의 전압을 제 2 트랜지스터(6402)의 게이트 전위보다 낮게 하는 것이 좋다. 구체적으로는, 전원선의 전위에 제 2 트랜지스터(6402)의 역치 전압을 가한 값 이상의 전위를 공급하는 전압 신호를 신호선(6405)에 입력하면 된다.

[0089] 한편, 발광 소자(6404)를 아날로그 계조 구동하는 경우도, 전압 입력 전압 구동하는 경우도, 스위칭용 트랜지스터(6401)의 오프 전류가 예를 들어 1×10^{-16}A 이하로 억제되어 있으므로, 제 2 트랜지스터(6402)의 게이트 전위의 유지 기간이 길다. 따라서, 적은 화상 신호의 쓰기 횟수에서도, 표시부에서의 정지화의 표시를 행할 수 있다. 신호의 쓰기를 하는 빈도를 저감할 수 있으므로, 저소비 전력화를 도모할 수 있다. 또한, 도 2에 나타낸 화소 구성은, 이에 한정되지 않는다. 예를 들어, 도 2에 나타낸 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.

[0090] 특히, 발광 소자의 일 예로, 일렉트로 루미네센스를 이용하는 발광 소자를 들 수 있다. 일렉트로 루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자로 불린다.

[0091] 유기 EL 소자는, 한 쌍의 전극(양극 및 음극)과, 한 쌍의 전극 사이에 형성된 유기 화합물을 포함하는 층을 갖는다. 양극 전위를 음극의 전위보다 높게 하여, 유기 화합물을 포함하는 층에 양극에서 정공을, 음극에서 전자

를 주입한다. 전자 및 정공(캐리어)이 유기 화합물을 포함하는 층에서 재결합할 때 발광한다.

[0092] 무기 EL 소자는, 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층 사이에 끼우고, 나아가 이를 전극 사이에 끼운 구조이고, 발광 메커니즘은 금속이온의 내각 전자 천이를 이용하는 국재형 발광이다.

[0093] 한편, 본 실시형태에서는, 발광 소자로 유기 EL 소자를 이용하여 설명하지만, 본 발명은 이 구성에 한정되는 것은 아니다. 즉, 본 발명은 발광 소자로 무기 EL 소자를 이용하는 것도 가능하다.

[0094] 이어서, 발광 소자를 갖는 표시 장치의 단면 구조에 대해 도 5를 이용하여 설명한다. 한편, 도 5(A), 도 5(B), 도 5(C)에 예시된 구동용 트랜지스터(7001, 7011, 7021)는, 고순도의 산화물 반도체층을 이용한 트랜지스터이어도 좋으며, 실리콘층을 이용한 트랜지스터로 하여도 좋다. 본 실시형태에서는, 구동용 트랜지스터(7001, 7011, 7021)의 활성층으로 고순도의 산화물 반도체층을 이용한 경우에 대해 설명한다.

[0095] 본 실시형태에서 예시하는 발광 소자는, 한 쌍의 전극(제 1 전극 및 제 2 전극) 사이에 EL층(일렉트로 루미네센스층)이 끼워진 구성을 갖는다. 제 1 전극 및 제 2 전극은, 한쪽이 양극으로 기능하고, 다른 한쪽이 음극으로 기능한다.

[0096] 양극으로 이용하는 재료는, 일함수가 큰(구체적으로는 4.0eV 이상) 금속, 합금, 도전성 화합물, 또는 이들의 혼합물 등이 바람직하다. 구체적으로는, 산화 인듐-산화 주석(ITO: Indium Tin Oxide), 규소 또는 산화 규소를 함유한 산화 인듐-산화 주석, 산화 인듐- 산화 아연(IZO: Indium Zinc Oxide), 산화 텅스텐 및 산화 아연을 함유한 산화 인듐(IWZO) 등을 들 수 있다. 이 외에, 금(Au), 백금(Pt), 니켈(Ni), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 파라듐(Pd), 또는 금속 재료의 질화물(예를 들어, 질화 티탄) 등을 들 수 있다.

[0097] 음극으로 이용하는 재료는, 일함수가 작은(구체적으로는 3.8eV 이하) 금속, 합금, 전기 전도성 화합물, 또는 이들의 혼합물 등이 바람직하다. 구체적으로는, 원소 주기표의 제 1 족 또는 제 2 족에 속하는 원소, 즉 리튬(Li)이나 세슘(Cs) 등의 알칼리 금속, 마그네슘(Mg), 칼슘(Ca), 스트론튬(Sr) 등의 알칼리토류 금속을 들 수 있다. 또한, 알칼리 금속 또는 알칼리토류 금속을 포함하는 합금(예를 들어 MgAg, AlLi)을 이용할 수도 있다. 또한, 유로퓸(Eu), 이테르븀(Yb) 등의 희토류 금속, 또는 희토류 금속을 포함하는 합금을 이용할 수도 있다. 또한, EL층의 일부로, 제 2 전극에 접하는 전자 주입층을 형성하는 경우, 일함수의 대소에 관계없이, Al, Ag, ITO 등의 다양한 도전성 재료를 제 2 전극으로 이용할 수 있다. 이들 도전성 재료는, 스퍼터링법이나 잉크젯법, 스핀코팅법 등을 이용하여 성막할 수 있다.

[0098] EL층은, 단층 구조로 구성되는 것도 가능하나, 통상은 적층 구조로 구성된다. EL층의 적층 구조에 대해서는 특별히 한정되지 않으며, 전자 수송성이 높은 물질을 포함하는 층(전자 수송층) 또는 정공 수송성이 높은 물질을 포함하는 층(정공 수송층), 전자 주입성이 높은 물질을 포함하는 층(전자 주입층), 정공 주입성이 높은 물질을 포함하는 층(정공 주입층), 바이폴라성(전자 및 정공의 수송성이 높은 물질)의 물질을 포함하는 층, 발광 물질을 포함하는 층(발광층) 등을 적절히 조합하여 구성하면 된다. 예를 들어, 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등을 적절히 조합하여 구성할 수 있다. 또한, 전하 발생층으로 기능하는 중간층에 의해 나누어진 복수의 EL층을, 제 1 전극과 제 2 전극 사이에 형성한 구성이어도 좋다.

[0099] 또한, 발광 소자에서 광을 추출하기 위해, 제 1 전극 또는 제 2 전극의 적어도 한쪽을, 투광성을 갖는 도전막으로 형성한다. 기판 위에 형성된 발광 소자가 발하는 광을 추출하는 방향에 따라 발광 소자를 분류하면, 기판의 발광 소자가 형성된 측의 면에서 추출되는 상면 사출, 기판의 발광 소자가 형성된 측과 반대되는 측의 면에서 추출하는 하면 사출, 기판의 발광 소자가 형성된 측의 면 및 그 반대측 면의 양방에서 추출하는 양면 사출의 3개의 대표적인 구조의 발광 소자가 있다. 본 발명은, 어느 사출 구조의 발광 소자도 적용할 수 있다.

[0100] 또한, 제 1 전극 위에 EL층을 적층하는 경우, 제 1 전극의 주연부를 격벽으로 덮는다. 격벽은, 예를 들어 폴리이미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성하면 되는데, 예를 들어 감광성 수지 재료를 이용하여 격벽을 형성하는 것이 바람직하다. 감광성 수지 재료를 이용한 경우는, 격벽의 개구부의 측벽이 연속한 곡률을 가진 경사면이 되어, 레지스트 마스크를 형성하는 공정을 삭감할 수 있다.

[0101] 한편, 기판과 발광 소자 사이에 컬러 필터를 형성할 수도 있다. 컬러 필터는 잉크젯법 등의 액적 토출법이나,

인쇄법, 포토리소 그래피 기술을 이용한 에칭 방법 등으로 각각 형성하면 된다.

[0102] 또한, 컬러 필터 위에 오버코트층을 형성하고, 나아가 보호 절연층을 형성하는 것이 좋다. 오버코트층을 형성하면, 컬러 필터에 기인하는 요철을 평탄하게 할 수 있다. 보호 절연막을 형성하면, 불순물이 컬러 필터에서 발광 소자로 확산되는 현상을 방지할 수 있다.

[0103] 한편, 트랜지스터 위의 보호 절연층, 오버코트층 및 절연층 위에 발광 소자를 형성하는 경우, 보호 절연층, 오버코트층 및 절연층을 관통하고, 트랜지스터의 소스 전극 또는 드레인 전극에 달하는 콘택트홀을 형성한다. 특히, 이 콘택트홀을 상술한 격벽과 겹치는 위치에 레이아웃하여 형성하면, 개구율의 저감을 억제할 수 있으므로 바람직하다.

[0104] 이어서, 하면 사출 구조의 발광 소자를 갖는 화소 구성의 일 예에 대해 설명한다. 화소에 형성한 구동용 트랜지스터(7011)와, 발광 소자(7012)를 포함하는 절단면의 단면도를 도 5(A)에 나타낸다.

[0105] 구동용 트랜지스터(7011)는, 기판 위에, 절연층, 산화물 반도체층, 소스 전극 및 드레인 전극, 게이트 절연층, 게이트 전극을 갖고, 소스 전극 및 드레인 전극에 각각 배선층이 전기적으로 접속하여 형성되어 있다.

[0106] 또한, 구동용 트랜지스터(7011)를 덮도록 절연층(7031)이 형성되고, 절연층(7031) 위에 개구부를 갖는 컬러 필터(7033)가 형성되어 있다. 투광성을 갖는 도전막(7017)은, 컬러 필터(7033)를 덮도록 형성된 오버코트층(7034) 및 보호 절연층(7035) 위에 형성되어 있다. 한편, 구동용 트랜지스터(7011)의 드레인 전극과 도전막(7017)은, 오버코트층(7034), 보호 절연층(7035), 및 절연층(7031)에 형성된 개구부를 통하여 전기적으로 접속되어 있다. 한편, 도전막(7017) 위에 발광 소자(7012)의 제 1 전극(7013)이 접하여 형성되어 있다.

[0107] 발광 소자(7012)는, EL층(7014)을 제 1 전극(7013)과 제 2 전극(7015) 사이에 끼워진 상태로 갖는다.

[0108] 투광성을 갖는 도전막(7017)으로는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라 한다.), 인듐아연 산화물, 산화 규소를 첨가한 인듐주석 산화물 등으로 이루어진 막을 이용할 수 있다.

[0109] 여기에서는, 발광 소자(7012)의 제 1 전극(7013)을 음극으로 이용하는 경우에 대해 설명한다. 제 1 전극(7013)을 음극으로 이용하는 경우는 일함수가 작은 금속이 적합하다. 도 5(A)에서는, 제 1 전극(7013)의 막후는, 광을 투광하는 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들어 20nm의 막후를 갖는 알루미늄막 또는 Mg-Ag 합금막을 제 1 전극(7013)으로 이용한다.

[0110] 한편, 투광성을 갖는 도전막과 알루미늄막을 적층 성막 한 후, 선택적으로 에칭하여 투광성을 갖는 도전막(7017)과 제 1 전극(7013)을 형성하여도 좋으며, 이 경우, 동일한 마스크를 이용하여 에칭할 수 있어 바람직하다.

[0111] 또한, EL층(7014) 위에 형성하는 제 2 전극(7015)으로는, 일함수가 큰 재료가 바람직하다. 또한, 제 2 전극(7015) 위에 차폐막(7016), 예를 들어 광을 차광하는 금속, 광을 반사하는 금속 등을 이용한다. 본 실시형태에서는, 제 2 전극(7015)으로 ITO막을 이용하고, 차폐막(7016)으로 Ti막을 이용한다.

[0112] 또한, 컬러 필터(7033)를 오버코트층(7034)으로 덮고, 나아가 보호 절연층(7035)으로 덮는다. 한편, 도 5(A)에서는 오버코트층(7034)은 얇은 막후로 도시하였으나, 오버코트층(7034)은, 컬러 필터(7033)에 기인하는 요철을 평탄화하고 있다.

[0113] 또한, 오버코트층(7034) 및 보호 절연층(7035)에 형성되고, 또한, 드레인 전극(7030)에 달하는 콘택트홀은, 격벽(7019)과 겹치는 위치에 배치되어 있다.

[0114] 도 5(A)에 나타낸 화소 구조의 경우, 발광 소자(7012)가 발한 광은, 화살표로 나타낸 바와 같이 제 1 전극(7013) 측으로 사출하고, 컬러 필터(7033)을 투광하여 표시 장치 밖으로 나온다.

[0115] 한편, 구동용 트랜지스터(7011)의 게이트 전극, 소스 전극, 및 드레인 전극으로 투광성을 갖는 도전막을 이용하고, 구동용 트랜지스터(7011)의 채널 형성 영역으로, 투광성을 갖는 고순도의 산화물 반도체층을 이용하는 것이 바람직하다. 이 경우, 도 5(A)에 나타낸 바와 같이, 발광 소자(7012)에서 발한 광은, 컬러 필터(7033)를 통과하여 사출될 뿐만 아니라, 구동용 트랜지스터(7011)도 통과하여 사출되게 되어, 개구율을 향상시킬 수 있다. 또한, 구동용 트랜지스터(7011)의 채널 형성 영역으로, 투광성을 갖는 고순도의 산화물 반도체층을 이용함으로써, 구동용 트랜지스터(7011)의 오프 전류를 매우 작게 만들 수 있으므로, 종래와 비교하여 유지 용량을 형성하기 위한 전극의 면적을 축소할 수 있다. 따라서, 더욱 개구율을 향상시킬 수 있다.

[0116] 이어서, 양면 사출 구조의 발광 소자를 갖는 화소의 구성에 대해 설명한다. 화소에 형성한 구동용 트랜지스터(7021)와, 발광 소자(7022)를 포함하는 절단면의 단면도를 도 5(B)에 나타낸다.

[0117] 구동용 트랜지스터(7021)는, 기판 위에, 절연층, 산화물 반도체층, 소스 전극 및 드레인 전극, 게이트 절연층, 게이트 전극을 갖고, 소스 전극 및 드레인 전극에 각각 배선층이 전기적으로 접속하여 형성되어 있다.

[0118] 또한, 구동용 트랜지스터(7021)를 덮어 절연층(7041)이 형성되고, 절연층(7041) 위에 개구부를 갖는 컬러 필터(7043)가 형성되어 있다. 투광성을 갖는 도전막(7027)은, 컬러 필터(7043)를 덮어 형성된 오버코트층(7044) 및 절연층(7045) 위에 형성되어 있다. 한편, 구동용 트랜지스터(7021)의 드레인 전극과 도전막(7027)은, 오버코트층(7044), 절연층(7045), 및 절연층(7041)에 형성된 개구부를 통하여 전기적으로 접속되어 있다. 한편, 도전막(7027) 위에 발광 소자(7022)의 제 1 전극(7023)이 접하여 형성되어 있다.

[0119] 발광 소자(7022)는, EL층(7024)을 제 1 전극(7023)과 제 2 전극(7025) 사이에 끼워지도록 갖는다.

[0120] 여기에서는, 발광 소자(7022)의 제 1 전극(7023)을 음극으로 이용하는 경우에 대해 설명한다. 한편, 투광성을 갖는 도전막(7027)은 도 5(A)에 나타낸 도전막(7017)과 동일하게 형성하면 되고, 또한, 제 1 전극(7023)은 도 5(A)에 나타낸 제 1 전극(7013)과 동일하게 형성하면 되고, 또한, EL층(7024)은 도 5(A)에 나타낸 EL층(7014)과 동일하게 형성하면 되므로, 여기서는 상세한 설명을 생략한다.

[0121] EL층(7024) 위에 형성하는 제 2 전극(7025)은, 여기서는 양극으로 기능하므로, 일함수가 큰 재료, 예를 들어, ITO, IZO, ZnO 등의 투명 도전성 재료가 바람직하다. 본 실시형태에서는, 제 2 전극(7025)으로 ITO를 형성한다.

[0122] 또한, 컬러 필터(7043), 오버코트층(7044) 및 보호 절연층(7045)은, 도 5(A)에서 예시한 화소가 갖는 컬러 필터(7033), 오버코트층(7034) 및 보호 절연층(7035)과 각각 동일하게 형성하면 된다.

[0123] 도 5(B)에 나타낸 소자 구조의 경우, 발광 소자(7022)에서 발하는 광은, 화살표로 나타낸 바와 같이 제 1 전극(7023) 측과 제 2 전극(7025) 측의 양방으로 사출되고, 제 1 전극(7023) 측의 광은 컬러 필터(7043)를 투광하여 표시 장치 밖으로 나온다.

[0124] 한편, 도 5(B)에서는 게이트 전극, 소스 전극, 및 드레인 전극으로 투광성을 갖는 도전막을 이용하여 구동용 트랜지스터(7021)를 구성하는 예를 도시하고 있다. 따라서, 발광 소자(7022)에서 발하는 광의 일부는, 컬러 필터(7043)와 구동용 트랜지스터(7021)를 통과하여 사출된다.

[0125] 또한, 오버코트층(7044) 및 보호 절연층(7045)에 형성되고, 또한, 드레인 전극(7040)에 달하는 콘택트홀은, 격벽(7029)과 겹치는 위치에 배치되어 있다. 드레인 전극에 달하는 콘택트홀과 격벽(7029)을 겹치게 하는 레이아웃으로 함으로써 제 2 전극(7025) 측의 개구율과 제 1 전극(7023) 측의 개구율을 거의 동일하게 할 수 있다.

[0126] 단, 양면 사출 구조의 발광 소자의 모든 표시면을 풀 컬러 표시로 하는 경우, 제 2 전극(7025) 측에서의 광은 컬러 필터(7043)를 통과하지 않으므로, 별도의 컬러 필터를 구비한 봉지 기판을 제 2 전극(7025) 상방에 형성하는 것이 바람직하다.

[0127] 이어서, 상면 사출 구조의 발광 소자를 갖는 화소의 구성에 대해 설명한다. 화소에 형성한 구동용 트랜지스터(7001)와, 발광 소자(7002)를 포함하는 절단면의 단면도를 도 5(C)에 나타낸다.

[0128] 구동용 트랜지스터(7001)는, 기판 위에, 절연층, 산화물 반도체층, 소스 전극 및 드레인 전극, 게이트 절연층, 게이트 전극을 갖고, 소스 전극 및 드레인 전극에 각각 배선층이 전기적으로 접속하여 형성되어 있다.

[0129] 또한, 구동용 트랜지스터(7001)를 덮도록 절연층(7051)이 형성되고, 절연층(7051) 위에 개구부를 갖는 절연층(7053)이 형성되어 있다. 제 1 전극(7003)은, 절연층(7053)을 덮도록 형성된 절연층(7055) 위에 형성되어 있다. 한편, 구동용 트랜지스터(7001)의 드레인 전극과 제 1 전극(7003)은, 절연층(7055), 및 절연층(7051)에 형성된 개구부를 통하여 전기적으로 접속되어 있다.

[0130] 한편, 절연층(7053)은, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 등의 수지 재료를 이용할 수 있다. 또한 상기 수지 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수 있다. 한편, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(7053)을 형성하여도 좋다. 절연층(7053)의 형성법은, 특별히 한정되지 않으며, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅, 딥, 스프레이 도포, 액적토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터나이프, 롤코터, 커텐코터, 나이프코터 등을 이용할 수 있다. 절연층(7053)을 형성함으로써, 예를 들어 구동용 트랜지스터

에 기인하는 요철을 평탄하게 할 수 있다. 또한, 절연층(7055) 및 절연층(7053)에 형성되고, 또한, 드레인 전극(7050)에 달하는 콘택트홀은, 격벽(7009)과 겹치는 위치에 배치되어 있다.

[0131] 발광 소자(7002)는, EL층(7004)을 제 1 전극(7003)과 제 2 전극(7005) 사이에 끼워지도록 갖는다. 도 5(C)에 예시하는 발광 소자(7002)에서는, 제 1 전극(7003)을 음극으로 이용하는 경우에 대해 설명한다.

[0132] 제 1 전극(7003)은 도 5(A)에 나타낸 제 1 전극(7013)과 동일한 재료를 적용하면 되나, 도 5(C)에 나타낸 상면 사출 구조의 발광 소자에서는, 제 1 전극(7003)은 투광성을 갖지 않고, 오히려 높은 반사율을 갖는 전극인 것이 바람직하다. 높은 반사율을 갖는 전극을 이용함으로써, 발광의 추출 효율을 높일 수 있다.

[0133] 제 1 전극(7003)으로는, 예를 들어 알루미늄막 또는 알루미늄을 주성분으로 하는 합금막, 또는 알루미늄막에 티탄막을 적층한 것이 바람직하다. 도 5(C)에서는, Ti막, 알루미늄막, Ti막의 순서대로 적층한 적층막을 제 1 전극(7003)으로 이용한다.

[0134] 또한, EL층(7004)은 도 5(A)에 나타낸 EL층(7014)과 동일하게 형성하면 되고, 또한, 제 2 전극(7005)은 도 5(B)에 나타낸 제 2 전극(7025)과 동일하게 형성하면 되므로, 여기서는 상세한 설명을 생략한다.

[0135] 도 5(C)에 나타낸 소자 구조의 경우, 발광 소자(7002)에서 나온 광은, 화살표로 나타낸 바와 같이 제 2 전극(7005) 측으로 사출된다.

[0136] 도 5(C)의 구조를 이용하여 풀 컬러 표시를 하는 경우, 예를 들어 발광 소자(7002)를 녹색 발광 소자로 하고, 이웃하는 한쪽의 발광 소자를 적색 발광 소자로 하고, 다른 한쪽의 발광 소자를 청색 발광 소자로 한다. 또한, 3종류의 발광 소자뿐만 아니라 백색 소자를 추가한 4종류의 발광 소자로 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제작하여도 좋다.

[0137] 또한, 도 5(C)의 구조로 배치하는 복수의 발광 소자를 모두 백색 발광 소자로 하여, 발광 소자(7002)를 포함하는 각각의 발광 소자의 상방에 컬러 필터 등을 갖는 봉지 기판을 배치하는 구성으로 하여, 풀 컬러 표시할 수 있는 발광 표시 장치를 제작하여도 좋다. 백색 등의 단색의 발광을 나타내는 재료를 형성하고, 컬러 필터나 색변환층을 조합함으로써 풀 컬러 표시를 할 수 있다.

[0138] 또한, 필요에 따라, 원편광판 등의 광학 필름을 형성하여도 좋다.

[0139] 이어서, 표시 장치의 일 형태에 상응하는 발광 표시 패널(발광 패널이라고도 한다)의 외관 및 단면에 대해, 도 6을 이용하여 설명한다. 도 6(A)는, 제 1 기판 위에 형성된 트랜지스터 및 발광 소자를, 제 2 기판 사이에 씰재에 의해 봉지한 패널의 평면도이고, 도 6(B)는, 도 6(A)의 H-I에서의 단면도에 상응한다.

[0140] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 하여, 씰 재(4505)가 형성되어 있다. 또한 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제 1 기판(4501)과 씰 재(4505)와 제 2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)가 외부 공기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0141] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 트랜지스터를 복수 갖고 있으며, 도 6(B)에서는, 화소부(4502)에 포함되는 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 트랜지스터(4509)를 예시하고 있다. 트랜지스터(4509, 4510) 위에는 절연층(4542-4545)이 형성되어 있다. 또한, 절연층(4542-4545)에 형성된 콘택트홀을 통하여, 트랜지스터(4510)의 소스 전극 또는 드레인 전극(4848)과 발광 소자(4511)의 제 1 전극층(4517)이 전기적으로 접속되어 있다.

[0142] 본 실시형태에서는, 신호선 구동 회로(4503a)에 포함되는 트랜지스터(4509), 및 화소부(4502)에 포함되는 트랜지스터(4510)로, 고순도의 산화물 반도체층을 갖는 트랜지스터를 각각 이용한다.

[0143] 절연층(4542) 위에서, 구동 회로용 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 도전층(4540)이 형성되어 있다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 겹치는 위치에 형성함으로써, BT 스트레스 시험(바이어스·온도 스트레스 시험) 전후에서의 트랜지스터(4509)의 역치 전압의 변화량을 저감할 수 있다. 한편, 본 명세서에서, BT 스트레스 시험(바이어스·온도 스트레스 시험)이란, 트랜지스터에 고

온 분위기 하에서, 고게이트 전압을 인가하는 시험을 말한다. 또한, 도전층(4540)은, 전위가 트랜지스터(4509)의 게이트 전극과 동일하여도 좋으며, 서로 달라도 좋고, 제 2 게이트 전극으로서 기능 시킬 수도 있다. 또한, 도전층(4540)의 전위가 GND, 0V, 또는 플로팅 상태이어도 좋다.

[0144] 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이나, 여기에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)에서 추출하는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.

[0145] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 특히 감광성 재료를 이용하여, 격벽(4520)의 측벽이 연속된 곡률을 갖도록 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0146] 전계 발광층(4512)은, 단수 층으로 구성되어 있어도, 복수 층으로 적층되도록 구성되어 있어도 좋다.

[0147] 발광 소자(4511)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로는, 질화 규소막, 질화산화 규소막, DLC막 등을 형성할 수 있다.

[0148] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 공급되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.

[0149] 접속 단자 전극(4515)은, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 동일한 도전막에서 형성되어 있다. 또한, 단자 전극(4516)은, 트랜지스터(4509, 4510)가 갖는 소스 전극 및 드레인 전극과 동일한 도전막으로 형성되어 있다.

[0150] 접속 단자 전극(4515)은, FPC(4518a)가 갖는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속되어 있다.

[0151] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 기판은 투광성이어야 한다. 이 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 이용한다.

[0152] 또한, 충전재(4507)로는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다. 예를 들어 충전재로 질소를 이용하면 된다.

[0153] 또한, 필요에 따라, 발광 소자의 사출면에 편광판, 또는 원편광판(타원 편광판을 포함한다.), 위상차판(λ/4판, λ/2판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의해 반사광을 확산하고, 눈부심을 저감할 수 있는 안티 글레어(anti-glare) 처리를 할 수 있다.

[0154] 한편, 본 발명은, 도 6의 구성에 한정되지 않는다. 즉, 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동 회로에 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도로 형성하여 실장되어 있어도 좋다.

[0156] (실시형태 2)

[0157] 본 실시형태에서는, 표시 장치의 소비 전력을 더욱 억제하는 구성에 대해 설명한다. 구체적으로는, 표시 장치의 화소부에서의 소비 전력을 억제하는데 더하여, 표시 장치의 구동 회로부에서의 소비 전력을 억제하는 구성에 대해 설명한다.

[0158] 도 7은, 표시 장치의 블럭도의 일 예를 나타낸 것이다. 단, 본 발명은 도 7의 구성에 한정되는 것은 아니다.

[0159] 도 7에 나타낸 표시 장치(1000)는, 표시 패널(1001), 신호 생성 회로(1002), 기억 회로(1003), 비교 회로(1004), 선택 회로(1005), 표시 제어 회로(1006)를 갖는다. 또한, 표시 패널(1001)은, 구동 회로부(1007), 화소부(1008)를 갖는다. 또한, 구동 회로부(1007)는, 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B)를 갖는다. 또한, 게이트선 구동 회로(1009A), 신호선 구동 회로(1009B)는, 복수의 화소를 갖는 화소부(1008)를 구동하는 기능을 갖는다.

[0160] 화소부(1008)를 구성하는 트랜지스터에는, 실시형태 1에서 설명한 것을 이용한다. 즉, 스위칭용 트랜지스터로, 고순도의 산화물 반도체층을 갖는 n 채널형 트랜지스터를 이용한다. 한편, 구동용 트랜지스터는, 고순도의 산

화물 반도체층을 이용한 구성이어도 좋으며, 실리콘층을 이용한 구성이어도 좋으나, 본 실시형태에서는, 구동용 트랜지스터에도 고순도의 산화물 반도체층을 갖는 n 채널형 트랜지스터를 적용하는 경우에 대해 설명한다.

[0161] 본 실시형태에서는, 화소부(1008)를 구성하는 트랜지스터의 하나인 스위칭용 트랜지스터로, 고순도의 산화물 반도체층을 갖는 n 채널형 트랜지스터를 이용함으로써, 화상 신호 등의 데이터 유지 시간을 길게 가질 수 있다. 이로 인해, 정지화 등의 표시를 할 때, 신호의 쓰기를 행하는 빈도를 저감할 수 있다. 따라서, 표시 장치의 저소비 전력화를 도모할 수 있다.

[0162] 또한, 본 실시형태에서는, 정지화 표시를 할 때, 화소부에 포함되는 모든 신호선 및/또는 모든 주사선에 공급되는 신호의 출력을 정지하도록 구동 회로부를 동작시킴으로써, 화소부 뿐만 아니라 구동 회로부의 소비 전력도 억제할 수 있다. 즉, 표시 장치가 정지 화상을 표시하는 기간 동안, 상기 화소부에 포함되는 모든 신호선 및/또는 모든 주사선에 공급되는 신호의 출력이 정지되는 기간을 갖는다. 본 실시형태에서는, 구동 회로부의 저소비 전력화를 실현하기 위한 일 구성으로, 표시 장치(1000)가 신호 생성 회로(1002), 기억 회로(1003), 비교 회로(1004), 선택 회로(1005), 표시 제어 회로(1006)를 갖는다.

[0163] 신호 생성 회로(1002)는, 게이트선 구동 회로(1009A), 및 신호선 구동 회로(1009B)를 구동하는데 필요한 신호(제어 신호)를 생성하는 기능을 갖는다. 그리고, 신호 생성 회로(1002)는, 배선을 통해 제어 신호를 구동 회로부(1007)에 출력하는 동시에, 배선을 통해 화상 신호(비디오 전압, 비디오 신호, 비디오 데이터라고도 한다.)를 기억 회로(1003)로 출력하는 기능을 갖는다. 다시 말하면, 신호 생성 회로(1002)는, 구동 회로부(1007)를 구동하기 위한 제어 신호, 및 화소부에 공급하는 화상 신호를 생성하고 출력하기 위한 회로이다.

[0164] 구체적으로는, 신호 생성 회로(1002)는, 제어 신호로, 게이트선 구동 회로(1009A), 및 신호선 구동 회로(1009B)에 전원 전압인 고전원 전위(Vdd), 저전원 전위(Vss)를 공급하고, 게이트선 구동 회로(1009A)에는, 게이트선 구동 회로용 스타트 펄스(SP), 클럭 신호(CK)를 공급하고, 신호선 구동 회로(1009B)에는, 신호선 구동 회로용의 스타트 펄스(SP), 클럭 신호(CK)를 공급한다. 또한 신호 생성 회로(1002)는, 동화상 또는 정지화를 표시하기 위한 화상 신호 Data를 기억 회로(1003)로 출력한다.

[0165] 한편, 동화상은, 복수의 프레임으로 시분할한 복수의 화상을 고속으로 전환함으로써 인간의 눈에는 동화상으로 인식되는 화상을 말한다. 구체적으로는, 1초 사이에 60회(60프레임) 이상 화상을 전환함으로써, 인간의 눈에는 깜빡임이 적어 동화상으로 인식되는, 연속하는 화상 신호를 말한다. 한편 정지화는, 동화상과 달리, 복수의 프레임 기간으로 시분할한 복수의 화상을 고속으로 전환하여 동작시키기는 하나, 연속하는 프레임 기간, 예를 들어 n 프레임째와, (n+1) 프레임째에서 화상 신호가 변화하지 않는 화상 신호를 말한다.

[0166] 한편, 신호 생성 회로(1002)는, 이 외에도 화상 신호, 래치 신호 등을 생성하는 기능을 가지고 있어도 좋다. 또한, 신호 생성 회로(1002)는, 게이트선 구동 회로(1009A) 및/또는 신호선 구동 회로(1009B)에 대해, 각 구동 회로의 펄스 신호 출력을 정지하기 위한 리셋 신호 Res 신호를 출력하는 기능을 갖고 있어도 좋다. 또한, 각 신호는 제 1 클럭 신호, 제 2 클럭 신호와 같이 복수의 신호로 구성되는 신호이어도 좋다.

[0167] 한편, 고전원 전위(Vdd)란, 기준 전위보다 높은 전위를 말하고, 저전원 전위란 기준 전위 이하의 전위를 말한다. 한편 고전원 전위 및 저전원 전위 모두, 트랜지스터가 동작할 수 있는 정도의 전위인 것이 바람직하다.

[0168] 한편, 전압이란, 어떠한 전위와, 기준 전위(예를 들어 그라운드 전위)의 전위차를 나타내는 경우가 많다. 따라서, 전압, 전위, 전위차를, 각각, 전위, 전압, 전압이라고 바꾸어 말할 수 있다.

[0169] 또한, 신호 생성 회로(1002)에서 기억 회로(1003)로의 화상 신호의 출력이 아날로그 신호인 경우에는, A/D 컨버터 등을 통해 디지털 신호로 변환하여, 기억 회로(1003)로 출력하는 구성으로 하면 된다.

[0170] 기억 회로(1003)는, 복수의 프레임에 관한 화상 신호를 기억하기 위한 복수의 프레임 메모리(1010)를 갖는다. 한편 프레임 메모리는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 소자를 이용하여 구성하면 된다.

[0171] 한편, 프레임 메모리(1010)는, 프레임 기간별로 화상 신호를 기억하는 구성이면 되고, 프레임 메모리의 수에 대해 특별히 한정되는 것은 아니다. 또한 프레임 메모리(1010)의 화상 신호는, 비교 회로(1004) 및 선택 회로(1005)에 의해 선택적으로 읽어지는 것이다.

[0172] 비교 회로(1004)는, 기억 회로(1003)에 기억된 연속하는 프레임 기간의 화상 신호를 선택적으로 읽어, 이 화상 신호를 비교하고, 차이를 검출하기 위한 회로이다. 이 비교 회로(1004)에서의 화상 신호의 비교에 의해 차이가

검출된 경우, 이 차이가 검출된 연속하는 프레임 기간에는 동화상인 것으로 판단된다. 한편, 비교 회로(1004)에서의 화상 신호의 비교에 의해 차이가 검출되지 않은 경우, 이 차이가 검출되지 않은 연속하는 프레임 기간에는 정지화인 것으로 판단된다. 즉, 비교 회로(1004)에서의 차이의 검출에 따라, 연속하는 프레임 기간의 화상 신호가, 동화상을 표시하기 위한 화상 신호인지, 또는 정지화를 표시하기 위한 화상 신호인지의 판단이 이루어지는 것이다. 한편, 이 비교에 의해 얻어지는 차이의 검출은, 일정한 레벨을 넘었을 때에 차이를 검출하였다고 판단되도록 설정하여도 좋다.

[0173] 선택 회로(1005)는, 복수의 스위치, 예를 들어 트랜지스터로 형성되는 스위치를 형성하고, 동화상을 표시하기 위한 화상 신호가 비교 회로에서의 차이 검출에 의해 판단되었을 때, 이 화상 신호가 기억된 프레임 메모리(1010)에서 화상 신호를 선택하여 표시 제어 회로(1006)로 출력하기 위한 회로이다. 한편 비교 회로(1004)에서 비교한 프레임 간의 화상 신호의 차이가 검출되지 않으면, 연속하는 프레임 간에서 표시되는 화상은 정지화이고, 이 경우, 연속하는 프레임 기간 중, 후자의 화상 신호에 대해 표시 제어 회로(1006)로 출력하지 않는 구성으로 하면 된다.

[0174] 표시 제어 회로(1006)는, 화상 신호, 고전원 전위(Vdd), 저전원 전위(Vss), 스타트 펄스(SP), 클럭 신호(CK), 및 리셋 신호(Res)의 제어 신호에 관해, 구동 회로부(1007)로의 공급 또는 정지를 전환하기 위한 회로이다. 구체적으로는, 비교 회로(1004)에 의해 동화상으로 판단, 즉 연속 프레임 기간의 화상 신호의 차이가 추출된 경우에는, 화상 신호가 선택 회로(1005)에서 표시 제어 회로(1006)로 공급된다. 그리고, 표시 제어 회로(1006)를 통해 구동 회로부(1007)에 화상 신호가 공급된다. 또한, 제어 신호가 표시 제어 회로(1006)를 통해 구동 회로부(1007)에 공급되게 된다. 한편, 비교 회로(1004)에 의해 정지화라고 판단, 즉 연속 프레임 기간의 화상 신호의 차이를 추출하지 않은 경우에는, 화상 신호가 선택 회로(1005)에서 공급되지 않으므로, 표시 제어 회로(1006)에서 구동 회로부(1007)로 화상 신호가 공급되지 않는다. 또한, 제어 신호의 구동 회로부(1007)로의 공급을 표시 제어 회로(1006)가 정지하게 된다.

[0175] 한편, 정지화라고 판단되는 경우에서, 정지화라고 판단되는 기간이 짧은 경우에는, 제어 신호 중, 고전원 전위(Vdd), 저전원 전위(Vss)의 정지를 하지 않는 구성으로 하여도 좋다. 이 경우, 빈번하게 고전원 전위(Vdd), 저전원 전위(Vss)의 정지 및 재개를 하는데 따른 소비 전력의 증대를 저감할 수 있으므로 바람직하다.

[0176] 한편, 화상 신호 및 제어 신호의 정지는, 화소부(1008)의 각 화소에서 화상 신호를 유지할 수 있는 기간에 걸쳐 행하는 것이 바람직하고, 각 화소에서의 유지 기간 후에 다시 화상 신호를 공급하도록, 표시 제어 회로(1006)가 먼저 공급한 화상 신호 및 제어 신호를 다시 공급하도록 하는 구성으로 하면 된다.

[0177] 한편, 신호의 공급이란, 배선에 소정의 전위를 공급하는 것을 말한다. 또한, 신호의 정지란, 배선으로의 소정의 전위의 공급을 정지하고, 소정의 고정 전위가 공급되는 배선, 예를 들어 저전원 전위(Vss)가 공급된 배선에 전기적으로 접속하는 것을 말한다. 또는, 신호의 정지란, 소정의 전위가 공급되어 있는 배선과의 전기적인 접속을 절단하고, 부유 상태로 하는 것을 말한다.

[0178] 상술한 바와 같이 영상 신호를 비교하여 동화상인지 정지화인지를 판정하고, 클럭 신호나 스타트 펄스 등의 제어 신호의 구동 회로부로의 공급의 재개 또는 정지를 선택적으로 행함으로써, 구동 회로부(1007)에서의 소비 전력을 억제할 수 있다.

[0179] 이어서, 구동 회로부(1007)의 게이트선 구동 회로(1009A), 신호선 구동 회로부(1009B)를 구성하는 시프트 레지스터의 구성에 대해 도 8(A) 내지 도 8(C)에 일 예를 나타낸다.

[0180] 도 8(A)에 나타낸 시프트 레지스터는, 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N)(N은 3 이상의 자연수)를 갖고 있다. 도 8(A)에 나타낸 시프트 레지스터의 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N)에는, 제 1 배선(11)에서 제 1 클럭 신호(CK1), 제 2 배선(12)에서 제 2 클럭 신호(CK2), 제 3 배선(13)에서 제 3 클럭 신호(CK3), 제 4 배선(14)에서 제 4 클럭 신호(CK4)가 공급된다. 또한 제 1 펄스 출력 회로(10_1)에서는, 제 5 배선(15)에서의 스타트 펄스(SP1)(제 1 스타트 펄스)가 입력된다. 또한 2단 이후의 제 n 펄스 출력 회로(10_n)(n은, 2 이상 N 이하의 자연수)에서는, 일단 전단의 펄스 출력 회로로부터의 신호(전단 신호(OUT(n-1)(SR))라고 한다)가 입력된다. 또한 제 1 펄스 출력 회로(10_1)에서는, 2단 후단의 제 3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 마찬가지로, 2단 이후의 제 n 펄스 출력 회로(10_n)에서는, 2단 후단의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호(OUT(n+2)(SR))라 한다)가 입력된다. 따라서, 각 단의 펄스 출력 회로에서는, 후단 및/또는 2개 전단의 펄스 출력 회로에 입력하기 위한 제 1 출력 신호(OUT(1)(SR) ~ OUT(N)(SR)), 다른 배선 등으로 입력되는 제 2 출력신호(OUT(1)~OUT(N))가 출력된다. 한편, 도

8(A)에 나타낸 바와 같이, 시프트 레지스터의 최종단의 2개의 단에는, 후단 신호(OUT(n+2)(SR))가 입력되지 않으므로, 일 예로는, 별도의 제 6 배선(17)에서 제 2 스타트 펄스(SP2), 제 7 배선(18)에서 제 3 스타트 펄스(SP3)를 각각 입력하는 구성이어도 좋다. 또는, 별도의 시프트 레지스터의 내부에서 생성된 신호이어도 좋다. 예를 들어, 화소부로의 펄스 출력에 기여하지 않는 제 (N+1) 펄스 출력 회로(10_(N+1)), 제 (N+2) 펄스 출력 회로(10_(n+2))를 형성하고(더미단이라고도 한다.), 이 더미단에서 제 2 스타트 펄스(SP2) 및 제 3 스타트 펄스(SP3)에 상응하는 신호를 생성하는 구성으로 하여도 좋다.

[0181] 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4)는, 도 9에 나타낸 바와 같이, 일정한 간격으로 H신호와 L신호를 반복하는 신호이다. 또한, 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4)는, 순서대로 1/4 주기만큼 지연되어 있다. 본 실시형태에서는, 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4)를 이용하여, 펄스 출력 회로의 구동 제어 등을 한다. 한편, 클럭 신호(CK)는, 입력되는 구동 회로에 따라, GCK, SCK라고 할 수도 있으나, 여기서는 CK로 설명한다.

[0182] 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_n) 각각은, 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 제 2 출력 단자(27)를 갖고 있다(도 8(B) 참조).

[0183] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는, 제 1 배선(11) ~ 제 4 배선(14) 중 어느 하나와 전기적으로 접속되어 있다. 예를 들어, 도 8(A), (B)에서, 제 1 펄스 출력 회로(10_1)는, 제 1 입력 단자(21)가 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 2 배선(12)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 3 배선(13)과 전기적으로 접속되어 있다. 또한, 제 2 펄스 출력 회로(10_2)는, 제 1 입력 단자(21)가 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 3 배선(13)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 4 배선(14)과 전기적으로 접속되어 있다.

[0184] 또한 도 8(A), (B)에서, 제 1 펄스 출력 회로(10_1)는, 제 4 입력 단자(24)로 스타트 펄스가 입력되고, 제 5 입력 단자(25)로 후단 신호(OUT(3)(SR))가 입력되고, 제 1 출력 단자(26)에서 제 1 출력 신호(OUT(1)(SR))가 출력되고, 제 2 출력 단자(27)에서 제 2 출력 신호(OUT(1))가 출력되게 된다.

[0185] 이어서, 펄스 출력 회로의 구체적인 회로 구성의 일 예에 대해, 도 8(C)에서 설명한다.

[0186] 도 8(C)에서 제 1 트랜지스터(31)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트가 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 2 트랜지스터(32)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트가 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되어 있다. 제 3 트랜지스터(33)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 4 트랜지스터(34)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 5 트랜지스터(35)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 6 트랜지스터(36)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 5 입력 단자(25)에 전기적으로 접속되어 있다. 제 7 트랜지스터(37)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 게이트가 제 3 입력 단자(23)에 전기적으로 접속되어 있다. 제 8 트랜지스터(38)는, 제 1 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 2 입력 단자(22)에 전기적으로 접속되어 있다. 제 9 트랜지스터(39)는, 제 1 단자가 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 제 3 트랜지스터(33)의 게이트 및 제 10 트랜지스터(40)의 게이트에 전기적으로 접속되고, 게이트가 전원선(51)에 전기적으로 접속되어 있다. 제 10 트랜지스터(40)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트가 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속되어 있다. 제 11 트랜지스터(41)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되어 있다.

[0187] 도 8(C)에서, 제 3 트랜지스터(33)의 게이트, 제 10 트랜지스터(40)의 게이트, 및 제 9 트랜지스터(39)의 제 2 단자의 접속 장소를 노드(NA)라 한다. 또한, 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트,

제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트의 접속 장소를 노드(NB)라 한다.

[0188] 도 8(C)에서의 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)인 경우, 제 1 입력 단자(21)에는 제 1 클럭 신호(CK1)가 입력되고, 제 2 입력 단자(22)에는 제 2 클럭 신호(CK2)가 입력되고, 제 3 입력 단자(23)에는 제 3 클럭 신호(CK3)가 입력되고, 제 4 입력 단자(24)에는 스타트 펄스(SP1)가 입력되고, 제 5 입력 단자(25)에는 후단 신호(OUT(3)(SR))가 입력되고, 제 1 출력 단자(26)에서는 OUT(1)(SR)가 출력되고, 제 2 출력 단자(27)에서는 OUT(1)이 출력되게 된다.

[0189] 여기서, 도 8(C)에 나타낸 펄스 출력 회로를 복수 구비하는 시프트 레지스터의 타이밍 차트에 대해 도 9에 나타낸다. 한편 시프트 레지스터가 게이트선 구동 회로인 경우, 도 9의 기간(61)은 수직 귀선 기간이고, 기간(62)은 게이트 선택 기간에 상응한다.

[0190] 도 8, 도 9에서 일 예로 도시한, n 채널형 트랜지스터를 복수 이용하여 제작한 구동 회로에서, 정지화 표시 및 동화상 표시를 할 때의 각 배선의 전위 공급 또는 정지 순서에 대해 설명한다.

[0191] 우선, 구동 회로부(1007)의 동작을 정지하는 경우에는, 우선 표시 제어 회로(1006)는, 스타트 펄스(SP)를 정지한다. 이어서, 스타트 펄스(SP) 정지 후, 펄스 출력이 시프트 레지스터의 최종단까지 달한 후에, 각 클럭 신호(CK)를 정지한다. 이어서, 전원 전압의 고전원 전위(Vdd), 및 저전원 전위(Vss)를 정지한다(도 11(A) 참조). 또한 구동 회로부(1007)의 동작을 재개하는 경우에는, 우선 표시 제어 회로(1006)는, 전원 전압의 고전원 전위(Vdd), 및 저전원 전위(Vss)를 구동 회로부(1007)에 공급한다. 이어서, 클럭 신호(CK)를 공급하고, 이어서 스타트 펄스(SP)의 공급을 재개한다(도 11(B) 참조).

[0192] 이어서, 도 8, 도 9에서 일 예로 도시한, n 채널형 트랜지스터를 복수 이용하여 제작한 구동 회로에서, 정지화 표시에서부터 동화상 표시를 하는 동작, 또는 구동용 트랜지스터의 게이트에 인가하는 전압의 다시 쓰기를 하는 동작(이하, 리프레쉬 동작이라고도 한다.)을 할 때의, 구동 회로부로의 각 배선의 전위 공급 또는 정지 순서의 상세한 내용에 대해, 도 28을 참조하여 설명한다. 도 28은, 시프트 레지스터에 고전원 전위(VDD)를 공급하는 배선, 저전원 전위(VSS)를 공급하는 배선, 스타트 펄스(SP)를 공급하는 배선, 및 제 1 클럭 신호(CK1)를 공급하는 배선 내지 제 4 클럭 신호(CK4)를 공급하는 배선의, 프레임 기간(T1) 전후에서의 전위의 변화를 나타낸 도면이다.

[0193] 본 실시형태의 표시 장치에서는, 구동 회로부를 항상 동작하는 동화상의 표시와 정지화의 표시뿐만 아니라, 리프레쉬 동작을 위해 구동 회로부를 항상 동작하지 않아도, 정지화의 표시를 할 수 있다. 이로 인해, 도 28에 나타낸 바와 같이, 시프트 레지스터에 대해, 고전원 전위(VDD), 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4), 및 스타트 펄스 등의 제어 신호가 공급되는 기간, 및 제어 신호가 공급되지 않는 기간이 존재한다. 한편, 도 28에 나타낸 기간(T1)은, 제어 신호가 공급되는 기간, 즉 동화상을 표시하는 기간 및 리프레쉬 동작을 하는 기간에 상응한다. 또한 도 28에 나타낸 기간(T2)은, 제어 신호가 공급되지 않는 기간, 즉 정지화를 표시하는 기간에 상응한다.

[0194] 도 28에서 고전원 전위(VDD)가 공급되는 기간은, 기간(T1)에 한정되지 않고, 기간(T1)과 기간(T2)에 이르는 기간에 걸쳐 형성되어 있다. 또한 도 28에서, 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4)가 공급되는 기간은, 고전원 전위(VDD)가 공급된 후부터, 고전원 전위(VDD)가 정지하기 전까지에 걸쳐 형성되어 있다.

[0195] 또한 도 28에 나타낸 바와 같이, 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4)는, 기간(T1)이 시작하기 전에는 일단 고전위의 신호로 한 뒤 일정 주기의 클럭 신호의 발진을 개시하고, 기간(T1)이 끝난 후에는 저전위 신호로부터 클럭 신호의 발진을 종료하는 구성으로 하면 된다.

[0196] 상술한 바와 같이, 본 실시형태의 표시 장치에서는, 기간(T2)에서는 시프트 레지스터에 고전원 전위(VDD), 제 1 클럭 신호(CK1) 내지 제 4 클럭 신호(CK4), 및 스타트 펄스 등의 제어 신호의 공급을 정지한다. 그리고, 제어 신호의 공급이 정지하는 기간에서는, 각 트랜지스터의 통전 또는 비통전을 제어하여 동작하고 시프트 레지스터에서 출력되는 펄스 신호도 정지한다. 이로 인해, 시프트 레지스터에서 소비되는 전력, 및 이 시프트 레지스터에 의해 구동되는 화소부에서 소비되는 전력을 저감하는 것이 가능해진다.

[0197] 한편 상술한 리프레쉬 동작은, 표시되는 정지화의 화질의 열화가 발생할 가능성을 고려하여, 정기적으로 행하는 것이 바람직하다. 본 실시형태의 표시 장치는, 각 화소가 갖는 구동용 트랜지스터의 게이트에 인가하는 전압을 제어하는 스위칭 소자로, 상술한 고순도의 산화물 반도체를 구비하는 트랜지스터를 적용하고 있다. 이에 따라, 오프 전류를 극단적으로 저감할 수 있으므로, 각 화소가 갖는 구동용 트랜지스터의 게이트에 인가되는 전압의

변동을 저감할 수 있다. 즉, 정지화를 표시할 때, 시프트 레지스터의 동작이 정지하는 기간이 장기간이어도, 화질의 열화를 저감할 수 있다. 일 예로는, 이 기간이 3분이라고 해도 표시되는 정지화의 품질을 유지하는 것이 가능하다. 예를 들어, 1초 동안 60회의 다시 쓰기를 하는 표시 장치와, 3분 동안 1회의 리프레쉬 동작을 하는 표시 장치를 비교하면, 약 1/10000로까지 소비 전력을 저감하는 것이 가능하다.

[0198] 한편, 상술한 고전원 전위(VDD)의 정지란, 도 28에 나타낸 바와 같이, 저전위 전원(VSS)과 등전위로 하는 것이고, 한편, 고전원 전위(VDD)의 정지는, 고전원 전위가 공급되는 배선의 전위를 부유 상태로 하는 것이어도 좋다.

[0199] 한편, 고전원 전위(VDD)가 공급되는 배선의 전위를 증가시키는, 즉 기간(T1) 전에 저전원 전위(VSS)에서 고전원 전위(VDD)로 증가시킬 때에는, 이 배선의 전위의 변화가 완만하게 되도록 제어하는 것이 바람직하다. 이 배선의 전위의 변화의 기울기가 급하면, 이 전위의 변화가 노이즈가 되고, 시프트 레지스터에서 부정 펄스가 출력될 가능성이 있다. 이 시프트 레지스터가, 게이트선 구동 회로가 갖는 시프트 레지스터인 경우, 부정 펄스는, 트랜지스터를 온 시키는 신호가 된다. 이로 인해, 이 부정 펄스에 의해, 구동용 트랜지스터의 게이트에 인가되는 전압이 변화하고, 정지화의 화상이 변화할 가능성이 있기 때문이다. 상술한 내용을 감안하여, 도 28에서는, 고전원 전위(VDD)가 되는 신호의 상승이 하강보다 완만해지는 예에 대해 도시하고 있다. 특히, 본 실시형태의 표시 장치에서는, 화소부에서 정지화를 표시하고 있을 때, 시프트 레지스터에 대한 고전원 전위(VDD)의 공급의 정지 및 재공급이 적절히 이루어지는 구성이 된다. 즉, 고전원 전위(VDD)를 공급하는 배선의 전위의 변화가, 노이즈로서 화소부에 영향을 준 경우, 이 노이즈는 표시 화상의 열화에 직결된다. 이로 인해, 본 실시형태의 표시 장치에서는, 이 배선의 전위의 변화(특히, 전위의 증가)가 노이즈로 화소부에 침입하지 않도록 제어하는 것이 중요하다.

[0200] 한편, 도 8, 도 9의 설명에서는, 리셋 신호(Res)를 공급하지 않는 구동 회로의 구성에 대해 도시하였으나, 리셋 신호(Res)를 공급하는 구성에 대해 도 10(A) 내지 도 10(C)에 도시하여 설명한다.

[0201] 도 10(A)에 나타낸 시프트 레지스터는, 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N)(N은 3 이상의 자연수)를 갖고 있다. 도 10(A)에 나타낸 시프트 레지스터의 제 1 펄스 출력 회로(10_1) 내지 제 N 펄스 출력 회로(10_N)에는, 제 1 배선(11)에서 제 1 클럭 신호(CK1), 제 2 배선(12)에서 제 2 클럭 신호(CK2), 제 3 배선(13)에서 제 3 클럭 신호(CK3), 제 4 배선(14)에서 제 4 클럭 신호(CK4)가 공급된다. 또한 제 1 펄스 출력 회로(10_1)에서는, 제 5 배선(15)에서의 스타트 펄스(SP1)(제 1 스타트 펄스)가 입력된다. 또한 2단 이후의 제 n 펄스 출력 회로(10_n)(n은, 2 이상 N 이하의 자연수)에서는, 일단 전단의 펄스 출력 회로에서의 신호(전단 신호(OUT(n-1)(SR))라고 한다)가 입력된다. 또한 제 1 펄스 출력 회로(10_1)에서는, 2단 후단의 제 3 펄스 출력 회로(10_3)에서의 신호가 입력된다. 마찬가지로, 2단 이후의 제 n 펄스 출력 회로(10_n)에서는, 2단 후단의 제(n+2) 펄스 출력 회로(10_(n+2))에서의 신호(후단 신호(OUT(n+2)(SR))라 한다)가 입력된다. 따라서 각 단의 펄스 출력 회로에서는, 후단 및/또는 2개 전단의 펄스 출력 회로에 입력하기 위한 제 1 출력 신호(OUT(1)(SR) ~ OUT(N)(SR)), 다른 배선 등에 입력되는 제 2 출력 신호(OUT(1) ~ OUT(N))가 출력된다. 또한 각 단의 펄스 출력 회로에는, 제 6 배선(16)에서 리셋 신호(Res)가 공급된다.

[0202] 한편, 도 10(A) 내지 도 10(C)에 나타낸 펄스 출력 회로가 도 8(A) 내지 도 8(C)에서 나타낸 펄스 출력 회로와 다른 점은, 리셋 신호(Res)를 공급하는 제 6 배선(16)을 갖는 점에 있고, 다른 부분에 관한 점은 상기 도 8(A) 내지 도 8(C)의 설명과 동일하다.

[0203] 제 1 펄스 출력 회로(10_1) ~ 제 N 펄스 출력 회로(10_N)의 각각은, 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 제 2 출력 단자(27), 제 6 입력 단자(28)를 갖고 있다(도 10(B) 참조).

[0204] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는, 제 1 배선(11) ~ 제 4 배선(14) 중 어느 하나와 전기적으로 접속되어 있다. 예를 들어, 도 10(A), (B)에서, 제 1 펄스 출력 회로(10_1)는, 제 1 입력 단자(21)가 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 2 배선(12)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 3 배선(13)과 전기적으로 접속되어 있다. 또한, 제 2 펄스 출력 회로(10_2)는, 제 1 입력 단자(21)가 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 3 배선(13)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 4 배선(14)과 전기적으로 접속되어 있다.

[0205] 또한, 도 10(A), 도 10(B)에서, 제 1 펄스 출력 회로(10_1)는, 제 4 입력 단자(24)에 스타트 펄스가 입력되고, 제 5 입력 단자(25)에 후단 신호(OUT(3)(SR))가 입력되고, 제 1 출력 단자(26)에서 제 1 출력 신호

(OUT(1)(SR))가 출력되고, 제 2 출력 단자(27)에서 제 2 출력 신호(OUT(1))가 출력되고, 제 6 입력 단자(28)에서 리셋 신호(Res)가 입력되게 된다.

[0206] 이어서, 펄스 출력 회로의 구체적인 회로 구성의 일 예에 대해, 도 10(C)에서 설명한다.

[0207] 도 10(C)에서 제 1 트랜지스터(31)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트가 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 2 트랜지스터(32)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트가 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되어 있다. 제 3 트랜지스터(33)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 4 트랜지스터(34)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되어 있다. 제 5 트랜지스터(35)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 4 입력 단자(24)에 전기적으로 접속되어 있다. 제 6 트랜지스터(36)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 5 입력 단자(25)에 전기적으로 접속되어 있다. 제 7 트랜지스터(37)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 게이트가 제 3 입력 단자(23)에 전기적으로 접속되어 있다. 제 8 트랜지스터(38)는, 제 1 단자가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 제 2 입력 단자(22)에 전기적으로 접속되어 있다. 제 9 트랜지스터(39)는, 제 1 단자가 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 제 3 트랜지스터(33)의 게이트 및 제 10 트랜지스터(40)의 게이트에 전기적으로 접속되고, 게이트가 전원선(51)에 전기적으로 접속되어 있다. 제 10 트랜지스터(40)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트가 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속되어 있다. 제 11 트랜지스터(41)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트가 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트에 전기적으로 접속되어 있다. 또한 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트는, 리셋 신호(Res)를 공급하기 위한 배선(53)에 전기적으로 접속되어 있다. 한편 리셋 신호(Res)는, 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트 전위에 고전원 전위 레벨의 신호를 공급함으로써, 펄스 출력 회로에서의 출력을 강제적으로 저전원 전위 레벨 신호로 떨어트리기 위한 신호이다.

[0208] 도 10(C)에서, 제 3 트랜지스터(33)의 게이트, 제 10 트랜지스터(40)의 게이트, 및 제 9 트랜지스터(39)의 제 2 단자의 접속 장소를 노드(NA)로 한다. 또한, 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트의 접속 장소를 노드(NB)로 한다.

[0209] 도 10(C)에서의 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)인 경우, 제 1 입력 단자(21)에는 제 1 클럭 신호(CK1)가 입력되고, 제 2 입력 단자(22)에는 제 2 클럭 신호(CK2)가 입력되고, 제 3 입력 단자(23)에는 제 3 클럭 신호(CK3)가 입력되고, 제 4 입력 단자(24)에는 스타트 펄스(SP)가 입력되고, 제 5 입력 단자(25)에는 후단 신호(OUT(3)(SR))가 입력되고, 제 1 출력 단자(26)에서는 OUT(1)(SR)이 출력되고, 제 2 출력 단자(27)에서는 OUT(1)이 출력되고, 제 6 입력 단자(28)에는 리셋 신호(Res)가 입력된다.

[0210] 한편, 도 10(C)에 나타낸 펄스 출력 회로를 복수 구비하는 시프트 레지스터의 타이밍 차트에 대해서는, 도 9에 나타낸 타이밍 차트와 동일하다.

[0211] 도 10에서, 일 예로 나타낸, n 채널형 트랜지스터를 복수 이용하여 제작한 구동 회로에서, 정지화 및 동화상 표시를 할 때의, 각 배선의 전위 공급 또는 정지 순서에 대해 설명한다.

[0212] 우선 구동 회로부(1007)의 동작을 정지하는 경우에는, 우선 표시 제어 회로(1006)는, 스타트 펄스(SP)를 정지한다. 이어서, 스타트 펄스(SP)의 정지 후, 펄스 출력이 시프트 레지스터의 최종단까지 달한 후에, 각 클럭 신호(CK)를 정지한다. 이어서, 리셋 신호(Res)를 공급한다. 이어서, 전원 전압의 고전원 전위(Vdd), 및 저전원 전위(Vss)를 정지한다(도 11(C) 참조). 또한 구동 회로부(1007)의 동작을 재개하는 경우에는, 우선 표시 제어 회

로(1006)는, 전원 전압의 고전원 전위(Vdd), 및 저전원 전위(Vss)를 구동 회로부(1007)에 공급한다. 이어서, 리셋 신호(Res)를 공급한다. 이어서, 클럭 신호(CK)를 공급하고, 이어서 스타트 펄스(SP)의 공급을 재개한다(도 11(D) 참조).

[0213] 도 10에서 설명한 바와 같이, 도 8, 도 9의 구성에 추가로 리셋 신호를 공급하는 구성으로 함으로써, 정지화와 동화상 전환 시의 신호의 지연 등에 의한 오작동을 저감할 수 있으므로 적합하다.

[0214] 또한, 정지화로 표시할 경우에, 구동 회로부를 구성하는 트랜지스터 위에 형성한 공통 전위 전극을 공통 전위선에서 절리하여 플로팅 상태로 하여도 좋다. 그리고, 정지화 모드 후, 구동 회로를 다시 동작시킬 때에는, 공통 전위 전극을 공통 전위선에 접속한다. 이와 같이 하면 구동 회로부의 트랜지스터의 오작동을 방지할 수 있다.

[0215] 도 12(A)는, 이와 같은 표시 패널(1800)의 일 예를 나타내고, 도 12(B)는 그 단면 구조를 설명하는 도면이다.

[0216] 표시 패널(1800)에는 구동 회로(1802, 1804) 및 화소부(1806)가 형성되어 있다. 구동 회로(1802)가 형성되는 영역에 중첩하여 공통 전위 전극(1808)이 배설되어 있다. 공통 전위 전극(1808)과 공통 전위 단자(1812) 사이에는, 양자의 접속/비접속을 제어하는 스위치 소자(1810)가 형성되어 있다.

[0217] 도 12(B)에 나타낸 바와 같이, 공통 전위 전극(1808)은 구동 회로의 트랜지스터(1803) 위에 배설되어 있다. 공통 전위 전극(1808)이 트랜지스터(1803) 위에 형성됨으로써, 트랜지스터(1803)는 정전 차폐되고, 역치 전압의 변동이나 기생 채널이 생성되는 것을 방지하고 있다.

[0218] 스위치 소자(1810)는, 이 트랜지스터(1803)와 동일한 구성의 것을 이용할 수 있다. 이들 소자는, 오프 상태에서의 리크 전류가 매우 작으므로, 표시 패널의 동작을 안정화시키는데 기여한다. 즉, 정지화로 표시하는 경우에서, 스위치 소자(1810)를 오프로 하여 공통 전위 전극을 플로팅 상태로 만든 경우에도, 전위를 일정하게 유지하는 효과가 있다.

[0219] 이와 같이, 밴드갭이 넓은 산화물 반도체에 의해 구성되는 트랜지스터를 이용하는 동시에, 공통 전위 전극을 형성하여 외부 전장을 차폐함으로써, 구동 회로의 동작을 정지시킨 상태에서도 정지화를 표시할 수 있다. 또한, 공통 전위 전극의 전위를 구동 회로의 동작에 맞추어 적절히 제어함으로써, 표시 패널 동작의 안정화를 도모할 수 있다.

[0220] 이상 설명한 바와 같이, 고순도의 산화물 반도체를 이용한 트랜지스터를 각 화소에 구비함으로써, 유지 용량으로 전압을 유지할 수 있는 기간을 종래와 비교하여 길게 가질 수 있고, 정지화 등을 표시할 때의 저소비 전력화를 도모할 수 있다. 또한, 정지화 표시를 할 때에, 화소부에 포함되는 모든 신호선 및/또는 모든 주사선에 공급되는 신호의 출력을 정지하도록 구동 회로부를 동작시킴으로써, 화소부 뿐만 아니라 구동 회로부의 소비 전력도 억제할 수 있다.

[0222] (실시형태 3)

[0223] 본 실시형태에서는, 실시형태 1에서 설명한 제 1 트랜지스터(6401)의 구조의 일 예, 및 그 제작 방법의 일 예에 대해 설명한다. 즉, 고순도의 산화물 반도체를 이용한 트랜지스터 구조의 일 예, 및 그 제작 방법의 일 예에 대해 설명한다.

[0224] 우선, 도 13(A), 도 13(B)에 트랜지스터의 평면 및 단면 구조의 일 예를 나타낸다. 도 13(A)는 탑게이트 구조의 트랜지스터(410)의 평면도이고, 도 13(B)는 도 13(A)의 선 C1-C2에서의 단면도이다.

[0225] 트랜지스터(410)는, 기판(400) 위에, 절연층(407), 산화물 반도체층(412), 제 1 전극(소스 전극 및 드레인 전극의 한쪽)(415a), 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)(415b), 게이트 절연층(402), 및 게이트 전극(411)을 갖고, 제 1 전극(415a), 제 2 전극(415b)에는 각각 제 1 배선(414a), 제 2 배선(414b)이 접하도록 형성되고, 전기적으로 접속되어 있다.

[0226] 한편, 도 13(A)에 나타낸 트랜지스터(410)는 싱글 게이트 구조의 트랜지스터를 나타내고 있으나, 본 발명은 이 구성에 한정되는 것은 아니며, 게이트 전극을 복수 갖고, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터로 하여도 좋다.

[0227] 이어서, 도 14(A) 내지 도 14(E)를 이용하여, 트랜지스터(410)를 제작하는 공정에 대해 설명한다.

[0228] 우선, 기판(400) 위에 하지막이 되는 절연층(407)을 형성한다.

[0229] 기판(400)으로 사용 가능한 기판으로는 크게 제한은 없으나, 적어도 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있는 것이 필요하다. 후의 가열 처리 온도가 높은 경우에는, 변형점이 730℃ 이상인 것을 이용하면 된다. 기판(400)의 구체예로는, 유리 기판, 결정화 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 플라스틱 기판 등을 들 수 있다. 또한, 유리 기판의 구체적인 재료예로는, 알루미노실리케이트 유리, 알루미노붕규산 유리, 바륨붕규산 유리를 들 수 있다.

[0230] 절연층(407)으로는, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층 등의 산화물 절연층을 이용하는 것이 바람직하다. 절연층(407)의 형성 방법으로는, 플라즈마 CVD법, 스퍼터링법 등을 이용할 수 있으나, 절연층(407) 중에 수소가 다량으로 포함되지 않도록 하기 위해서는, 스퍼터링법으로 절연층(407)을 성막하는 것이 바람직하다. 본 실시형태에서는, 절연층(407)으로 스퍼터링법에 의해 산화 실리콘층을 형성한다. 구체적으로는, 기판(400)을 처리실로 수송한 후, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 또는 실리콘 산화물의 타겟을 이용하여, 기판(400) 위에 절연층(407)으로서 산화 실리콘층을 성막한다. 한편, 성막 시의 기판(400)은 실온이어도 좋고, 가열되어 있어도 좋다.

[0231] 성막 조건의 구체예로는, 타겟으로 석영(바람직하게는 합성 석영)을 이용하고, 기판 온도 108℃, 기판(400)과 타겟 사이의 거리(T-S간 거리)를 60mm, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량 25sccm:아르곤 유량 25sccm=1:1) 분위기 하에서 RF 스퍼터링법에 의해 산화 실리콘막을 성막한다. 막후는 100nm로 한다. 한편, 타겟으로 석영(바람직하게는 합성 석영) 대신 실리콘 타겟을 이용할 수도 있다. 또한, 스퍼터링 가스로 산소 및 아르곤의 혼합 가스 대신 산소 가스를 이용해도 좋다. 여기서, 절연층(407)을 성막 할 때에 이용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물 농도가 ppm 레벨, 바람직하게는 ppb 레벨까지 제거된 고순도 가스를 이용한다.

[0232] 또한, 절연층(407)의 성막 시에, 처리실 내의 잔류 수분을 제거하면서 절연층(407)을 성막함으로써, 절연층(407)에 수소, 수산기 또는 수분이 포함되지 않도록 하는 것이 바람직하다.

[0233] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하면 된다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄승화 펌프를 이용할 수 있다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이 바람직하다. 크라이오 펌프를 이용하여 배기한 처리실은, 수소 원자나, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 배기되므로, 이 처리실에서 성막한 절연층(407)은, 수소 원자가 거의 포함되기 어려우므로 바람직하다.

[0234] 스퍼터링법으로는, 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법, 직류 전원을 이용하는 DC 스퍼터링법, 펄스적으로 바이어스를 가하는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

[0235] 또한, 재료가 다른 타겟을 복수 설치하는 것이 가능한 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 다른 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막하는 것도 가능하다.

[0236] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치를 이용할 수 있다.

[0237] 또한, 스퍼터링법을 이용하는 성막 방법으로는, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜, 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.

[0238] 또한, 절연층(407)은 단층 구조에 한정되지 않으며, 적층 구조이어도 좋다. 예를 들어, 기판(400) 측에서 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 또는 질화산화 알루미늄 등의 질화물 절연층과, 상기 산화물 절연층의 적층 구조로 하여도 좋다.

[0239] 예를 들어, 산화 실리콘층과 기판 사이에 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 타겟을 이용하여 질화 실리콘층을 성막한다. 이 경우에도, 산화 실리콘층과 동일하게, 처리실 내의 잔류 수분을 제거하면서 질화 실리콘층을 성막하는 것이 바람직하다. 또한, 질화 실리콘층을 형성하는 경우도, 성막 시에 기판을 가열하여도 좋다.

[0240] 절연층(407)으로 질화 실리콘층과 산화 실리콘층을 적층하는 경우, 질화 실리콘층과 산화 실리콘층을 같은 처리

실에서, 공통의 실리콘 타겟을 이용하여 성막할 수 있다. 먼저 질소를 포함하는 스퍼터링 가스를 도입하여, 처리실 내에 장착된 실리콘 타겟을 이용하여 질화 실리콘층을 형성하고, 이어서 스퍼터링 가스를 산소를 포함하는 스퍼터링 가스로 전환하여 같은 실리콘 타겟을 이용하여 산화 실리콘층을 성막한다. 이 방법을 이용하는 경우, 질화 실리콘층과 산화 실리콘층을 대기에 노출시키지 않고 연속하여 형성할 수 있으므로, 질화 실리콘층 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다.

[0241] 이어서, 절연층(407) 위에 산화물 반도체층을 스퍼터링법에 의해 형성한다.

[0242] 산화물 반도체층에 수소, 수산기 및 수분이 최대한 포함되지 않도록 하기 위해, 성막의 전처리로, 스퍼터링 장치의 예비 가열실에서 절연층(407)이 형성된 기판(400)을 예비 가열하고, 기판(400)에 흡착된 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 한편, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열은, 후에 형성하는 게이트 절연층(402)의 성막 전의 기판(400)에 대해 행하는 것이 바람직하다. 또한, 후에 형성하는 제 1 전극(415a) 및 제 2 전극(415b)까지 형성한 기판(400)에 대해서도 동일하게 행하는 것이 바람직하다. 단, 이들 예비 가열 처리는 생략하여도 좋다.

[0243] 한편, 산화물 반도체층을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 절연층(407)의 표면에 부착되어 있는 먼지를 제거하는 것도 바람직하다. 역스퍼터링이란, 타겟 측으로 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측으로 고주파 전원을 이용하여 전압을 인가함으로써 기판 부근에 플라즈마를 형성하고, 표면을 개질하는 방법이다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등을 이용해도 좋다.

[0244] 산화물 반도체층의 타겟으로는, 산화 아연을 주성분으로 하는 금속 산화물의 타겟을 이용할 수 있다. 또한, 금속 산화물의 타겟의 다른 예로는, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟(조성비로, In_2O_3:Ga_2O_3:ZnO=1:1:1[mol%], In:Ga:Zn=1:1:0.5[atom%])을 이용할 수 있다. 또한, In, Ga, 및 Zn을 포함하는 금속 산화물의 타겟으로, In:Ga:Zn=1:1:1[atom%], 또는 In:Ga:Zn=1:1:2[atom%]의 조성비를 갖는 타겟을 이용할 수도 있다. 또한, SiO_2을 2중량% 이상 10중량% 이하 포함하는 타겟을 이용할 수도 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써, 성막한 산화물 반도체층을 치밀한 막으로 할 수 있다.

[0245] 한편, 산화물 반도체층의 성막 시에는, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하로 하면 된다. 여기서, 산화물 반도체층을 성막 할 때에 이용하는 스퍼터링 가스는, 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도가 ppm 레벨, 바람직하게는 ppb 레벨까지 제거된 고순도 가스를 이용한다.

[0246] 산화물 반도체층은, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타겟으로 하여 기판(400) 위에 성막한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄승화 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 처리실은, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되므로, 이 처리실에서 성막한 산화물 반도체층에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 산화물 반도체층 성막 시에 기판을 실온 상태로 하거나, 또는 400℃ 미만의 온도로 가열하여도 좋다.

[0247] 산화물 반도체층의 성막 조건의 일 예로는, 기판 온도 실온, 기판과 타겟 사이의 거리를 110mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소 및 아르곤(산소 유량 15sccm:아르곤 유량 30sccm) 분위기 하의 조건을 들 수 있다. 한편, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 과립형 물질(파티클, 먼지라고도 한다)을 경감시킬 수 있고, 막후 분포도 균일해지므로 바람직하다. 산화물 반도체층의 막후는, 막후 2nm 이상 200nm 이하로 하면 되고, 바람직하게는 5nm 이상 30nm 이하로 한다. 한편, 적용하는 산화물 반도체의 재료에 따라 적절한 두께는 다르며, 재료에 따라 적절히 두께를 선택하면 된다.

[0248] 이상의 방법에 의해 형성되는 산화물 반도체층의 구체예로는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O나, 삼원계 금속 산화물인 In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O나, 이원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O나, In-O, Sn-O, Zn-O 등의 산화물 반도체층을 이용할 수 있다. 또한, 상기 산화물 반도체층은 Si를 포함하고 있어도 좋다. 또한, 이들 산화물 반도체층은, 비정질이어도 좋으며, 결정질이어도 좋다. 또는, 비단결정이어도 좋으며, 단결정이어도 좋다. 본 실시형태에

서는, In-Ga-Zn-O을 타겟으로 이용한 스퍼터링법에 의해, 비정질의 In-Ga-Zn-O막을 성막한다.

[0249] 또한, 산화물 반도체층으로, $InMO_3(ZnO)_m(m>0)$로 표기되는 박막을 이용할 수도 있다. 여기서, M은, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소이다. 예를 들어, M으로, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co를 들 수 있다. 한편, $InMO_3(ZnO)_m(m>0)$로 표기되는 구조의 산화물 반도체막 중, M으로 Ga를 포함하는 구조의 산화물 반도체를, 상기한 In-Ga-Zn-O 산화물 반도체라고 할 수 있다.

[0250] 이어서, 산화물 반도체층을 제 1 포토리소 그래피 공정에 의해 섬 모양의 산화물 반도체층(412)으로 가공한다(도 14(A) 참조.). 한편, 섬 모양의 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.

[0251] 한편, 산화물 반도체층의 에칭은, 건식 에칭이어도 습식 에칭이어도 좋으며, 양쪽 모두를 이용해도 좋다.

[0252] 건식 에칭을 하는 경우, 평행평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마) 에칭법을 이용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.

[0253] 건식 에칭에 이용하는 에칭 가스로는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 사염화 탄소(CCl_4) 등)가 바람직하나, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF_4), 육불화 유황(SF_6), 삼불화 질소(NF_3), 트리플루오로메탄(CHF_3) 등), 브롬화수소 (HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수도 있다.

[0254] 습식 에칭에 이용하는 에칭액으로는, 인산과 초산과 질산을 섞은 용액, 암모니아과수(예를 들어, 부피비로 31중량% 과산화수소수:28중량%암모니아수:물=5:2:2가 되도록 혼합한 용액) 등을 이용할 수 있다. 또한, ITO07N(칸토 카가꾸 제조)을 이용해도 좋다. 에칭의 조건(에칭액, 에칭시간, 온도 등)에 대해서는, 산화물 반도체의 재료에 맞추어 적절히 조절하면 된다.

[0255] 또한, 습식 에칭을 하는 경우, 에칭액은 에칭된 재료와 함께 세척에 의해 제거된다. 이 제거된 재료를 포함하는 에칭액의 폐액을 정제하고, 포함되는 재료를 재이용하여도 좋다. 이 에칭 후의 폐액에서 산화물 반도체층에 포함되는 재료(예를 들어, 인듐 등의 레어 메탈)를 회수하여 재이용함으로써, 자원을 유효하게 활용할 수 있다.

[0256] 본 실시형태에서는, 에칭액으로 인산과 초산과 질산을 섞은 용액을 이용한 습식 에칭법에 의해, 산화물 반도체층을 섬 모양의 산화물 반도체층(412)으로 가공한다.

[0257] 이어서, 산화물 반도체층(412)에 제 1 가열 처리를 한다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1시간의 가열 처리를 한 후, 대기에 접촉시키지 않음으로써, 산화물 반도체층으로의 물이나 수소의 재혼입을 막는다. 이 제 1 가열 처리에 의해 산화물 반도체층(412)에서 수소, 물, 및 수산기 등을 제거할 수 있다.

[0258] 한편, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 하는 장치이다. 기체로는, 불활성 가스(대표적으로는, 아르곤 등의 희가스) 또는 질소 가스를 이용할 수 있다.

[0259] 예를 들어, 제 1 가열 처리로, 650℃ ~ 700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수분간 가열 한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스에서 꺼내는 GRTA를 행하여도 좋다. GRTA를 이용함으로써, 단시간에 고온 가열 처리가 가능해진다.

[0260] 제 1 가열 처리할 때의 분위기로는, 물, 수소 등이 포함되지 않도록 하는 것이 바람직하다. 또는, 가열 처리 장치의 장치 내에 도입하는 질소, 헬륨, 네온, 아르곤 등의 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는

7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0261] 한편, 제 1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 제 1 가열 처리에 의해 섬 모양의 산화물 반도체층(412)이 결정화하고, 미세 결정화 또는 다결정화하는 경우도 있다. 예를 들어, 결정화율이 80% 이상인 미세 결정의 산화물 반도체층이 되는 경우도 있다. 단, 제 1 가열 처리를 하여도 섬 모양의 산화물 반도체층(412)이 결정화하지 않고, 비정질의 산화물 반도체층이 되는 경우도 있다. 또한, 비정질의 산화물 반도체층 중에 미세 결정부(입경 1nm 이상 20nm 이하(대표적으로는 2nm 이상 4nm 이하))가 혼재하는 산화물 반도체층이 되는 경우도 있다.

[0262] 또한, 산화물 반도체층에 대한 제 1 가열 처리는, 섬 모양의 산화물 반도체층으로 가공하기 전의 산화물 반도체층에 행하여도 좋다. 이 경우, 제 1 가열 처리 후에, 가열 처리 장치에서 기판을 꺼내, 포토리소 그래피 공정을 행한다.

[0263] 제 1 가열 처리에서는, 산화물 반도체층 중에서 수소, 물, 및 수산기 등의 불순물을 제거하는 것을 주 목적으로 하고 있으나, 이 가열 처리 시에 산화물 반도체층 중에 산소 결함이 발생하게 될 우려가 있다. 따라서, 제 1 가열 처리 후에, 가산화 처리를 하는 것이 바람직하다. 가산화 처리의 구체예로는, 제 1 가열 처리 후, 연속해서 산소 분위기 또는 질소 및 산소를 포함하는 분위기(질소:산소의 부피비=4:1)에서 가열 처리를 하는 방법을 들 수 있다. 또한, 산소 분위기 하에서 플라즈마 처리를 하는 방법을 이용할 수도 있다.

[0264] 산화물 반도체층에 대한 탈수화, 탈수소화의 효과를 나타내는 가열 처리는, 산화물 반도체층 성막 후, 산화물 반도체층 위에 소스 전극 및 드레인 전극을 적층시킨 후, 소스 전극 및 드레인 전극 위에 게이트 절연층을 형성한 후, 중 어느 한 단계에서 행하여도 좋다.

[0265] 이어서, 절연층(407) 및 산화물 반도체층(412) 위에, 도전막을 형성한다. 도전막은, 스퍼터링법이나 진공 증착법에 의해 형성하면 된다. 도전막의 재료로는, Al, Cu, Cr, Ta, Ti, Mo, W, Y 등의 금속 재료, 이 금속 재료를 성분으로 하는 합금 재료, 도전성을 갖는 금속 산화물 등을 들 수 있다. 도전성을 갖는 금속 산화물로는, 산화인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화인듐 산화주석 합금(In_2O_3-SnO_2, ITO로 약기한다), 산화인듐 산화아연 합금(In_2O_3-ZnO) 또는 상기 금속 산화물 재료에 실리콘 또는 산화실리콘을 포함시킨 것을 이용할 수 있다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y 등 Al막에 생기는 힐록(hillocks)이나 위스커(whiskers)의 발생을 방지하는 원소가 첨가된 Al 재료를 이용하여도 좋으며, 이 경우, 내열성을 향상시킬 수 있다.

[0266] 또한, 도전막은, 단층 구조이어도 좋으며, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층한 2층 구조, Ti막 위에 겹쳐서 알루미늄막을 적층하고, 나아가 그 위에 Ti막을 적층한 3층 구조를 들 수 있다. 또한, Al, Cu 등의 금속층과, Cr, Ta, Ti, Mo, W 등의 고융점 금속층이 적층된 구성으로 하여도 좋다.

[0267] 이어서, 제 2 포토리소 그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭하여 제 1 전극(415a) 및 제 2 전극(415b)을 형성한 후, 레지스트 마스크를 제거한다(도 14(B) 참조). 제 1 전극(415a)은 소스 전극 및 드레인 전극의 한쪽으로 기능하고, 제 2 전극(415b)은 소스 전극 및 드레인 전극의 다른 한쪽으로 기능한다. 여기서, 제 1 전극(415a) 및 제 2 전극(415b)의 단부가 테이퍼 형상이 되도록 에칭하면, 위에 적층하는 게이트 절연층의 피복성이 향상되므로 바람직하다. 한편, 제 1 전극(415a), 제 2 전극(415b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.

[0268] 본 실시형태에서는 제 1 전극(415a), 제 2 전극(415b)으로 스퍼터링법에 의해 막후 150nm의 티탄막을 형성한다.

[0269] 또한, 도전막의 에칭 시에는, 산화물 반도체층(412)이 제거되고 그 아래 절연층(407)이 노출되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절할 필요가 있다. 여기서, 본 실시형태에서는, 산화물 반도체층(412)으로 In-Ga-Zn-O계의 산화물 반도체를 이용하고, 도전막으로 티탄막을 이용하며, 에천트로 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)을 이용함으로써, 산화물 반도체층(412)의 일부가 에칭되지 않도록 하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 즉, 제 2 포토리소 그래피 공정에 의해, 산화물 반도체층(412)의 일부를 에칭하고, 홈부(요부)를 갖는 산화물 반도체층으로 할 수도 있다.

[0270] 제 2 포토리소 그래피 공정에서의 레지스트 마스크 형성 시의 노광에는, 자외선이나 KrF 레이저광, 또는 ArF 레이저광을 이용하면 된다. 산화물 반도체층(412) 위에서 이웃하는 제 1 전극의 하단부와 제 2 전극의 하단부의 간격 폭에 의해, 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 한편, 채널 길이(L)=25nm 미만의 노광

을 행하는 경우에는, 수 nm ~ 수 10nm로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 제 2 포토리소 그래피 공정에서의 레지스트 마스크 형성 시의 노광을 행한다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 이로 인해, 후에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 하는 것도 가능하다. 이 경우, 트랜지스터의 동작 속도를 고속화할 수 있고, 나아가 오프 전류 값이 매우 작으므로, 트랜지스터의 저소비 전력화를 도모할 수 있다.

[0271] 이어서, 절연층(407), 산화물 반도체층(412), 제 1 전극(415a), 제 2 전극(415b) 위에 게이트 절연층(402)을 형성한다(도 14(C) 참조).

[0272] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 또는 산화 알루미늄층을 단층 또는 적층하여 형성할 수 있다.

[0273] 게이트 절연층(402)을 형성할 때에는, 수소가 포함되지 않도록 하는 것이 바람직하다. 이로 인해, 성막 시의 분위기에서 수소를 최대한 줄이는 것이 가능한 스퍼터링법으로 게이트 절연층(402)을 성막하는 것이 바람직하다. 스퍼터링법에 의해 산화 실리콘막을 성막하는 경우에는, 타겟으로 실리콘 타겟 또는 석영 타겟을 이용하고, 스퍼터링 가스로 산소, 또는 산소 및 아르곤의 혼합 가스를 이용하여 행한다.

[0274] 또한, 게이트 절연층(402)은, 제 1 전극(415a), 제 2 전극(415b) 측에서 순서대로 산화 실리콘층과 질화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제 1 게이트 절연층으로 막후 5nm 이상 300nm 이하의 산화 실리콘층(SiO_x(x>0))을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로 막후 50nm 이상 200nm 이하의 질화 실리콘층(SiN_y(y>0))을 적층하여, 막후 100nm의 게이트 절연층으로 하여도 좋다. 본 실시형태에서는, 압력 0.4Pa, 고주파 전원 1.5kW, 산소 및 아르곤(산소 유량25sccm:아르곤 유량25sccm=1:1) 분위기 하에서 RF 스퍼터링법에 의해 막후 100nm의 산화 실리콘층을 형성한다.

[0275] 이어서, 제 3 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 게이트 절연층(402)의 일부를 제거함으로써, 제 1 전극(415a), 제 2 전극(415b)에 달하는 개구(421a, 421b)를 형성한다(도 14(D) 참조). 한편, 레지스트 마스크를 잉크젯법으로 형성하는 경우, 포토 마스크를 사용하지 않으므로, 제조 비용을 절감할 수 있다.

[0276] 이어서, 게이트 절연층(402), 및 개구(421a, 421b) 위에 도전막을 형성한 후, 제 4 포토리소 그래피 공정에 의해 게이트 전극(411), 제 1 배선(414a), 제 2 배선(414b)을 형성한다.

[0277] 게이트 전극(411), 제 1 배선(414a), 제 2 배선(414b)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다. 게이트 전극(411), 제 1 배선(414a), 및 제 2 배선(414b)의 2층 구조의 구체예로는, 알루미늄층 위에 몰리브덴층이 적층된 구조, 구리층 위에 몰리브덴층이 적층된 구조, 구리층 위에 질화 티탄층 또는 질화 탄탈층이 적층된 구조, 또는 질화 티탄층 위에 몰리브덴층이 적층된 구조를 들 수 있다. 또한, 3층 구조의 구체예로는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄 및 실리콘의 합금 또는 알루미늄 및 티탄의 합금층과, 질화 티탄 또는 티탄층이 적층된 구조를 들 수 있다. 한편, 투광성을 갖는 도전막을 이용하여 게이트 전극층을 형성할 수도 있다. 투광성을 갖는 도전막의 구체예로는, 투광성을 갖는 도전성 산화물로 이루어진 막을 들 수 있다.

[0278] 본 실시형태에서는 게이트 전극(411), 제 1 배선(414a), 제 2 배선(414b)으로 스퍼터링법에 의해 막후 150nm의 티탄막을 형성한다.

[0279] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 한다. 본 실시형태에서는, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 한다. 한편, 제 2 가열 처리는, 트랜지스터(410) 위에 보호 절연층이나 평탄화 절연층을 형성한 후 행하여도 좋다.

[0280] 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 추가로 행하여도 좋다. 이 가열 처리는, 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수 회 반복하여 행하여도 좋다. 또한, 이 가열 처리를 산화물 절연층의 형성 전에 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있으므로 바람직하다.

[0281] 이상의 공정에 의해, 수소, 수분, 수소화물, 수산화물의 농도가 저감된, 고순도의 산화물 반도체층(412)을 갖는

트랜지스터(410)를 형성할 수 있다(도 14(E) 참조). 트랜지스터(410)는, 실시형태 1에서 설명한 제 1 트랜지스터(6401) 등으로 적용할 수 있다.

[0282] 또한, 트랜지스터(410) 위에 보호 절연층이나, 평탄화를 위한 평탄화 절연층을 형성하여도 좋다. 보호 절연층으로는, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 또는 산화 알루미늄층을 단층 또는 적층하여 형성할 수 있다. 또한, 평탄화 절연층으로는, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 이용할 수도 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써 평탄화 절연층을 형성하여도 좋다.

[0283] 여기서, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상응한다. 실록산계 수지는 치환기로는 유기기(예를 들어 알킬기나 아릴기)나 플루오로기를 이용하여도 좋다. 또한, 유기기는 플루오로기를 갖고 있어도 좋다.

[0284] 평탄화 절연층의 형성법은, 특별히 한정되지 않으며, 그 재료에 따라, 스퍼터링법, SOG법, 스핀코팅법, 딥, 스프레이 도포, 액적토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터나이프, 롤코터, 커텐코터, 나이프코터 등을 이용할 수 있다.

[0285] 상술한 바와 같이, 산화물 반도체층을 성막할 때에, 반응 분위기 중의 잔류 수분을 제거함으로써, 산화물 반도체층 중의 수소 및 수소화물의 농도를 저감할 수 있다.

[0286] 본 실시형태에서 설명한 산화물 반도체층을 갖는 트랜지스터를 표시 장치의 표시부를 구성하는 화소로 이용함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화 등을 표시할 때의 소비 전력을 억제할 수 있다. 또한 정지화를 표시할 때 제어 신호를 정지함으로써 저소비 전력화를 도모할 수 있다. 또한 정지화와 동화상의 전환을 오작동 없이 행할 수 있다.

[0288] (실시형태 4)

[0289] 본 실시형태에서는, 실시형태 1에서 설명한 제 1 트랜지스터(6401)의 구조의 일 예, 및 그 제작 방법의 일 예에 대해 설명한다. 즉, 고순도의 산화물 반도체를 이용한 트랜지스터 구조의 일 예, 및 그 제작 방법의 일 예에 대해 도 15(A) 내지도 15(E)를 이용하여 설명한다.

[0290] 도 15(A) 내지 (E)에 트랜지스터의 단면 구조의 일 예를 나타낸다. 도 15(E)에 나타낸 트랜지스터(390)는, 보톰게이트 구조의 하나이고 역스태거형의 트랜지스터라고도 한다. 이 트랜지스터(390)를, 실시형태 1에서 설명한 제 1 트랜지스터(6401) 등으로 이용할 수 있다. 한편, 트랜지스터(390)는 싱글 게이트 구조의 트랜지스터를 나타내고 있으나, 본 발명은 이 구성에 한정되는 것은 아니며, 게이트 전극을 복수 갖고, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터로 하여도 좋다.

[0291] 이하, 도 15(A) 내지 도 15(E)를 이용하여, 기판(394) 위에 트랜지스터(390)를 제작하는 방법에 대해 설명한다.

[0292] 우선, 기판(394) 위에 도전막을 형성한 후, 제 1 포토리소 그래피 공정에 의해 게이트 전극(391)을 형성한다. 형성된 게이트 전극의 단부는 테이퍼 형상일 경우 위에 적층하는 게이트 절연층의 피복성이 향상되므로 바람직하다. 한편, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 저감할 수 있다.

[0293] 여기서, 기판(394)의 재료에 대해서는, 실시형태 3에서 설명한 기판(400)과 동일한 것을 채용할 수 있다. 또한, 게이트 전극(391)의 재료나 성막 방법 등은, 실시형태 3에서 설명한 게이트 전극(411)과 동일한 것을 채용할 수 있다.

[0294] 한편, 기판(394)과 게이트 전극(391) 사이에, 하지막이 되는 절연막을 형성하여도 좋다. 하지막은, 기판(394)에서의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막에서 선택된 하나로 이루어진 단층 구조, 또는 이들에서 선택된 복수의 막에 의한 적층 구조에 의해 형성하면 된다.

[0295] 이어서, 게이트 전극(391) 위에 게이트 절연층(397)을 형성한다.

[0296] 게이트 절연층(397)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 또는 산화 알루미늄층을 단층 또는 적층하여 형성할 수 있다. 한편, 게이트 절연층(397) 중에 수소가 다량으로 포함되지 않도록 하기 위해, 스퍼터링법으로 게이트 절연층(397)을 성막하는

것이 바람직하다. 스퍼터링법에 의해 산화 실리콘막을 성막하는 경우에는, 타겟으로 실리콘 타겟 또는 석영 타겟을 이용하고, 스퍼터링 가스로 산소 또는, 산소 및 아르곤의 혼합 가스를 이용하여 행한다.

[0297] 게이트 절연층(397)은, 게이트 전극(391) 측에서 순서대로 질화 실리콘층과 산화 실리콘층을 적층한 구조로 할 수도 있다. 예를 들어, 제 1 게이트 절연층으로 스퍼터링법에 의해 막후 50nm 이상 200nm 이하의 질화 실리콘층(SiN_y(y>0))을 형성하고, 제 1 게이트 절연층 위에 제 2 게이트 절연층으로 막후 5nm 이상 300nm 이하의 산화 실리콘층(SiO_x(x>0))을 적층하여, 막후 100nm의 게이트 절연층으로 하면 된다.

[0298] 이어서, 게이트 절연층(397) 위에, 막후 2nm 이상 200nm 이하의 산화물 반도체층(393)을 형성한다(도 15(A) 참조).

[0299] 여기서, 산화물 반도체층(393)의 재료나 성막 방법 등은, 실시형태 3에서 설명한 산화물 반도체층(섬 모양의 산화물 반도체층(412))과 동일한 것을 채용할 수 있다.

[0300] 예를 들어, 산화물 반도체층(393)을 스퍼터링법에 의해 형성할 때의 성막 조건의 일 예로는, 기판과 타겟 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기 하의 조건을 들 수 있다. 한편, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 과립형 물질(파티클, 먼지라고도 한다)을 경감할 수 있고, 막후 분포도 균일해지므로 바람직하다. 산화물 반도체층(393)의 막후는, 막후 2nm 이상 200nm 이하로 하면 되고, 바람직하게는 5nm 이상 30nm 이하로 한다. 한편, 적용하는 산화물 반도체의 재료에 따라 적절한 두께는 다르며, 재료에 따라 적절히 두께를 선택하면 된다.

[0301] 한편, 산화물 반도체층(393)을 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 게이트 절연층(397)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다.

[0302] 또한, 게이트 절연층(397), 산화물 반도체층(393)에 수소, 수산기 및 수분이 되도록 포함되지 않도록 하기 위해, 성막의 전처리로써, 스퍼터링 장치의 예비 가열실에서 게이트 전극(391)이 형성된 기판(394), 또는 게이트 절연층(397) 까지 형성된 기판(394)을 예비 가열하고, 기판(394)에 흡착된 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 예비 가열의 온도로는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하로 하면 된다. 또한, 예비 가열실에 구비하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열은, 보호 절연층(396)의 성막 전에, 제 1 전극(395a) 및 제 2 전극(395b)까지 형성한 기판(394)에 대해 동일하게 행하여도 좋다.

[0303] 이어서, 산화물 반도체층을 제 2 포토리소 그래피 공정에 의해 섬 모양의 산화물 반도체층(399)으로 가공한다(도 15(B) 참조). 한편, 섬 모양의 산화물 반도체층(399)의 가공 방법에 대해서는, 실시형태 3에서 설명한 섬 모양의 산화물 반도체층(412)을 형성할 때의 가공 방법과 동일한 것을 채용할 수 있다.

[0304] 한편, 다음 공정의 도전막을 형성하기 전에 역스퍼터링을 행하고, 산화물 반도체층(399) 및 게이트 절연층(397)의 표면에 부착되어 있는 레지스트 잔사 등을 제거하는 것이 바람직하다.

[0305] 이어서, 게이트 절연층(397) 및 산화물 반도체층(399) 위에 도전막을 형성한다. 도전막의 성막 방법은, 스퍼터링법이나 진공 증착법 등을 이용하면 된다. 또한, 도전막의 재료로는, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 이들 원소를 성분으로 하는 합금, 또는 이들 원소를 복수 조합한 합금 등을 이용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 토륨 중 어느 하나 또는 복수에서 선택된 재료를 이용해도 좋다. 또한, 투광성을 갖는 도전막을 이용해도 좋다. 투광성을 갖는 도전막의 구체예로는, 투광성을 갖는 도전성 산화물로 이루어진 막을 들 수 있다.

[0306] 또한, 도전막은, 단층 구조이어도 좋으며, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, Ti막과, 이 Ti막 위에 겹쳐서 알루미늄막을 적층하고, 나아가 그 위에 Ti막을 성막하는 3층 구조 등을 들 수 있다.

[0307] 이어서, 제 3 포토리소 그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 제 1 전극(395a), 제 2 전극(395b)을 형성한 후, 레지스트 마스크를 제거한다(도 15(C) 참조). 여기서, 도전막의 에칭 시에는, 산화물 반도체층(399)이 제거되어 그 아래 게이트 절연층(397)이 노출되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절할 필요가 있다. 여기서, 본 실시형태에서는, 산화물 반도체층(399)으로 In-Ga-Zn-O계의 산화물 반도체를 이용하고, 도전막으로 티탄막을 이용하며, 에천트로 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)를 이용함으로써, 산화물 반도체층(399)의 일부가 에칭되지 않도록 하고 있으나, 본 발명은 이 구성에 한정되지 않는다. 즉, 제 3 포토리소 그래피 공정에 의해, 산화물 반도체층(399)의 일부를 에칭하고,

홈부(요부)를 갖는 산화물 반도체층으로 할 수도 있다.

[0308] 제 3 포토리소 그래피 공정에서의 레지스트 마스크 형성 시의 노광에는, 자외선이나 KrF 레이저광, 또는 ArF 레이저광을 이용하면 된다. 산화물 반도체층(399) 위에서 이웃하는 제 1 전극(395a)의 하단부와 제 2 전극(395b)의 하단부의 간격 폭에 의해, 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 한편, 채널 길이(L)=25nm 미만의 노광을 하는 경우에는, 수 nm ~ 수 10nm로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 제 3 포토리소 그래피 공정에서의 레지스트 마스크 형성 시의 노광을 한다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 이로 인해, 후에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 할 수도 있고, 회로의 동작 속도를 고속화 할 수 있으며, 나아가 오프 전류 값이 매우 작으므로, 트랜지스터의 저소비 전력화를 도모할 수 있다.

[0309] 또한, 포토리소 그래피 공정에서 이용하는 포토마스크 수 및 공정 수를 삭감하기 위해, 투과된 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막후를 갖는 형상이 되고, 에칭을 행함으로써 추가로 형상을 변형할 수 있으므로, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 두 종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크 수를 삭감할 수 있고, 대응하는 포토리소 그래피 공정도 삭감할 수 있으므로, 공정의 간략화가 가능해진다.

[0310] 또한, N_2O, N_2, 또는 Ar 등의 가스를 이용한 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층(399)의 표면에 부착된 흡착수 등을 제거하여도 좋다. 또한, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 하여도 좋다. 본 실시형태에서는, 상기 중 어느 하나의 플라즈마 처리를 한다.

[0311] 이어서, 플라즈마 처리를 한 후, 대기에 접촉하지 않도록 하여, 노출되어 있는 산화물 반도체층(399), 제 1 전극(395a), 및 제 2 전극(395b)에 접하는 보호 절연막(396)을 형성한다(도 15(D) 참조). 이때, 산화물 반도체층(399) 및 보호 절연층(396)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위해, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(396)을 성막하는 것이 바람직하다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티탄 승화 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로는, 터보 펌프에 콜드 트랩을 구비한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 처리실은, 예를 들어, 수소 원자나, 물(H_2O) 등 수소 원자를 포함하는 화합물 등이 배기되므로, 이 처리실에서 성막한 보호 절연층(396)에 포함되는 불순물의 농도를 저감할 수 있다.

[0312] 본 실시형태에서는, 보호 절연층(396)으로 산화물 절연층을 형성한다. 보호 절연층(396)의 형성 방법으로, 섬 모양의 산화물 반도체층(399), 제 1 전극(395a), 및 제 2 전극(395b)이 형성된 기판(394)을 실온 상태 그대로, 또는 100℃ 미만의 온도로 가열하고, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타겟을 이용하여, 산화 실리콘층을 성막한다. 한편, 산화물 절연층으로, 산화 실리콘층 대신, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층 등을 이용할 수도 있다.

[0313] 예를 들어, 순도가 6N이고, 보론이 도프된 실리콘 타겟(저항치 0.01Ωcm)을 이용하고, 기판과 타겟 사이의 거리(T-S간 거리)를 89mm, 압력 0.4Pa, 직류(DC) 전원 6kW, 산소(산소 유량 비율 100%) 분위기 하에서 펄스 DC 스퍼터링법에 의해, 산화 실리콘층을 성막한다. 산화 실리콘층의 막후는 300nm로 한다. 한편, 실리콘 타겟 대신 석영(바람직하게는 합성 석영)을 이용할 수도 있다. 스퍼터링 가스는, 산소, 또는 산소 및 아르곤의 혼합 가스를 이용하면 된다.

[0314] 또한, 보호 절연층(396)과 산화물 반도체층(399)이 접한 상태에서 100℃ 내지 400℃에서 가열 처리를 하는 것이 바람직하다. 이 가열 처리에 의해, 산화물 반도체층(399) 중에 포함되는 수소, 수분, 수산기 또는 수소화물 등의 불순물을 보호 절연층(396)에 확산시켜, 산화물 반도체층(399) 중에 포함되는 이 불순물을 더욱 저감시킬 수 있다.

[0315] 이상의 공정에 의해, 수소, 수분, 수산기 또는 수소화물의 농도가 저감된 산화물 반도체층(392)을 갖는 트랜지스터(390)를 형성할 수 있다(도 15(E) 참조). 본 실시형태에서 설명한 바와 같이, 산화물 반도체층을 성막할 때에, 반응 분위기 중의 잔류 수분을 제거함으로써, 이 산화물 반도체층 중의 수소 및 수소화물의 농도를 저감할 수 있다. 그 결과, 진성 또는 실질적으로 진성인 반도체를 얻을 수 있다.

[0316] 한편, 보호 절연층(396) 위에 절연층을 추가로 형성하여도 좋다. 본 실시형태에서는, 보호 절연층(396) 위에

절연층(398)을 형성한다. 절연층(398)으로는, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 이용하면 된다.

[0317] 절연층(398)의 형성 방법으로는, 보호 절연층(396)까지 형성된 기판(394)을 100℃ ~ 400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체 타겟을 이용하여 질화 실리콘막을 성막한다. 이 경우에도, 보호 절연층(396)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 절연층(398)을 성막하는 것이 바람직하다. 절연층(398)의 성막 시에 100℃ ~ 400℃로 기판(394)을 가열함으로써, 산화물 반도체층(399) 중에 포함되는 수소 또는 수분을 절연층(398)으로 확산시킬 수 있다. 이 경우, 보호 절연층(396)의 형성 직후에 가열 처리를 하지 않아도 된다.

[0318] 또한, 보호 절연층(396)으로 산화 실리콘층을 형성하고, 절연층(398)으로 질화 실리콘층을 형성하는 경우, 산화 실리콘층과 질화 실리콘층을 같은 처리실에서, 공통의 실리콘 타겟을 이용하여 성막할 수 있다. 먼저 산소를 포함하는 에칭 가스를 도입하여, 처리실 내에 장착된 실리콘 타겟을 이용하여 산화 실리콘층을 형성하고, 이어서 에칭 가스를 질소를 포함하는 에칭 가스로 전환하여 같은 실리콘 타겟을 이용하여 질화 실리콘층을 성막한다. 산화 실리콘층과 질화 실리콘층을 대기에 노출시키지 않고 연속해서 형성할 수 있으므로, 산화 실리콘층 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다. 한편, 보호 절연층(396)으로 산화 실리콘층을 형성하고, 절연층(398)으로 질화 실리콘층을 적층한 후, 산화물 반도체층 중에 포함되는 수소 또는 수분을 산화물 절연층으로 확산시키기 위한 가열 처리(온도 100℃ 내지 400℃)를 하는 것이 더욱 바람직하다.

[0319] 보호 절연층(396)의 형성 후, 추가로 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서 가열 처리를 하여도 좋다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수 회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연층의 형성 전에 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면 가열 시간을 단축할 수 있다.

[0320] 상기 공정은, 400℃ 이하의 온도에서 이루어지므로, 두께가 1㎜ 이하이고, 한 변이 1m를 넘는 유리 기판을 이용하는 제조 공정에도 적용할 수 있다. 또한, 400℃ 이하의 처리 온도에서 모든 공정을 행할 수 있으므로, 표시 패널을 제조하기 위한 에너지 소비를 저감할 수 있다.

[0321] 본 실시형태에서 설명한 산화물 반도체층을 갖는 트랜지스터를 표시 장치의 표시부를 구성하는 화소에 이용함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화 등을 표시할 때의 소비 전력을 억제할 수 있다. 또한 정지화를 표시할 때 제어 신호를 정지함으로써 저소비 전력화를 도모할 수 있다. 또한 정지화와 동화상의 전환을 오작동 없이 행할 수 있다.

[0323] (실시형태 5)

[0324] 본 실시형태에서는, 실시형태 1에서 설명한 제 1 트랜지스터(6401)의 구조의 일 예, 및 그 제작 방법의 일 예에 대해 설명한다. 즉, 고순도의 산화물 반도체를 이용한 트랜지스터 구조의 일 예, 및 그 제작 방법의 일 예에 대해 도 16(A) 내지 도 16(D)를 이용하여 설명한다.

[0325] 도 16(A) 내지 도 16(D)에 트랜지스터의 단면 구조의 일 예를 나타낸다. 도 16(A) 내지 도 16(D)에 나타낸 트랜지스터(360)는, 채널 보호형(채널 스톱형 이라고도 한다)으로 불리는 보톰 게이트 구조의 하나로, 역스태거형의 트랜지스터라고도 한다. 이 트랜지스터(360)를, 실시형태 1에서 설명한 제 1 트랜지스터(6401)로 이용할 수 있다. 한편, 트랜지스터(360)는 싱글 게이트 구조의 트랜지스터를 나타내고 있으나, 본 발명은 이 구성에 한정되는 것은 아니며, 게이트 전극을 복수 갖고, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터로 하여도 좋다.

[0326] 이하, 도 16(A) 내지 도 16(D)를 이용하여, 기판(320) 위에 트랜지스터(360)를 제작하는 방법에 대해 설명한다.

[0327] 우선, 기판(320) 위에 도전막을 형성한 후, 제 1 포토리소 그래피 공정에 의해 게이트 전극(361)을 형성한다. 기판(320)의 재료에 대해서는, 실시형태 4에서 설명한 기판(394)과 동일한 것을 채용할 수 있다. 또한, 게이트 전극(361)의 재료나 성막 방법 등은, 실시형태 4에서 설명한 게이트 전극(391)과 동일한 것을 채용할 수 있다.

[0328] 이어서, 게이트 전극(361) 위에 게이트 절연층(322)을 형성한다. 게이트 절연층(322)의 재료에 대해서는, 실시형태 4에서 설명한 게이트 절연층(397)과 동일한 것을 채용할 수 있다. 본 실시형태에서는, 게이트 절연층(322)으로 플라즈마 CVD법에 의해 막후 100nm 이하의 산화질화 규소층을 형성한다.

[0329] 이어서, 게이트 절연층(322) 위에, 막후 2nm 이상 200nm 이하의 산화물 반도체층을 형성하고, 제 2 포토리소 그래피 공정에 의해 섬 모양의 산화물 반도체층으로 가공한다. 섬 모양의 산화물 반도체층의 재료나 성막 방법, 가공 방법 등은, 실시형태 4에서 설명한 섬 모양의 산화물 반도체층(399)과 동일한 것을 채용할 수 있다. 본 실시형태에서는, 산화물 반도체층으로 In-Ga-Zn-O계의 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 성막한다.

[0330] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1시간의 가열 처리를 한 후, 대기에 접촉시키지 않음으로써, 산화물 반도체층으로 물이나 수소가 재혼입 되는 것을 막아, 산화물 반도체층(332)을 얻는다(도 16(A) 참조).

[0331] 이어서, N_2O, N_2, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 한다. 이 플라즈마 처리에 의해 노출되어 있는 산화물 반도체층의 표면에 부착된 흡착수 등을 제거한다. 또는, 산소와 아르곤의 혼합 가스를 이용하여 플라즈마 처리를 하여도 좋다.

[0332] 이어서, 게이트 절연층(322), 및 산화물 반도체층(332) 위에, 산화물 절연층을 형성한 후, 제 3 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 산화물 절연층(366)을 형성한 후, 레지스트 마스크를 제거한다.

[0333] 본 실시형태에서는, 산화물 절연층(366)으로 막후 200nm의 산화 규소막을 스퍼터링법을 이용하여 성막한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들어, 규소 타겟을 이용하여, 산소 및 질소 분위기 하에서 스퍼터링법에 의해 산화 규소막을 형성할 수 있다. 산화물 반도체층에 접하여 형성하는 산화물 절연층(366)은, 수분이나, 수소 이온이나, OH- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 막는 무기 절연막을 이용하고, 대표적으로는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 또는 산화질화 알루미늄막 등을 이용할 수 있다.

[0334] 이때, 산화물 반도체층(332) 및 산화물 절연층(366)에 수소, 수산기 또는 수분이 포함되지 않도록 하기 위해, 처리실 내의 잔류 수분을 제거하면서 산화물 절연층(366)을 성막하는 것이 바람직하다. 한편, 처리실 내의 잔류 수분의 제거 방법에 대해는, 다른 실시형태에서 설명한 방법을 이용할 수 있다.

[0335] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 행하는 것이 바람직하다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 한다. 제 2 가열 처리를 하면, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(366)과 접한 상태에서 가열된다.

[0336] 본 실시형태에서는, 산화물 절연층(366)에 의해 덮여있지 않은 영역의 산화물 반도체층(332)을, 질소, 불활성 가스 분위기 하, 또는 감압 하에서 가열 처리를 한다. 산화물 절연층(366)에 의해 덮여있지 않은 영역의 산화물 반도체층(332)은, 질소, 불활성 가스 분위기 하, 또는 감압 하에서 가열 처리를 하면, 탈수소화와 동시에 산소 결핍 상태가 됨으로써 저저항화될 수 있다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 가열 처리를 하는 것이 좋다.

[0337] 산화물 절연층(366)이 형성된 산화물 반도체층(332)에 대한 질소 분위기 하의 가열 처리에 의해, 산화물 반도체층(332)의 노출 영역은 저저항화되하고, 저항의 다른 영역(도 16(B)에서는 사선 영역 및 백지 영역으로 나타낸다)을 갖는 산화물 반도체층(362)이 된다.

[0338] 이어서, 게이트 절연층(322), 산화물 반도체층(362), 및 산화물 절연층(366) 위에, 도전막을 형성한 후, 제 4 포토리소 그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 제 1 전극(365a), 제 2 전극(365b)을 형성한 후, 레지스트 마스크를 제거한다(도 16(C) 참조).

[0339] 제 1 전극(365a), 제 2 전극(365b)의 재료로는, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 금속 도전막은, 단층 구조이어도 좋으며, 2층 이상의 적층 구조로 하여도 좋다.

[0340] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체층에 대해 탈수화 또는 탈수소화를 위한 가열 처리를 하여

저저항화한 후, 산화물 반도체층의 일부를 선택적으로 산소 과잉 상태로 한다. 그 결과, 게이트 전극(361)과 겹치는 채널 형성 영역(363)은, I형이 되고, 제 1 전극(365a)에 겹치는 저저항 소스 영역(364a)과, 제 2 전극(365b)에 겹치는 저저항 드레인 영역(364b)이 자기 정합적으로 형성된다. 이상의 공정에 의해, 트랜지스터(360)가 형성된다.

[0341] 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30 시간 이하에서의 가열 처리를 행하여도 좋다. 본 실시형태에서는 150℃에서 10시간 가열 처리를 한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연막의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있다.

[0342] 한편, 제 2 전극(365b)(및 제 1 전극(365a))과 중첩한 산화물 반도체층에서 저저항 드레인 영역(364b)(또는 저저항 소스 영역(364a))을 형성함으로써, 트랜지스터의 신뢰성 향상을 도모할 수 있다. 구체적으로는, 저저항 드레인 영역(364b)을 형성함으로써, 드레인 전극에서 저저항 드레인 영역(364b), 채널 형성 영역(363)에 걸쳐, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 이로 인해, 제 2 전극(365b)에 고전원 전위(Vdd)를 공급하는 배선에 접속하여 동작시키는 경우, 게이트 전극(361)과 제 2 전극(365b) 사이에 고전계가 인가되어도 저저항 드레인 영역이 버퍼가 되어 국소적인 고전계가 인가되지 않고, 트랜지스터의 내성을 향상시킨 구성으로 할 수 있다.

[0343] 이어서, 제 1 전극(365a), 제 2 전극(365b), 산화물 절연층(366) 위에 보호 절연층(323)을 형성한다. 본 실시형태에서는, 보호 절연층(323)을, 질화 규소막을 이용하여 형성한다(도 16(D) 참조).

[0344] 본 실시형태에서 설명한 산화물 반도체층을 갖는 트랜지스터를 표시 장치의 표시부를 구성하는 화소에 이용함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화 등을 표시할 때의 소비 전력을 억제할 수 있다. 또한, 정지화를 표시할 때 제어 신호를 정지함으로써 저소비 전력화를 도모할 수 있다. 또한 정지화와 동화상의 전환을 오작동 없이 행할 수 있다.

[0346] (실시형태 6)

[0347] 본 실시형태는, 본 명세서에서 개시하는 표시 장치에 적용할 수 있는 트랜지스터의 다른 예를 나타낸다. 본 실시형태에서 나타내는 트랜지스터(350)는, 실시형태 1의 화소부의 각 화소에 이용하는 트랜지스터(6401) 등으로 이용할 수 있다.

[0348] 도 17(D)에 나타낸 트랜지스터(350)는 싱글 게이트 구조의 트랜지스터를 나타내고 있으나, 본 발명은 이 구성에 한정되는 것은 아니며, 게이트 전극을 복수 갖고, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터로 하여도 좋다.

[0349] 이하, 도 17(A) 내지 도 17(D)를 이용하여, 기판(340) 위에 트랜지스터(350)를 제작하는 공정을 설명한다.

[0350] 우선, 기판(340) 위에 도전막을 형성한 후, 제 1 포토리소 그래피 공정에 의해 게이트 전극(351)을 형성한다. 본 실시형태에서는, 게이트 전극(351)으로, 막후 150nm의 텅스텐막을, 스퍼터링법을 이용하여 형성한다.

[0351] 이어서, 게이트 전극(351) 위에 게이트 절연층(342)을 형성한다. 본 실시형태에서는, 게이트 절연층(342)으로 플라즈마 CVD법에 의해 막후 100nm 이하의 산화질화 규소막을 형성한다.

[0352] 이어서, 게이트 절연층(342)에 도전막을 형성하고, 제 2 포토리소 그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 하여 소스 전극(355a), 드레인 전극(355b)을 형성한 후, 레지스트 마스크를 제거한다(도 17(A) 참조).

[0353] 이어서 산화물 반도체층(345)을 형성한다(도 17(B) 참조). 본 실시형태에서는, 산화물 반도체층(345)으로 In-Ga-Zn-O계의 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 이어서, 산화물 반도체층(345)을 제 3 포토리소 그래피 공정에 의해 섬 모양의 산화물 반도체층으로 가공한다.

[0354] 산화물 반도체층(345)을 성막하는 공정에서는, 처리실 내의 잔류 수분을 제거하면서 산화물 반도체층(345)을 성막함으로써, 산화물 반도체층(345)에 수소, 수산기 또는 수분이 포함되지 않도록 하는 것이 바람직하다. 처리실 내의 잔류 수분의 제거 방법에 대해서는, 다른 실시형태에서 설명한 방법을 이용할 수 있다.

[0355] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행하기 위해, 제 1 가열 처리를 한다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 변형점 미만으로 한다. 여기에서는, 가열 처

리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대해 질소 분위기 하 450℃에서 1시간의 가열 처리를 한 후, 대기에 접촉시키지 않음으로써, 산화물 반도체층으로의 물이나 수소의 재혼입을 막고, 산화물 반도체층(346)을 얻는다(도 17(C) 참조).

[0356] 또한, 제 1 가열 처리로, 650℃ ~ 700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중에서 꺼내는 GRTA를 행하여도 좋다.

[0357] 이어서, 산화물 반도체층(346)에 접하는 산화물 절연층(356)을 형성한다. 산화물 절연층(356)은, 적어도 1nm 이상의 막후로 하고, 산화물 절연층(356)에 물, 수소 등의 불순물을 혼입시키지 않는 방법(예를 들어, 스퍼터링법)을 적절히 이용하여 형성할 수 있다. 산화물 절연층(356)에 수소가 포함되면, 이 수소의 산화물 반도체층으로의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 인출이 발생하고, 산화물 반도체층의 백채널이 저저항화(N형화)되어, 기생 채널이 형성될 우려가 있다. 이 때문에, 산화물 절연층(356)은 가능한한 수소를 포함하지 않는 막이 되도록 하는 성막 방법을 이용하는 것이 중요하다.

[0358] 한편, 산화물 절연층(356)의 재료나 성막 방법 등에 대해서는, 실시형태 4에서의 보호 절연층(396)과 동일한 것을 채용할 수 있다.

[0359] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 한다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 한다. 제 2 가열 처리를 하면, 산화물 반도체층이 산화물 절연층(356)과 접한 상태에서 가열된다.

[0360] 이상의 공정을 거침으로써, 성막 후의 산화물 반도체층에 대해 탈수화 또는 탈수소화를 위한 가열 처리를 하여 저저항화한 후, 산화물 반도체층을 산소 과잉 상태로 한다. 그 결과, I형의 산화물 반도체층(352)이 형성된다. 이상의 공정에 의해, 트랜지스터(350)가 형성된다.

[0361] 나아가, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 하여도 좋다. 본 실시형태에서는 150℃에서 10시간 가열 처리를 한다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 가열 처리를, 산화물 절연막의 형성 전에, 감압 하에서 행하여도 좋다. 감압 하에서 가열 처리를 하면, 가열 시간을 단축할 수 있다. 이 가열 처리에 의해, 산화물 반도체층에서 산화물 절연층 중으로 수소가 유입되어, 노멀리 오프가 되는 트랜지스터를 얻을 수 있다. 따라서 표시 장치의 신뢰성을 향상할 수 있다.

[0362] 한편, 산화물 절연층(356) 위에 절연층을 추가로 형성하여도 좋다. 본 실시형태에서는, 산화물 절연층(356) 위에 절연층(343)을 형성한다(도 17(D) 참조). 절연층(343)의 재료나 성막 방법 등에 대해서는, 실시형태 4에서의 보호 절연층(398)과 동일한 것을 채용할 수 있다.

[0363] 또한, 절연층(343) 위의 표면을 평탄화할 목적으로, 평탄화 절연층을 형성하여도 좋다.

[0364] 본 실시형태에서 설명한 산화물 반도체층을 갖는 트랜지스터를 표시 장치의 표시부를 구성하는 화소로 이용함으로써, 오프 전류를 저감할 수 있다. 이로 인해, 유지 용량으로 전압을 유지할 수 있는 기간을 길게 가질 수 있고, 정지화 등을 표시할 때의 소비 전력을 억제할 수 있다. 또한, 정지화를 표시할 때 제어 신호를 정지함으로써 저소비 전력화를 도모할 수 있다. 또한 정지화와 동화상의 전환을 오작동 없이 행할 수 있다.

[0366] (실시형태 7)

[0367] 본 실시형태에서는, 화소부에 축광층을 형성한 표시 장치의 일 양태에 대해 설명한다.

[0368] 도 18은 하면 사출 구조의 화소부의 단면도이고, 화소에 형성된 트랜지스터(구동용 트랜지스터)(7211)와, 트랜지스터(7211)와 전기적으로 접속된 발광 소자(7212)를 포함하는 절단면의 단면도이다.

[0369] 트랜지스터(7211)는, 기판 위에, 절연층, 산화물 반도체층, 소스 전극층 및 드레인 전극층, 게이트 절연층, 게이트 전극층을 갖고, 소스 전극층 및 드레인 전극층에 각각 배선층이 전기적으로 접속하여 형성되어 있다.

[0370] 또한, 트랜지스터(7211)를 덮도록 절연층(7231)이 형성되고, 절연층(7231) 위에 개구부를 갖는 축광층(7233)이 형성되어 있다. 또한, 축광층(7233)을 덮도록 형성된 오버코트층(7234) 및 절연층(7235) 위에, 투광성을 갖는 도전막(7217)이 형성되어 있다. 한편, 트랜지스터(7211)의 드레인 전극(7230)과 도전막(7217)은, 축광층(7233), 오버코트층(7234), 절연층(7235), 및 절연층(7231)에 형성된 개구부를 통하여 전기적으로 접속되어 있다. 또한, 도전막(7217) 위에 발광 소자(7212)의 제 1 전극(7213)이 접하여 형성되어 있다. 한편, 발광 소자

(7212)는, EL층(7214)을 제 1 전극(7213)과 제 2 전극(7215) 사이에 끼워진 구조로 갖고, 제 2 전극(7015) 위에는 차폐막(7216)이 형성되어 있다.

[0371] 한편, 트랜지스터(7211), 및 발광 소자(7212)는 실시형태 3 내지 6에서 설명한 방법을 이용하여 제작할 수 있으므로, 여기서는 상세한 설명을 생략한다.

[0372] 축광층(7233)은 축광 재료를 포함하고, 인접하는 발광 소자가 발하는 광을 축적한다. 인접하는 발광 소자가 발광을 중단한 후에도, 축광층(7233)에 포함되는 축광 재료가 발광을 계속한다. 본 실시형태에서는 축광 재료로 구리부활 황화아연(ZnS:Cu)을 이용한다. 또한, 황화스트론튬(SrS) 등의 황화물을 모체로 부활제를 첨가한 형광체나, 희토류를 부활한 알칼리토류 알루민산염 등을 이용할 수도 있다. 희토류를 부활한 알칼리토류 알루민산염의 구체예로는, $CaAl_2O_4$:Eu, $CaAl_2O_4$:Nd, $Sr_4Al_{14}O_{25}$:Eu, $Sr_4Al_{14}O_{25}$:Dy, $SrAl_2O_4$:Eu, 및 $SrAl_2O_4$:Dy를 들 수 있다. 한편, 축광 재료로 무기 입자를 이용하는 경우, 입경이 1nm 이하이면 축광성을 잃을 우려가 있다. 또한, 입경이 10㎛ 이상인 경우는, 축광층의 평탄성이 손상될 우려가 있어, 발광 소자의 제작이 곤란해진다. 이로 인해, 입경은 1nm 이상 10㎛ 이하로 하는 것이 바람직하다.

[0373] 축광층(7233)이 발광을 계속하는 시간은, 축광 재료의 종류에 따라 바뀔 수 있다. 즉, 축광 재료의 종류에 따라 발광을 계속하는 시간, 이른바 잔광 시간이 다르므로, 용도에 따라 재료를 선택하면 된다. 예를 들어, 표시 내용을 빈번하게 다시 쓸 필요가 없는 용도로 이용하는 표시 장치를 구비하는 전자 기기(예를 들어, 전자 페이퍼)로는, 잔광 시간이 긴 축광 재료를 선택하여 이용하는 것이 바람직하다. 또한, 비교적 빈번하게 표시를 다시 쓸 필요가 있는 용도로 이용하는 표시 장치를 구비하는 전자 기기(예를 들어, 텔레비전 수상기)는, 잔광 시간이 짧은 축광 재료를 선택하여 이용하는 것이 바람직하다.

[0374] 또한, 축광층(7233)은 바인더 폴리머를 포함하고 있어도 좋다. 이 경우, 축광 재료를 분산한 분산액을 이용한 잉크젯법 등의 액적토출법, 인쇄법, 스핀코팅법, 포토리소 그래피 기술을 이용한 에칭 방법 등을 적절히 선택하여 형성할 수 있다.

[0375] 또한, 축광층(7233) 표면의 요철을 평탄화하기 위해, 축광층(7233)의 표면을 오버코트층(7234)으로 덮는 것이 바람직하다. 또한, 오버코트층(7234)을 절연층(7235)으로 덮는 것이 바람직하다. 한편, 도 18에서, 오버코트층(7234) 및 보호 절연층(7235)에 형성되고, 또한, 드레인 전극(7230)에 달하는 콘택트홀은, 격벽(7219)과 겹치는 위치에 배치되어 있다.

[0376] 또한, 축광층(7233)을 형성하는 위치는, 표시 장치의 사용자와 발광 소자 사이로 한정되지 않는다. 예를 들어, 투광성을 갖는 한 쌍의 전극 사이에 EL층을 끼운 양면 사출 구조의 발광 소자는 투광성을 갖는다. 이와 같이 발광 소자가 투광성을 갖는 경우는, 축광층(7233)을 표시 장치의 사용자가 보았을 때 발광층의 배면측으로 배치할 수 있다. 다시 말하면, 축광층과 표시 장치의 사용자 사이에 발광 소자를 배치하는 것도 가능하다. 발광 소자를 표시 장치의 사용자와 축광층 사이에 배치하는 경우, 축광층이 반드시 투광성을 가질 필요는 없으므로, 축광 재료의 선택 폭을 넓힐 수 있다. 구체적으로는, 입경이 100㎛ 이하인 축광 재료를 이용할 수 있게 된다.

[0377] 이상 설명한 바와 같이, 본 실시형태에서 설명한 표시 장치는, 고순도의 산화물 반도체층을 갖는 트랜지스터에 더하여, 축광층을 화소부에 포함한다. 이와 같은 표시 장치는, 오프 전류가 저감된 트랜지스터를 화소에 가질 뿐만 아니라, 축광층을 화소에 가짐으로써 발광 소자의 발광 간격이 길어도 깜빡임(flickers)이 눈에 보이지 않는다는 특징을 갖는다. 즉, 본 실시형태에서 설명한 표시 장치는, 소비 전력을 억제하는 동시에, 정지화의 표시 품위가 뛰어난 것으로 할 수 있다.

[0379] (실시형태 8)

[0380] 본 실시형태에서는, 상기 실시형태에서 설명한 표시 장치를 구비하는 전자 기기의 구체예에 대해 설명한다. 단, 본 발명에 적용 가능한 전자 기기는, 하기에 나타낸 구체예에 한정되는 것은 아니다.

[0381] 도 19(A)에 나타낸 전자 기기는 휴대형 게임기로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 읽기부(9672) 등을 갖는다. 또한, 휴대형 게임기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어 표시부에 표시하는 기능, 다른 휴대형 게임기와 무선 통신을 하여 정보를 공유하는 기능 등을 갖고 있어도 좋다. 한편, 휴대형 게임기가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0382] 도 19(B)에 나타낸 전자 기기는 디지털 카메라로, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 갖는다. 디지털 카메라는, 정지화를 촬영하는 기능, 동

화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상 정보를 기억 소자에 저장하는 기능, 촬영한 화상 정보를 표시부에 표시하는 기능, 텔레비전 수상 기능 등을 갖고 있어도 좋다. 한편, 디지털 카메라가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 갖는 것일 수 있다.

[0383] 도 19(C)에 나타낸 전자 기기는 텔레비전 수상기이고, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636) 등을 갖는다. 텔레비전 수상기는, 텔레비전용 전파를 처리하여 화상 신호로 변환하는 기능, 화상 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 갖고 있어도 좋다. 한편, 텔레비전 수상기가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 갖는 것일 수 있다.

[0384] 도 20(A)에 나타낸 전자 기기는 컴퓨터로, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 갖는다. 컴퓨터는, 다양한 정보(정지화, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 하는 기능 등을 갖고 있어도 좋다. 한편, 컴퓨터가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0385] 도 20(B)에 나타낸 전자 기기는 휴대 전화기로, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638) 등을 갖는다. 휴대 전화기는, 다양한 정보(정지화, 동화상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 갖고 있어도 좋다. 한편, 휴대 전화기가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 갖는 것일 수 있다.

[0386] 도 20(C)에 나타낸 전자 기기는 전자 페이퍼로, 하우징(9630), 표시부(9631), 조작 키(9635) 등을 갖는다. 전자 페이퍼는, 다양한 정보(정지화, 동화상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 갖고 있어도 좋다. 한편, 전자 페이퍼가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 갖는 것일 수 있다. 또한, 전자 페이퍼를 이용하는 용도의 구체예로는, 전자 서적(전자북, e-book이라고도 한다.), 포스터, 전철 등의 탈것의 차내 광고 등을 들 수 있다.

[0387] 도 20(D)에 나타낸 전자 기기는 디지털 포토 프레임으로, 하우징(9701)에 표시부(9703)가 내장되어 있다. 표시부(9703)는 각종 화상을 표시하는 것이 가능하고, 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시함으로써, 통상적인 사진첩과 마찬가지로 기능시킬 수 있다.

[0388] 디지털 포토 프레임은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 갖는다. 이들 구성은, 표시부와 동일면에 내장되어 있어도 좋으나, 측면이나 뒷면에 구비하면 디자인성이 향상되므로 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 저장한 메모리를 삽입하여 화상 데이터를 저장하고, 이 저장한 화상 데이터를 표시부(9703)에 표시할 수 있다.

[0389] 또한, 디지털 포토 프레임은, 무선으로 정보의 송수신이 가능한 기능을 갖고 있어도 좋다. 이 경우, 무선에 의해 원하는 화상 데이터를 디지털 포토 프레임에 내장하여, 표시시킬 수 있다. 한편, 디지털 포토 프레임이 갖는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0390] 본 발명의 일 양태인 표시 장치를 이들 전자 기기에 적용함으로써, 정지화 등을 표시할 때의 저소비 전력화를 도모할 수 있다. 따라서, 동화상보다 정지화를 표시하는 기회가 많은 디지털 카메라, 전자 페이퍼, 디지털 포토 프레임 등의 전자 기기에 본 발명의 일 양태인 표시 장치를 적용한 경우, 소비 전력의 저감 효과가 현저하게 나타나므로, 특히 바람직하다.

부호의 설명

[0391] 1000; 표시 장치 1001; 표시 패널

1002; 신호 생성 회로 1003; 기억 회로

1004; 비교 회로 1005; 선택 회로

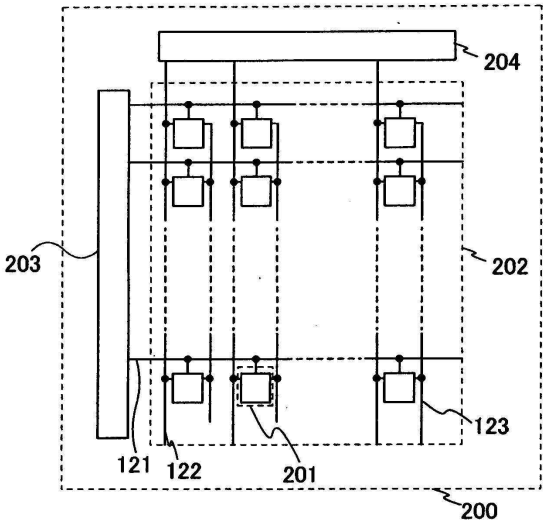
1006; 표시 제어 회로 1007; 구동 회로부

1008; 화소부 1009A; 게이트선 구동 회로

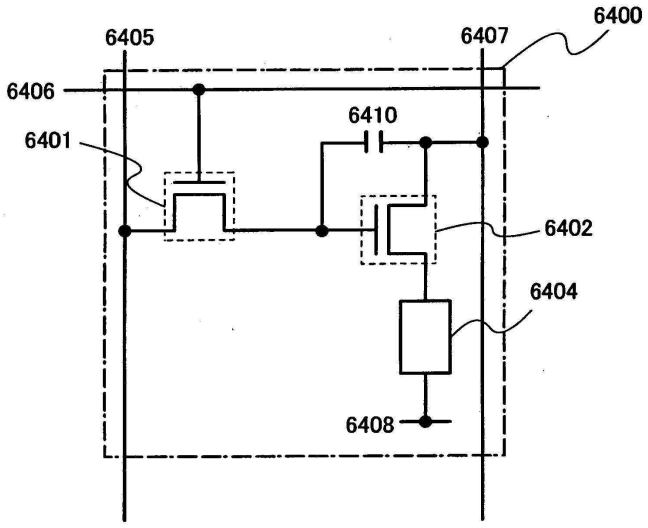
1009B; 신호선 구동 회로 1010; 프레임 메모리

도면

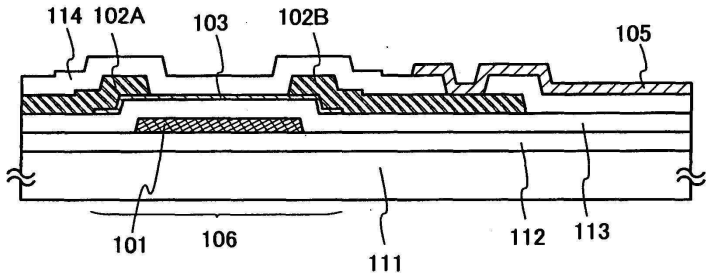
도면1



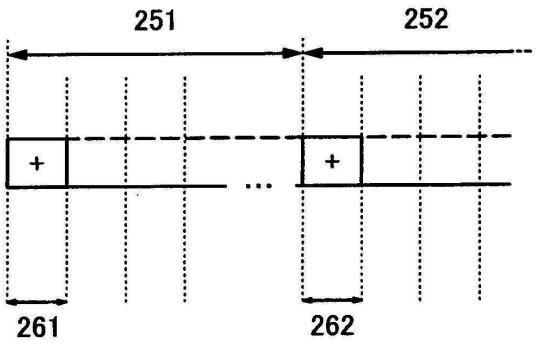
도면2



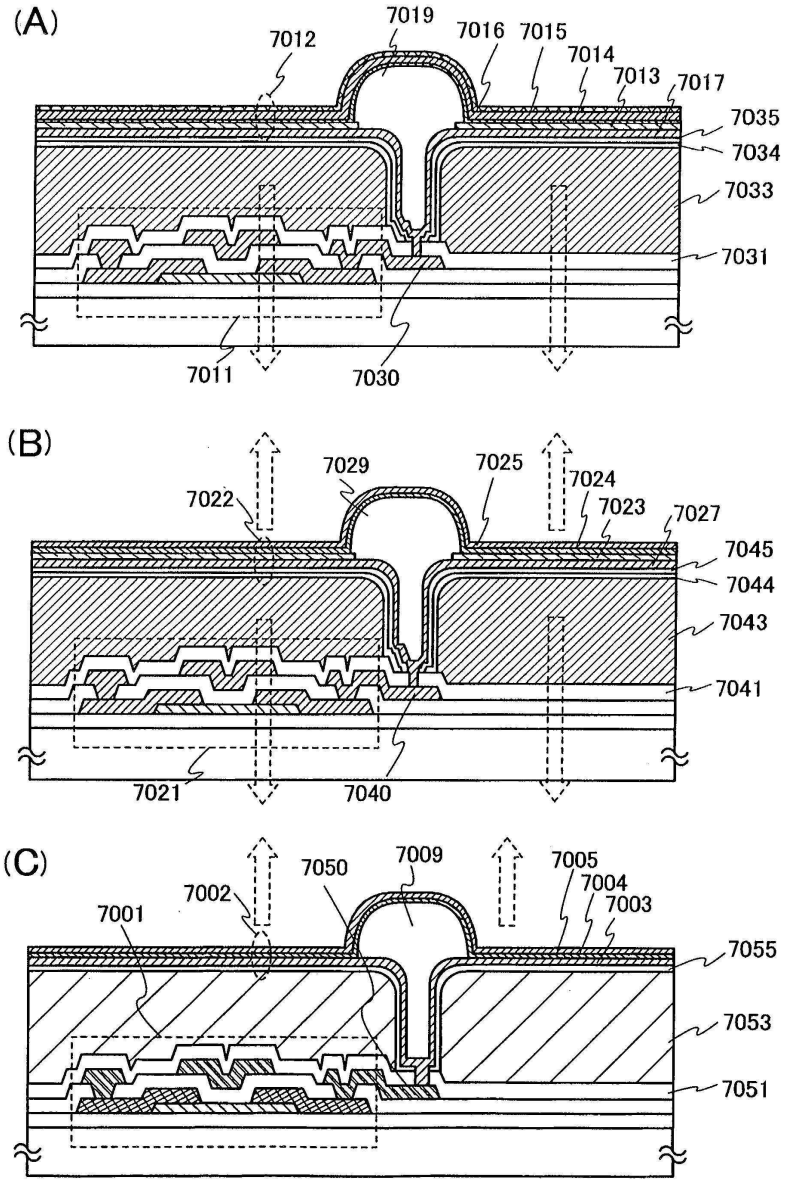
도면3



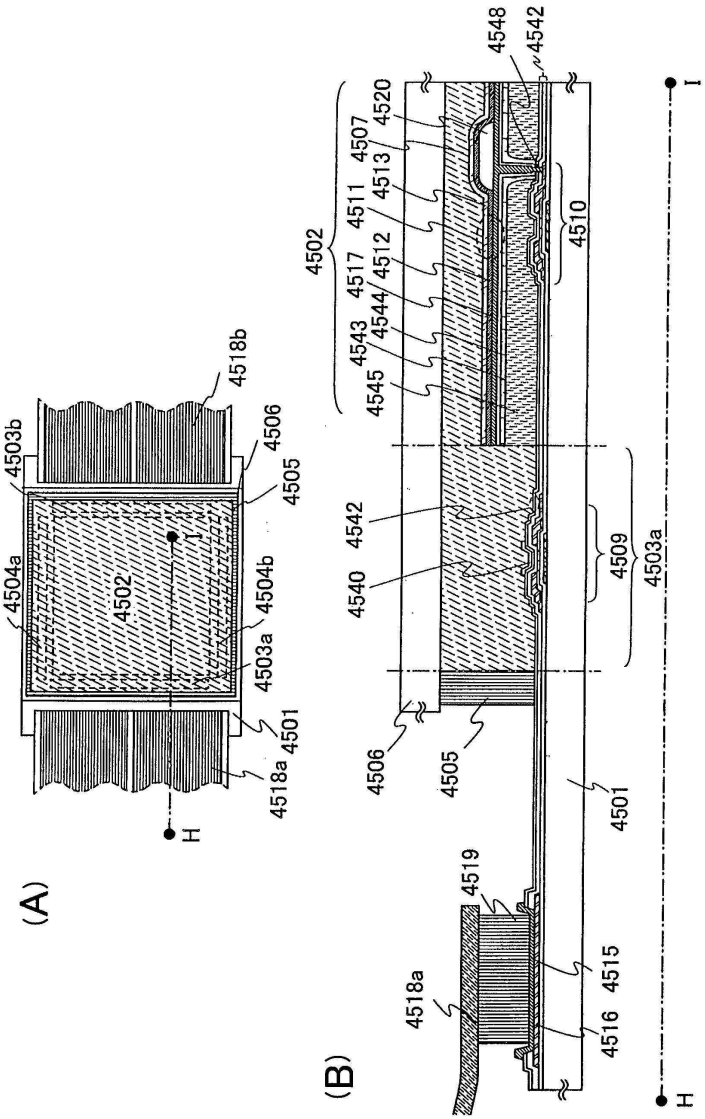
도면4



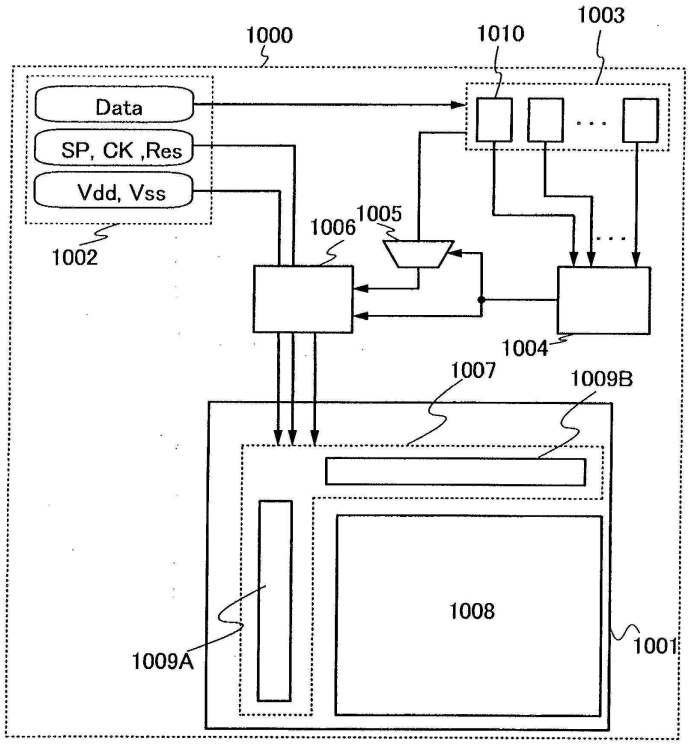
도면5


(A)
7012
7019
7016
7015
7014
7013
7017
7035
7034
7033
7031
7011
7030
(B)
7022
7029
7025
7024
7023
7027
7045
7044
7043
7041
7021
7040
(C)
7001
7002
7050
7009
7005
7004
7003
7055
7053
7051

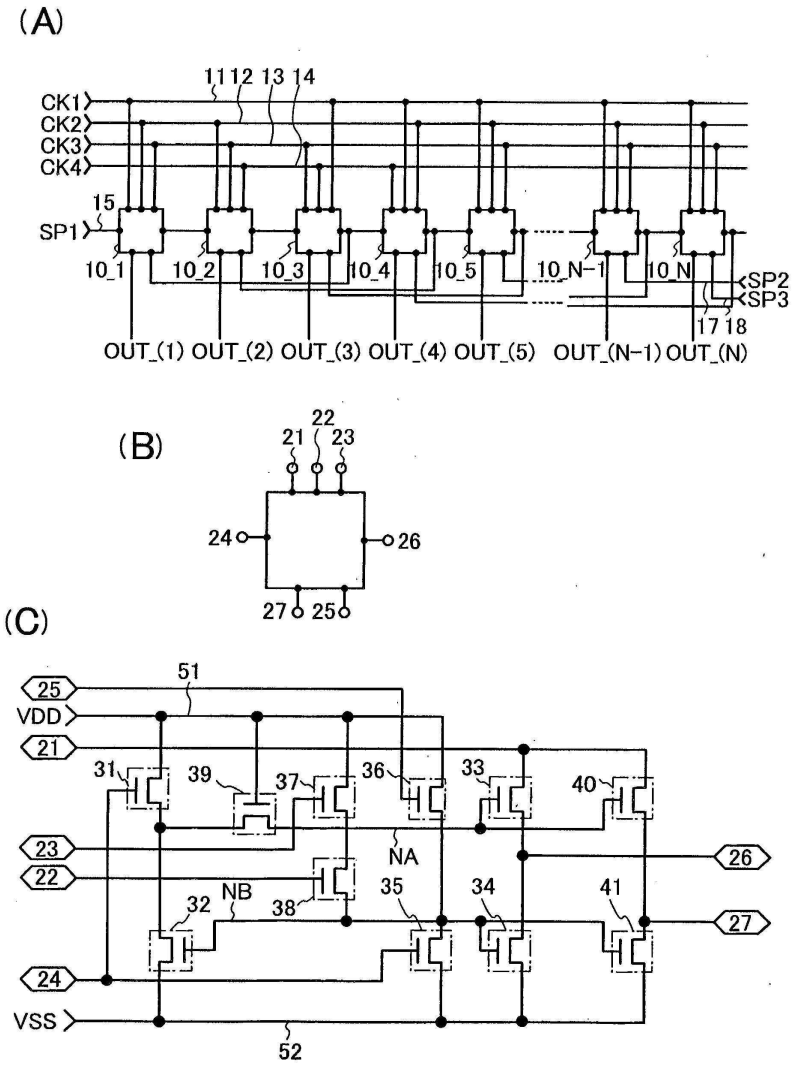
도면6


(A)
4518b
4503b
4506
4505
4504a
4502
4504b
4503a
4501
4518a
H
(B)
4548
4542
I
4520
4507
4513
4511
4512
4517
4544
4543
4545
4502
4510
4542
4540
4509
4503a
4506
4505
4501
4519
4518a
4515
4516
H

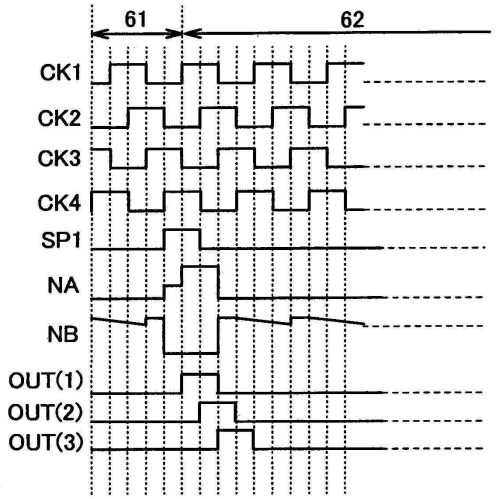
도면7


1000
1010
1003
Data
SP, CK ,Res
Vdd, Vss
1002
1006
1005
1004
1007
1009B
1008
1009A
1001

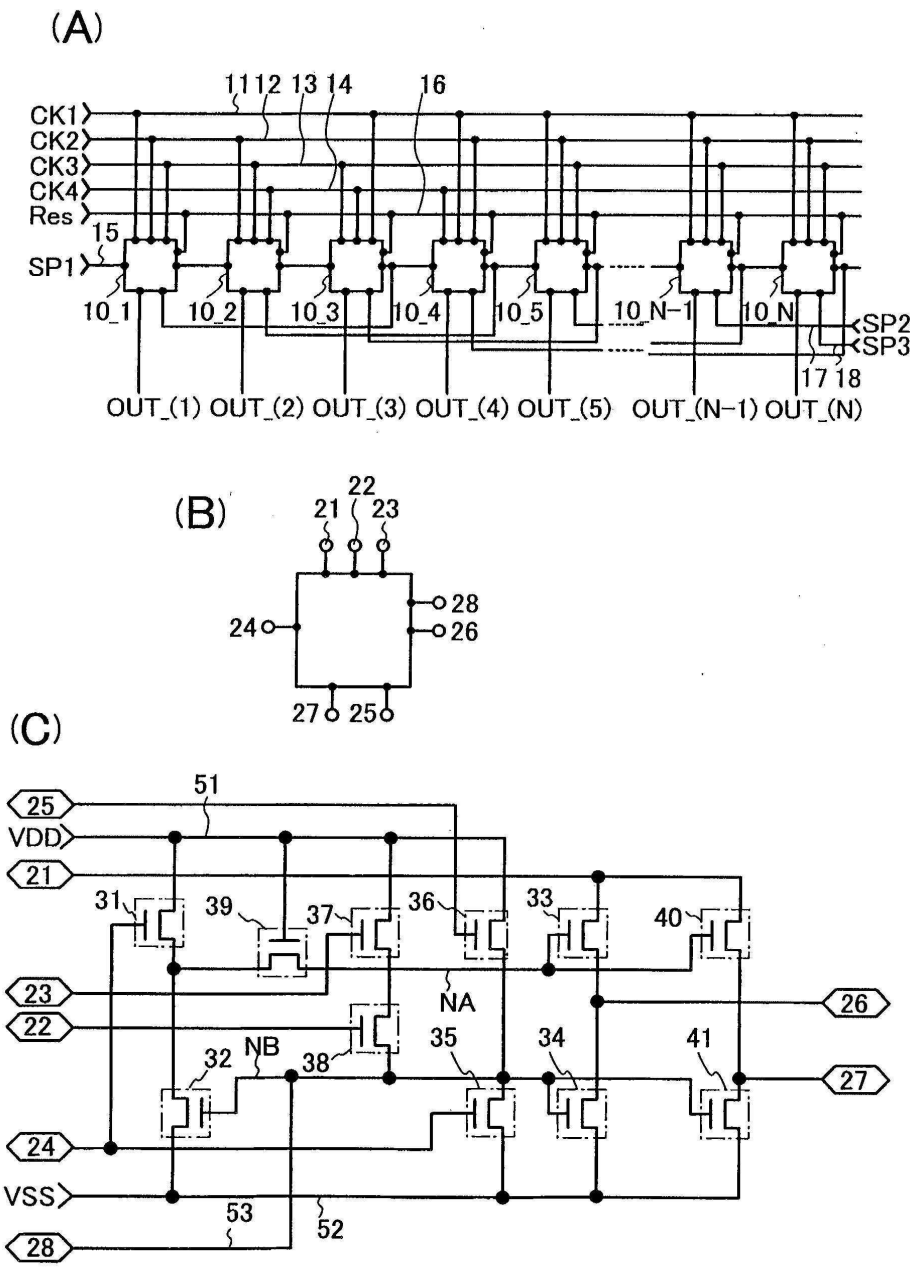
도면8


(A)
11 12 13 14
CK1
CK2
CK3
CK4
15
SP1
10_1
10_2
10_3
10_4
10_5
10_N-1
10_N
SP2
SP3
17 18
OUT_(1) OUT_(2) OUT_(3) OUT_(4) OUT_(5) OUT_(N-1) OUT_(N)
(B)
22
21
23
24
26
27
25
(C)
51
25
VDD
21
31
39
37
36
33
40
23
22
NA
26
NB
32
38
35
34
41
27
24
VSS
52

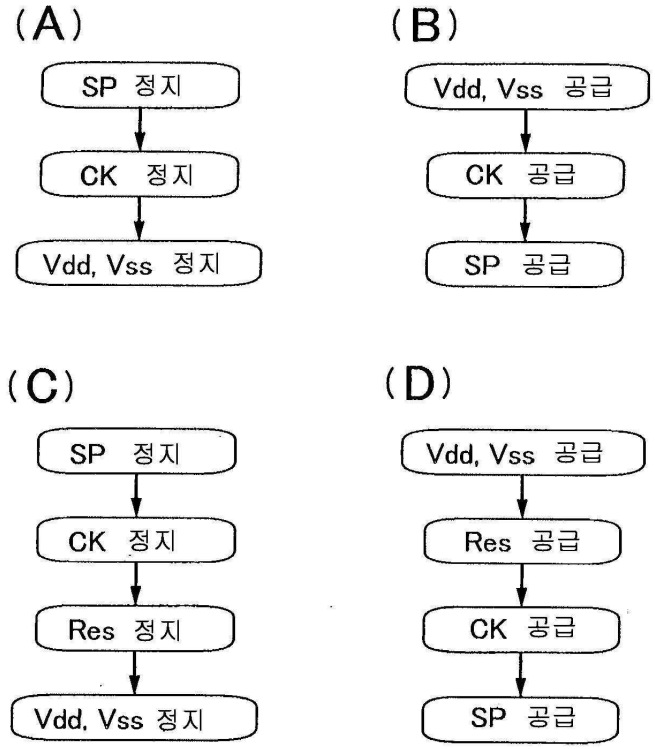
도면9



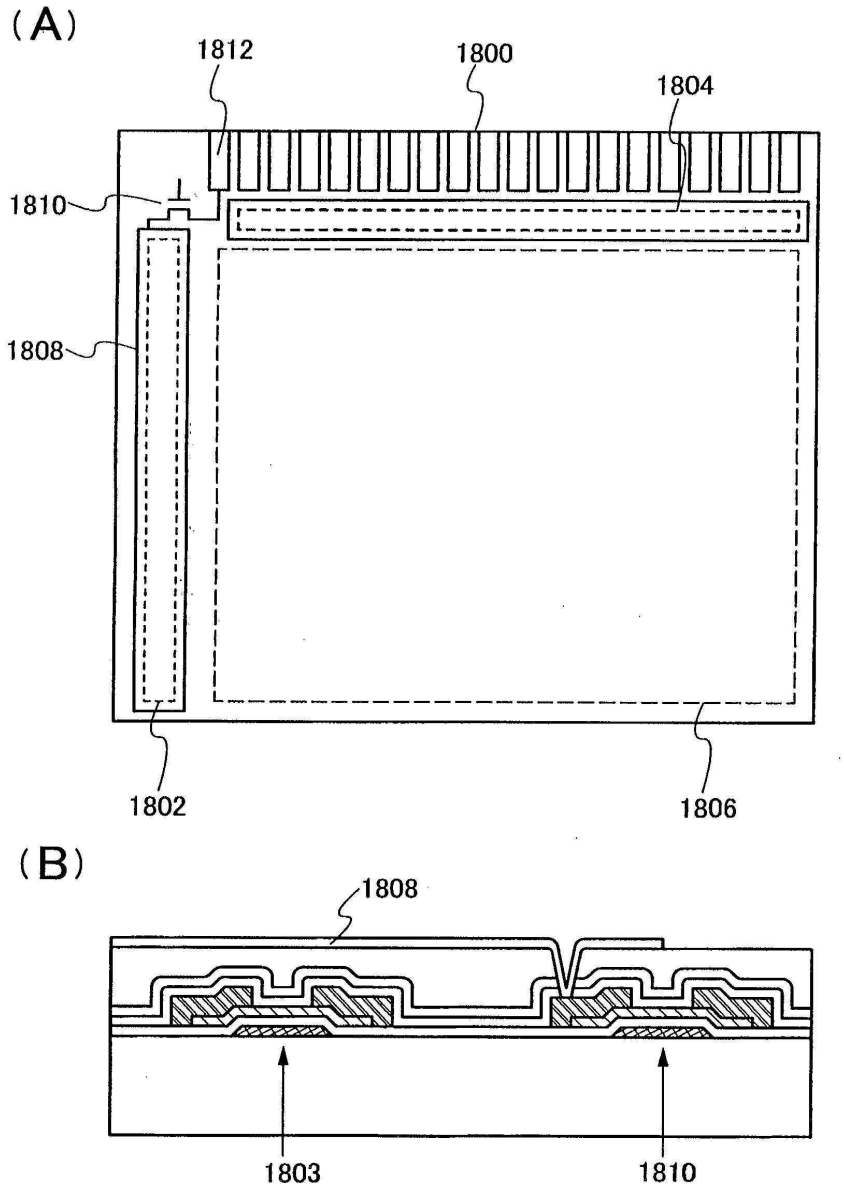
도면10


(A)
11 12 13 14
16
CK1
CK2
CK3
CK4
Res
15
SP1
10_1
10_2
10_3
10_4
10_5
10_N-1
10_N
SP2
SP3
17 18
OUT_(1) OUT_(2) OUT_(3) OUT_(4) OUT_(5) OUT_(N-1) OUT_(N)
(B)
22
21
23
28
24
26
27
25
(C)
51
25
VDD
21
31
39
37
36
33
40
23
22
NA
26
32
NB
38
35
34
41
27
24
VSS
53
52
28

도면11

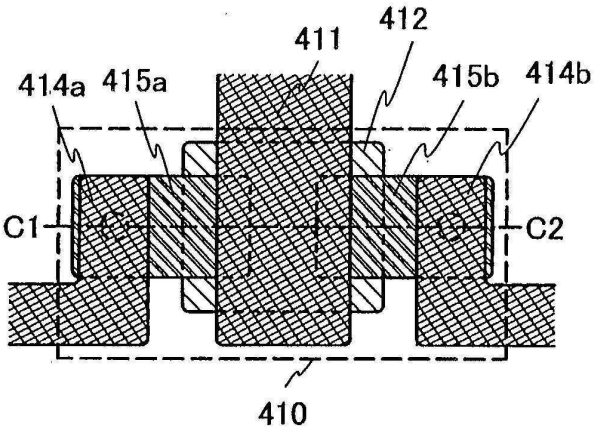

(A)
SP 정지
CK 정지
Vdd, Vss 정지
(B)
Vdd, Vss 공급
CK 공급
SP 공급
(C)
SP 정지
CK 정지
Res 정지
Vdd, Vss 정지
(D)
Vdd, Vss 공급
Res 공급
CK 공급
SP 공급

도면12

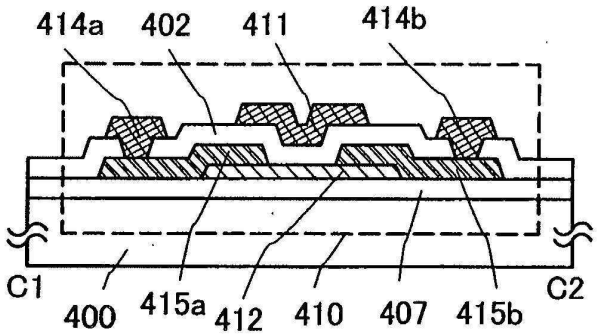


도면13

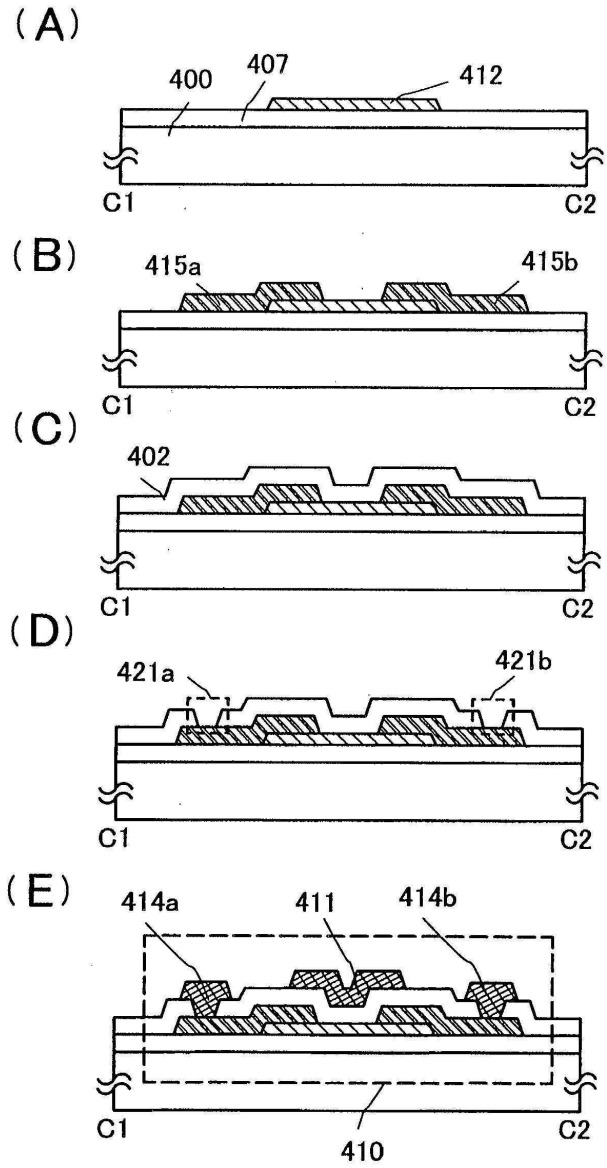
(A)


411
412
414a
415a
415b
414b
C1
C2
410

(B)

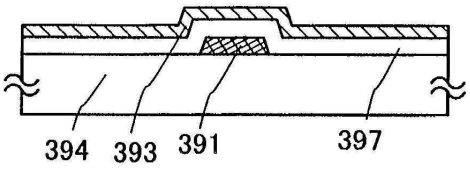

414a
402
411
414b
C1
C2
400
415a
412
410
407
415b

도면14

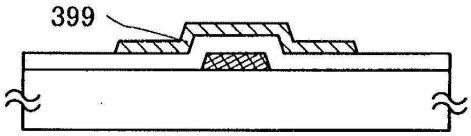

(A)
400
407
412
C1
C2
(B)
415a
415b
C1
C2
(C)
402
C1
C2
(D)
421a
421b
C1
C2
(E)
414a
411
414b
C1
C2
410

도면15

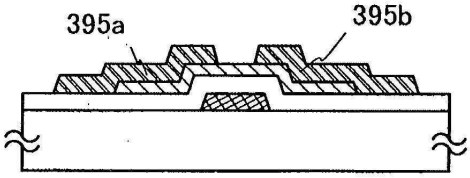
(A)



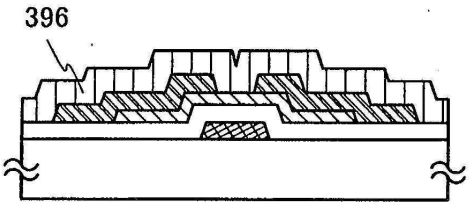
(B)



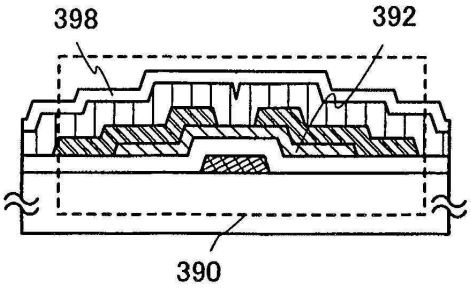
(C)



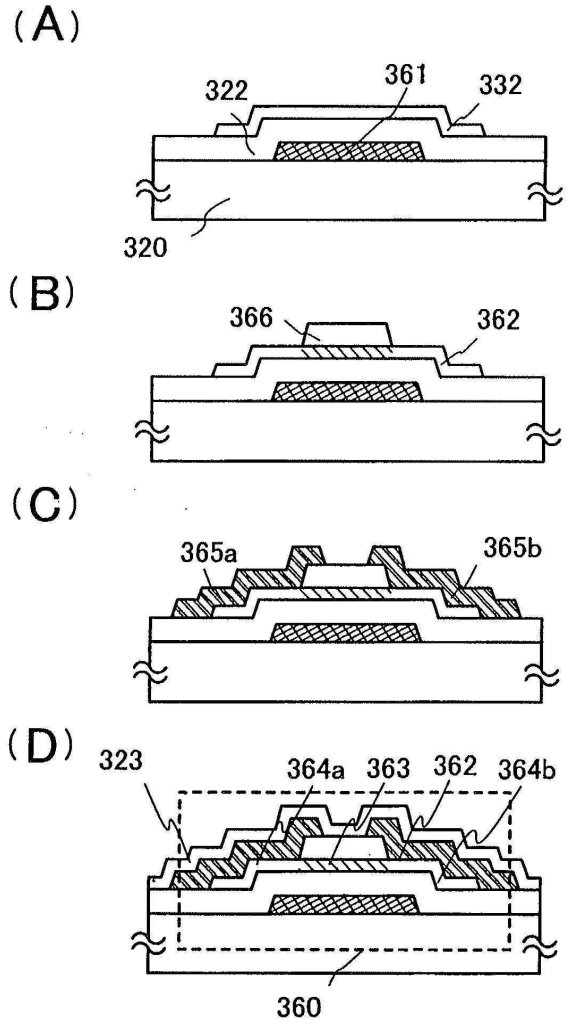
(D)



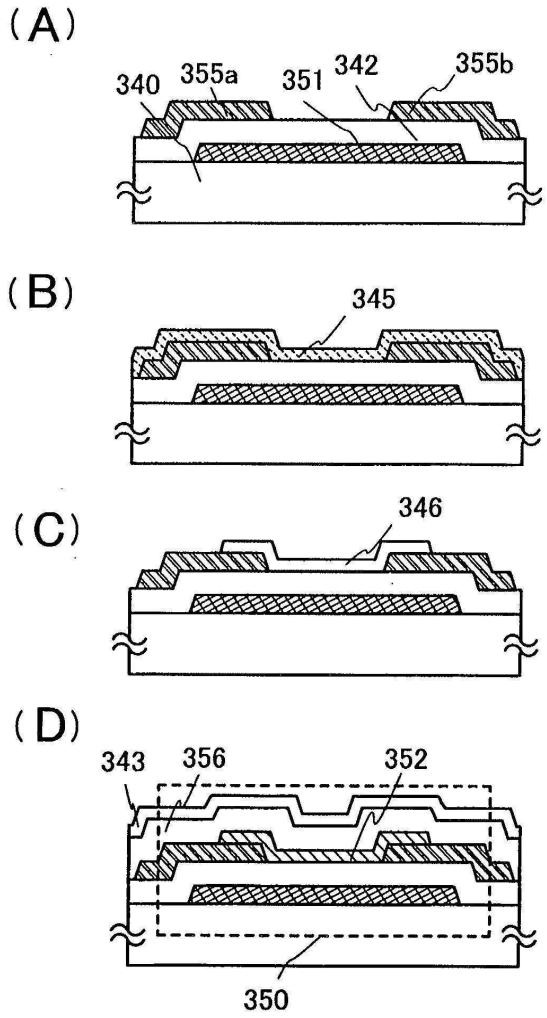
(E)



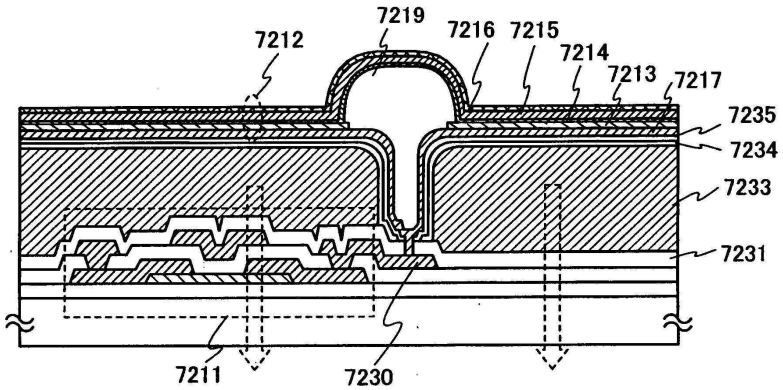
도면16


(A)
322
361
332
320
(B)
366
362
(C)
365a
365b
(D)
323
364a
363
362
364b
360

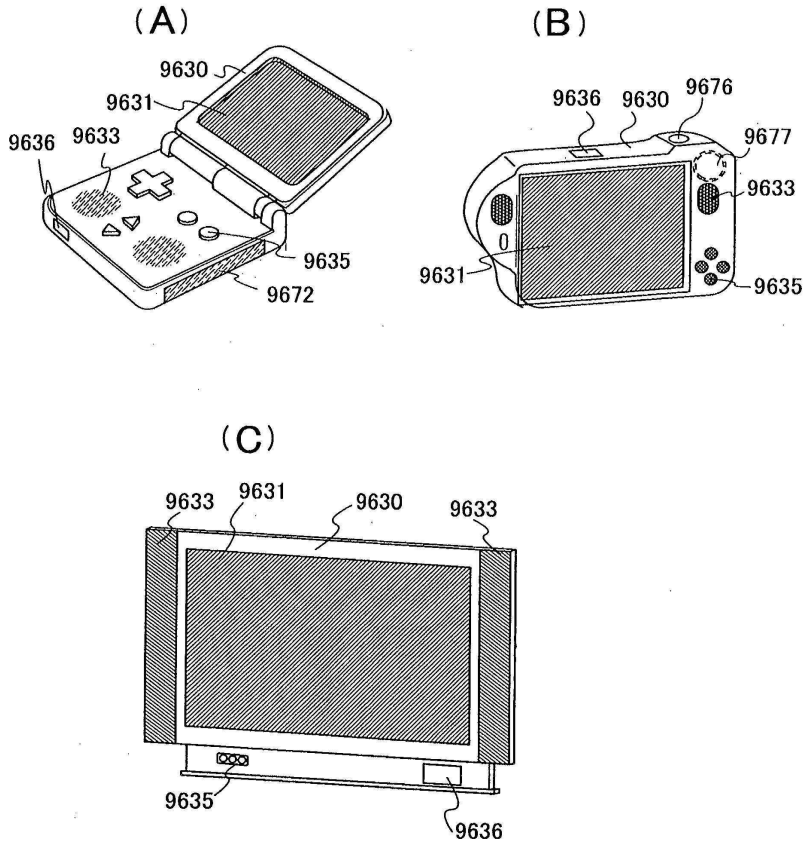
도면17


(A)
340
355a
351
342
355b
(B)
345
(C)
346
(D)
343
356
352
350

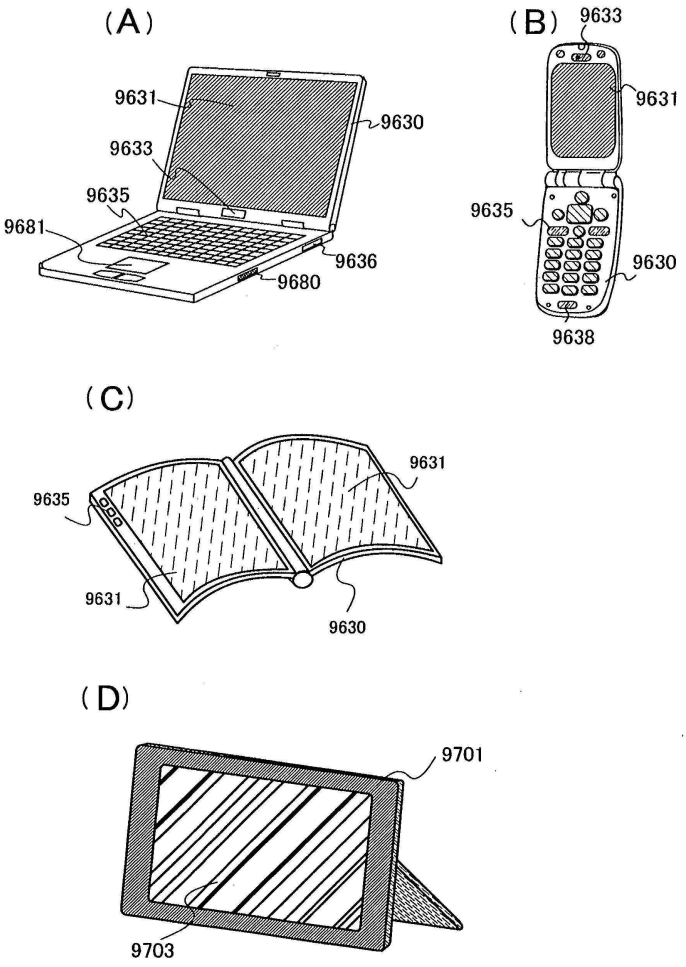
도면18


7219
7212
7216
7215
7214
7213
7217
7235
7234
7233
7231
7211
7230

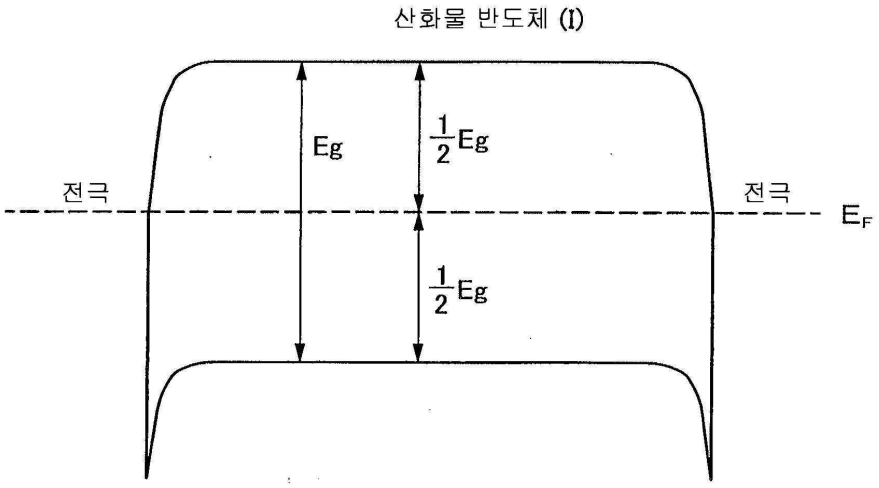
도면19


(A)
9630
9631
9636
9633
9635
9672
(B)
9636
9630
9676
9677
9633
9631
9635
(C)
9633
9631
9630
9633
9635
9636

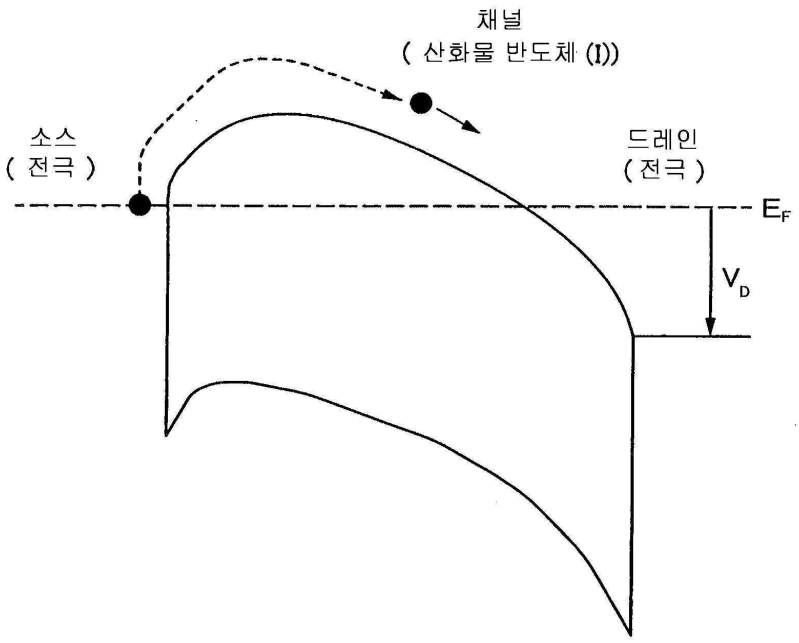
도면20


(A)
9631
9630
9633
9635
9681
9636
9680
(B)
9633
9631
9635
9630
9638
(C)
9631
9635
9631
9630
(D)
9701
9703

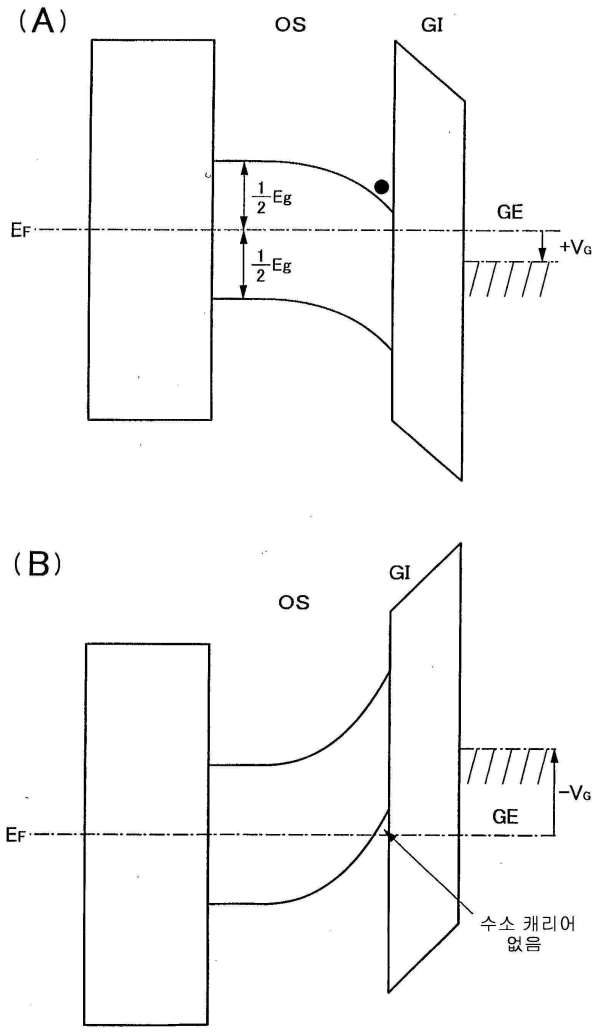
도면21


산화물 반도체 (I)
Eg
1/2 Eg
전극
전극
E_F
1/2 Eg

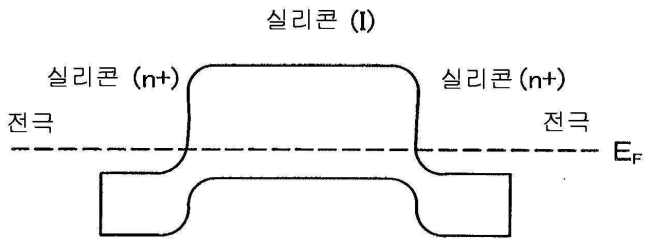
도면22


채널
(산화물 반도체 (I))
소스
(전극)
드레인
(전극)
E_F
V_D

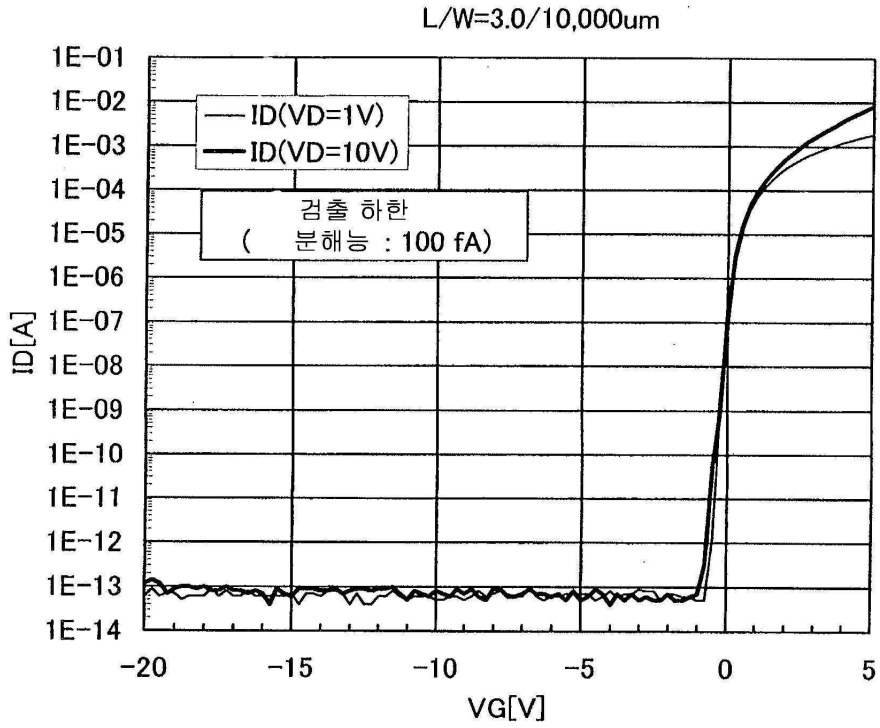
도면23


(A)
OS
GI
$\frac{1}{2}Eg$
$\frac{1}{2}Eg$
E_F
GE
$+V_G$
(B)
OS
GI
E_F
GE
$-V_G$
수소 캐리어
없음

도면24

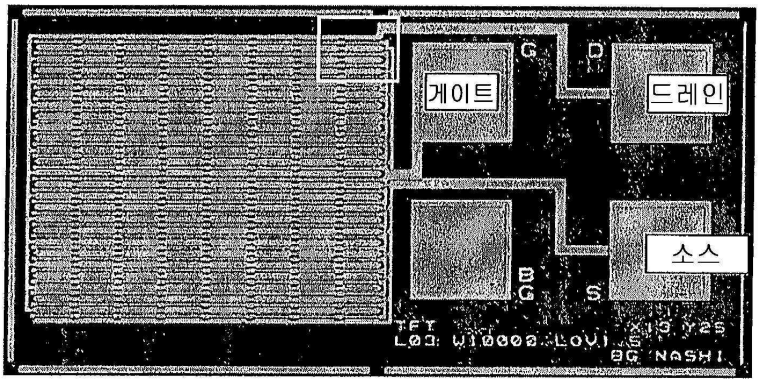

실리콘 (I)
실리콘 (n+)
실리콘 (n+)
전극
전극
E_F

도면25

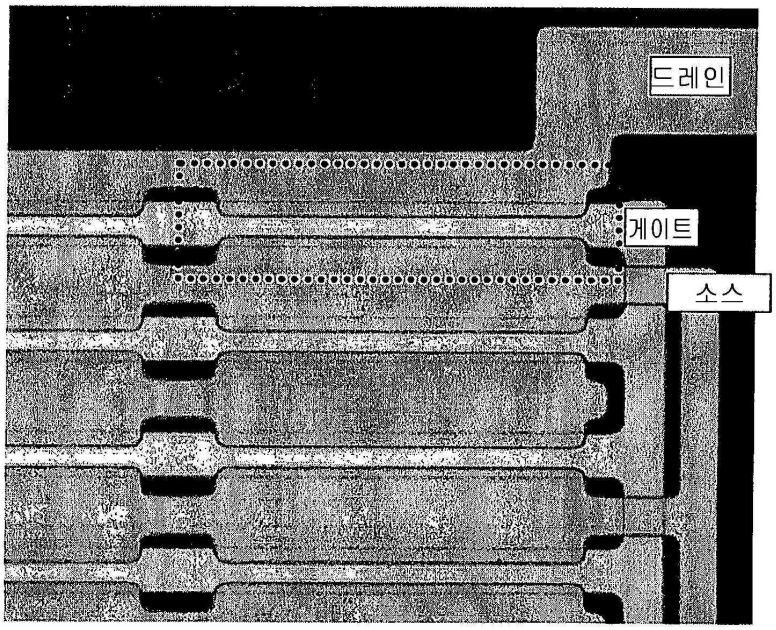

L/W=3.0/10,000um
ID(VD=1V)
ID(VD=10V)
검출 하한
(분해능 : 100 fA)
ID[A]
1E-01
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
-20
-15
-10
-5
0
5
VG[V]

도면26

(A)

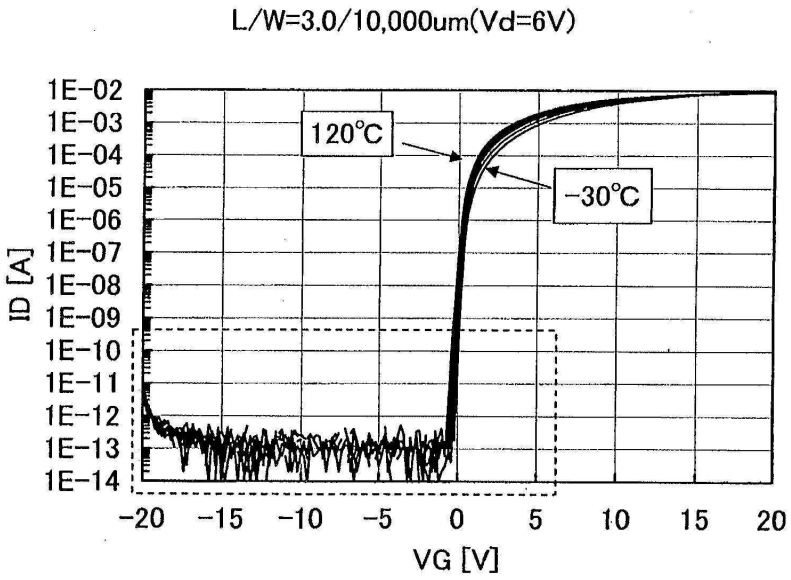


(B)

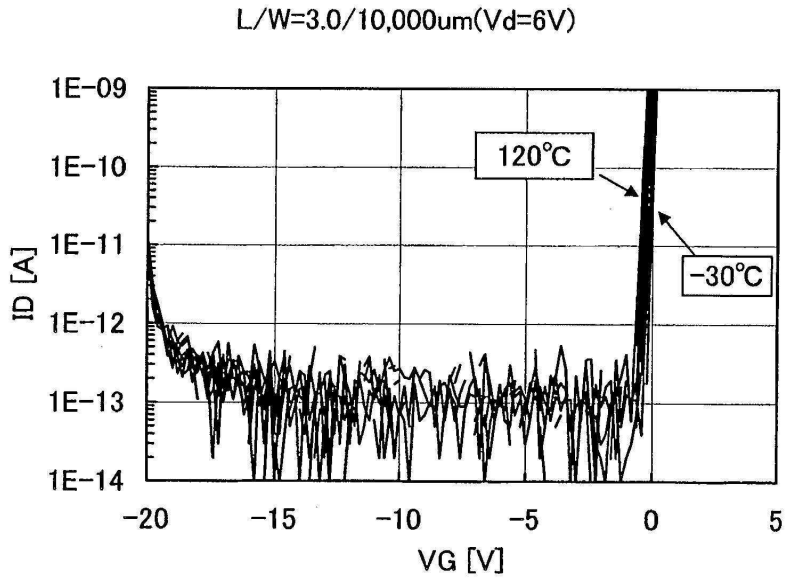


도면27

(A)


L/W=3.0/10,000um(Vd=6V)
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
ID [A]
120℃
-30℃
-20
-15
-10
-5
0
5
10
15
20
VG [V]

(B)


L/W=3.0/10,000um(Vd=6V)
1E-09
1E-10
1E-11
1E-12
1E-13
1E-14
ID [A]
120℃
-30℃
-20
-15
-10
-5
0
5
VG [V]

도면28

