

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-15704

(P2004-15704A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl.⁷

H03K 5/14

H03H 11/26

F I

H03K 5/14

H03H 11/26

テーマコード (参考)

5J001

5J098

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2002-169903 (P2002-169903)

(22) 出願日 平成14年6月11日 (2002. 6. 11)

(71) 出願人 502209556

ジェーピーシー株式会社

東京都中野区鷺宮2丁目5番5号

(74) 代理人 100066153

弁理士 草野 卓

(74) 代理人 100100642

弁理士 稲垣 稔

(74) 代理人 100114133

弁理士 横田 芳信

(72) 発明者 浅海 秀三

東京都中野区鷺宮2丁目5番5号 ジェー
ピーシー株式会社内

Fターム(参考) 5J001 AA11 BB00 BB12 BB19 DD05

5J098 AA11 AA14 AB22 AC04 AD05

DA01

(54) 【発明の名称】 遅延回路及び遅延素子

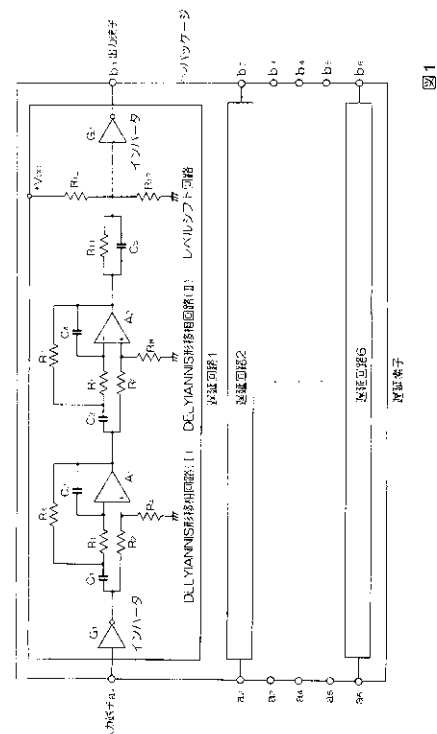
(57) 【要約】

【課題】 広い周波数帯域で一定の遅延時間と大きな遅延時間を得ることができ、急峻な出力信号の立ち上がり、立ち下がり特性を持つ遅延回路を提供する。

【解決手段】 入力バッファ（インバータ G_1 ）と、少なくとも2個の2次の伝達関数を持つ全帯域通過形回路（DELY I ANN I S形移相回路（I）、（II）と、出力バ

ッファ（インバータ G_2 ）とを順次接続し、2個の2次の伝達関数を持つ全帯域通過形回路は、異なる周波数に対する位相特性を有し、従続接続することで広い周波数帯域においてほぼ一定の遅延時間とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力バッファと、少なくとも 2 個の 2 次の伝達関数を持つ全帯域通過形回路と、出力バッファとを順次接続し、

2 個の 2 次の伝達関数を持つ全帯域通過形回路は、異なる周波数に対する位相特性を有し、縦続接続することで広い周波数帯域においてほぼ一定の遅延時間としたことを特徴とする遅延回路。

【請求項 2】

少なくとも 1 個の請求項 1 に記載の遅延回路をパッケージに収容したことを特徴とする遅延素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、遅延回路及び遅延素子に関し、特に広い周波数帯域において大きな遅延時間が得られる遅延回路及び遅延素子に関する。

【0002】

【従来の技術】

図 3 に三相インバータ電力変換システムの概要構成を示す。

三相インバータ電力変換システムは、6 個のスイッチング素子（例えば MOSFET: T_{rU} , T_{rV} , T_{rW} , T_{rX} , T_{rY} , T_{rZ} ）を備え、 T_{rU} と T_{rX} , T_{rV} と T_{rY} , T_{rW} と T_{rZ} は直列に接続し、直列接続された MOSFET の両端子 V_p , V_N は直流電源に接続される。また、MOSFET の接続点はそれぞれ三相負荷（例えば三相誘導電動機）に接続される。

6 個の MOSFET を交互に切り換えて数 kHz ~ 数 10 kHz の三相交流に変換する。すなわち、 T_{rU} と T_{rX} , T_{rV} と T_{rY} , T_{rW} と T_{rZ} をコンプリメンタリに ON / OFF し、 T_{rU} から 120° 遅れて T_{rV} , さらに 120° 遅れて T_{rW} を動作させ三相出力を得る。 T_{rU} と T_{rX} に関しては図 3 (i) に示すように G-S 間駆動信号を印加すると、D-S 間電圧は (ii) に示すようになる。

このスイッチングの遷移時間は一般的に、数 μs あるため、一方のスイッチング素子（例えば上アーム T_{rU} ）が OFF に遷移するとき、もう一方のスイッチング素子（例えば下アーム T_{rX} ）が ON に遷移すると両方のスイッチング素子が導通状態になる時間が存在することになる（すなわち、アーム短絡）。この時過大な短絡電流が流れ、この電流は一般にクロス・コンダクション・カレントと呼ばれている。

【0003】

クロス・コンダクション・カレントを防止するために、G-S 間駆動信号に所定の遅延時間を設け、MOSFET が確実にテール電流時間を過ぎてしまった時点（一方の MOSFET が完全に OFF になった時点）で対アームの MOSFET をターンオンするようにしている（他方の MOSFET が ON に遷移する）。

上アームのスイッチング素子 (T_{rU}) と下アームのスイッチング素子 (T_{rX}) が同時に導通しないようにするために、図 4 に示すように G-S 間駆動電圧 V_{GSU} , V_{GSX} をタイムラグ τ だけ遅延させる。

G-S 間駆動信号の遅延回路の構成例を図 5 に示す。

この回路は、入力された駆動信号 ▲1 ▼ とタイムラグ τ だけ遅延素子（遅延回路）により遅延させた信号 ▲2 ▼ との AND をとることで遅延した G-S 間駆動信号 ▲3 ▼ を得ることができる。

従来、所定の時間遅延させた出力信号（駆動信号）を得るために、図 6 に示すように（1）電磁遅延線（遅延素子）を用いる、（2）CR 積分回路を用い、コンデンサ C の充電電圧と予め設定された閾値（基準電圧）とをコンパレータにより比較し、入力信号に対して遅延させた信号（駆動信号）を出力する遅延回路を用いる。

【0004】

10

20

30

40

50

【発明が解決しようとする課題】

上記従来例（１）においては、遅延時間を大きくするためには電磁遅延線の形状が大きくなる。従来例（２）においては、小型化は可能であるが遅延時間を大きくするために定数の大きなＣＲ素子を用いる必要があり、ＣＲ定数が温度、湿度の変化の影響を受けやすくなり遅延時間がばらつく。また、従来例（１），（２）においては、入力信号の周波数が大きく変化した場合（例えば、数ｋＨｚ～数１０ｋＨｚ）においては、位相特性が変化して遅延時間を一定とすることができない。さらに、信号波形として広い周波数成分を有する矩形波が用いられることが普通であり、信号の急峻な立ち上がり、立ち下がり特性を得ることが困難である。

本発明は、大きな遅延時間を得ることができ、入力信号が広い周波数範囲に変化しても遅延時間をほぼ一定とすることができ、さらに急峻な出力信号の立ち上がり、立ち下がり特性を備えた遅延回路及び遅延素子を提供することを目的とする。

【０００５】

【課題を解決するための手段】

上記課題を解決するために、本発明の遅延回路は、入力バッファと、２個の２次の伝達関数を持つ全帯域通過形回路と、出力バッファとを順次接続し、前記２個の全帯域通過形回路は、異なる周波数に対する位相特性を有し、これを組み合わせることで広い周波数帯域においてほぼ一定の遅延時間としたことを特徴とする。

【０００６】

【発明の実施の形態】

本発明の遅延回路の構成例を図１に示す。

この遅延回路は、入、出力のインターフェースを行う論理バッファとして用いられるインバータ G_1 、 G_2 と、２段の縦続接続した２次の伝達関数を持つ全帯域通過型回路（すなわち全周波数帯域を通過させ、特定の位相特性を持たせた回路）の一例であるＤＥＬＹＩＡＮＮＩＳ形移相回路、及びレベルシフト回路から構成される。

インバータ G_1 、 G_2 は、遅延回路の前段、後段に接続されるデジタル回路とのインターフェース、波形整形の機能を有する。また、論理バッファとしてインバータに代えて非反転バッファも用いることができる。

レベルシフト回路は、２段のＤＥＬＹＩＡＮＮＩＳ形移相回路で減衰した信号（例えば＋Ｖ_{cc}を５Ｖとした場合、約２Ｖ）をレベルシフト（例えば約４．５Ｖ）させてインバータ G_2 を駆動させるための回路である。

図１を参照してＤＥＬＹＩＡＮＮＩＳ形移相回路を説明する。

ＤＥＬＹＩＡＮＮＩＳ形移相回路（Ｉ）は、２個のコンデンサ C_1 、 C_2 、４個の抵抗 $R_1 \sim R_4$ 、オペアンプ A_1 を図１に示すように接続して構成される。ＤＥＬＹＩＡＮＮＩＳ形移相回路（Ｉ）のシステム関数は、入力信号を V_1 、出力信号を V_2 、振幅特性を $\alpha(\omega)$ 、位相特性を $\beta(\omega)$ で表すと、

【数１】

$$\frac{V_2}{V_1} = \alpha(\omega) e^{-j\beta(\omega)} = \frac{1}{1+k} \cdot \frac{s^2 - \frac{R_1+R_3}{R_1R_3C_1}s + \frac{1}{R_1R_3C_1C_2}}{s^2 + \frac{R_1+R_3}{R_1R_3C_1}s + \frac{1}{R_1R_3C_1C_2}}$$

$$\text{ただし } k = \frac{R_2}{R_4}, \frac{C_2}{C_1} = \frac{k}{2} \cdot \frac{R_3}{R_1+R_3}$$

で与えられる。（「アクティブフィルタの設計」柳沢健・金光磐 共著、株式会社 産報 １９７３年１２月１５日初版発行、１２１～１２４頁 参照）

従って、 $R_1 \sim R_4$ 、 C_1 、 C_2 の定数を適切に設定することにより、所望の振幅特性と位相特性を得ることができる。また、遅延特性は $\tau(\omega) = d\beta(\omega)/d\omega$ で与えられる

。同様に DELYIANNIS 形移相回路 (II) についても各素子の定数を適切に設定することで所望の振幅特性と位相特性を得ることができる。

【0007】

次に本発明の実施例について説明する。

本発明は、2 個の DELYIANNIS 形移相回路 (I), (II) の各抵抗及びコンデンサの定数を適切に設定することにより図 2 に示すような異なる周波数に対する遅延時間特性 (I), (II) を持つ DELYIANNIS 形移相回路 (I), (II) を構成し、2 段縦続接続する。異なる特性の 2 個の DELYIANNIS 形移相回路を縦続接続すると、図 2 に示す $(III) = (I) + (II)$ の特性となり広い周波数帯域に渡り平坦な遅延時間特性を持ち、かつ大きな遅延時間を持つ回路を構成することができる。

10

本発明の遅延回路はパッケージに収納して遅延素子を構成し、例えば、三相インバータ電力変換システムに適用する場合には、図 1 に示したように 6 個の遅延回路を 1 つのパッケージに収納して遅延素子を構成する。

上記実施例においては、2 次の伝達関数を持つ全帯域通過型回路（すなわち全周波数帯域を通過させ、特定の位相特性を持たせた回路）として DELYIANNIS 形移相回路を用いた例について説明したが、これに代えて、MOSCHYTZ 形、STEPHAN 形移相回路も同様に用いることができる。また、2 個以上の異なる周波数に対する位相特性を有する 2 次の伝達関数を持つ全帯域通過形回路を順次接続して用いれば、より広い周波数帯域で一定の遅延時間特性を得ることができる。

また、入力、出力段に波形整形、インターフェースの目的で汎用論理素子（論理バッファ）を用いたために、DELYIANNIS 形移相回路で劣化した信号波形の立ち上がり、立ち下がり時間を速くして、この回路の前、後段に接続されるデジタル回路との整合性を図ることができる。

20

【0008】

【発明の効果】

以上説明したように、本発明は (1) 従来の遅延素子、遅延回路と比較して広い周波数帯域において一定の遅延時間を得ることができる、(2) 遅延回路を 2 段縦続接続したことにより定数の大きな回路素子を用いることなく大きな遅延時間を得ることができ、温度、湿度等の環境の変化に対して安定した遅延時間を得ることができる、(3) 遅延回路部分がアナログ回路で構成しているためにデジタル回路により構成した遅延回路に対して誤動作が無く安定している、効果を奏する。

30

【図面の簡単な説明】

【図 1】本発明の実施例である遅延回路を示す図。

【図 2】本発明の実施例である遅延回路の動作を説明するための図。

【図 3】従来の三相インバータ電力変換システムの概要構成図。

【図 4】従来の三相インバータ電力変換システムを説明するための波形図。

【図 5】信号波形を遅延させる回路及び波形を示す図。

【図 6】従来の電磁遅延線の等価回路及び遅延回路を示す図。

【符号の説明】

$a_1 \sim a_6$ …… 入力端子、 $b_1 \sim b_6$ …… 出力端子

40

G_1, G_2 …… インバータ

$C_1 \sim C_5$ …… コンデンサ、 $R_1 \sim R_{13}$ …… 抵抗

$Tr_U, Tr_V, Tr_W, Tr_X, Tr_Y, Tr_Z$ …… MOSFET

【図 1】

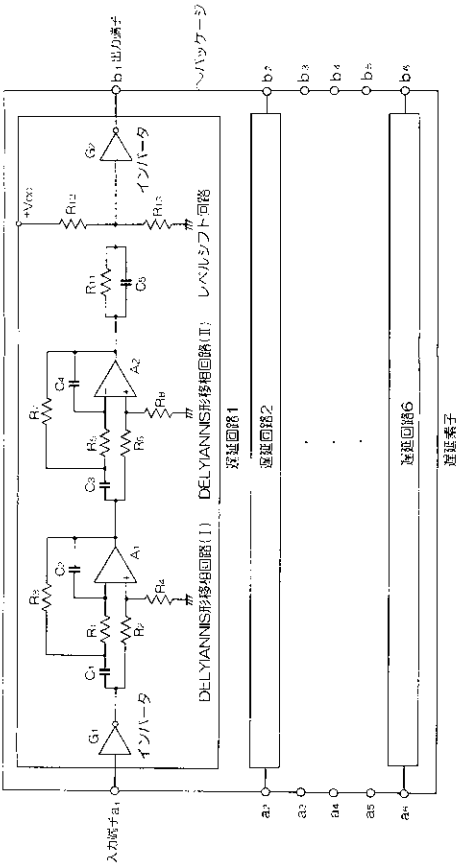


図 1

【図 2】

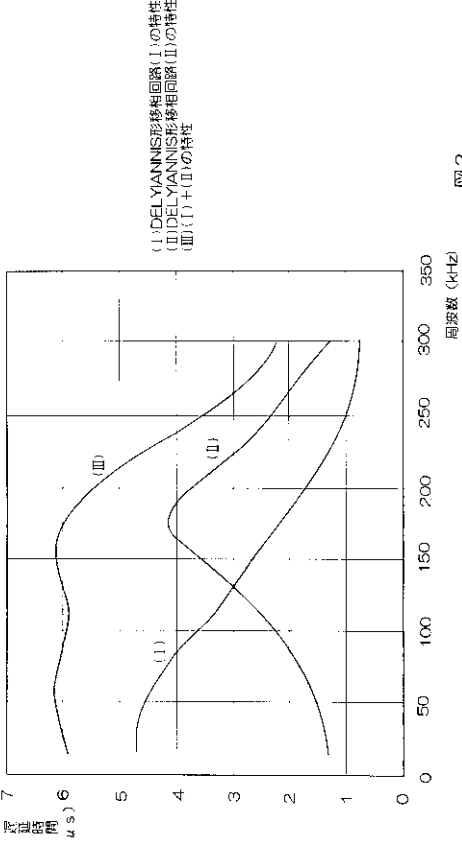


図 2

【図 3】

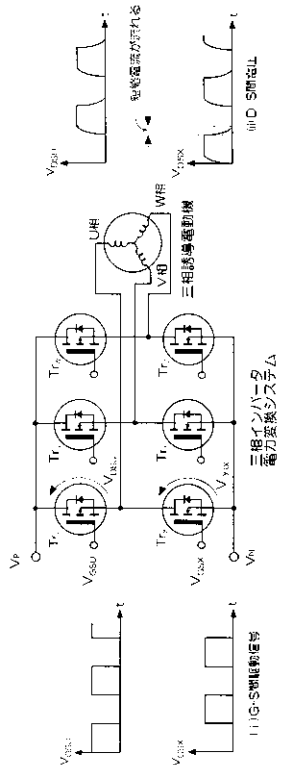


図 3

【図 4】

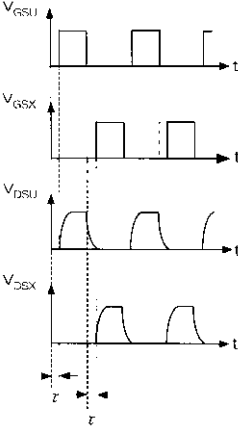


図 4

【図 5】

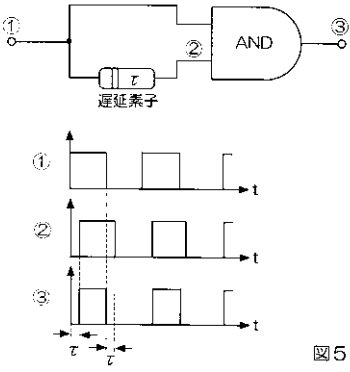


図 5

【図 6】

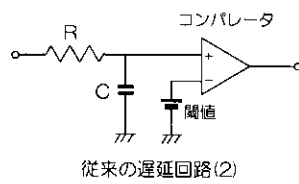
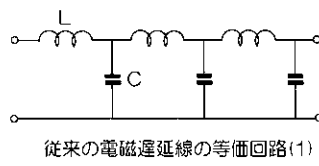


図6