

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5311666号
(P5311666)

(45) 発行日 平成25年10月9日 (2013. 10. 9)

(24) 登録日 平成25年7月12日 (2013. 7. 12)

(51) Int. Cl.

F I

H O 1 L 27/148 (2006. 01)

H O 1 L 27/14 B

H O 4 N 5/3728 (2011. 01)

H O 4 N 5/335 7 2 8

請求項の数 11 (全 31 頁)

(21) 出願番号 特願2009-244179 (P2009-244179)
 (22) 出願日 平成21年10月23日 (2009. 10. 23)
 (65) 公開番号 特開2010-103540 (P2010-103540A)
 (43) 公開日 平成22年5月6日 (2010. 5. 6)
 審査請求日 平成23年9月16日 (2011. 9. 16)
 (31) 優先権主張番号 PCT/JP2008/69321
 (32) 優先日 平成20年10月24日 (2008. 10. 24)
 (33) 優先権主張国 世界知的所有権機関 (WO)

(73) 特許権者 311014428
 ユニサンティス エレクトロニクス シン
 ガポール プライベート リミテッド
 Unisantiss Electronics Singapore Pte Ltd.
 シンガポール共和国、179098、ノー
 スブリッジロード 111、ペニンシュラ
 プラザ #16-04
 111, North Bridge Ro
 ad, #16-04 Peninsula
 Plaza, Singapore 17
 9098
 (74) 代理人 100092093
 弁理士 辻居 幸一

最終頁に続く

(54) 【発明の名称】 固体撮像素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

固体撮像素子の製造方法であって、

第2導電型平面状半導体層上に形成された第1導電型平面状半導体層に、孔を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に第1導電型の高濃度不純物領域を形成する工程と、

前記第1導電型平面状半導体層に形成した孔の側壁の一部に、第1導電型の高濃度不純物からなる素子分離領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に形成した前記第1導電型の高濃度不純物領域の下部と、前記第1導電型平面状半導体層に形成した孔の底部の側壁の他の一部に、受光により電荷量が増加する第2導電型光電変換領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の側壁の全てにゲート絶縁膜を介して転送電極を形成する工程と、

前記第1導電型平面状半導体層表面と、前記第1導電型平面状半導体層に形成された孔の上部の側壁の他の一部に第2導電型CCDチャネル領域を形成する工程と、前記第2導電型光電変換領域と前記第2導電型CCDチャネル領域に挟まれた領域に読み出しチャネルを形成する工程と、

を含み、

前記第1導電型平面状半導体層に孔を形成する工程は、マスクを形成し、前記第1導電

10

20

型平面状半導体層をエッチングすることによって前記孔を形成するものであり、

前記第2導電型CCDチャネル領域を形成する工程は、マスク材を前記第1導電型平面状半導体層に形成された孔に形成し、その後イオン注入により形成するものであり、

第1導電型の高濃度不純物からなる素子分離領域を形成する工程は、第1導電型平面状半導体層に形成した孔の側壁の一部に形成された第1導電型の高濃度不純物からなる素子分離領域に接続するよう第1導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する際のマスク材を形成する工程と、第1導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する工程とを含む、

ことを特徴とする固体撮像素子の製造方法。

【請求項2】

第2導電型光電変換領域をイオン注入により形成する際のマスク材を、第1導電型平面状半導体層に形成された孔の側壁に形成する工程と、

第2導電型光電変換領域をイオン注入により形成する工程とを含む請求項1に記載の固体撮像素子の製造方法。

【請求項3】

第2導電型光電変換領域をイオン注入により形成する工程の後に、第1導電型平面状半導体層に形成された孔の底部に第1導電型の高濃度不純物領域を形成する工程を含む請求項2に記載の固体撮像素子の製造方法。

【請求項4】

第2導電型光電変換領域をイオン注入により形成する工程の後に、第1導電型平面状半導体層に形成された孔の側壁に形成したマスク材の一部をエッチングにより除去し、

その後、イオン注入により、

第1導電型平面状半導体層に形成した孔の底部に第1導電型の高濃度不純物領域を形成する工程と、

第1導電型平面状半導体層に形成した孔の側壁の一部に、第1導電型の高濃度不純物からなる素子分離領域を形成する工程を含む請求項3に記載の固体撮像素子の製造方法。

【請求項5】

ゲート絶縁膜を形成し、ゲート電極材を堆積し、平坦化を行い、エッチングを行うことにより、転送電極を形成する工程を含む請求項1から請求項4のいずれかに記載の固体撮像素子の製造方法。

【請求項6】

固体撮像素子の製造方法であって、

第2導電型平面状半導体層上に形成された第1導電型平面状半導体層に、孔を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に第1導電型の高濃度不純物領域を形成する工程と、

前記第1導電型平面状半導体層に形成した孔の側壁の一部に、第1導電型の高濃度不純物からなる素子分離領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に形成した前記第1導電型の高濃度不純物領域の下部と、前記第1導電型平面状半導体層に形成した孔の底部の側壁の他の一部に、受光により電荷量が増加する第2導電型光電変換領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の側壁にゲート絶縁膜を介して転送電極を形成する工程と、

前記第1導電型平面状半導体層表面と、前記第1導電型平面状半導体層に形成された孔の上部の側壁の他の一部に第2導電型CCDチャネル領域を形成する工程と、

前記第2導電型光電変換領域と前記第2導電型CCDチャネル領域に挟まれた領域に読み出しチャネルを形成する工程と、を含む、

前記第1導電型平面状半導体層に孔を形成する工程は、マスクを形成し、前記第1導電型平面状半導体層をエッチングすることによって前記孔を形成するものであり、

10

20

30

40

50

前記転送電極を形成する工程は、ゲート絶縁膜を形成し、ゲート電極材を堆積し、平坦化を行い、エッチングを行うことにより、転送電極を形成するものである、

ことを特徴とする固体撮像素子の製造方法。

【請求項 7】

第 2 導電型光電変換領域をイオン注入により形成する際のマスク材を、第 1 導電型平面状半導体層に形成された孔の側壁に形成する工程と、

第 2 導電型光電変換領域をイオン注入により形成する工程とを含む請求項 6 に記載の固体撮像素子の製造方法。

【請求項 8】

第 2 導電型光電変換領域をイオン注入により形成する工程の後に、第 1 導電型平面状半導体層に形成された孔の底部に第 1 導電型の高濃度不純物領域を形成する工程を含む請求項 7 に記載の固体撮像素子の製造方法。

10

【請求項 9】

第 2 導電型光電変換領域をイオン注入により形成する工程の後に、第 1 導電型平面状半導体層に形成された孔の側壁に形成したマスク材の一部をエッチングにより除去し、

その後、イオン注入により、

第 1 導電型平面状半導体層に形成した孔の底部に第 1 導電型の高濃度不純物領域を形成する工程と、

第 1 導電型平面状半導体層に形成した孔の側壁の一部に、第 1 導電型の高濃度不純物からなる素子分離領域を形成する工程を含む請求項 8 に記載の固体撮像素子の製造方法。

20

【請求項 10】

第 2 導電型 C C D チャンネル領域をイオン注入により形成する際のマスク材を、第 1 導電型平面状半導体層に形成された孔に形成する工程と、

第 2 導電型 C C D チャンネル領域をイオン注入により形成する工程とを含む請求項 6 から請求項 9 のいずれかに記載の固体撮像素子の製造方法。

【請求項 11】

第 1 導電型平面状半導体層に形成した孔の側壁の一部に形成された第 1 導電型の高濃度不純物からなる素子分離領域に接続するよう

第 1 導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する際のマスク材を形成する工程と、

30

第 1 導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する工程とを含む請求項 10 に記載の固体撮像素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像素子、固体撮像装置及びその製造方法に関し、特に C C D 固体撮像素子、C C D 固体撮像装置及びその製造方法に関するものである。

【背景技術】

【0002】

ビデオカメラ等に用いられる従来の固体撮像素子では、光検出素子がマトリックス状に配列され、光検出素子列の間に、この光検出素子列で発生した信号電荷を読み出す垂直電荷結合素子（垂直 C C D : C h a r g e C o u p l e d D e v i c e）を有している。

40

【0003】

次に、上記従来の固体撮像素子の構造を示す（例えば、特許文献 1 参照）。図 1 は、従来の固体撮像素子の単位画素を示す断面図である。フォトダイオード（P D）は、n 型基板 11 上に形成された p 型ウェル領域 12 内に形成され、電荷蓄積層として機能する n 型光電変換領域 13、及び n 型光電変換領域 13 上に形成された p+ 型領域 14 から構成されている。

【0004】

また、n 型 C C D チャンネル領域 16 は、p 型ウェル領域 12 内に n 型不純物添加領域と

50

して形成されている。n型CCDチャネル領域16と、このn型CCDチャネル領域16に信号電荷を読み出す側のフォトダイオードとの間には、p型不純物添加領域で形成された読み出しチャネルが設けられている。そして、フォトダイオードで発生した信号電荷は、n型光電変換領域13に一時的に蓄積された後、読み出しチャネルを介して読み出される。

【0005】

一方、n型CCDチャネル領域16と他のフォトダイオードとの間には、p+型素子分離領域15が設けられている。このp+型素子分離領域15により、フォトダイオードとn型CCDチャネル領域16とが電氣的に分離されると共に、n型CCDチャネル領域16同士も相互に接触しないように分離される。

10

【0006】

半導体基板の表面には、Si酸化膜17を介して、フォトダイオード間を通過するように水平方向に延びた転送電極18が形成されている。なお、転送電極18のうち、読み出し信号が印加される電極の下方にある読み出しチャネルを介して、フォトダイオードで発生した信号電荷がn型CCDチャネル領域16に読み出される。

【0007】

転送電極18が形成された半導体基板の表面は、金属遮蔽膜20が形成されている。金属遮蔽膜20は、各フォトダイオード毎に、受光部であるp+型領域14に受光される光を透過させる光透過部として金属遮蔽膜開口部24を有している。

20

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2000-101056号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

このように、従来の固体撮像素子においては、フォトダイオード(PD)、読み出しチャネル、n型CCDチャネル領域、p+型素子分離領域が、平面に形成されており、一画素の面積に対する受光部(フォトダイオード)の表面積の割合を大きくすることには限界があった。そこで、本発明は、読み出しチャネルの面積を低減し、一画素の面積に対する受光部(フォトダイオード)の表面積の割合が大きいCCD固体撮像素子を提供することを目的とする。

30

【課題を解決するための手段】

【0010】

本発明の1態様では、
第2導電型平面状半導体層と、
前記第2導電型平面状半導体層上に形成された第1導電型平面状半導体層と、
前記第1導電型平面状半導体層に形成された孔と、
前記第1導電型平面状半導体層に形成された孔の底部に形成された第1導電型の高濃度不純物領域と、

40

前記第1導電型平面状半導体層に形成した孔の側壁の一部に形成され、前記第1導電型の高濃度不純物領域と接続された第1導電型の高濃度不純物からなる素子分離領域と、

前記第1導電型平面状半導体層に形成された孔の底部に形成した前記第1導電型の高濃度不純物領域の下部と、前記第1導電型平面状半導体層に形成した孔の底部の側壁の他の一部に形成された受光により電荷量が増加する第2導電型光電変換領域と、

前記第1導電型平面状半導体層に形成された孔の側壁にゲート絶縁膜を介して形成された転送電極と、

前記第1導電型平面状半導体層表面と、前記第1導電型平面状半導体層に形成された孔の上部の側壁の他の一部に形成された第2導電型CCDチャネル領域と、

前記第2導電型光電変換領域と前記第2導電型CCDチャネル領域に挟まれた領域に形

50

成された読み出しチャネルを有することを特徴とする固体撮像素子を提供するものである。

【0011】

また、本発明の好ましい態様では、前記記載の固体撮像素子が行列状に複数配列された固体撮像装置が提供される。

【0012】

また、本発明の好ましい態様では、前記第2導電型CCDチャネル領域は、少なくとも隣り合う前記第1導電型平面状半導体層に形成された孔列の間の各々において、列方向に延びる第2導電型不純物領域で構成され、

前記第2導電型CCDチャネル領域が相互に接触しないように、第1導電型の高濃度不純物からなる素子分離領域が設けられていることを特徴とする前記記載の固体撮像装置が提供される。

10

【0013】

また、本発明の好ましい態様では、前記第1導電型平面状半導体層に形成された孔の側壁にゲート絶縁膜を介して形成された転送電極を含む複数の転送電極は、前記第1導電型平面状半導体層に形成された孔行の間の各々において行方向に延び、前記第2導電型CCDチャネル領域に沿って前記固体撮像素子で発生した信号電荷を転送するように所定間隔離間して配列されたことを特徴とする前記記載の固体撮像装置が提供される。

【0014】

また、本発明の好ましい態様では、前記記載の固体撮像素子が第1の間隔で第1の方向に複数配列された第1の固体撮像素子列と、前記記載の固体撮像素子が前記第1の間隔で前記第1の方向に複数配列され、且つ前記第1の固体撮像素子列に対して前記第1の方向に所定量ずらして配置された第2の固体撮像素子列とが、第2の間隔において配列された素子列の組が、前記第1の方向に所定量ずらして前記第2の間隔において複数組配列された固体撮像装置が提供される。

20

【0015】

また、本発明の好ましい態様では、前記第2導電型CCDチャネル領域は、少なくとも隣り合う前記第1導電型平面状半導体層に形成された孔列の間の各々において、該隣り合う前記第1導電型平面状半導体層に形成された孔列の各前記第1導電型平面状半導体層に形成された孔の間を通過して列方向に延びる第2導電型不純物領域で構成され、

30

前記第2導電型CCDチャネル領域が相互に接触しないように、第1導電型の高濃度不純物からなる素子分離領域が設けられていることを特徴とする前記記載の固体撮像装置が提供される。

【0016】

また、本発明の好ましい態様では、前記転送電極は、隣り合う前記第1導電型平面状半導体層に形成された孔行の間の各々において、該隣り合う前記第1導電型平面状半導体層に形成された孔行の各前記第1導電型平面状半導体層に形成された孔の間を通過して行方向に延び、前記第2導電型CCDチャネル領域に沿って前記固体撮像素子で発生した信号電荷を転送するように所定間隔離間して配列されたことを特徴とする前記記載の固体撮像装置が提供される。

40

【0017】

また、本発明の好ましい態様では、固体撮像素子の製造方法であって、

第2導電型平面状半導体層上に形成された第1導電型平面状半導体層に、孔を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に第1導電型の高濃度不純物領域を形成する工程と、

前記第1導電型平面状半導体層に形成した孔の側壁の一部に、第1導電型の高濃度不純物からなる素子分離領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の底部に形成した前記第1導電型の高濃度不純物領域の下部と、前記第1導電型平面状半導体層に形成した孔の底部の側壁の他の

50

一部に、受光により電荷量に変化する第2導電型光電変換領域を形成する工程と、

前記第1導電型平面状半導体層に形成された孔の側壁にゲート絶縁膜を介して転送電極を形成する工程と、

前記第1導電型平面状半導体層表面と、前記第1導電型平面状半導体層に形成された孔の上部の側壁の他の一部に第2導電型CCDチャンネル領域を形成する工程と、

前記第2導電型光電変換領域と前記第2導電型CCDチャンネル領域に挟まれた領域に読み出しチャンネルを形成する工程と、

を含むことを特徴とする固体撮像素子の製造方法が提供される。

【0018】

また、本発明の好ましい態様では、第2導電型平面状半導体層上に形成された第1導電型平面状半導体層に、マスクを形成し、シリコンをエッチングし、孔を形成する工程を含む前記記載の固体撮像素子の製造方法が提供される。

10

【0019】

また、本発明の好ましい態様では、第2導電型光電変換領域をイオン注入により形成する際のマスク材を、第1導電型平面状半導体層に形成された孔の側壁に形成する工程と、

第2導電型光電変換領域をイオン注入により形成する工程とを含む前記記載の固体撮像素子の製造方法が提供される。

【0020】

また、本発明の好ましい態様では、第2導電型光電変換領域をイオン注入により形成する工程の後に、第1導電型平面状半導体層に形成された孔の底部に第1導電型の高濃度不純物領域を形成する工程を含む前記記載の固体撮像素子の製造方法が提供される。

20

【0021】

また、本発明の好ましい態様では、第2導電型光電変換領域をイオン注入により形成する工程の後に、第1導電型平面状半導体層に形成された孔の側壁に形成したマスク材の一部をエッチングにより除去し、

その後、イオン注入により、

第1導電型平面状半導体層に形成した孔の底部に第1導電型の高濃度不純物領域を形成する工程と、

第1導電型平面状半導体層に形成した孔の側壁の一部に、第1導電型の高濃度不純物からなる素子分離領域を形成する工程を含む前記記載の固体撮像素子の製造方法が提供される。

30

【0022】

また、本発明の好ましい態様では、第2導電型CCDチャンネル領域をイオン注入により形成する際のマスク材を、第1導電型平面状半導体層に形成された孔に形成する工程と、

第2導電型CCDチャンネル領域をイオン注入により形成する工程とを含む前記記載の固体撮像素子の製造方法が提供される。

【0023】

また、本発明の好ましい態様では、第1導電型平面状半導体層に形成した孔の側壁の一部に形成された第1導電型の高濃度不純物からなる素子分離領域に接続するよう

第1導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する際のマスク材を形成する工程と、

40

第1導電型の高濃度不純物からなる素子分離領域をイオン注入により形成する工程とを含む前記記載の固体撮像素子の製造方法が提供される。

【0024】

また、本発明の好ましい態様では、ゲート絶縁膜を形成し、ゲート電極材を堆積し、平坦化を行い、エッチングを行うことにより、転送電極を形成する工程を含む前記記載の固体撮像素子の製造方法が提供される。

【発明の効果】

【0025】

従来のCCD固体撮像素子では、フォトダイオード(PD)、読み出しチャンネル、n型

50

ＣＣＤチャネル領域、 $p+$ 型素子分離領域が、平面に形成されており、一画素の面積に対する受光部（フォトダイオード）の表面積の割合を大きくすることに限界があったが、本発明によれば、読み出しチャネルを非水平に配置することにより、読み出しチャネルの占有面積を大幅に低減し、一画素の面積に対する受光部（フォトダイオード）の表面積の割合が大きいＣＣＤ固体撮像素子を提供することができる。

【図面の簡単な説明】

【００２６】

【図１】従来の固体撮像素子の単位画素を示す断面図。

【図２】この発明に係るＣＣＤ固体撮像素子の平面図。

【図３】この発明に係るＣＣＤ固体撮像素子の鳥瞰図。

【図４】図２の X_1-X_1' 断面図。

【図５】図２の Y_1-Y_1' 断面図。

【図６（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図６（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図７（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図７（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図８（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図８（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図９（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図９（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１０（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図１０（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１１（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図１１（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１２（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図１２（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１３（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図１３（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１４（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

【図１４（ｂ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す Y_1-Y_1' 断面工程図。

【図１５（ａ）】この発明に係るＣＣＤ固体撮像素子の製造例を示す X_1-X_1' 断面工程図。

10

20

30

40

50

【図 1 5 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 1 6 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

【図 1 6 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 1 7 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

【図 1 7 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

10

【図 1 8 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

【図 1 8 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 1 9 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

【図 1 9 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 2 0 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

20

【図 2 0 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 2 1 (a)】この発明に係る C C D 固体撮像素子の製造例を示す $X_1 - X_1'$ 断面工程図。

【図 2 1 (b)】この発明に係る C C D 固体撮像素子の製造例を示す $Y_1 - Y_1'$ 断面工程図。

【図 2 2】この発明に係る C C D 固体撮像素子をハニカム状に配置した固体撮像素子の平面図。

【図 2 3】この発明に係る C C D 固体撮像素子をハニカム状に配置した固体撮像素子の鳥瞰図。

30

【図 2 4】図 2 2 の $X_2 - X_2'$ 断面図。

【図 2 5】図 2 2 の $Y_2 - Y_2'$ 断面図。

【図 2 6】この発明に係る C C D 固体撮像素子を行列状に配置した固体撮像素子の平面図。

【図 2 7】この発明に係る C C D 固体撮像素子を行列状に配置した固体撮像素子の鳥瞰図。

【図 2 8】図 2 6 の $X_3 - X_3'$ 断面図。

【図 2 9】図 2 6 の $Y_3 - Y_3'$ 断面図。

【発明を実施するための形態】

【0 0 2 7】

40

以下、添付図面を参照して本発明の実施形態について詳細に説明する。

【0 0 2 8】

(第 1 の実施形態)

本発明の第 1 の実施形態に係る C C D 固体撮像素子を一行二列に配置した固体撮像素子の平面図及び鳥瞰図をそれぞれ、図 2 及び図 3 に示す。また、図 4 は図 2 の $X_1 - X_1'$ 断面図、図 5 は図 2 の $Y_1 - Y_1'$ 断面図である。

【0 0 2 9】

n 型基板 1 1 5 上に、p 型ウェル領域 1 1 4 が形成され、

p 型ウェル 1 1 4 にシリコン孔 2 0 3 が形成され、

シリコン孔 2 0 3 の底部に p + 型領域 1 0 4 が形成され、

50

シリコン孔 203 の側壁の一部に、p+型領域 104 と接続するよう形成された p+型素子分離領域 101 が形成され、

p+型領域 104 の下部と、シリコン孔 203 の底部の側壁の他の一部に n 型光電変換領域 110 が形成され、

シリコン孔 203 の側壁にゲート絶縁膜 117 を介して転送電極 106、107 が形成され、

p 型ウェル 114 表面とシリコン孔 203 の上部の側壁の他の一部に n 型 CCD チャンネル 103 が形成され、

n 型光電変換領域 110 と n 型 CCD チャンネル 103 に挟まれた領域に読み出しチャンネル 112 が形成される。

10

また、

n 型基板 115 上に、p 型ウェル領域 114 が形成され、

p 型ウェル 114 にシリコン孔 204 が形成され、

シリコン孔 204 の底部に p+型領域 105 が形成され、

シリコン孔 204 の側壁の一部に、p+型領域 105 と接続するよう形成された p+型素子分離領域 102 が形成され、

p+型領域 105 の下部と、シリコン孔 204 の底部の側壁の他の一部に n 型光電変換領域 111 が形成され、

シリコン孔 204 の側壁にゲート絶縁膜 117 を介して転送電極 106、107 が形成され、

20

p 型ウェル 114 表面とシリコン孔 204 の上部の側壁の他の一部に n 型 CCD チャンネル領域 109 が形成され、

n 型光電変換領域 111 と n 型 CCD チャンネル領域 109 に挟まれた領域に読み出しチャンネル 113 が形成される。

【0030】

n 型 CCD チャンネル領域 108、103 の間には、チャンネル領域が相互に接触しないように、p+型素子分離領域 101 が形成される。

また、n 型 CCD チャンネル領域 103、109 の間には、チャンネル領域が相互に接触しないように、p+型素子分離領域 102 が形成される。

【0031】

30

また、転送電極 106、107 上、シリコン孔 203、204 側壁には、絶縁膜 119 を介して金属遮蔽膜 116 が形成される。

【0032】

転送電極 106 又は 107 に読み出し信号が印加されると、電荷蓄積層としての n 型光電変換領域 110 に蓄積された信号電荷が読み出しチャンネル 112 を介して n 型 CCD チャンネル領域 103 に読み出される。また、読み出された信号電荷は、転送電極 106、107 によって垂直 ($Y_1 - Y_1'$) 方向に転送される。

【0033】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態である、第 1 の実施形態の CCD 固体撮像素子が行列状に複数配置された固体撮像装置の一部分の平面図及び鳥瞰図をそれぞれ、図 26 及び図 27 に示す。また、図 28 は、図 26 の $X_3 - X_3'$ 断面図であり、図 29 は、図 26 の $Y_3 - Y_3'$ 断面図である。

40

【0034】

図 26 及び図 27 において、半導体基板上に、p+型領域 501、502 を有する固体撮像素子が所定間隔(垂直画素ピッチ VP)で垂直 ($Y_3 - Y_3'$) 方向(列方向)に配列されている(第 1 の固体撮像素子列)。第 1 の固体撮像素子列の固体撮像素子の各々と垂直方向の位置を同じくして隣接して、p+型領域 503、504 を有する固体撮像素子が第 1 の固体撮像素子列と同じ所定間隔(垂直画素ピッチ VP)で垂直方向に配列されている(第 2 の固体撮像素子列)。第 1 の固体撮像素子列及び第 2 の固体撮像素子列は、垂直画素

50

ピッチと同じ間隔（水平画素ピッチHP）で配置される。このように、p+型領域501、502、503、504を有する固体撮像素子は、いわゆる行列状に配列されている。

【0035】

隣接して配列された第1の固体撮像素子列のシリコン孔530、532と第2の固体撮像素子列のシリコン孔531、533との間には、p+型領域501、502を有するフォトダイオードで発生した信号電荷を読み出して垂直方向に転送するn型CCDチャネル領域508が設けられている。同様に、他のフォトダイオードで発生した信号電荷を読み出して垂直方向に転送するため、n型CCDチャネル領域507、509が設けられている。

n型CCDチャネル領域は、行列状に配列されたシリコン孔の間を垂直方向に延びている。そして、n型CCDチャネル領域同士が相互に分離して接触しないように、p+型素子分離領域505、506が設けられている。

また、p+型領域501、502に電圧を印加するため、p+型素子分離領域505はシリコン孔530、532の側壁の一部にも形成され、p+型領域501、502に接続される。

また、p+型領域503、504に電圧を印加するため、p+型素子分離領域506はシリコン孔531、533の側壁の一部にも形成され、p+型領域503、504に接続される。

本実施形態においては、p+型素子分離領域505、506は、第1及び第2の固体撮像素子列の軸、並びにシリコン孔の外縁に沿って設けられているが、

p+型素子分離領域は、隣接するn型CCDチャネル領域が相互に接触しないように設けられ且つシリコン孔の側壁の一部に形成され、シリコン孔底部のp+型領域に接続されていればよく、例えば、p+型素子分離領域505、506を図25の配置から X_3 方向にずらして配置することもできる。

【0036】

p+型領域501、503を有する固体撮像素子を水平（ X_2-X_2' ）方向（行方向）に配列した第1の固体撮像素子行のシリコン孔530、531と、p+型領域502、504を有する固体撮像素子を水平方向に配列した第2の固体撮像素子行のシリコン孔532、533との間には、フォトダイオードからn型CCDチャネル領域507、508、509に読み出された信号電荷を垂直方向に転送する転送電極512、513、514が設けられている。

また、フォトダイオードからn型CCDチャネル領域507、508、509に読み出された信号電荷を垂直方向に転送する転送電極510、511、515、516が設けられている。転送電極514に読み出し信号が印加されると、フォトダイオード502、504に蓄積された信号電荷が読み出しチャネルを介してn型CCDチャネル領域508、509に読み出される。転送電極は、行列状に配列されたシリコン孔の間を水平方向に延びている。

【0037】

p+領域501を有する固体撮像素子は、
n型基板526上に、p型ウェル領域525が形成され、
p型ウェル525にシリコン孔530が形成され、
シリコン孔530の底部にp+型領域501が形成され、
シリコン孔530の側壁の一部に、p+型領域501と接続するよう形成されたp+型素子分離領域505が形成され、

p+型領域501の下部と、シリコン孔530の底部の側壁の他の一部にn型光電変換領域517が形成され、

シリコン孔530の側壁にゲート絶縁膜527を介して転送電極511、512が形成され、

p型ウェル525表面とシリコン孔530の上部の側壁の他の一部にn型CCDチャネル508が形成され、

10

20

30

40

50

n型光電変換領域517とn型CCDチャンネル508に挟まれた領域に読み出しチャンネル521が形成される。

また、p+領域502を有する固体撮像素子は、

n型基板526上に、p型ウェル領域525が形成され、

p型ウェル525にシリコン孔532が形成され、

シリコン孔532の底部にp+型領域502が形成され、

シリコン孔532の側壁の一部に、p+型領域502と接続するよう形成されたp+型素子分離領域505が形成され、

p+型領域502の下部と、シリコン孔532の底部の側壁の他の一部にn型光電変換領域518が形成され、

シリコン孔532の側壁にゲート絶縁膜527を介して転送電極514、515が形成され、

p型ウェル525表面とシリコン孔532の上部の側壁の他の一部にn型CCDチャンネル508が形成され、

n型光電変換領域518とn型CCDチャンネル508に挟まれた領域に読み出しチャンネル522が形成される。

また、p+領域503を有する固体撮像素子は、

n型基板526上に、p型ウェル領域525が形成され、

p型ウェル525にシリコン孔531が形成され、

シリコン孔531の底部にp+型領域503が形成され、

シリコン孔531の側壁の一部に、p+型領域503と接続するよう形成されたp+型素子分離領域506が形成され、

p+型領域503の下部と、シリコン孔531の底部の側壁の他の一部にn型光電変換領域519が形成され、

シリコン孔531の側壁にゲート絶縁膜527を介して転送電極511、512が形成され、

p型ウェル525表面とシリコン孔531の上部の側壁の他の一部にn型CCDチャンネル509が形成され、

n型光電変換領域519とn型CCDチャンネル509に挟まれた領域に読み出しチャンネル523が形成される。

また、p+領域504を有する固体撮像素子は、

n型基板526上に、p型ウェル領域525が形成され、

p型ウェル525にシリコン孔533が形成され、

シリコン孔533の底部にp+型領域504が形成され、

シリコン孔533の側壁の一部に、p+型領域504と接続するよう形成されたp+型素子分離領域506が形成され、

p+型領域504の下部と、シリコン孔533の底部の側壁の他の一部にn型光電変換領域520が形成され、

シリコン孔533の側壁にゲート絶縁膜527を介して転送電極514、515が形成され、

p型ウェル525表面とシリコン孔533の上部の側壁の他の一部にn型CCDチャンネル509が形成され、

n型光電変換領域520とn型CCDチャンネル509に挟まれた領域に読み出しチャンネル524が形成される。

【0038】

また、転送電極510、511、512、513、514、515、516上、シリコン孔501、502、503、504側壁には、絶縁膜528を介して金属遮蔽膜529が形成される。

【0039】

上述のように、隣り合う固体撮像素子行のシリコン孔の間には、隣り合う固体撮像素子

10

20

30

40

50

行のシリコン孔の間を通過するように行方向に延びた転送電極 510、511、512、513、514、515、516 が設けられ、それらは所定間隔離間して配置されている。シリコン孔に隣接する転送電極 511、512、514、515、ゲート絶縁膜を介してシリコン孔の側面に形成されている。転送電極 510、511、512、513、514、515、516 は、n 型 CCD チャンネル領域と共に、フォトダイオードで発生した信号電荷を垂直方向に転送する垂直電荷転送装置 (VCCD) を構成している。VCCD は 3 相駆動 ($\phi 1 \sim \phi 3$) とされ、各フォトダイオードに対して異なる位相で駆動される 3 つの転送電極によりフォトダイオードで発生した信号電荷を垂直方向に転送する。本実施形態では、VCCD は 3 相駆動であるが、VCCD を適切な任意の数の相で駆動する構成とすることができることも、当業者に明らかであろう。

10

【0040】

(第 3 の実施形態)

第 2 の実施形態において、CCD 固体撮像素子が行列状に配列された固体撮像装置を示したが、図 22、図 23、図 24、図 25 に示すように、CCD 固体撮像素子をハニカム状に配置してもよい。そこで、本発明の第 3 の実施形態として、第 1 の実施形態の CCD 固体撮像素子がハニカム状に配置された固体撮像装置について説明する。CCD 固体撮像素子がハニカム状に配置された固体撮像装置の一部分の平面図及び鳥瞰図をそれぞれ図 22 及び図 23 に示す。また、図 24 は、図 22 の $X_2 - X_2'$ 断面図であり、図 25 は、図 22 の $Y_2 - Y_2'$ 断面図である。

【0041】

20

図 22 及び図 23 において、半導体基板上に、p+ 型領域 301、302 を有する固体撮像素子が所定間隔 (垂直画素ピッチ VP) で垂直 ($Y_2 - Y_2'$) 方向 (列方向) に配列される (第 1 の固体撮像素子列)。

第 1 の固体撮像素子列と垂直画素ピッチと同じ間隔 (水平画素ピッチ HP) の $1/2$ を置いて、p+ 型領域 303、304 を有する固体撮像素子が第 1 の固体撮像素子列と同じ所定間隔で垂直方向に配列され、且つ第 1 の固体撮像素子列に対して垂直方向に垂直画素ピッチ VP に対して $1/2$ ずらして配置される (第 2 の固体撮像素子列)。

さらに、第 2 の固体撮像素子列と垂直画素ピッチと同じ間隔 (水平画素ピッチ HP) の $1/2$ を置いて、p+ 型領域 305、306 を有する固体撮像素子が第 1 の固体撮像素子列と同じ所定間隔で垂直方向に配列され、且つ第 2 の固体撮像素子列に対して垂直方向に垂直画素ピッチ VP に対して $1/2$ ずらして配置される (第 3 の固体撮像素子列)。

30

すなわち、p+ 領域 301、302、303、304、305、306 を有する固体撮像素子は、いわゆるハニカム状に配列されている。

【0042】

隣接して配列された第 1 の固体撮像素子列のシリコン孔 339、331 と第 2 の固体撮像素子列のシリコン孔 334、333 との間には、p+ 領域 301、302 を有するフォトダイオードで発生した信号電荷を読み出して垂直方向に転送する n 型 CCD チャンネル領域 331 が設けられている。

同様に、第 2 の固体撮像素子列のシリコン孔 334、333 と第 3 の固体撮像素子列のシリコン孔 305、306 との間には、p+ 領域 303、304 を有するフォトダイオードで発生した信号電荷を読み出して垂直方向に転送する n 型 CCD チャンネル領域 312 が設けられている。

40

また、p+ 領域 305、306 を有するフォトダイオードで発生した信号電荷を読み出して垂直方向に転送する n 型 CCD チャンネル領域 313 が設けられている。

また、フォトダイオードで発生した信号電荷を読み出して垂直方向に転送する n 型 CCD チャンネル領域 310 が設けられている。

これらの n 型 CCD チャンネル領域は、ハニカム状に配列したシリコン孔の間を蛇行しながら垂直方向に延びている。また、n 型 CCD チャンネル領域同士が相互に分離して接触しないように、p+ 型素子分離領域 307、308、309 が設けられている。

また、p+ 型領域 301、302 に電圧を印加するため、p+ 型素子分離領域 307 は

50

シリコン孔 339、331 の側壁の一部にも形成され、p+型領域 301、302 に接続される。

また、p+型領域 303、304 に電圧を印加するため、p+型素子分離領域 308 はシリコン孔 334、333 の側壁の一部にも形成され、p+型領域 303、304 に接続される。

また、p+型領域 305、306 に電圧を印加するため、p+型素子分離領域 309 はシリコン孔 343、332 の側壁の一部にも形成され、p+型領域 305、306 に接続される。

本実施形態においては、p+型素子分離領域 307、308、309 は、第 1、第 2 及び第 3 の固体撮像素子列の軸、並びにシリコン孔の外縁に沿って設けられているが、p+型素子分離領域は、隣接する n 型 CCD チャンネル領域が相互に接触しないように設けられ且つシリコン孔の側壁の一部に形成され、シリコン孔底部の p+型領域に接続されていればよく、例えば、p+型素子分離領域 307、308、309 を図 21 の配置から X_2 方向にずらして配置することもできる。

【0043】

p+領域 301、305 を有する固体撮像素子を水平 (X_2-X_2') 方向 (行方向) に配列した第 1 の固体撮像素子行のシリコン孔 339、343 と

p+領域 303 を有する固体撮像素子を水平方向に配列した第 2 の固体撮像素子行のシリコン孔 334 との間には、転送電極 314、315 が設けられている。

同様に、p+領域 303 を有する固体撮像素子を水平方向に配列した第 2 の固体撮像素子行のシリコン孔 334 と

p+領域 302、306 を有する固体撮像素子を水平方向に配列した第 3 の固体撮像素子行のシリコン孔 331、332 との間、

及び p+領域 302、306 を有する固体撮像素子を水平方向に配列した第 3 の固体撮像素子行のシリコン孔 331、332 と

p+領域 304 を有する固体撮像素子を水平方向に配列した第 4 の固体撮像素子行のシリコン孔 333 との間にはそれぞれ、

転送電極 316、317、及び転送電極 318、319 が設けられている。これらの転送電極は、ハニカム状に配列したシリコン孔の間を蛇行しながら水平方向に延びている。

【0044】

p+領域 301 を有する固体撮像素子は、

n 型基板 321 上に、p 型ウェル領域 320 が形成され、

p 型ウェル 320 にシリコン孔 339 が形成され、

シリコン孔 339 の底部に p+型領域 301 が形成され、

シリコン孔 339 の側壁の一部に、p+型領域 301 と接続するよう形成された p+型素子分離領域 307 が形成され、

p+型領域 301 の下部と、シリコン孔 339 の底部の側壁の他の一部に n 型光電変換領域 322 が形成され、

シリコン孔 339 の側壁にゲート絶縁膜 328 を介して転送電極 314 が形成され、

p 型ウェル 320 表面とシリコン孔 339 の上部の側壁の他の一部に n 型 CCD チャンネル 311 が形成され、

n 型光電変換領域 322 と n 型 CCD チャンネル 311 に挟まれた領域に読み出しチャンネル 340 が形成される。

p+領域 302 を有する固体撮像素子は、

n 型基板 321 上に、p 型ウェル領域 320 が形成され、

p 型ウェル 320 にシリコン孔 331 が形成され、

シリコン孔 331 の底部に p+型領域 302 が形成され、

シリコン孔 331 の側壁の一部に、p+型領域 302 と接続するよう形成された p+型素子分離領域 307 が形成され、

p+型領域 302 の下部と、シリコン孔 331 の底部の側壁の他の一部に n 型光電変換

10

20

30

40

50

領域 3 2 3 が形成され、

シリコン孔 3 3 1 の側壁にゲート絶縁膜 3 2 8 を介して転送電極 3 1 7、3 1 8 が形成され、

p 型ウェル 3 2 0 表面とシリコン孔 3 3 1 の上部の側壁の他の一部に n 型 C C D チャンネル 3 1 1 が形成され、

n 型光電変換領域 3 2 3 と n 型 C C D チャンネル 3 1 1 に挟まれた領域に読み出しチャンネル 3 3 5 が形成される。

p + 領域 3 0 3 を有する固体撮像素子は、

n 型基板 3 2 1 上に、p 型ウェル領域 3 2 0 が形成され、

p 型ウェル 3 2 0 にシリコン孔 3 3 4 が形成され、

シリコン孔 3 3 4 の底部に p + 型領域 3 0 3 が形成され、

シリコン孔 3 3 4 の側壁の一部に、p + 型領域 3 0 3 と接続するよう形成された p + 型素子分離領域 3 0 8 が形成され、

p + 型領域 3 0 3 の下部と、シリコン孔 3 3 4 の底部の側壁の他の一部に n 型光電変換領域 3 2 4 が形成され、

シリコン孔 3 3 4 の側壁にゲート絶縁膜 3 2 8 を介して転送電極 3 1 5、3 1 6 が形成され、

p 型ウェル 3 2 0 表面とシリコン孔 3 3 4 の上部の側壁の他の一部に n 型 C C D チャンネル 3 1 2 が形成され、

n 型光電変換領域 3 2 4 と n 型 C C D チャンネル 3 1 2 に挟まれた領域に読み出しチャンネル 3 3 8 が形成される。

p + 領域 3 0 4 を有する固体撮像素子は、

n 型基板 3 2 1 上に、p 型ウェル領域 3 2 0 が形成され、

p 型ウェル 3 2 0 にシリコン孔 3 3 3 が形成され、

シリコン孔 3 3 3 の底部に p + 型領域 3 0 4 が形成され、

シリコン孔 3 3 3 の側壁の一部に、p + 型領域 3 0 4 と接続するよう形成された p + 型素子分離領域 3 0 8 が形成され、

p + 型領域 3 0 4 の下部と、シリコン孔 3 3 3 の底部の側壁の他の一部に n 型光電変換領域 3 2 5 が形成され、

シリコン孔 3 3 3 の側壁にゲート絶縁膜 3 2 8 を介して転送電極 3 1 9 が形成され、

p 型ウェル 3 2 0 表面とシリコン孔 3 3 3 の上部の側壁の他の一部に n 型 C C D チャンネル 3 1 2 が形成され、

n 型光電変換領域 3 2 5 と n 型 C C D チャンネル 3 1 2 に挟まれた領域に読み出しチャンネル 3 3 7 が形成される。

p + 領域 3 0 5 を有する固体撮像素子は、

n 型基板 3 2 1 上に、p 型ウェル領域 3 2 0 が形成され、

p 型ウェル 3 2 0 にシリコン孔 3 4 3 が形成され、

シリコン孔 3 4 3 の底部に p + 型領域 3 0 5 が形成され、

シリコン孔 3 4 3 の側壁の一部に、p + 型領域 3 0 5 と接続するよう形成された p + 型素子分離領域 3 0 9 が形成され、

p + 型領域 3 0 5 の下部と、シリコン孔 3 4 3 の底部の側壁の他の一部に n 型光電変換領域 3 2 6 が形成され、

シリコン孔 3 4 3 の側壁にゲート絶縁膜 3 2 8 を介して転送電極 3 1 4 が形成され、

p 型ウェル 3 2 0 表面とシリコン孔 3 4 3 の上部の側壁の他の一部に n 型 C C D チャンネル 3 1 3 が形成され、

n 型光電変換領域 3 2 6 と n 型 C C D チャンネル 3 1 3 に挟まれた領域に読み出しチャンネル 3 4 1 が形成される。

p + 領域 3 0 6 を有する固体撮像素子は、

n 型基板 3 2 1 上に、p 型ウェル領域 3 2 0 が形成され、

p 型ウェル 3 2 0 にシリコン孔 3 3 2 が形成され、

10

20

30

40

50

シリコン孔 332 の底部に p + 型領域 306 が形成され、

シリコン孔 332 の側壁の一部に、p + 型領域 306 と接続するよう形成された p + 型素子分離領域 309 が形成され、

p + 型領域 306 の下部と、シリコン孔 332 の底部の側壁の他の一部に n 型光電変換領域 327 が形成され、

シリコン孔 332 の側壁にゲート絶縁膜 328 を介して転送電極 317、318 が形成され、

p 型ウェル 320 表面とシリコン孔 332 の上部の側壁の他の一部に n 型 CCD チャンネル 313 が形成され、

n 型光電変換領域 327 と n 型 CCD チャンネル 313 に挟まれた領域に読み出しチャンネル 336 が形成される。

【0045】

また、転送電極 314、315、316、317、318、319 上、シリコン孔 339、331、334、333、343、332 側壁には、絶縁膜 329 を介して金属遮蔽膜 330 が形成される。

【0046】

上述のように、隣り合う固体撮像素子行のシリコン孔の間には、隣り合う固体撮像素子行のシリコン孔の間を通過するように行方向に延びた転送電極 314、315、316、317、318、319 が設けられている。転送電極 314、315、316、317、318、319 は、ゲート絶縁膜 328 を介してシリコン孔の側面に形成され、所定間隔離間して配置されている。転送電極 314、315、316、317、318、319 は、n 型 CCD チャンネル領域と共に、フォトダイオードで発生した信号電荷を垂直方向に転送する垂直電荷転送装置 (VCCD) を構成している。VCCD は 4 相駆動 ($\phi 1 \sim \phi 4$) とされ、各フォトダイオードに対して異なる位相で駆動される 4 つの転送電極によりフォトダイオードで発生した信号電荷を垂直方向に転送する。本実施形態では、VCCD は 4 相駆動であるが、VCCD を適切な任意の数の相で駆動する構成とすることができることも、当業者に明らかであろう。

【0047】

なお、図示は省略するが、上記金属遮蔽膜上には、通常の CCD イメージセンサと同様に、保護膜や平坦化膜を介して、カラーフィルタ、マイクロレンズ等が形成されている。

【0048】

次に、本発明の実施形態に係る固体撮像素子、固体撮像装置を形成するための製造工程の一例を図 6 ~ 図 21 を参照して説明する。

【0049】

図 6 ~ 図 21 は、その (a)、(b) がそれぞれ図 2 の $X_1 - X_1'$ 、 $Y_1 - Y_1'$ 断面に対応する。

【0050】

n 型基板 115 上に p 型ウェル領域 114 を形成し、その上部に酸化膜 201 を形成する (図 6 (a)、(b))。

【0051】

酸化膜をエッチングし、酸化膜マスク 202 を形成する (図 7 (a)、(b))。

【0052】

シリコンをエッチングし、シリコン孔 203、204 を形成する (図 8 (a)、(b))。

【0053】

イオン注入時のイオンチャネリング防止のため、酸化を行い、酸化膜 205、206 を形成し、イオン注入時のマスクとするため、ポリシリコンを堆積し、エッチングし、サイドウォール 207、208 状に形成する (図 9 (a)、(b))。

【0054】

リン、もしくは砒素をインプラントし、アニールし、n 型光電変換領域 110、111

10

20

30

40

50

を形成する（図10（a）、（b））。

【0055】

シリコン側壁のp+素子分離領域を形成するために、レジスト209、210を形成し、ポリシリコンをエッチングする（図11（a）、（b））。

【0056】

レジストを剥離し、ボロンをインプラントし、p+領域104、105を形成する（図12（a）、（b））。

【0057】

ポリシリコン、酸化膜を剥離する（図13（a）、（b））。

【0058】

イオン注入時のマスクとするため、酸化膜を堆積し、平坦化しエッチバックし、酸化膜211、212を形成する（図14（a）、（b））。

【0059】

イオン注入時のイオンチャネリング防止のため、酸化膜213を堆積する（図15（a）、（b））。

【0060】

リンや砒素をインプラし、n型CCDチャネル領域103、108、109を形成する（図16（a）、（b））。

【0061】

p+型素子分離領域を形成するためのレジスト214、215、216を形成し、ボロンをインプラントし、p+型素子分離領域101、102を形成する（図17（a）、（b））。

【0062】

レジストを剥離し、酸化膜を剥離する（図18（a）、（b））。

【0063】

ゲート絶縁膜117を形成し、ポリシリコン217を堆積し、平坦化する（図19（a）、（b））。

【0064】

ポリシリコンをエッチングし、転送電極106、107を形成する（図20（a）、（b））。

【0065】

絶縁膜119を堆積し、金属遮蔽膜116を堆積し、エッチングする（図21（a）、（b））。

【0066】

また、以上の実施形態において、転送電極は、半導体プロセスあるいは固体デバイスで一般に使用される電極材料を用いて構成することができる。例えば、低抵抗ポリシリコン、タングステン（W）、モリブデン（Mo）、タングステンシリサイド（WSi）、モリブデンシリサイド（MoSi）、チタンシリサイド（TiSi）、タンタルシリサイド（TaSi）、及び銅シリサイド（CuSi）を挙げることができる。また、転送電極は、これらの電極材料を、絶縁膜を介在させることなく複数積層して形成されていてもよい。

【0067】

また、金属遮蔽膜は、例えば、アルミニウム（Al）、クロム（Cr）、タングステン（W）、チタン（Ti）、モリブデン（Mo）等の金属膜や、これらの金属の2種以上からなる合金膜、あるいは、前記の金属膜と前記の合金膜とを含む群から選択された2種以上を組み合わせた多層金属膜等によって形成されることができる。

【0068】

以上、本発明について、例示のためにいくつかの実施形態に関して説明してきたが、本発明はこれに限定されるものでなく、本発明の範囲及び精神から逸脱することなく、形態及び詳細について、様々な変形及び修正を行うことができることは、当業者に明らかであろう。

10

20

30

40

50

【符号の説明】

【0069】

11.	n型基板	
12.	p型ウェル領域	
13.	n型光電変換領域	
14.	p型領域	
15.	p+型素子分離領域	
16.	n型CCDチャネル領域	
17.	Si酸化膜	
18.	転送電極	10
20.	金属遮蔽膜	
24.	金属遮蔽膜開口部	
101.	p+素子分離領域	
102.	p+素子分離領域	
103.	n型CCDチャネル領域	
104.	p+型領域	
105.	p+型領域	
106.	転送電極	
107.	転送電極	
108.	n型CCDチャネル領域	20
109.	n型CCDチャネル領域	
110.	n型光電変換領域	
111.	n型光電変換領域	
112.	読み出しチャネル	
113.	読み出しチャネル	
114.	p型ウェル領域	
115.	n型基板	
116.	金属遮蔽膜	
117.	ゲート絶縁膜	
119.	絶縁膜	30
201.	酸化膜	
202.	酸化膜マスク	
203.	シリコン孔	
204.	シリコン孔	
205.	酸化膜	
206.	酸化膜	
207.	ポリシリコンサイドウォール	
208.	ポリシリコンサイドウォール	
209.	レジスト	
210.	レジスト	40
211.	酸化膜	
212.	酸化膜	
213.	酸化膜	
214.	レジスト	
215.	レジスト	
216.	レジスト	
217.	ポリシリコン	
301.	p+型領域	
302.	p+型領域	
303.	p+型領域	50

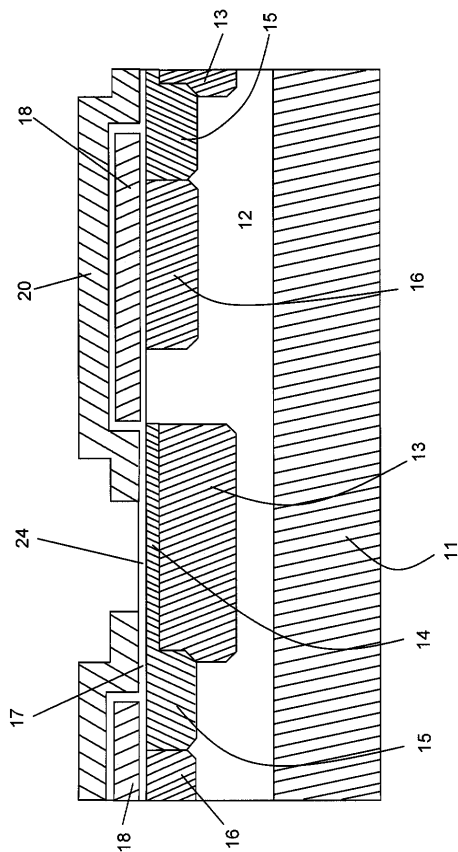
3 0 4 .	p + 型領域	
3 0 5 .	p + 型領域	
3 0 6 .	p + 型領域	
3 0 7 .	p + 素子分離領域	
3 0 8 .	p + 素子分離領域	
3 0 9 .	p + 素子分離領域	
3 1 0 .	n 型 C C D チャネル領域	
3 1 1 .	n 型 C C D チャネル領域	
3 1 2 .	n 型 C C D チャネル領域	
3 1 3 .	n 型 C C D チャネル領域	10
3 1 4 .	転送電極	
3 1 5 .	転送電極	
3 1 6 .	転送電極	
3 1 7 .	転送電極	
3 1 8 .	転送電極	
3 1 9 .	転送電極	
3 2 0 .	p 型ウェル領域	
3 2 1 .	n 型基板	
3 2 2 .	n 型光電変換領域	
3 2 3 .	n 型光電変換領域	20
3 2 4 .	n 型光電変換領域	
3 2 5 .	n 型光電変換領域	
3 2 6 .	n 型光電変換領域	
3 2 7 .	n 型光電変換領域	
3 2 8 .	ゲート絶縁膜	
3 2 9 .	絶縁膜	
3 3 0 .	金属遮蔽膜	
3 3 1 .	シリコン孔	
3 3 2 .	シリコン孔	
3 3 3 .	シリコン孔	30
3 3 4 .	シリコン孔	
3 3 5 .	読み出しチャネル	
3 3 6 .	読み出しチャネル	
3 3 7 .	読み出しチャネル	
3 3 8 .	読み出しチャネル	
3 3 9 .	シリコン孔	
3 4 0 .	読み出しチャネル	
3 4 1 .	読み出しチャネル	
3 4 3 .	シリコン孔	
5 0 1 .	p + 型領域	40
5 0 2 .	p + 型領域	
5 0 3 .	p + 型領域	
5 0 4 .	p + 型領域	
5 0 5 .	p + 素子分離領域	
5 0 6 .	p + 素子分離領域	
5 0 7 .	n 型 C C D チャネル領域	
5 0 8 .	n 型 C C D チャネル領域	
5 0 9 .	n 型 C C D チャネル領域	
5 1 0 .	転送電極	
5 1 1 .	転送電極	50

- 5 1 2. 転送電極
- 5 1 3. 転送電極
- 5 1 4. 転送電極
- 5 1 5. 転送電極
- 5 1 6. 転送電極
- 5 1 7. n型光電変換領域
- 5 1 8. n型光電変換領域
- 5 1 9. n型光電変換領域
- 5 2 0. n型光電変換領域
- 5 2 1. 読み出しチャンネル
- 5 2 2. 読み出しチャンネル
- 5 2 3. 読み出しチャンネル
- 5 2 4. 読み出しチャンネル
- 5 2 5. p型ウェル領域
- 5 2 6. n型基板
- 5 2 7. ゲート絶縁膜
- 5 2 8. 絶縁膜
- 5 2 9. 金属遮蔽膜
- 5 3 0. シリコン孔
- 5 3 1. シリコン孔
- 5 3 2. シリコン孔
- 5 3 3. シリコン孔

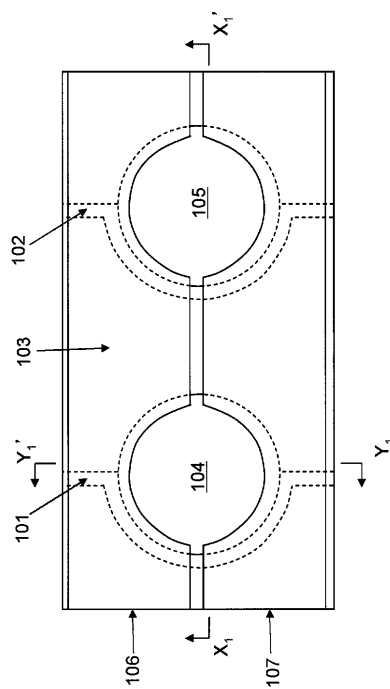
10

20

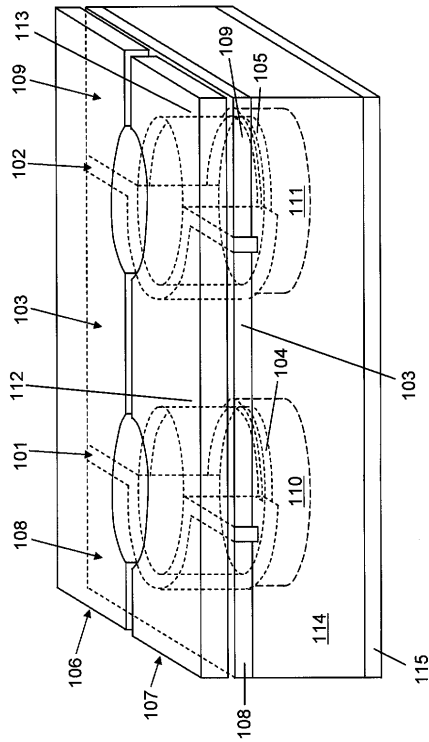
【図 1】



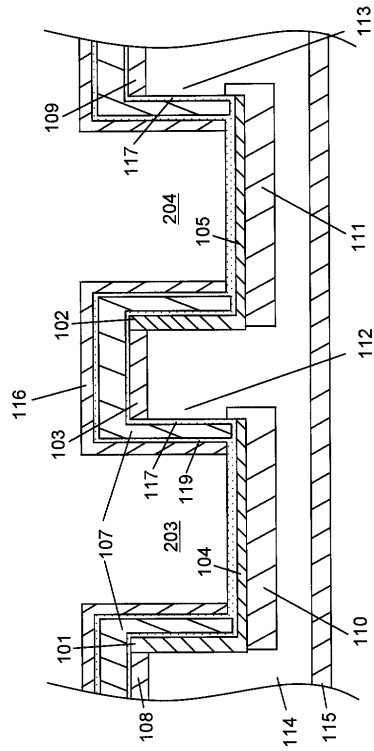
【図 2】



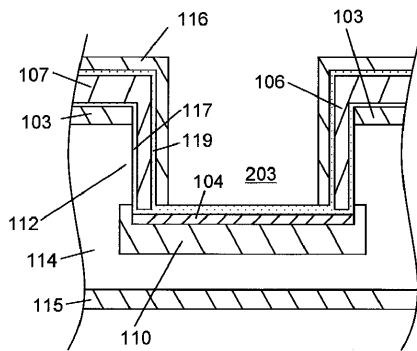
【図 3】



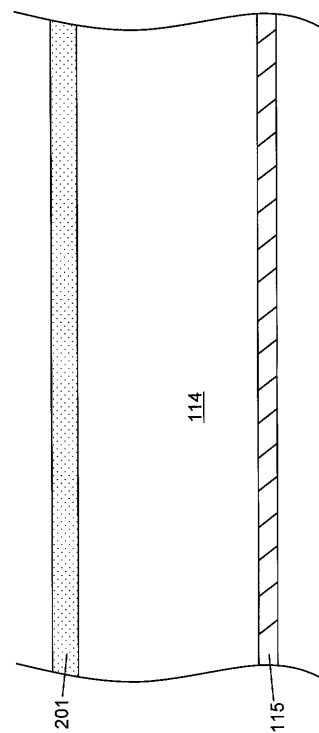
【図 4】



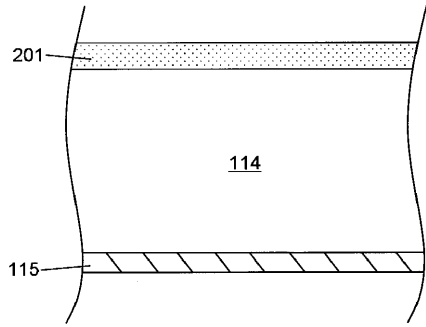
【図 5】



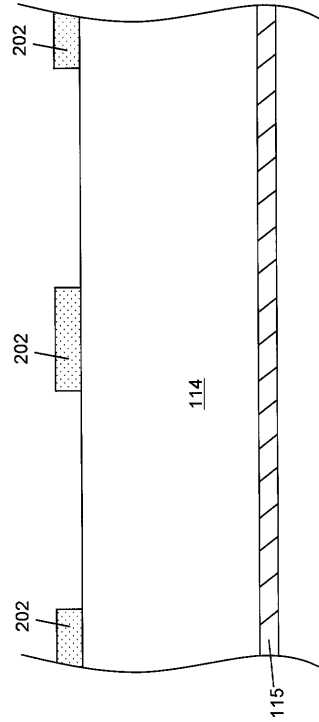
【図 6 (a)】



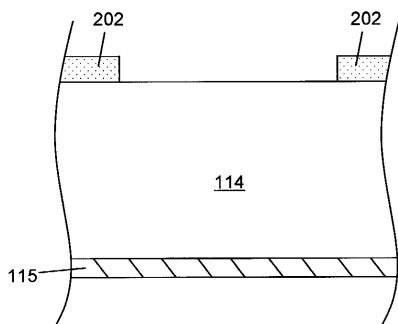
【図 6 (b)】



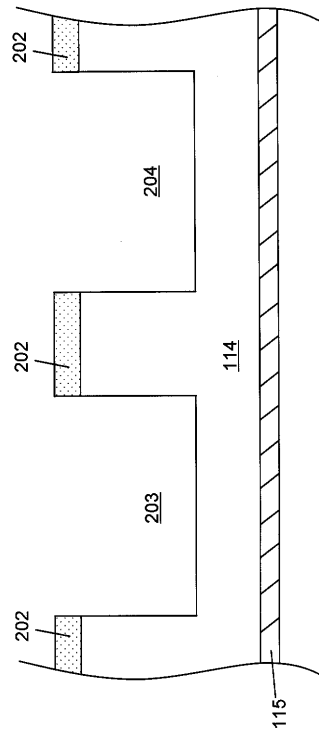
【図 7 (a)】



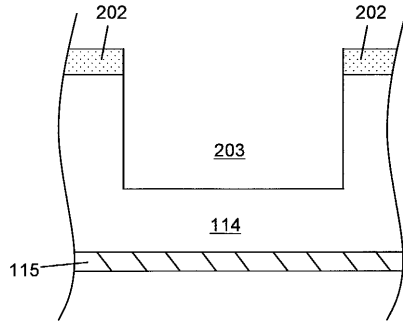
【図 7 (b)】



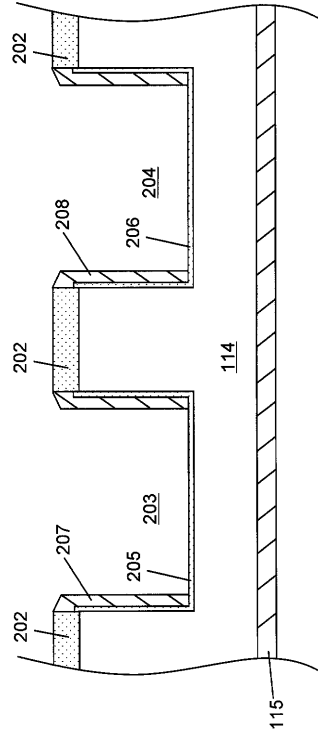
【図 8 (a)】



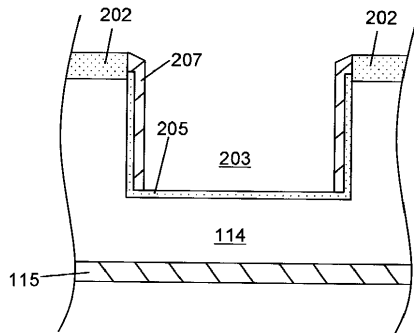
【図 8 (b)】



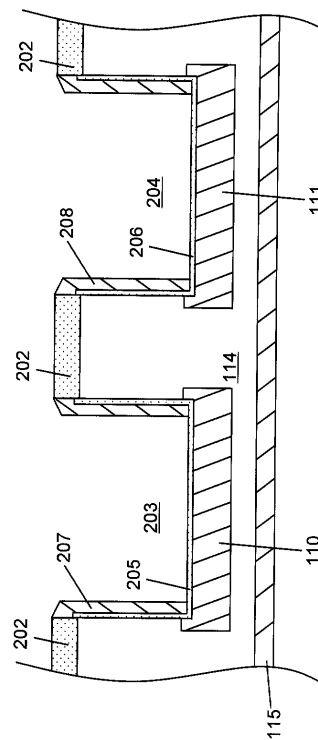
【図 9 (a)】



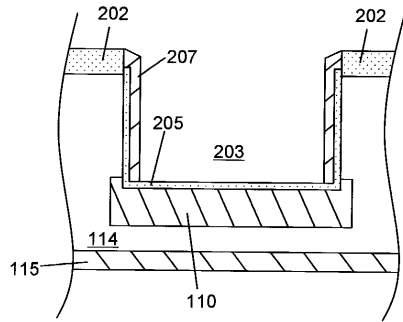
【図 9 (b)】



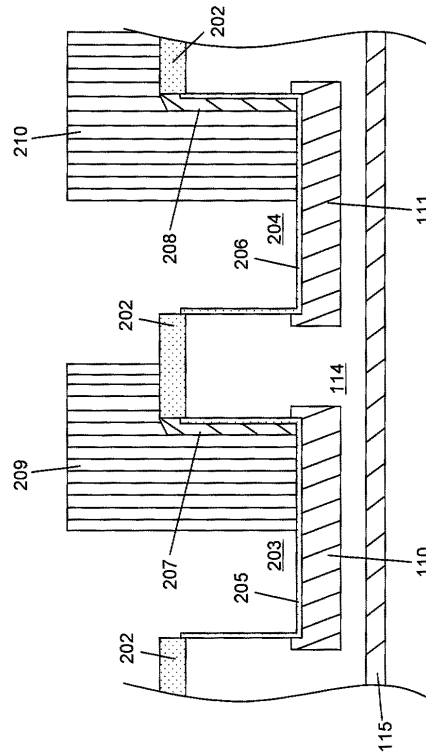
【図 10 (a)】



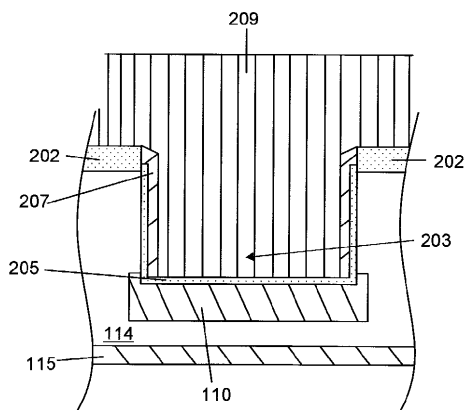
【図 10 (b)】



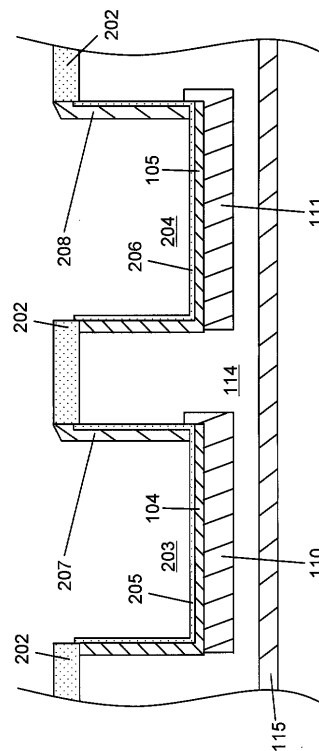
【図 11 (a)】



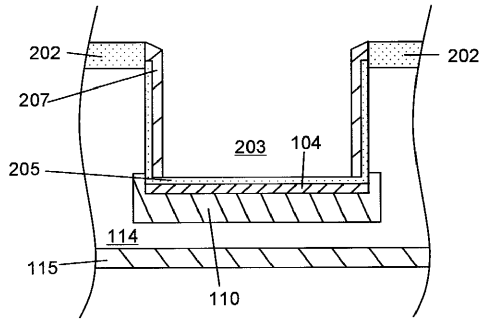
【図 11 (b)】



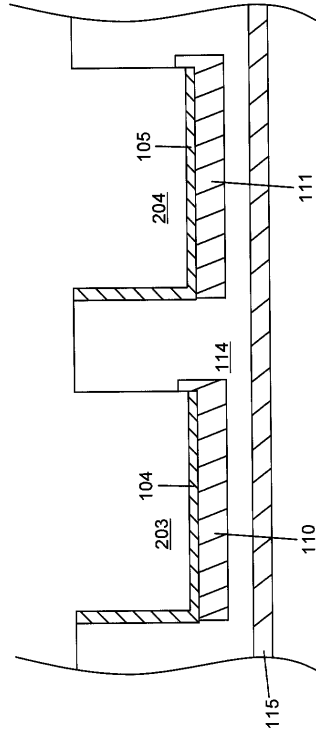
【図 12 (a)】



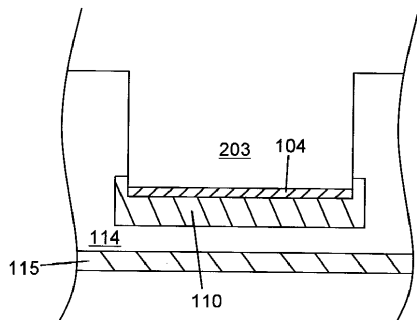
【図 12 (b)】



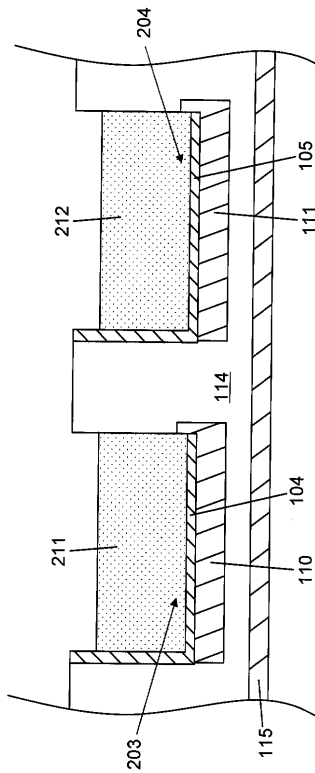
【図 13 (a)】



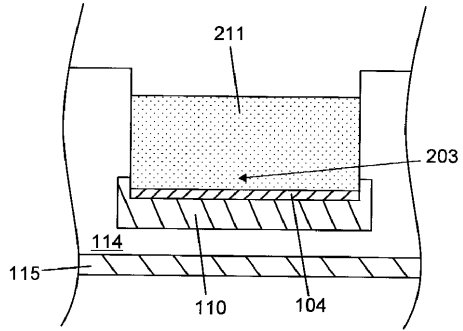
【図 13 (b)】



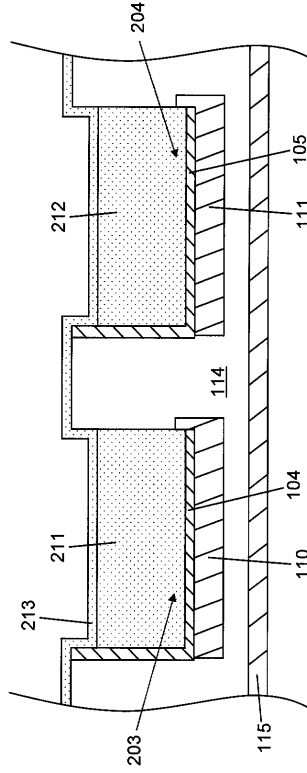
【図 14 (a)】



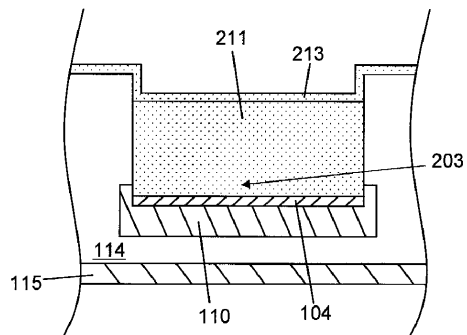
【図 14 (b)】



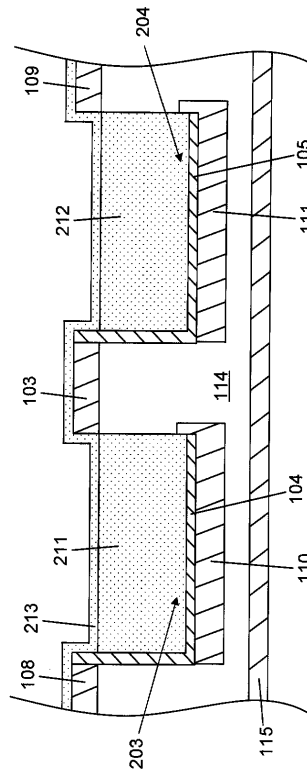
【図 15 (a)】



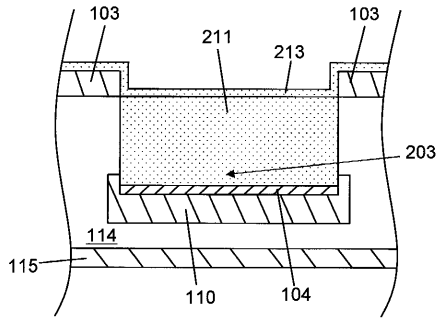
【図 15 (b)】



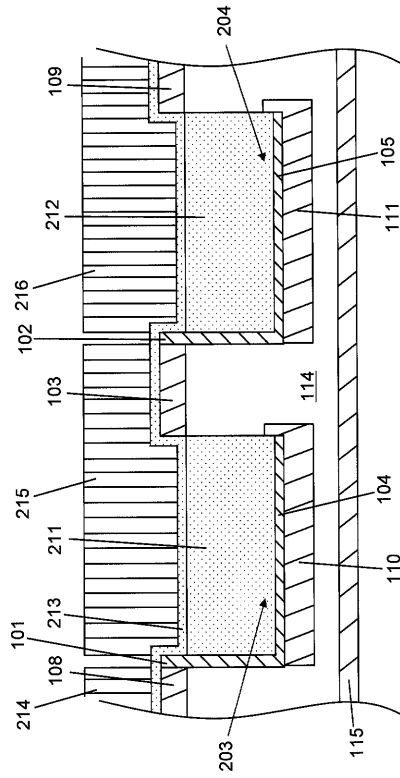
【図 16 (a)】



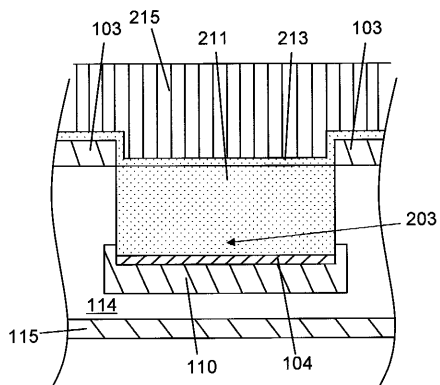
【図 16 (b)】



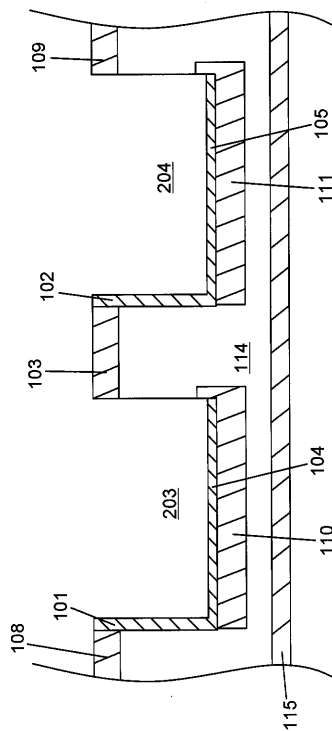
【図 17 (a)】



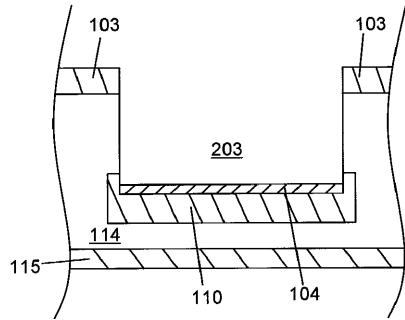
【図 17 (b)】



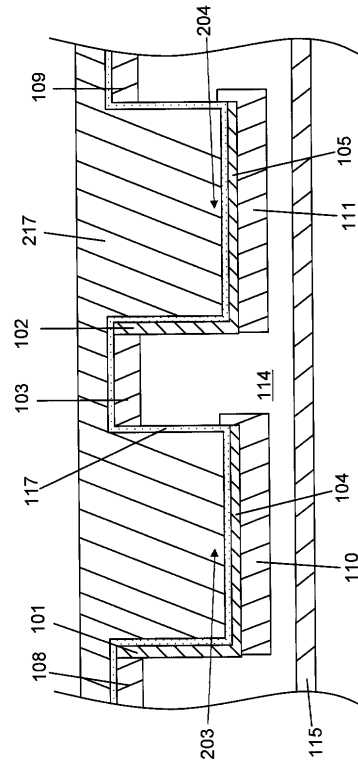
【図 18 (a)】



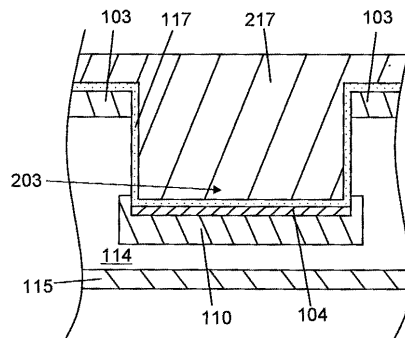
【図 18 (b)】



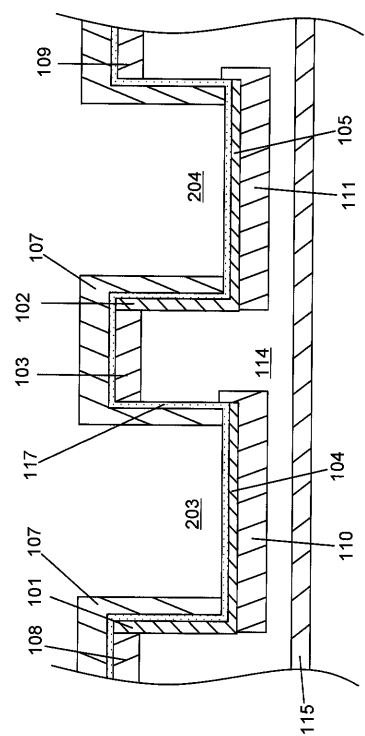
【図 19 (a)】



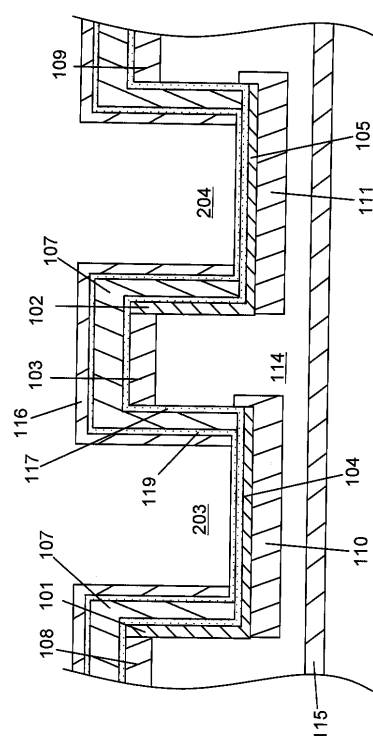
【図 19 (b)】



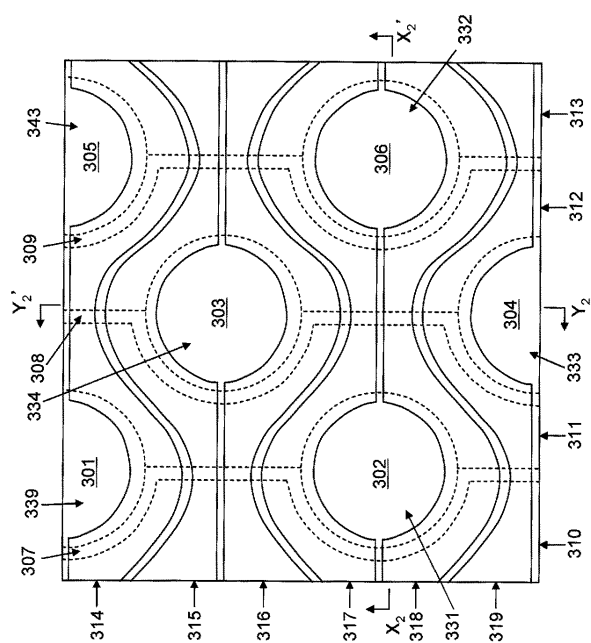
【図 20 (a)】



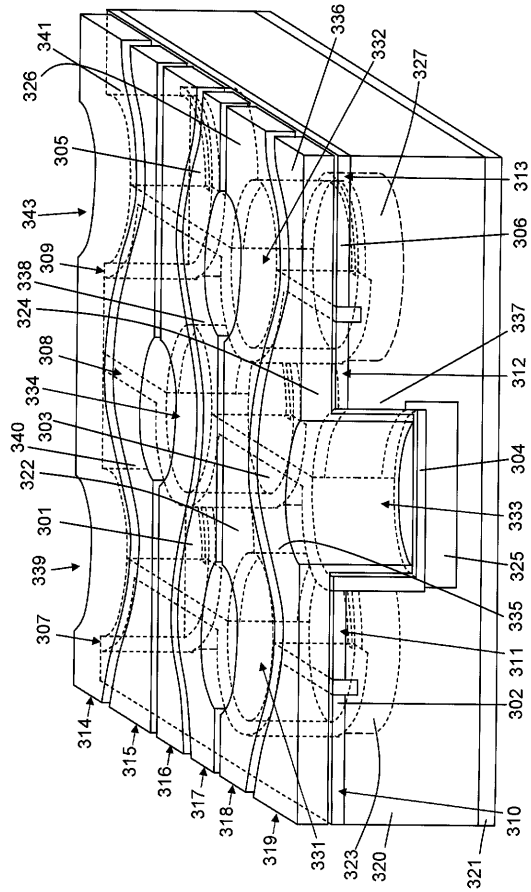
【図 2 1 (a)】



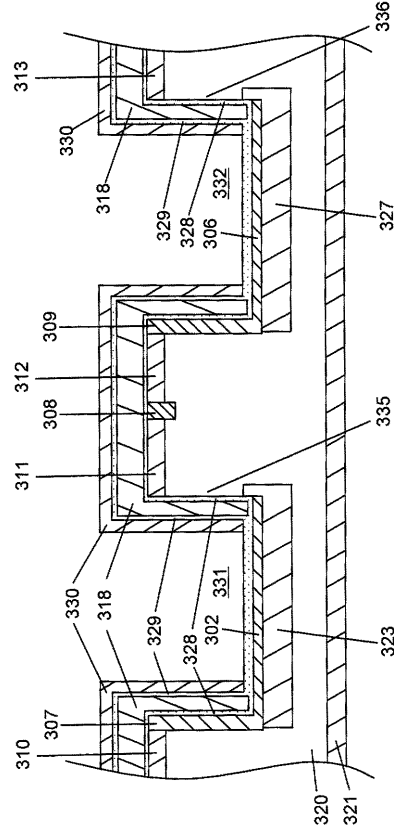
【図 2 2】



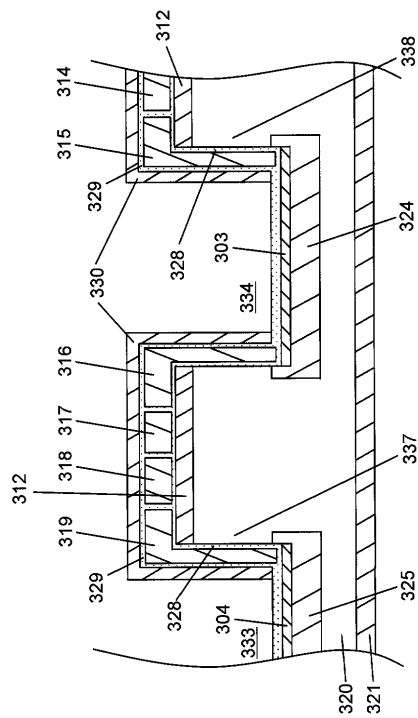
【图 2 3】



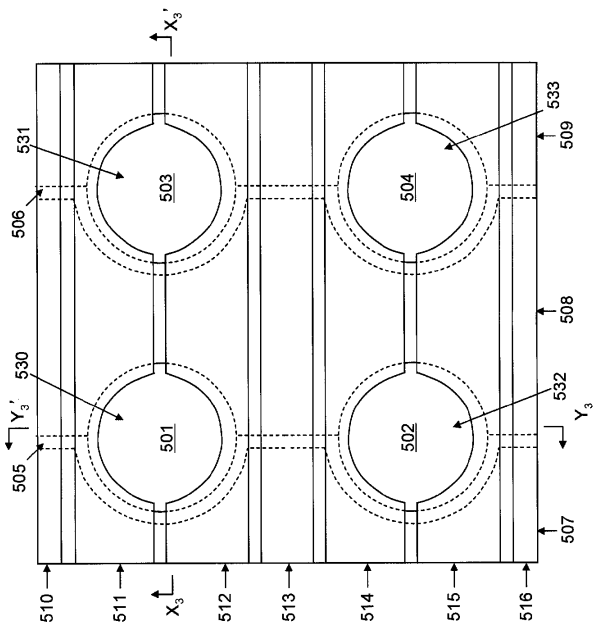
【図 24】



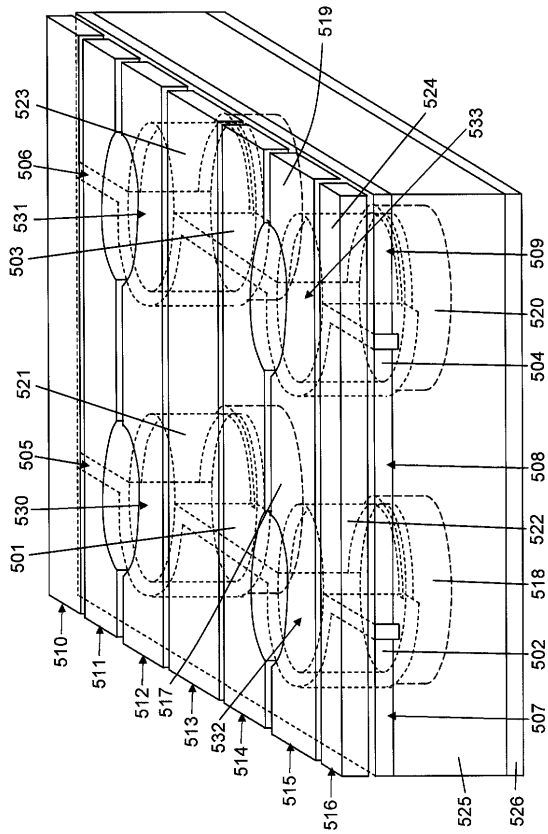
【図 2 5】



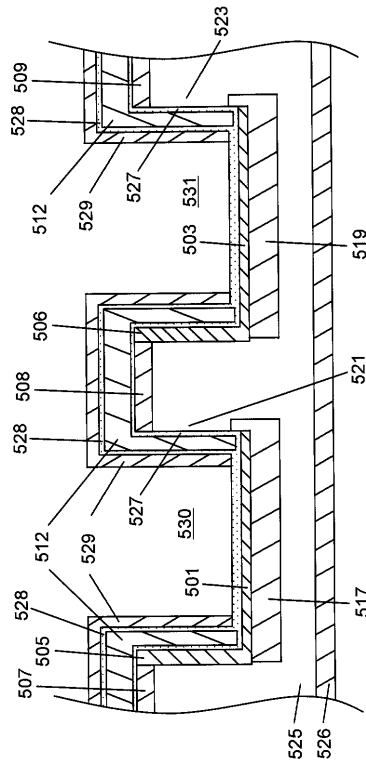
【图 2 6】



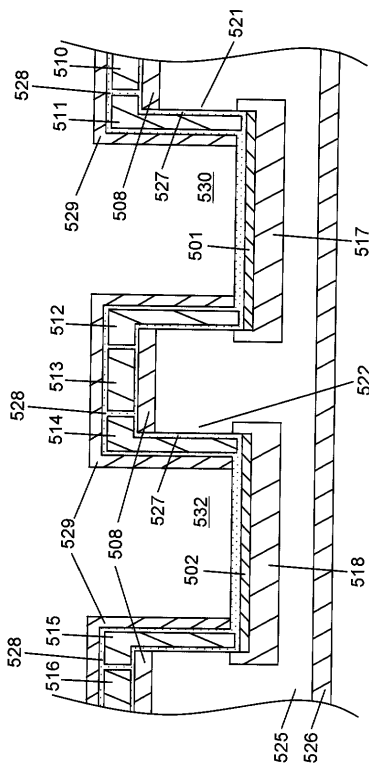
【図 27】



【図 28】



【図 29】



フロントページの続き

- (74)代理人 100082005
弁理士 熊倉 禎男
- (74)代理人 100067013
弁理士 大塚 文昭
- (74)代理人 100086771
弁理士 西島 孝喜
- (74)代理人 100109070
弁理士 須田 洋之
- (74)代理人 100109335
弁理士 上杉 浩
- (74)代理人 100143823
弁理士 市川 英彦
- (72)発明者 舩岡 富士雄
東京都中央区新川1-2-2-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内
- (72)発明者 中村 広記
東京都中央区新川1-2-2-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内

審査官 柴山 将隆

- (56)参考文献 特開平10-107249 (JP, A)
特開平03-161970 (JP, A)
特開平06-097416 (JP, A)
特開平06-252375 (JP, A)
特開平03-285335 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/148
H04N 5/3728