

(21)申請案號：101100848

(22)申請日：中華民國 101 (2012) 年 01 月 09 日

(51)Int. Cl. : **H01L21/00 (2006.01)**

(30)優先權：2011/02/08 日本 2011-024568

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：黛哲 MAYUZUMI, SATORU (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：16 項 圖式數：19 共 55 頁

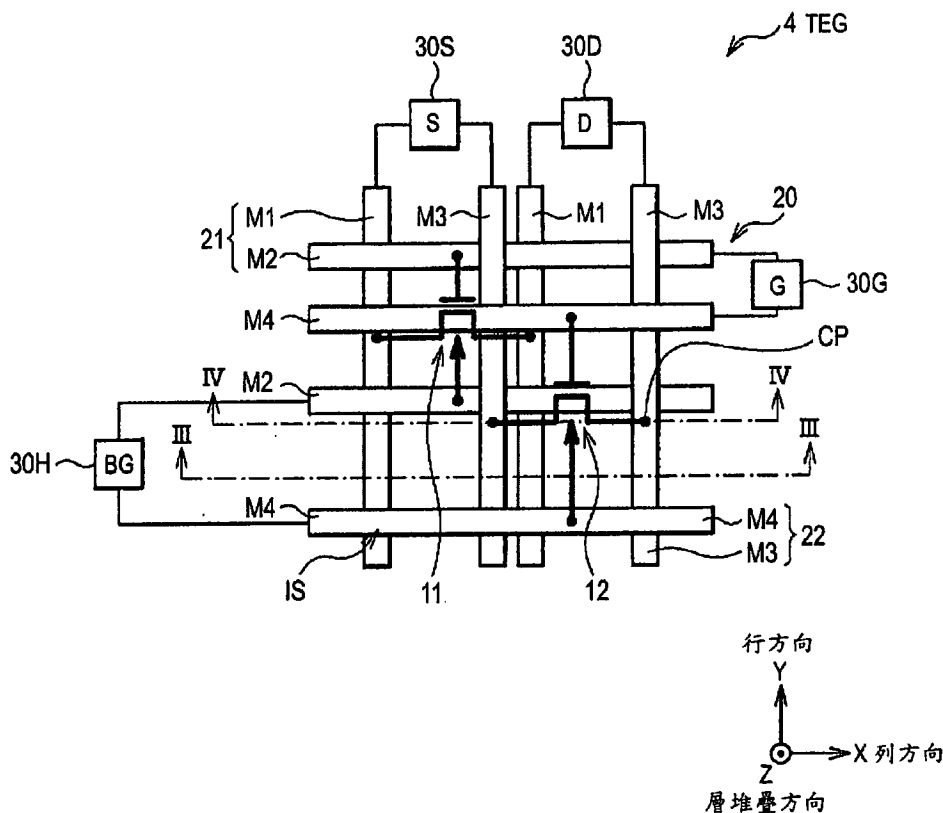
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置，其包括：複數個待量測裝置；及一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。



4：測試元件群(TEG)

11：待量測裝置

12：待量測裝置

20：組合之陣列配線

21：單元陣列配線

22：單元陣列配線

30D：汲極襯墊

30G：閘極襯墊

30H：背閘極襯墊

30S：源極襯墊

CP：連接點

IS：交叉位置

M1：行配線

M2：列配線/行配線

M3：行配線

M4：列配線

(21)申請案號：101100848

(22)申請日：中華民國 101 (2012) 年 01 月 09 日

(51)Int. Cl. : **H01L21/00 (2006.01)**

(30)優先權：2011/02/08 日本 2011-024568

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本

(72)發明人：黛哲 MAYUZUMI, SATORU (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：16 項 圖式數：19 共 55 頁

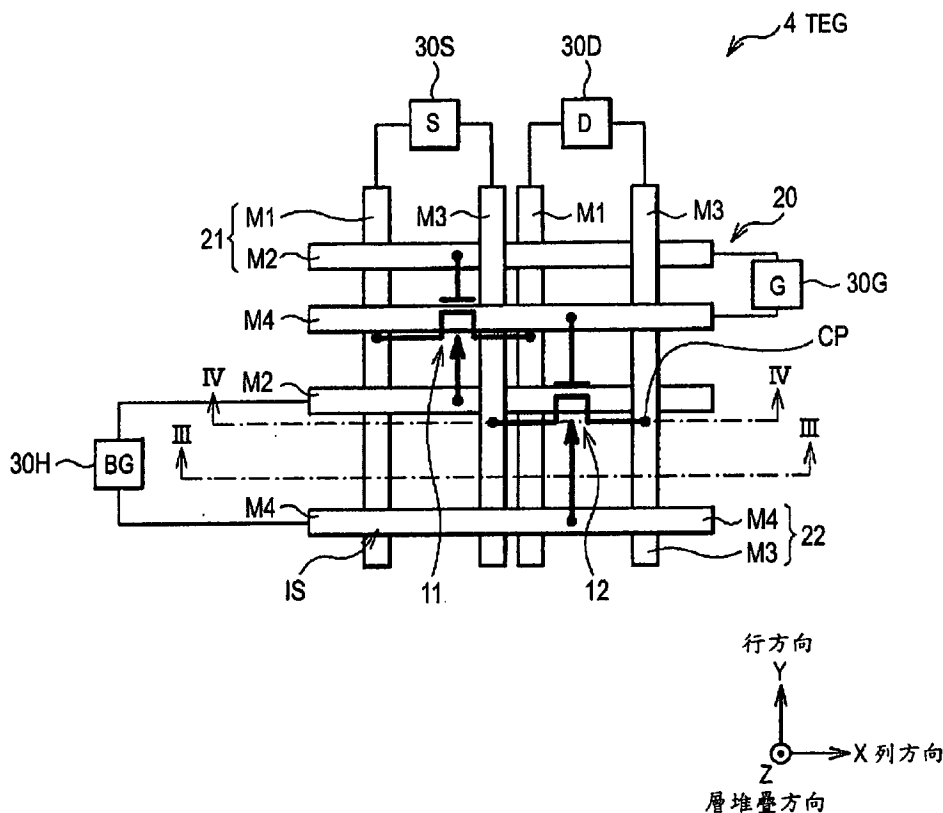
(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置，其包括：複數個待量測裝置；及一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。



4：測試元件群(TEG)

11：待量測裝置

12：待量測裝置

20：組合之陣列配線

21：單元陣列配線

22：單元陣列配線

30D：汲極襯墊

30G：閘極襯墊

30H：背閘極襯墊

30S：源極襯墊

CP：連接點

IS：交叉位置

M1：行配線

M2：列配線/行配線

M3：行配線

M4：列配線

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種適合用於半導體積體電路之評估電路的半導體裝置。

【先前技術】

在半導體積體電路之製造中，測試元件群(TEG)設置於一晶圓中以用於評估包括於產品中之裝置的特性。舉例而言，JP-A-2008-140965(專利文獻1)中揭示許多待量測電晶體以矩陣狀態配置於TEG中且源極端子經共同配置的技術。

已知半導體裝置(諸如，電晶體及電阻器裝置)之大小及特性之變化根據配置方向而發生，且有時為了準確量測必須修改TEG中之待量測裝置的配置方向。關於此狀況，在(例如)美國專利第7489151號(專利文獻2)中揭示可藉由組合L形配線而將待量測電晶體旋轉90度以形成一正方形佈局的技術。

【發明內容】

然而，在專利文獻1中，一個待量測電晶體配置於由一列方向上之兩個配線及一行方向上之兩個配線環繞的一正方形區域中，因此，難以進一步改良配線或待量測電晶體的配置密度。且，在專利文獻2中，環繞待量測電晶體之配線的正方形佈局係冗餘的，其引起待量測電晶體之配置密度降低的問題。

因此，需要提供一种能夠提高待量測裝置之配置密度的

半導體裝置。

本發明之實施例係關於一種半導體裝置，其包括：複數個待量測裝置；及一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。

在根據本發明之實施例的半導體裝置中，各自具有在不同層中設置之行配線及列配線的複數個單元陣列配線設置於彼此不同之層中。該複數個待量測裝置中之任一者連接至每一單元陣列配線。因此，藉由配置複數個單元陣列配線以便彼此部分地重疊，有可能提高待量測裝置之配置密度。

本發明之另一實施例係關於一種半導體裝置，其包括：一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線，其中該複數個單元陣列配線設置於彼此不同之層中；及一待量測裝置，其連接至該複數個單元陣列配線中之任一者。

在根據本發明之另一實施例的半導體裝置中，各自具有在不同層中設置之行配線及列配線之複數個單元陣列配線設置於彼此不同之層中。待量測裝置連接至複數個單元陣列配線中之任一者。因此，藉由配置複數個單元陣列配線以便彼此部分地重疊，有可能提高待量測裝置之配置密

度。

根據本發明之實施例，各自具有在不同層中設置之行配線及列配線之複數個單元陣列配線設置於彼此不同之層中，且複數個待量測裝置中之任一者連接至複數個單元陣列配線中之每一者，結果，可提高待量測裝置之配置密度。

【實施方式】

下文中，將參看圖式詳細地解釋本發明之實施例。解釋將按以下次序進行。

1. 第一實施例(包括兩個單元陣列配線且待量測裝置為電晶體之實例)

2. 修改實例 1-1(待量測裝置之定向不同之實例)

3. 修改實例 1-2(包括兩個單元陣列配線且待量測裝置為電阻器裝置之實例)

4. 修改實例 1-3(待量測裝置之定向不同之實例)

5. 修改實例 1-4(包括三個單元陣列配線且待量測裝置為電晶體之實例)

6. 修改實例 1-5(待量測裝置之定向不同之實例)

7. 修改實例 1-6(待量測裝置為電晶體、電阻器裝置及電容器之實例)

8. 第二實施例(TEG區塊之旋轉；待量測裝置為電晶體之實例)

9. 修改實例 2-1(TEG區塊之旋轉；待量測裝置為電阻器裝置之實例)

(第一實施例)

圖1展示晶圓上之作為根據本發明之第一實施例的半導體裝置的TEG之示意性位置。產品區塊1配置於晶圓(未圖示)上作為一形成半導體積體電路之區域。雖然無需多言可設置複數個產品區塊1，但圖1中僅展示一個產品區塊1。用於藉由切割晶圓而分離每一產品區塊1的切割道2以框架形狀或以柵格形狀設置於產品區塊1四周。TEG區塊3設置於切割道2內部。TEG區塊3為設置一用於評估產品區塊1中之半導體積體電路中的裝置之特性的評估電路之區域。TEG區塊3沿產品區塊1之垂直邊緣(例如，長邊緣)在垂直方向上(在縱向上)配置於切割道2內部，且沿產品區塊1之水平邊緣(例如，短邊緣)在水平方向上(在橫向上)配置於切割道2內部。內部配線之配置在垂直方向上之TEG區塊3中及在水平方向上之TEG區塊3中係相同的，且僅配置方向不同(配置向右或向左旋轉90度)。

圖2展示圖1中所示之TEG區塊3中設置的TEG 4之平面組態。圖3展示沿圖2之線III-III截得之橫截面組態且圖4展示沿圖2之IV-IV線截得之橫截面組態。

在圖2之後的圖式中，列方向表示為x方向，行方向表示為y方向且正交(垂直)於列方向及行方向之方向表示為z方向。此等x、y及z方向為TEG區塊3中之方向。亦即，列方向(x方向)為在圖1中所示之垂直方向上佈置的TEG區塊3中之水平方向且為在水平方向上佈置之TEG區塊3中的垂直方向。行方向(y方向)為在圖1中所示之垂直方向上佈置的

TEG區塊3中之垂直方向且為在水平方向上佈置之TEG區塊3中的水平方向。在圖3及圖4中，對應於自基板10之側面所見的配線層之高度的第一層、第二層、第三層及第四層分別由虛線H1、H2、H3及H4表示。

TEG 4包括複數個(例如，圖2中為兩個)待量測裝置11及12。待量測裝置11及12為(例如)在同一定向上安置的4端子FET(場效電晶體)。待量測裝置11連接至包括行配線M1及列配線M2之一單元陣列配線21，且待量測裝置12連接至包括行配線M3及列配線M4之一單元陣列配線22。單元陣列配線21及22形成一組合之陣列配線20。

待量測裝置11及12為(例如)設置於如圖4中所示之基板10上的MOS-FET。儘管圖4中僅展示待量測裝置12，但待量測裝置11具有與待量測裝置12相同之組態。具體言之，待量測裝置12包括一閘極絕緣膜12GI及一閘電極12G以及一位於閘電極12G正下方的在基板10中之通道區域12C。在通道區域12C之兩側，設置一擴散層(一源極12S及一汲極12D)。待量測裝置12之周邊由一裝置隔離層10A環繞並與另一待量測裝置11絕緣。

舉例而言，如圖4中所示，在待量測裝置11、12與單元陣列配線21、22之間的連接點CP處設置連接部分40。每一連接部分40具有一組態，其中通孔41A、41B、41C及41D與金屬層42A、42B、42C及42D交替地堆疊於待量測裝置11及12中之每一者的源極、汲極、井(背閘極)或閘極上。通孔41A之底部觸碰待量測裝置11及12的源極、汲極、井

(背閘極)或閘極。金屬層42A具有與行配線M1相同之高度H1，金屬層42B具有與列配線M2相同之高度H2，金屬層42C具有與行配線M3相同之高度H3，且金屬層42D具有與列配線M4相同之高度H4。在每一連接部分40中，行配線M1、M3及列配線M2、M4中之僅一者連接至金屬層42A至42D中之僅一者。舉例而言，如圖4中所示，行配線M3連接至位於待量測裝置12之源極12S及汲極12D之上的連接部分40之金屬層42C。儘管圖4中未展示，但連接部分40亦設置於待量測裝置12之閘極12G之上，且列配線M4連接至位於閘極12G之上的連接部分40之金屬層42D。另外，連接部分40亦設置於待量測裝置12之井(背閘極)12W之上，且列配線M4連接至位於井(背閘極)12W之上的連接部分40之金屬層42D。儘管未展示，但上述情況亦適用於待量測裝置11。

較佳的是，連接部分40經設置以便避開xy平面內之行配線M1、M3與列配線M2、M4之間的交叉位置IS。當連接部分40設置於交叉位置IS處時，行配線M1、M3及列配線M2、M4經由交叉位置IS中之連接部分40而全部短路。

單元陣列配線21包括在y方向上之行配線M1及在x方向上之列配線M2，且單元陣列配線22包括在y方向上之行配線M3及在x方向上之列配線M4。行配線M1及列配線M2設置於z方向上之不同層中(例如，在自基板10之側面所見的第一層H1及第二層H2中)，且行配線M3及列配線M4設置於z方向上之不同層中(例如，在自基板10之側面所見的第

三層 H3 及第四層 H4 中)。此外，單元陣列配線 21 及 22 設置於 z 方向上的彼此不同之層(例如，自基板 10 之側面所見的第一層 H1 及第二層 H2、第三層 H3 及第四層 H4)中。因此，有可能提高 TEG 4 中之待量測裝置 11 及 12 的配置密度。

亦即，在先前技術中難以按照高密度配置待量測裝置(未圖示)，此係因為藉由如圖 5A 中所示在 xy 平面內平行地或在 z 方向上之同一層中配置包括環繞待量測裝置的行配線 M1、M3 及列配線 M2 及 M4 之正方形配線佈局 121 及 122 而執行整合。回應於此，單元陣列配線 21 及 22 經配置以便如圖 5B 中所示在本實施例中彼此部分地重疊，因此，只要配線密度允許，便可在同一區域中設置許多待量測裝置。因此，有可能按照高密度配置待量測裝置 11 及 12。

較佳的是，行配線 M1 及行配線 M3 分別在包括 x 方向及 y 方向之 xy 平面(平行於圖 2 中之頁面的平面)中的 x 方向上彼此移位之位置(行配線 M1 及行配線 M3 彼此不重疊的位置)處配置。類似地，較佳的是，列配線 M2 及列配線 M4 分別在 xy 平面中的 y 方向上彼此移位之位置(列配線 M2 及列配線 M4 彼此不重疊的位置)處配置。換言之，較佳的是，行配線 M1、M3 及列配線 M2、M4 不在一點處相交。因此，行配線 M1、M3 及列配線 M2、M4 形成一柵格，其中行配線 M1、M3 及列配線 M2、M4 彼此在 xy 平面內不重疊。如上文所描述，連接部分 40 設置於單元陣列配線 21、22 與待量測裝置 11、12 之間的連接點 CP 處，且每一連接部分 40 具有一組態，其中行配線 M1、M3 及列配線 M2、M4 經由各別

通孔 41A 至 41D 而短路。因此，當應用如上文描述之柵格佈局時，當單元陣列配線 21、22 連接至待量測裝置 11、12 時，有可能抑制行配線 M1 與 M3 之間的短路、列配線 M2 與 M4 之間的短路、行配線 M1、M3 與列配線 M2、M4 之間的短路。

單元陣列配線 21 包括在同一層(例如，自基板 10 之側面所見的第一層)中之兩個行配線 M1 及在同一層(例如，自基板 10 之側面所見的第二層)中之兩個列配線 M2。單元陣列配線 22 包括在同一層(例如，自基板 10 之側面所見的第三層)中之兩個行配線 M3 及在同一層(例如，自基板 10 之側面所見的第四層)中之兩個列配線 M4。待量測裝置 11 之源極及汲極連接至行配線 M1。待量測裝置 11 之閘極及背閘極連接至列配線 M2。待量測裝置 12 之源極及汲極連接至行配線 M3。待量測裝置 12 之閘極及背閘極連接至列配線 M4。

待連接至待量測裝置 11 及 12 之相同部分的行配線 M1、M3 及列配線 M2、M4 中之配線共同地連接至一量測襯墊。亦即，待量測裝置 11 之源極連接至的行配線 M1 及待量測裝置 12 之源極連接至的行配線 M3 共同地連接至一源極襯墊 30S。待量測裝置 11 之汲極連接至的行配線 M1 及待量測裝置 12 之汲極連接至的行配線 M3 共同地連接至一汲極襯墊 30D。待量測裝置 11 之閘極連接至的列配線 M2 及待量測裝置 12 之閘極連接至的列配線 M4 共同地連接至一閘極襯墊 30G。待量測裝置 11 之背閘極連接至的列配線 M2 及待量

測裝置12之背閘極連接至的列配線M4共同地連接至一背閘極襯墊30H。

行配線M1、M3或列配線M2、M4之數目可根據待連接之待量測裝置11及12的組態及其類似者而增加/減少。舉例而言，亦較佳的是，單元陣列配線21包括第一層中之兩個行配線M1、第二層中之一個列配線M2及第三層中之一個列配線。然而，在此狀況下，與待量測裝置之連接在設置許多單元陣列配線的狀況下將較複雜。因此，較佳的是，一個單元陣列配線21(或22)包括在第一層中之兩個行配線M1(或M3)且包括在第二層中之兩個列配線M2(或M4)。在待量測裝置11為可由三個端子組態的FET、被動裝置、主動裝置或其類似者之狀況下，單元陣列配線21(或22)可包括在第一層中之兩個行配線M1(或M3)且包括在第二層中之一個列配線M2(M4)。

在TEG 4中，包括設置於不同層中之行配線M1及列配線M2的單元陣列21及包括設置於不同層中之行配線M3及列配線M4的單元陣列配線22設置於不同層中。複數個待量測裝置11及12中之任一者分別連接至單元陣列配線21及22中之每一者。因此，複數個單元陣列配線21及22經配置以便彼此部分地重疊，藉此提高待量測裝置11及12之配置密度。亦有可能緊密地配置待量測裝置11及12，結果，可準確地評估兩個待量測裝置11及12之配對特性(局部變化)。

因此，包括設置於不同層中之行配線M1及列配線M2之單元陣列配線21及包括設置於不同層中之行配線M3及列

配線 M4 之單元陣列配線 22 設置於不同層中，且在實施例中，複數個待量測裝置 11 及 12 中之任一者分別連接至複數個單元陣列配線 21 及 22 中之每一者，因此，可提高待量測裝置 11 及 12 之配置密度。因此，有可能增加待量測裝置 11 及 12 之位置度以及獲得各種裝置之評估資訊。TEG 4 之大小隨著 LSI(大規模積體電路)之小型化而顯著減小，且根據實施例之裝置可藉由高密度來回應待量測裝置之整合以遵循小型化。

亦有可能緊密地配置待量測裝置 11 及 12，因此，可準確地評估兩個待量測裝置 11 及 12 之配對特性(局部變化)。特定言之，利用緊密配置之裝置之特性的電路組態常用於類比半導體，且根據實施例之 TEG 4 極其適於此等類比半導體電路之評估電路。

(修改實例 1-1)

圖 6 展示根據修改實例 1-1 之 TEG 4A 的組態。在本修改實例中，編號為 12 之待量測裝置中之一者的定向不同於圖 2 中所示之第一實施例的 TEG 4。本修改實例之 TEG 4A 具有與第一實施例相同之組態、操作及效應。已知半導體裝置(諸如，電晶體或電阻器裝置)之大小及特性之變化根據配置方向而發生，然而，可特定地評估根據待量測裝置 11 及 12 之配置方向(閘極之定向)之特性及其類似者之變化。

具體言之，待量測裝置 12 之閘極及背閘極連接至行配線 M3。待量測裝置 12 之源極及汲極連接至列配線 M4。

且，在本修改實例中，待連接至待量測裝置 11 及 12 之相

同部分的行配線 M1、M3 及列配線 M2、M4 中之配線以與第一實施例相同之方式共同地連接至量測襯墊。然而，在本修改實例中，行配線 M1、M3 以及列配線 M2、M4 與量測襯墊之間的連接之組合根據待量測裝置 12 之配置方向的變化而變化。亦即，待量測裝置 11 之源極連接至的行配線 M1 及待量測裝置 12 之源極連接至的列配線 M4 共同地連接至源極襯墊 30S。待量測裝置 11 之汲極連接至的行配線 M1 及待量測裝置 12 之汲極連接至的列配線 M4 共同地連接至汲極襯墊 30D。待量測裝置 11 之閘極連接至的列配線 M2 及待量測裝置 12 之閘極連接至的行配線 M3 共同地連接至閘極襯墊 30G。待量測裝置 11 之背閘極連接至的列配線 M2 及待量測裝置 12 之背閘極連接至的行配線 M3 共同地連接至背閘極襯墊 30H。

(修改實例 1-2)

圖 7 展示根據修改實例 1-2 之 TEG 4B 的組態。除待量測裝置 11 及 12 為電阻器裝置外，本修改實例具有與第一實施例相同之組態、操作及效應。在本修改實例中，可藉由使用 4 端子方法來量測電阻器裝置之特性。亦可按照與第一實施例相同之方式藉由緊密配置來評估配對特性。

(修改實例 1-3)

圖 8 展示根據修改實例 1-3 之 TEG 4C 的組態。除編號為 12 之待量測裝置中之一者的定向不同於圖 7 中所示之修改實例 1-2 之 TEG 4B 外，本修改實例具有與第一實施例相同之組態、操作及效應。在本修改實例中，可評估取決於待量

測裝置11及12之配置方向之特性及其類似者之變化。

(修改實例1-4)

圖9展示根據修改實例1-4之TEG 4D的組態。圖10為沿圖9之X-X線截得之橫截面組態且圖11展示沿圖9之XI-XI線截得之橫截面組態。在圖10及圖11中，對應於自基板10之側面所見的配線層之高度的第一層、第二層、第三層、第四層、第五層及第六層分別由虛線H1、H2、H3、H4、H5及H6來表示。

在本修改實例中，三個待量測裝置11、12及13分別連接至單元陣列配線21、22及23。單元陣列配線21、22及23形成組合之陣列配線20。除上述外，本修改實例之TEG 4D具有與第一實施例相同之組態、操作及效應。

待量測裝置11至13全部為類似於第一實施例之4端子FET，該等待量測裝置11至13配置於同一定向上。

在待量測裝置11至13與單元陣列配線21至23之間的連接點CP處，設置如(例如)圖11中所示之連接部分40。每一連接部分40具有一組態，其中通孔41A、41B、41C、41D、41E及41F及金屬層42A、42B、42C、42D、42E及42F交替地堆疊於待量測裝置11至13中之每一者的源極、汲極或閘極上。通孔41A之底部觸碰待量測裝置11至13之源極、汲極、或閘極。金屬層42A具有與行配線M1相同之高度H1，金屬層42B具有與列配線M2相同之高度H2，金屬層42C具有與行配線M3相同之高度H3，金屬層42D具有與列配線M4相同之高度H4，金屬層42E具有與行配線M5相同之高

度H5，且金屬配線42F具有與列配線M6相同之高度H6。在每一連接部分40中，行配線M1、M3、M5及列配線M2、M4、M6中之僅一者連接至金屬層42A至42F中之僅一者。舉例而言，如圖11中所示，行配線M5連接至位於待量測裝置13之源極13S及汲極13D之上的連接部分40之金屬層42E。儘管圖11中未展示，但連接部分40亦設置於待量測裝置之閘極之上，且列配線M6連接至位於閘極之上的連接部分40之金屬層42F。另外，連接部分40亦設置於待量測裝置13之井(背閘極)13W之上，且列配線M6連接至位於井(背閘極)13W之上的連接部分40之金屬層42F。儘管未展示，但上述情況亦適用於待量測裝置11及12。

較佳的是，連接部分40經設置以便避開xy平面內之行配線M1、M3、M5與列配線M2、M4、M6之間的交叉位置IS。當連接部分40設置於交叉位置IS處時，行配線M1、M3、M5及列配線M2、M4、M6經由交叉位置IS中之連接部分40而全部短路。

單元陣列配線21及22具有與第一實施例相同之組態。單元陣列配線23包括在y方向上之行配線M5及在x方向上之列配線M6。行配線M5及列配線M6設置於z方向上之不同層中(例如，在自基板10之側面所見的第五層H5及第六層H6中)。此外，單元陣列配線21至23設置於z方向上的彼此不同之層(例如，自基板10之側面所見的第一層H1及第二層H2、第三層H3及第四層H4、第五層H5及第六層H6)中。因此，有可能提高待量測裝置11至13之配置密度。

亦即，在先前技術中難以按照高密度配置待量測裝置(未圖示)，此係因為正方形配線佈局121、122及123包括如圖12A中所示在xy平面內平行或在z方向上之同一層中的環繞待量測裝置的行配線M1、M3及M5及列配線M2、M4及M6。回應於此，單元陣列配線21、22及23經配置以便在如圖12B中所示在本實施例中彼此部分地重疊，因此，只要配線密度允許，許多待量測裝置可設置於同一區域中。因此，有可能按照高密度配置待量測裝置11至13。

較佳的是，行配線M1、M3及M5分別在xy平面中的x方向上彼此移位之位置(行配線M1、M3及M5彼此不重疊的位置)處配置。類似地，較佳的是，列配線M2、M4及M6在y方向上彼此移位之位置(列配線M2、M4及M6彼此不重疊的位置)處配置。換言之，較佳的是，行配線M1、M3及M5與列配線M2、M4及M6不在一點處相交。因此，行配線M1、M3、M5及列配線M2、M4、M6形成一柵格，其中行配線M1、M3、M5與列配線M2、M4、M6在xy平面內彼此不重疊。如上文所描述，連接部分40設置於單元陣列配線21至23與待量測裝置11至13之間的連接點CP中之每一者處，且連接部分40具有一組態，其中行配線M1、M3及M5以及列配線M2、M4及M6經由各別通孔41A至41F而短路。因此，當應用如上文描述之柵格佈局時，當單元陣列配線21至23連接至待量測裝置11至13時，有可能抑制行配線M1、M3及M5之間的短路、列配線M2、M4及M6之間的短路、行配線M1、M3、M5與列配線M2、M4、M6之間的短

路。

單元陣列配線23包括在同一層(例如，自基板10之側面所見的第五層)中之兩個行配線M5及在同一層(例如，自基板10之側面所見的第六層)中之兩個列配線M6。待量測裝置13之源極及汲極連接至行配線M5。待量測裝置13之閘極及背閘極連接至列配線M6。

待連接至待量測裝置11至13之相同部分的行配線M1、M3、M5及列配線M2、M4、M6中之配線共同地連接至量測襯墊。亦即，待量測裝置11之源極連接至的行配線M1、待量測裝置12之源極連接至的行配線M3及待量測裝置13之源極連接至的行配線M5共同地連接至源極襯墊30S。待量測裝置11之汲極連接至的行配線M1、待量測裝置12之汲極連接至的行配線M3及待量測裝置13之汲極連接至的行配線M5共同地連接至汲極襯墊30D。待量測裝置11之閘極連接至的列配線M2、待量測裝置12之閘極連接至的列配線M4及待量測裝置13之閘極連接至的列配線M6共同地連接至閘極襯墊30G。待量測裝置11之背閘極連接至的列配線M2、待量測裝置12之背閘極連接至的列配線M4及待量測裝置13之背閘極連接至的列配線M6共同地連接至背閘極襯墊30H。

行配線M1、M3及M5或列配線M2、M4及M6之數目可按照與第一實施例相同之方式根據待連接之待量測裝置11至13的組態來增加/減少。較佳的是，一個單元陣列配線21(或22、23)包括第一層中之兩個行配線M1(或M3、M5)

並包括第二層中之兩個列配線M2(或M4、M6)。在待量測裝置11至13為可由三個端子組態的FET、被動裝置或主動裝置之狀況下，單元陣列配線21(或22、23)可包括在第一層中之兩個行配線M1(或M3、M5)且包括在第二層中之一個列配線M2(M4、M6)。

在TEG 4D中，包括設置於不同層中之行配線M1及列配線M2之單元陣列21、包括設置於不同層中之行配線M3及列配線M4之單元陣列配線22及包括設置於不同層中之行配線M5及列配線M6之單元陣列配線23設置於彼此不同之層中。複數個待量測裝置11至13中之任一者分別連接至單元陣列配線21至23中之每一者。因此，複數個單元陣列配線21至23經配置以便彼此部分地重疊，藉此提高待量測裝置11至13之配置密度。亦有可能緊密地配置待量測裝置11至13，結果，可準確地評估待量測裝置11至13之配對特性(局部變化)。

因此，包括設置於不同層中之行配線M1及列配線M2之單元陣列配線21、包括設置於不同層中之行配線M3及列配線M4之單元陣列配線22及包括設置於不同層中之行配線M5及列配線M6之單元陣列配線23設置於不同層中，且在本修改實例中複數個待量測裝置11至13中之任一者分別連接至複數個單元陣列配線21至23中之每一者，因此，可提高待量測裝置11至13之配置密度。

(修改實例1-5)

圖13展示根據修改實例1-5之TEG 4E的組態。在本修改

實例中，編號為13之一個待量測裝置的定向不同於圖9中所示之修改實例1-4之TEG 4D。亦即，待量測裝置13之閘極及背閘極連接至行配線M5。待量測裝置13之源極及汲極連接至列配線M6。在修改實例中，可特定地評估根據待量測裝置11至13之配置方向(閘極之定向)之特性及其類似者之變化。

(修改實例1-6)

圖14展示根據修改實例1-6之TEG 4F的組態。除待量測裝置11為電晶體，待量測裝置12為電阻器裝置且待量測裝置13為圖9中所示之修改實例1-5之TEG 4D中的電容器外，本修改實例具有與第一實施例及修改實例1-5相同之組態、操作及效應。

為了詳細評估一個裝置之特性，必須分離電阻、電容等之組件。舉例而言，為了獨立地評估一個電晶體之特性參數，各種電阻或電容(諸如，閘極電阻或閘極電容)之評估將為必要的。在修改實例中，有可能將電晶體、電阻器裝置、電容器等任意組合成待量測裝置11至13，因此，在執行單一裝置之特性參數的獨立評估時，使用按照高密度緊密配置之待量測裝置11至13而進行的評估係可能的。因此，可減少歸因於配置位置之變化分量且可準確地評估各別特性分量。另外，有可能藉由量測相鄰裝置來分析分量以發現(例如)電晶體之特性的缺點。

隨著製程產生取得進展，藉由組合許多新穎材料及新穎技術獲得之裝置組態得到應用。因此，單一裝置中所包括

之複數個特性參數對於電路特性之評估及良率管理係重要的。修改實例適於評估採用此等新穎材料及新穎技術之裝置。

在本修改實例中，已解釋了待量測裝置11至13分別為不同類型之裝置(電晶體、電阻器裝置及電容器)且各別裝置可量測不同特性(電晶體、電阻及電容之各種特性)的狀況，然而，亦較佳的是，待量測裝置11至13中之至少一者為不同於其他待量測裝置且可量測不同於其他待量測裝置之特性的一裝置。

(第二實施例)

圖15A至圖15D展示根據本發明之第二實施例的TEG 4G之組態。在第二實施例中，待量測裝置11根據圖1中所示之TEG區塊3的配置方向連接至單元陣列配線21及22中之任一者，藉此使得能夠改變待量測裝置11之配置方向。除此之外，本實施例具有與第一實施例相同之組態、操作及效應。因此，相同元件符號給予相應組件以進行解釋。

如圖15A中所示，當TEG區塊3(參看圖1)配置於垂直方向上(縱向上)時，在如圖15B中所示之TEG 4G中，行配線M1及M3係在垂直方向上且列配線M2及M4係在水平方向上。

如圖15A中所示，當電晶體之閘極需要在TEG區塊3中在垂直方向上配置時，待量測裝置11連接至如圖15B中所示之TEG 4G中之單元陣列配線21。亦即，待量測裝置11之源極及汲極連接至行配線M1且待量測裝置11之閘極及背

閘極連接至列配線M2。

另一方面，當TEG區塊3向左旋轉90度以在如圖15C中所示的水平方向上(在橫向上)配置時，在如圖15D中所示之TEG 4G中，行配線M1及M3係在水平方向上且列配線M2及M4係在垂直方向上。

此處，在TEG區塊3向左旋轉90度之狀況下，需要電晶體之閘極亦在垂直方向上配置。原因如下。由於電晶體之特性之變化，歸因於微影而存在閘極長度大小之變化。亦即，已知閘極長度之大小變化之差異根據電晶體之閘電極的配置方向而發生。因此，若電晶體之配置方向未對準，則特性差異根據閘極長度之大小變化之差異而發生，而無關於TEG區塊3之配置方向。

因此，當TEG區塊向左旋轉90度時，待量測裝置11連接至如圖15D中所示之TEG 4G中的單元陣列配線22。亦即，待量測裝置11之源極及汲極連接至列配線M4且待量測裝置11之閘極及背閘極連接至行配線M3。

根據上述結構，待量測裝置11之配置方向可在不改變行配線M1、M3及列配線M2、M4之情況下改變以藉此消除根據待量測裝置之配置方向的大小變化之差異。因此，有可能減少用於修改用於改變待量測裝置11之配置方向以便對應於TEG區塊3之旋轉的電路之時間。

另一方面，在先前技術中，額外配線150對於對準電晶體111之配置方向為必要的，即使TEG區塊如圖16A及圖16B中所示向左旋轉90度仍為如此。不僅花費大量時間來

修改電路(諸如，如上文描述之重新配線)而且過多配線電阻歸因於額外配線150而產生。

如上文描述，已解釋了一個待量測裝置11可按照旋轉方式配置的狀況，然而，上述解釋對應於TEG 4G具有複數個待量測裝置之狀況。在此狀況下，有可能關於複數個待量測裝置中之每一者設置兩個單元陣列配線並根據TEG區塊3之配置方向將每一待量測裝置連接至單元陣列配線中之任一者。且，在此狀況下，各別單元陣列配線經配置以便彼此以與第一實施例相同之方式部分地重疊，藉此只要配線密度允許便在同一區域中設置許多待量測裝置。因此，有可能在按照高密度配置複數個待量測裝置的同時改變待量測裝置之配置方向並可撓性地回應TEG區塊之配置方向的變化。

為了在不改變行配線M1、M3及列配線M2、M4之配置的情況下單獨改變待量測裝置11之配置方向，較佳的是，待連接至待量測裝置11及不同方向上配置之待量測裝置11的相同部分的行配線M1、M3及列配線M2、M4中之配線共同地連接至量測襯墊。亦即，行配線M1中之一者及列配線M4中之一者連接至源極襯墊30S。行配線M1中之另一者及列配線M4中之另一者連接至汲極襯墊30D。列配線M2中之一者及行配線M3中之一者連接至閘極襯墊30G。行配線M2中之另一者及列配線M2中之另一者連接至背閘極襯墊30H。儘管圖15D中省略源極襯墊30S、汲極襯墊30D、閘極襯墊30G及背閘極襯墊30H，但(S)給予連接至

源極襯墊30S之配線，(D)給予連接至汲極襯墊30D之配線，(G)給予連接至閘極襯墊30G之配線且(BG)給予連接至背閘極襯墊30H之配線。

如上文所描述，包括在不同層中設置之行配線M1及列配線M2之單元陣列配線21及包括在不同層中設置之行配線M3及列配線M4之單元陣列配線22設置於不同層中，且待量測裝置11連接至複數個單元陣列配線21及22中之任一者，因此，可提高待量測裝置11及12之配置密度。

特定言之，在當前半導體積體電路中，藉由鄰近於電晶體而配置一應力膜材料來將應力施加至一通道區域以改良載流子遷移率的技術用於改良電晶體之特性的目的。在使用應力膜材料之技術中，歸因於電晶體之配置方向的效應得以提高。本實施例極其適於使用此應力膜材料的電晶體之特性評估。

第一實施例之修改實例1-1至1-6亦可應用於第二實施例。

(修改實例2-1)

圖17A至圖17C展示根據修改實例2-1之TEG 4F的組態。除待量測裝置為電阻器裝置外，本修改實例具有與第二實施例相同之組態、操作及效應。

已藉由引用如上述之實施例來解釋本發明技術，且本發明技術不限於上述實施例且各種修改係可能的。舉例而言，設置兩個或三個單元陣列配線21至23之狀況已經解釋為上述實施例中之實例，然而，單元陣列配線21至23之數

目可為四個或四個以上。只要組合不同配線層，便可組合包括單元陣列配線之任何配線層。舉例而言，已如上述解釋了單元陣列配線21包括行配線M1及列配線M2且單元陣列配線22包括行配線M3及列配線M4之狀況，然而，亦較佳的是，單元陣列配線21包括行配線M1及列配線M4且單元陣列配線22包括行配線M3及列配線M2。類似修改可應用於第二實施例。

此外，已在上述實施例中解釋待量測裝置為電晶體、電阻器裝置或電容器之狀況，然而，本發明可應用於待量測裝置為諸如二極體之其他電子組件的狀況。

另外，已在第一實施例中解釋了待量測裝置11之源極及汲極連接至行配線M1，待量測裝置11之閘極及背閘極連接至列配線M2，待量測裝置12之源極及汲極連接至行配線M3且待量測裝置12之閘極及背閘極連接至列配線M4的狀況。亦即，待量測裝置11及12中之每一者之源極及汲極連接至z方向上之同一高度中之配線層，且待量測裝置11及12中之每一者之閘極及背閘極連接至z方向上之同一高度中之配線層。然而，待量測裝置11及12中之每一者之源極及汲極可連接至z方向上之不同高度中之配線層。且，待量測裝置11及12中之每一者之閘極及背閘極可連接至z方向上之不同高度中之配線層。

舉例而言，如圖18中所示，單元陣列配線21包括在y方向上之行配線M1及M2及在x方向上之列配線M4及M6，且單元陣列配線22包括在x方向上之兩個行配線M3及列配線

M5及M6。行配線M1及M2設置於z方向上之不同層(例如，自基板10之側面所見的第一層H1及第二層H2)中且列配線M4及M6設置於z方向上之不同層(例如，自基板10之側面所見的第四層H4及第六層H6)中。列配線M5及M6設置於z方向上之不同層(例如，自基板10之側面所見的第五層H5及第六層H6)中。待量測裝置11之源極連接至行配線M1且其汲極連接至行配線M2，其閘極連接至列配線M4且其背閘極連接至列配線M6。待量測裝置12之源極及汲極連接至兩個行配線M3，其閘極連接至列配線M5且其背閘極連接至列配線M6。在此狀況下，必須在與列配線M4至M6不同之高度處之層中設置行配線M1至M3。亦即，難以使用在行配線M1至M3與列配線M4至M6之間的在同一高度處之配線層。

舉例而言，如圖19中所示，單元陣列配線21包括在y方向上之行配線M1及M2以及在x方向上之列配線M5及M7，且單元陣列配線22包括在y方向上之行配線M3及M4以及在x方向上之列配線M6及M8。行配線M1及M2設置於z方向上之不同層(例如，自基板10之側面所見的第一層H1及第二層H2)中，且列配線H5及H7設置於z方向上之不同層(例如，自基板10之側面所見的第五層H5及第七層H7)中。行配線M3及M4設置於z方向上之不同層(例如，自基板10之側面所見的第三層H3及第四層H4)中且列配線M6及M8設置於z方向上之不同層(例如，自基板10之側面所見的第六層H6及第八層H8)中。待量測裝置11之源極連接至行配線

M1，其汲極連接至行配線M2，其閘極連接至列配線M5且其背閘極連接至列配線M7。待量測裝置12之源極連接至行配線M3，其汲極連接至行配線M4，其閘極連接至列配線M6，且其背閘極連接至列配線M8。在此狀況下，必須在與列配線M5至M8不同之高度處之層中設置行配線M1至M4。亦即，難以使用在行配線M1至M4與列配線M5至M8之間的在同一高度處之配線層。

圖18及圖19中所示之配線層的組合可在如第二實施例中設置三個或三個以上單元陣列配線之狀況下改變。

本發明可實施為以下組態。

(1)一種半導體裝置，其包括

複數個待量測裝置，

一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。

(2)上述(1)中描述之半導體裝置，

其中該等行配線以及該等列配線設置於包括一行方向及一行方向之一平面中的彼此移位之位置處。

(3)上述(2)中描述之半導體裝置，其進一步包括連接該待量測裝置與該單元陣列配線的一連接部分，其中該連接部分經設置以便避開在該平面中之該行配線與該列配線之間的一交叉位置。

(4)上述(3)中描述之半導體裝置，

其中該單元陣列配線包括在同一層中之兩個行配線及在同一層中之兩個列配線。

(5)上述(3)中描述之半導體裝置，

其中該單元陣列配線包括在不同層中之兩個行配線及在與該等行配線之該等層不同的層中之兩個列配線。

(6)上述(1)中描述之半導體裝置，

其中待連接至該複數個待量測裝置之相同部分的該等行配線及該等列配線中之配線共同地連接至一量測襯墊。

(7)上述(1)中描述之半導體裝置，

其中該複數個待量測裝置配置於同一定向上。

(8)上述(1)中描述之半導體裝置，

其中該複數個待量測裝置中之至少一者配置於不同於另一待量測裝置之一定向上。

(9)上述(1)中描述之半導體裝置，

其中該複數個待量測裝置中之至少一者可量測不同於另一待量測裝置之特性。

(10)一種半導體裝置，其包括

一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一系列配線，其中該複數個單元陣列配線設置於彼此不同之層中，及

一待量測裝置，其連接至該複數個單元陣列配線中之任一者。

(11)上述(10)中描述之半導體裝置，

其中該等行配線以及該等列配線設置於包括一行方向及一行方向之一平面中的彼此移位之位置處。

(12)上述(11)中描述之半導體裝置，

其進一步包括連接該待量測裝置與該單元陣列配線之一連接部分，其中該連接部分經設置以便避開在該平面中之該行配線與該列配線之間的一交叉位置。

(13)上述(12)中描述之半導體裝置，

其中該單元陣列配線包括在同一層中之兩個行配線及在同一層中之兩個列配線。

(14)上述(12)中描述之半導體裝置，

其中該單元陣列配線包括在不同層中之兩個行配線及在與該等行配線之該等層不同的層中之兩個列配線。

(15)上述(10)中描述之半導體裝置，

其中待連接至該待量測裝置及一不同方向上配置之該待量測裝置的相同部分之該等行配線及該等列配線中之配線共同地連接至一量測襯墊。

(16)上述(10)中描述之半導體裝置，

其中包括複數個待量測裝置，且該組合之陣列配線包括關於該複數個待量測裝置中之每一者的兩個單元陣列配線。

本發明含有與2011年2月8日向日本專利局申請的日本優先權專利申請案JP 2011-024568中揭示之內容相關的標的物，該案之全部內容以引用之方式併入本文中。

熟習此項技術者應理解，取決於設計要求及其他因素，

可存在各種修改、組合、子組合及更改，只要該等修改、組合、子組合及更改在所附申請專利範圍或其等效物之範疇內。

【圖式簡單說明】

圖1為展示晶圓上之作為根據本發明之第一實施例的半導體裝置的TEG之示意性位置的平面圖；

圖2為展示圖1中所示之TEG之組態的平面圖；

圖3為展示沿圖2之線III-III截得之組態的橫截面圖；

圖4為展示沿圖2之線IV-IV截得之組態的橫截面圖；

圖5A及圖5B為用於解釋與先前技術相比圖2中所示之TEG中的單元陣列配線之配置密度的視圖；

圖6為展示根據修改實例1-1之TEG的組態之平面圖；

圖7為展示根據修改實例1-2之TEG的組態之平面圖；

圖8為展示根據修改實例1-3之TEG的組態之平面圖；

圖9為展示根據修改實例1-4之TEG的組態之視圖；

圖10為展示沿圖9之線X-X截得之組態的橫截面圖；

圖11為展示沿圖9之線XI-XI截得之組態的橫截面圖；

圖12A及圖12B為用於解釋與先前技術相比圖9中所示之TEG中的單元陣列配線之配置密度的視圖；

圖13為展示根據修改實例1-5之TEG的組態之視圖；

圖14為展示根據修改實例1-6之TEG的組態之視圖；

圖15A及圖15B為展示在根據本發明之第二實施例的TEG區塊在垂直方向上配置時連接單元陣列配線與作為待量測裝置之電晶體之實例的視圖，且圖15C及圖15D為展示在

圖 15A及圖 15B中所示之 TEG 區塊藉由該 TEG 區塊向左旋轉 90 度而在水平方向上配置時連接單元陣列配線與待量測裝置之實例的視圖；

圖 16A為展示在先前技術 TEG 中連接配線與待量測裝置之實例的視圖，且圖 16B為展示在圖 16A中所示之先前技術 TEG 藉由該 TEG 區塊向左旋轉 90 度而在水平方向上配置時連接配線與待量測裝置之實例的視圖；

圖 17A及圖 17B為展示在根據修改實例 2-1 之 TEG 區塊在垂直方向上配置時連接單元陣列配線與作為待量測裝置之電阻器裝置之實例的視圖，且圖 17C及圖 17D為展示在圖 17A及圖 17B中所示之 TEG 區塊藉由該 TEG 區塊向左旋轉 90 度而在水平方向上配置時連接單元陣列配線與待量測裝置之實例的視圖；

圖 18為展示圖 2 中所示之 TEG 之一修改實例的視圖；及圖 19為展示圖 2 中所示之 TEG 之另一修改實例的視圖。

【主要元件符號說明】

1	產品區塊
2	切割道
3	TEG 區塊
4	測試元件群 (TEG)
4A	TEG
4B	TEG
4C	TEG
4D	TEG

4E	TEG
4F	TEG
4G	TEG
10	基板
10A	裝置隔離層
11	待量測裝置
12	待量測裝置
12C	通道區域
12D	汲極
12G	閘電極
12GI	閘極絕緣膜
12S	源極
12W	井/背閘極
13	待量測裝置
13C	通道區域
13D	汲極
13G	閘電極
13GI	閘極絕緣膜
13S	源極
13W	井/背閘極
20	組合之陣列配線
21	單元陣列配線
22	單元陣列配線
23	單元陣列配線

30D	汲極襯墊
30G	閘極襯墊
30H	背閘極襯墊
30S	源極襯墊
40	連接部分
41A	通孔
41B	通孔
41C	通孔
41D	通孔
41E	通孔
41F	通孔
42A	金屬層
42B	金屬層
42C	金屬層
42D	金屬層
42E	金屬層
42F	金屬層
111	電晶體
121	正方形配線佈局
122	正方形配線佈局
123	正方形配線佈局
150	額外配線
CP	連接點
H1	第一層

H2	第二層
H3	第三層
H4	第四層
H5	第五層
H6	第六層
H7	第七層
H8	第八層
IS	交叉位置
M1	行配線
M2	列配線 / 行配線
M3	行配線
M4	列配線
M5	行配線 / 列配線
M6	列配線
M7	列配線
M8	列配線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101100848

※申請日：101.1.9

※IPC 分類：H01L21/00 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體裝置，其包括：複數個待量測裝置；及一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一系列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。

三、英文發明摘要：

A semiconductor device includes: plural devices to be measured; and a combined array wiring including plural unit array wirings each having a column wiring and a row wiring provided in different layers as well as each connected to any one of the plural devices to be measured, in which the plural unit array wirings are provided in layers different from each other.

七、申請專利範圍：

1. 一種半導體裝置，其包含：

複數個待量測裝置；及

一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一系列配線且每一單元陣列配線連接至該複數個待量測裝置中之任一者，其中該複數個單元陣列配線設置於彼此不同之層中。

2. 如請求項1之半導體裝置，

其中該等行配線以及該等列配線設置於包括一系列方向及一行方向之一平面中的彼此移位之位置處。

3. 如請求項2之半導體裝置，其進一步包含：

連接該待量測裝置與該單元陣列配線的一連接部分，

其中該連接部分經設置以便避開在該平面中之該行配線與該列配線之間的一交叉位置。

4. 如請求項3之半導體裝置，

其中該單元陣列配線包括在同一層中之兩個行配線及在同一層中之兩個列配線。

5. 如請求項3之半導體裝置，

其中該單元陣列配線包括在不同層中之兩個行配線及在與該等行配線之該等層不同的層中之兩個列配線。

6. 如請求項1之半導體裝置，

其中待連接至該複數個待量測裝置之相同部分的該等行配線及該等列配線中之配線共同地連接至一量測襯

墊。

7. 如請求項1之半導體裝置，

其中該複數個待量測裝置配置於同一定向上。

8. 如請求項1之半導體裝置，

其中該複數個待量測裝置中之至少一者配置於不同於另一待量測裝置之一定向上。

9. 如請求項1之半導體裝置，

其中該複數個待量測裝置中之至少一者可量測不同於另一待量測裝置之特性。

10. 一種半導體裝置，其包含：

一組合之陣列配線，其包括複數個單元陣列配線，每一單元陣列配線具有在不同層中設置之一行配線及一列配線，其中該複數個單元陣列配線設置於彼此不同之層中；及

一待量測裝置，其連接至該複數個單元陣列配線中之任一者。

11. 如請求項10之半導體裝置，

其中該等行配線以及該等列配線設置於包括一行方向及一行方向之一平面中的彼此移位之位置處。

12. 如請求項11之半導體裝置，

其進一步包括連接該待量測裝置與該單元陣列配線之一連接部分，

其中該連接部分經設置以便避開在該平面中之該行配線與該列配線之間的一交叉位置。

13. 如請求項12之半導體裝置，

其中該單元陣列配線包括在同一層中之兩個行配線及在同一層中之兩個列配線。

14. 如請求項12之半導體裝置，

其中該單元陣列配線包括在不同層中之兩個行配線及在與該等行配線之該等層不同的層中之兩個列配線。

15. 如請求項10之半導體裝置，

其中待連接至該待量測裝置及一不同方向上配置之該待量測裝置的相同部分之該等行配線及該等列配線中之配線共同地連接至一量測襯墊。

16. 如請求項10之半導體裝置，

其中包括複數個待量測裝置，且

該組合之陣列配線包括關於該複數個待量測裝置中之每一者的兩個單元陣列配線。

八、圖式：

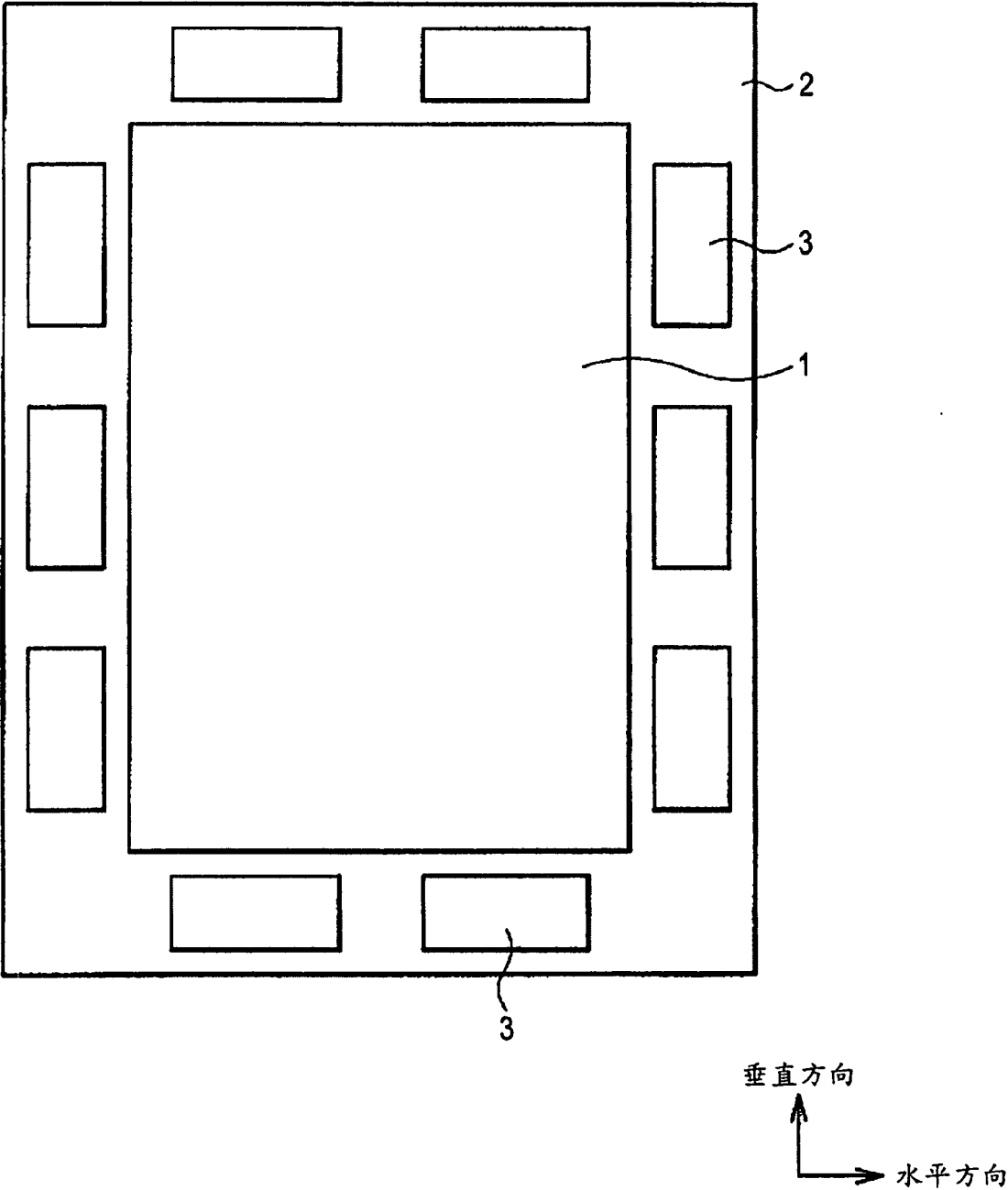


圖 1

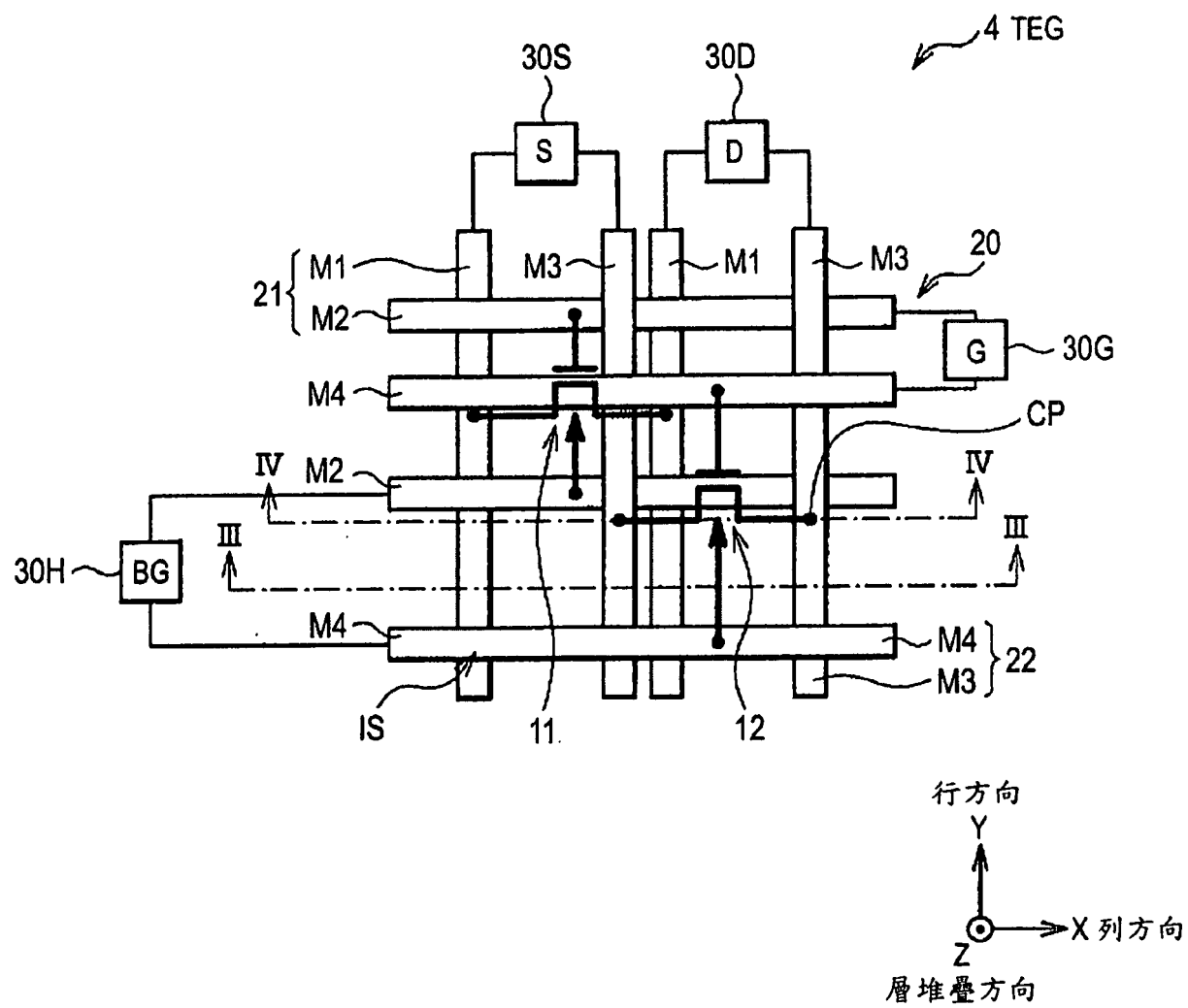


圖2

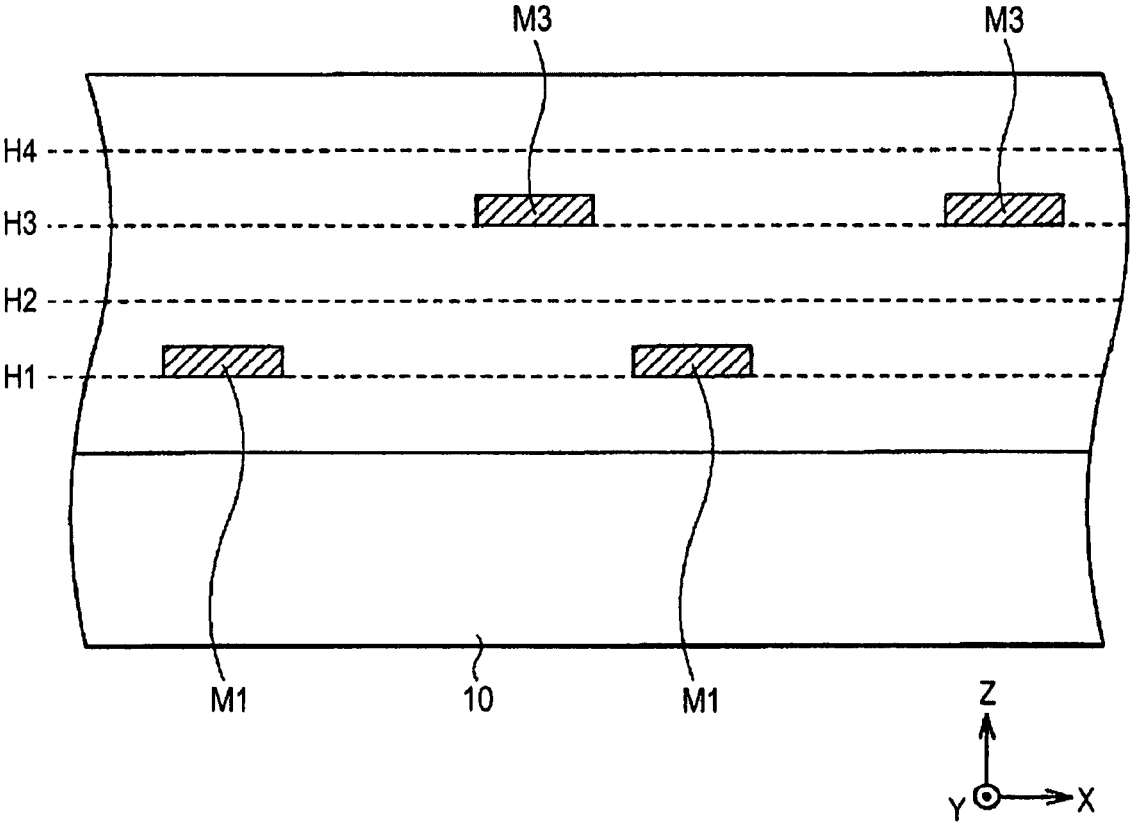


圖3

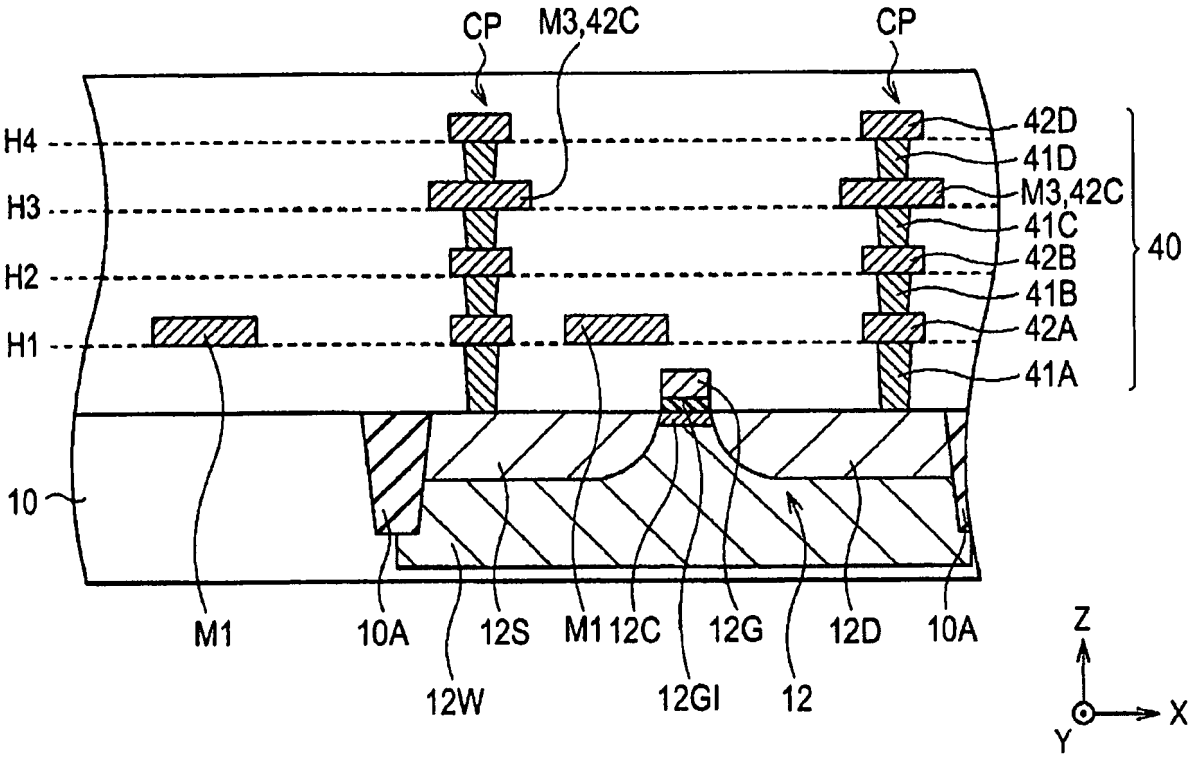


圖4

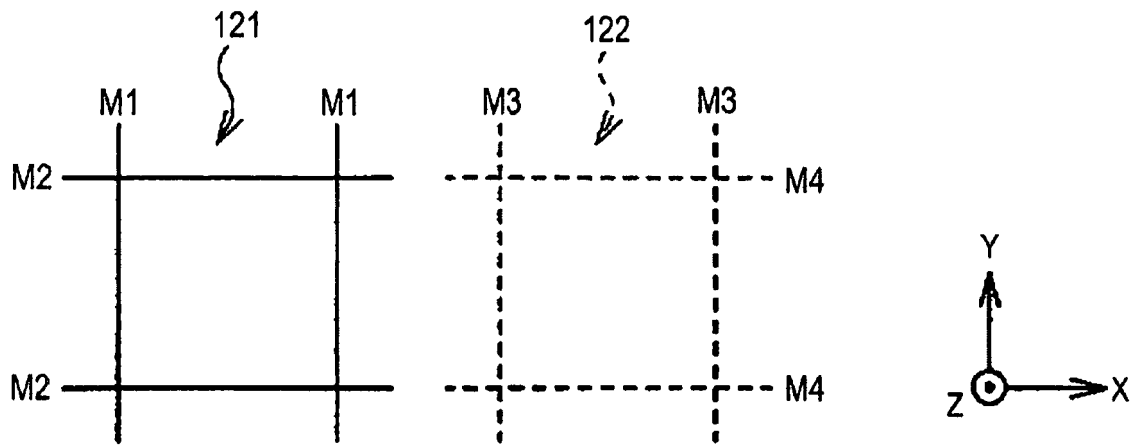


圖5A

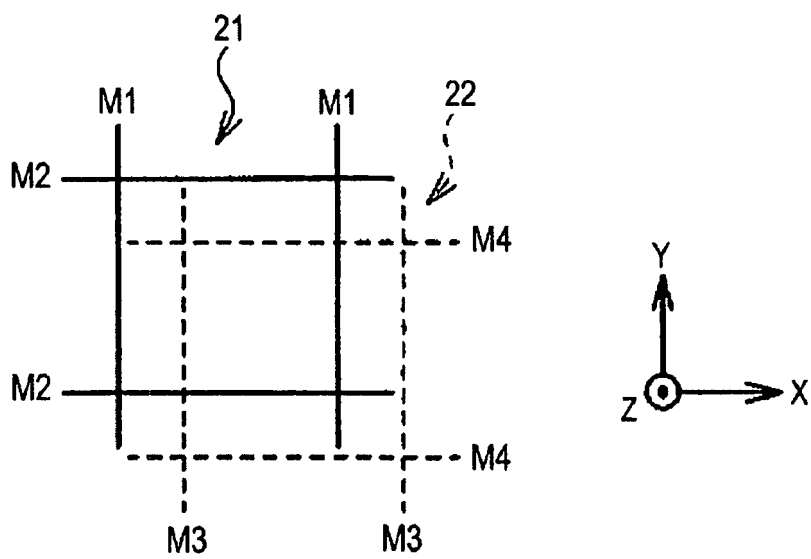


圖5B

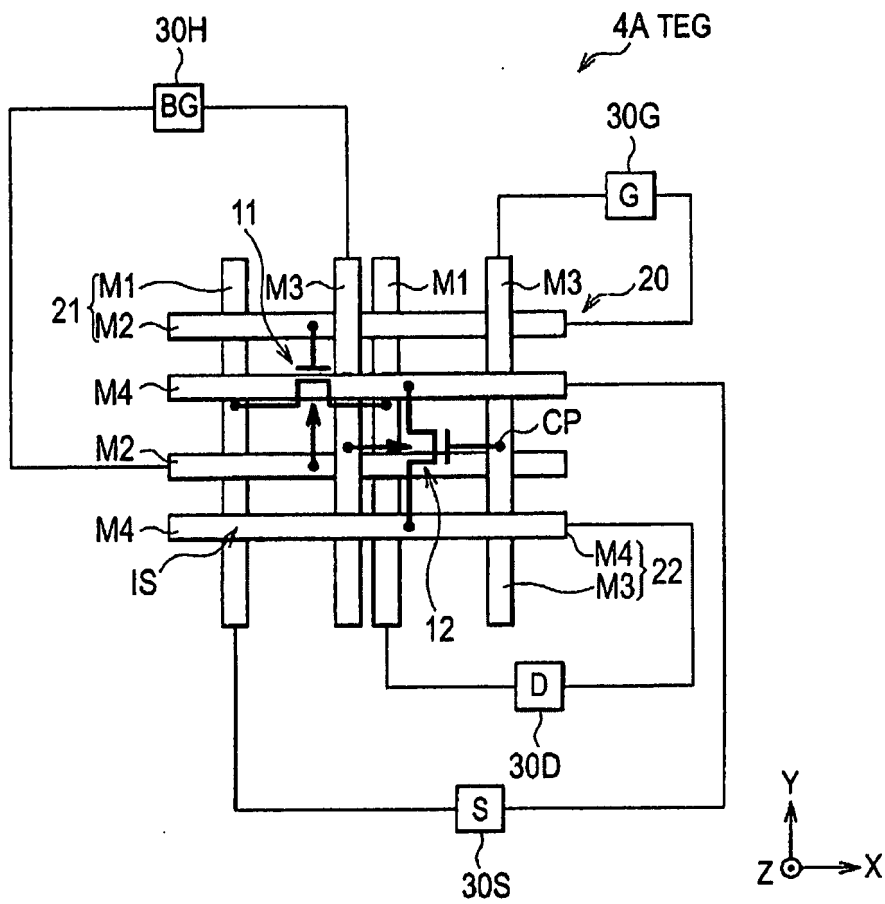


圖 6

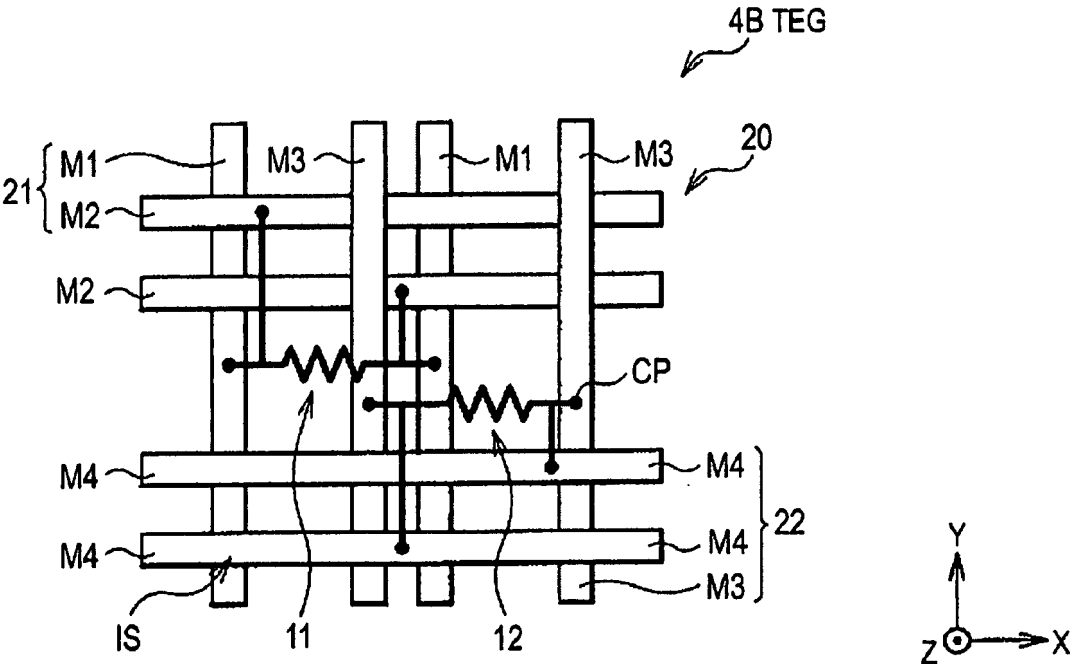


圖 7

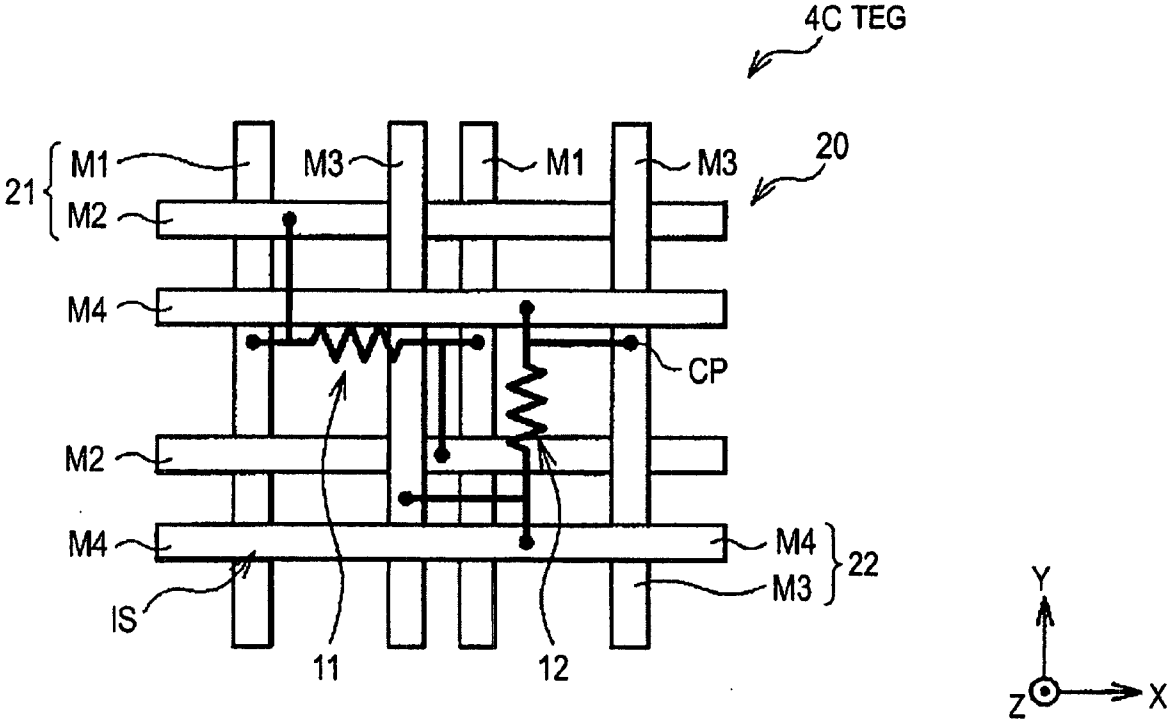


圖 8

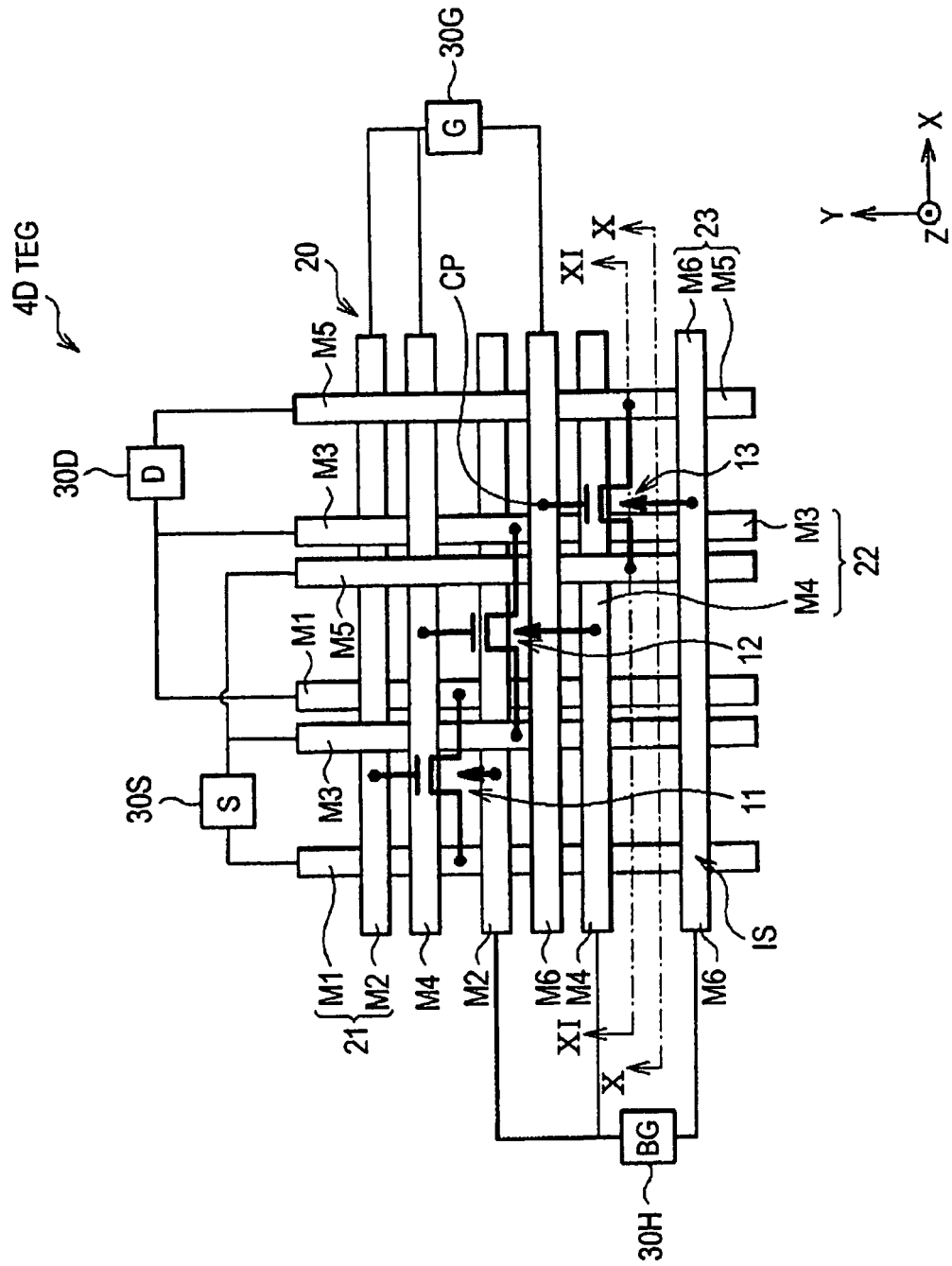


圖 9

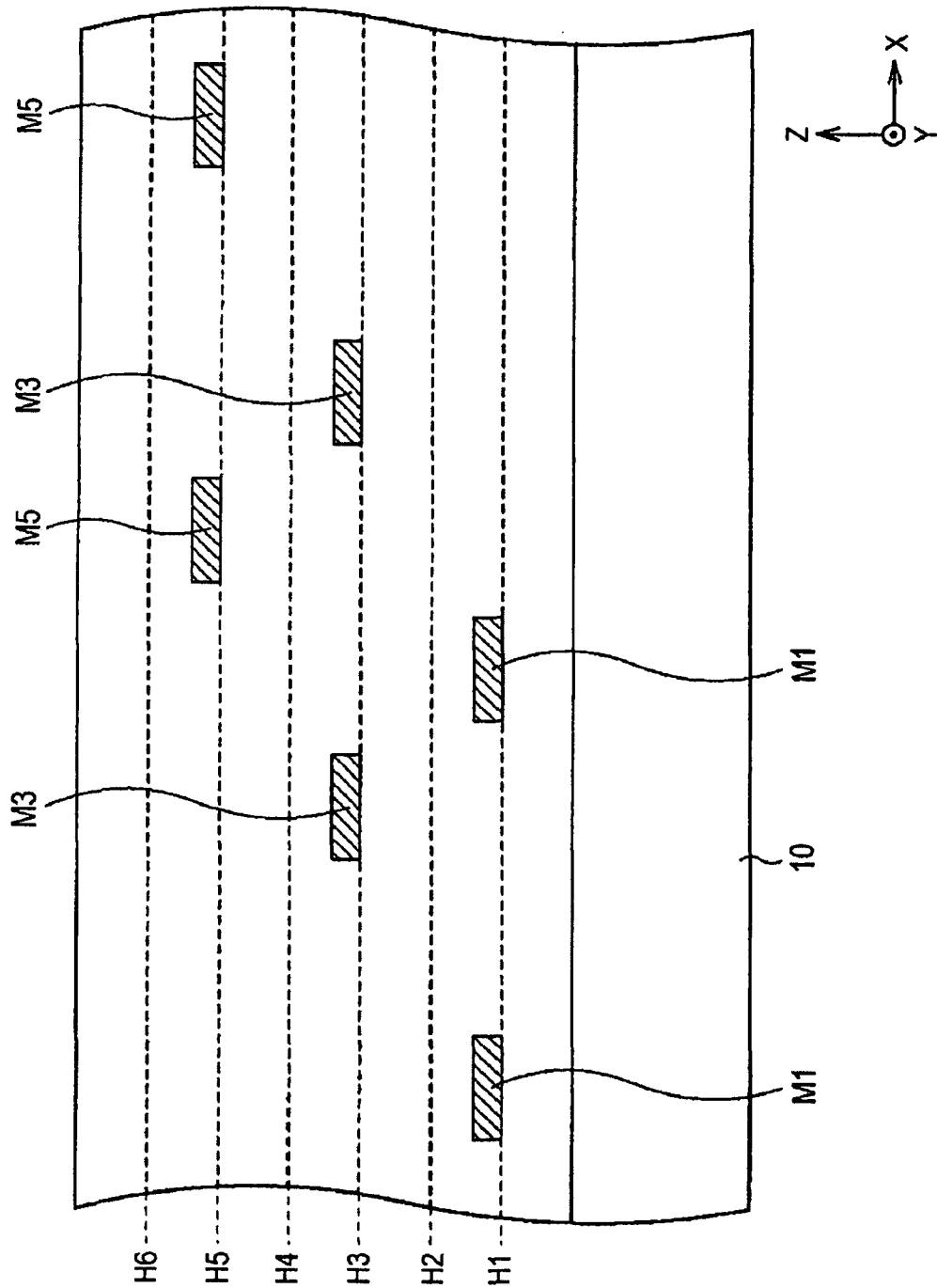


圖10

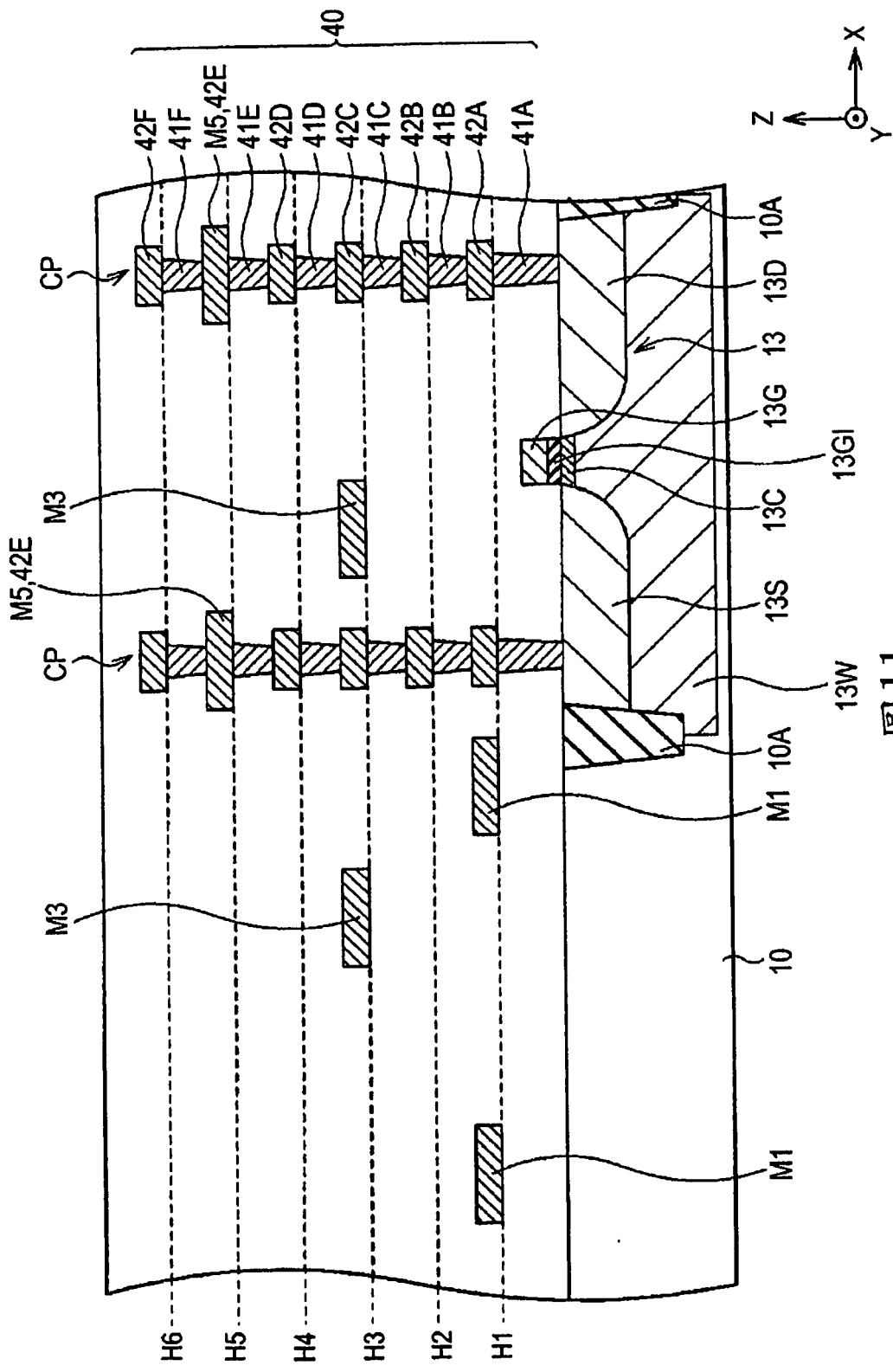


圖 11

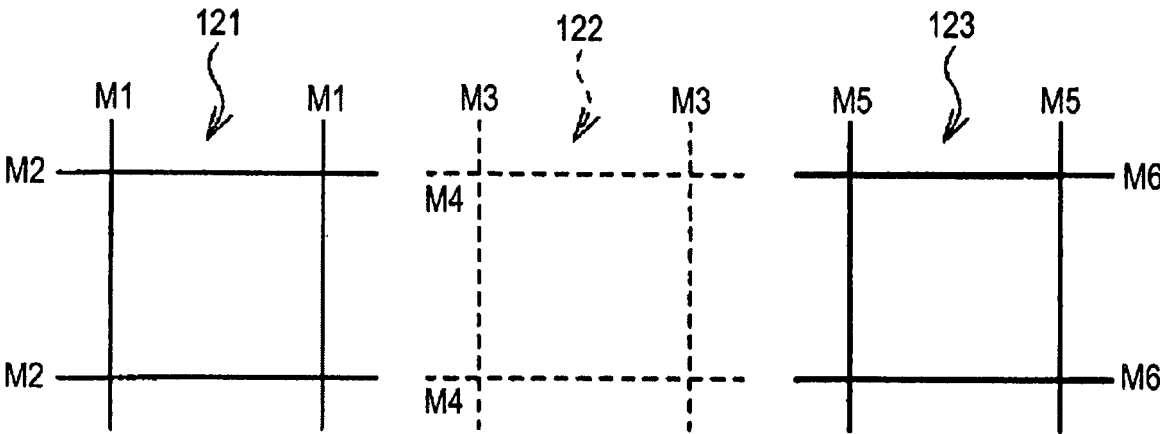


圖 12A

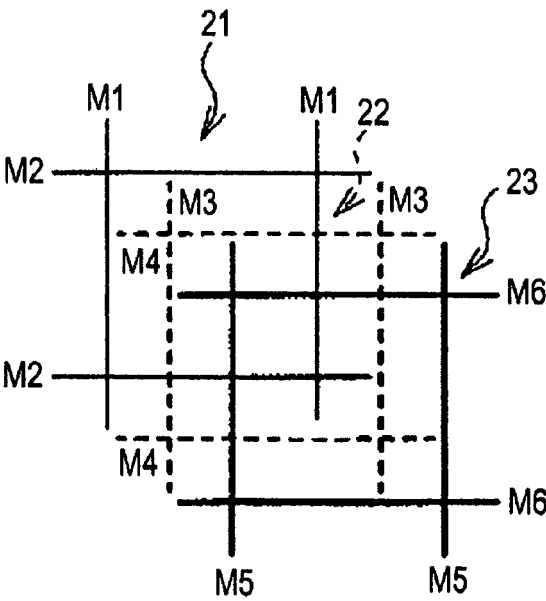


圖 12B

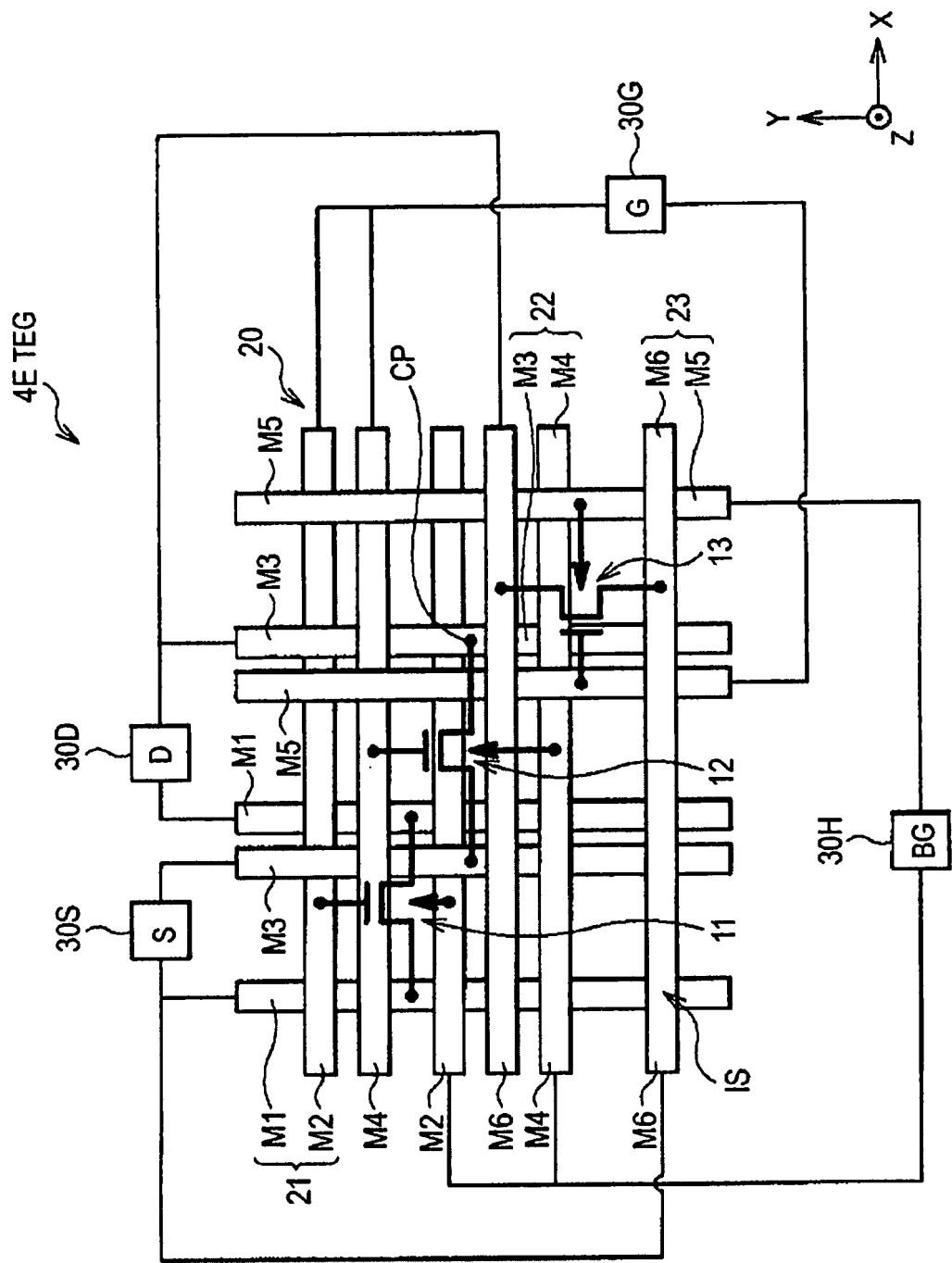


圖 13

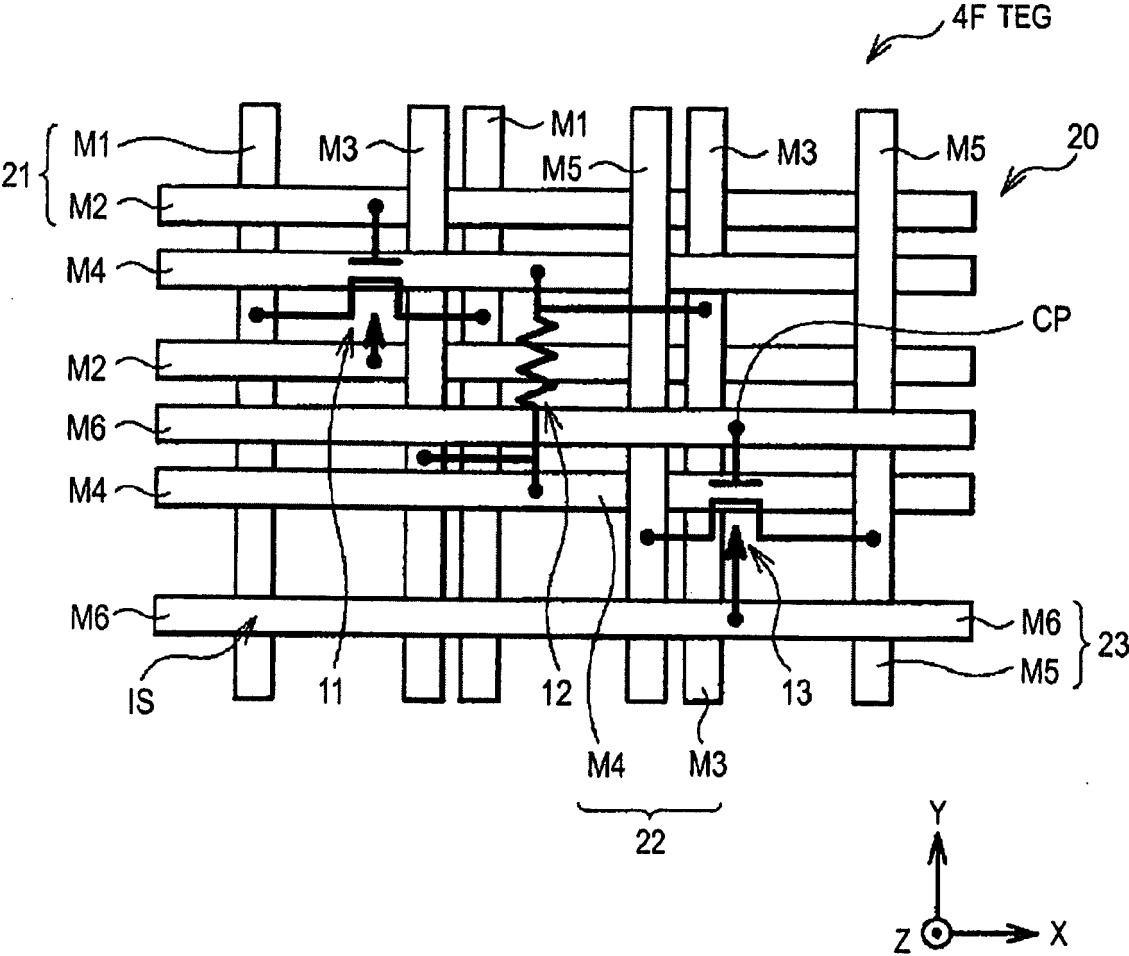
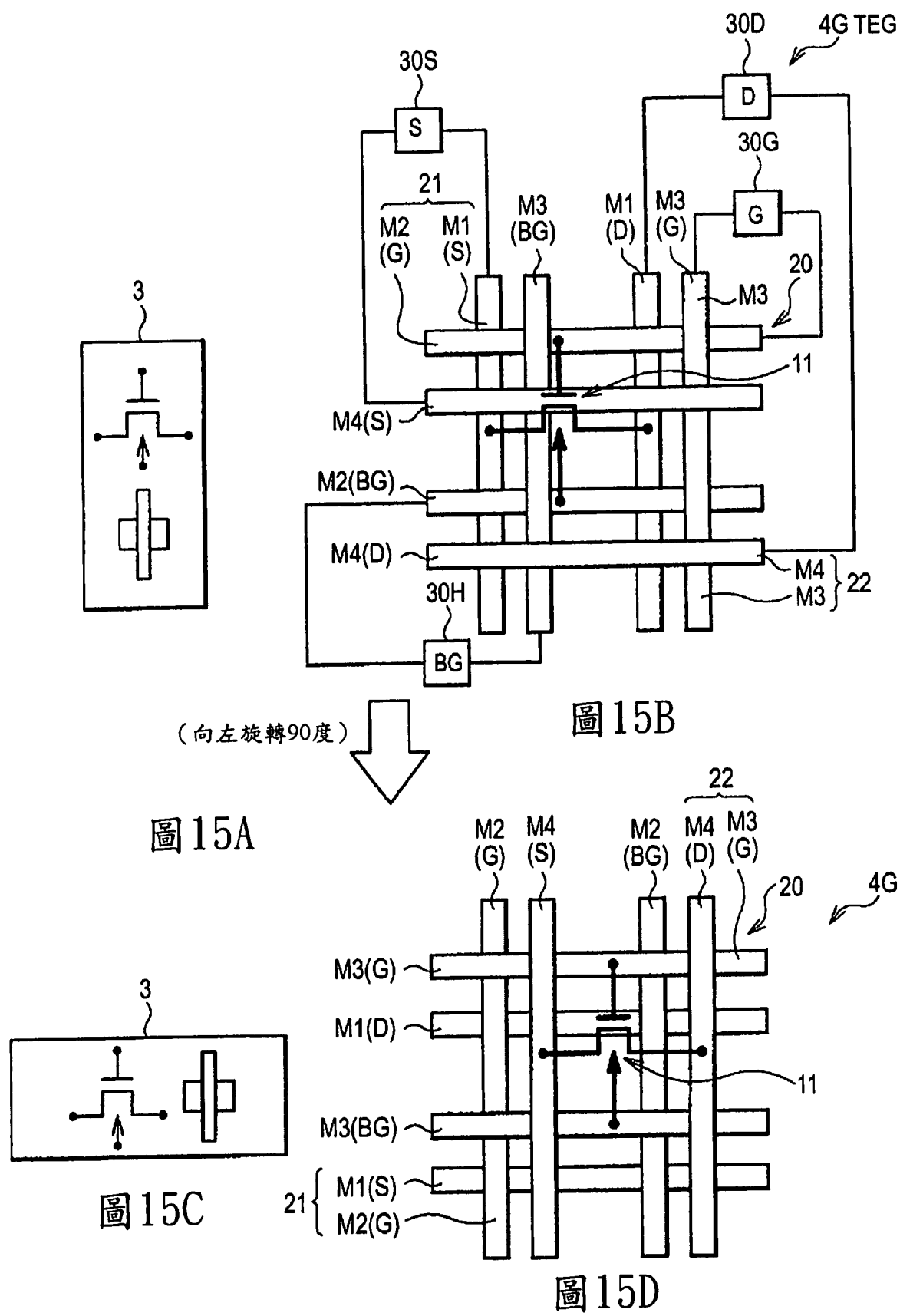


圖14



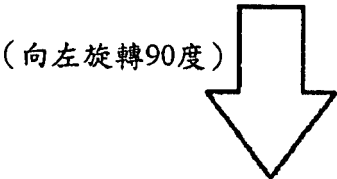
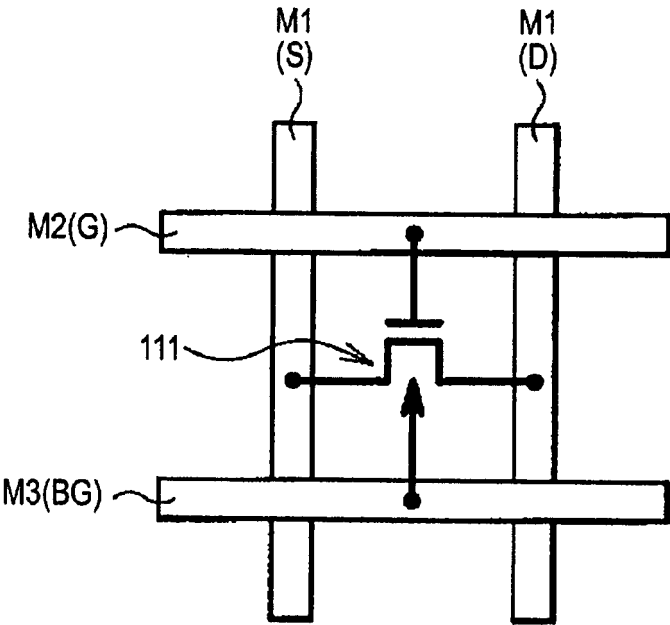


圖 16A

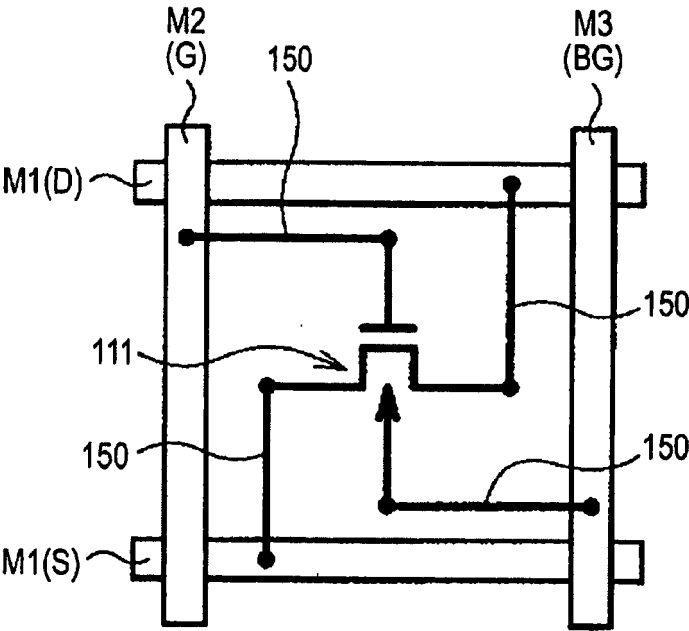


圖 16B

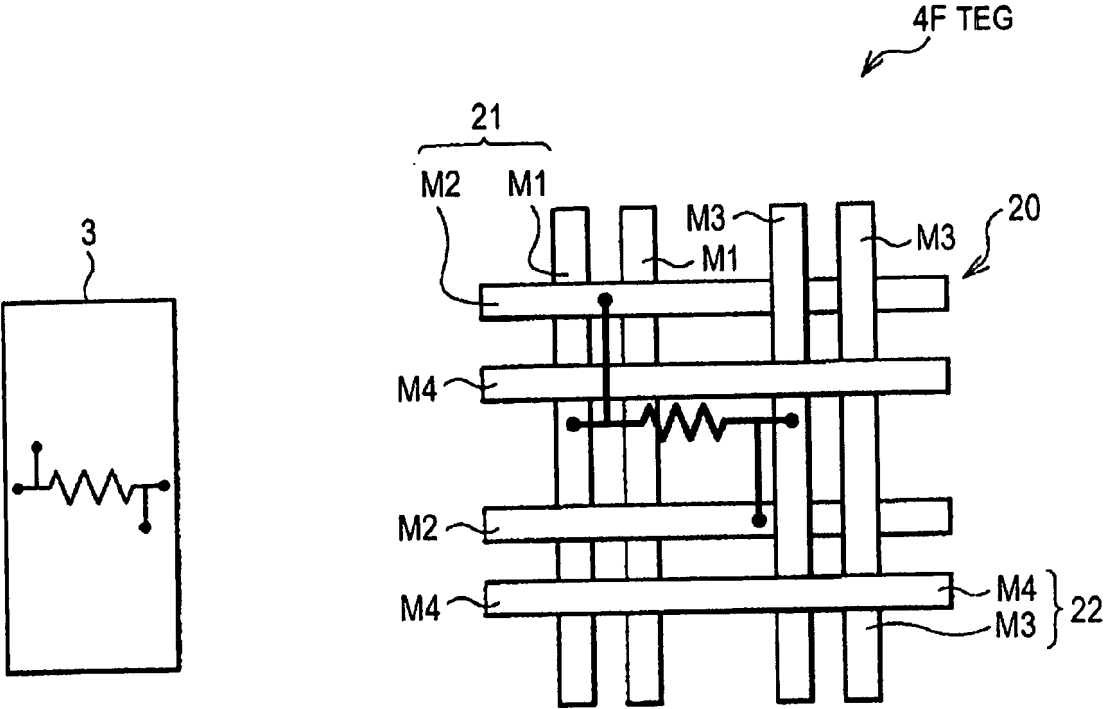


圖 17B

(向左旋轉90度)

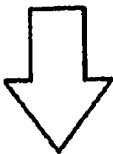


圖 17A

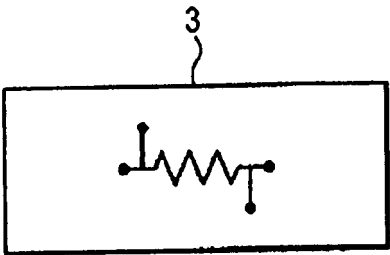


圖 17C

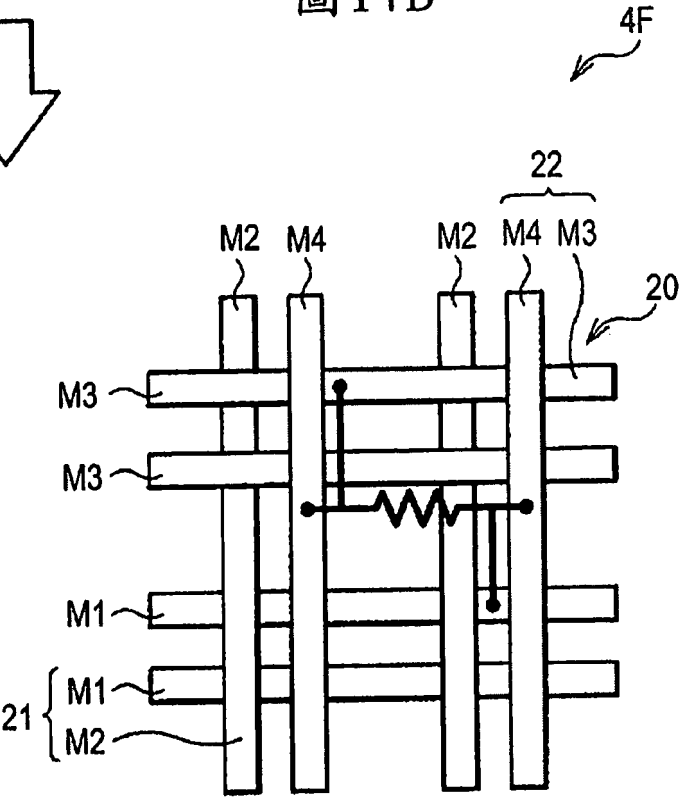


圖 17D

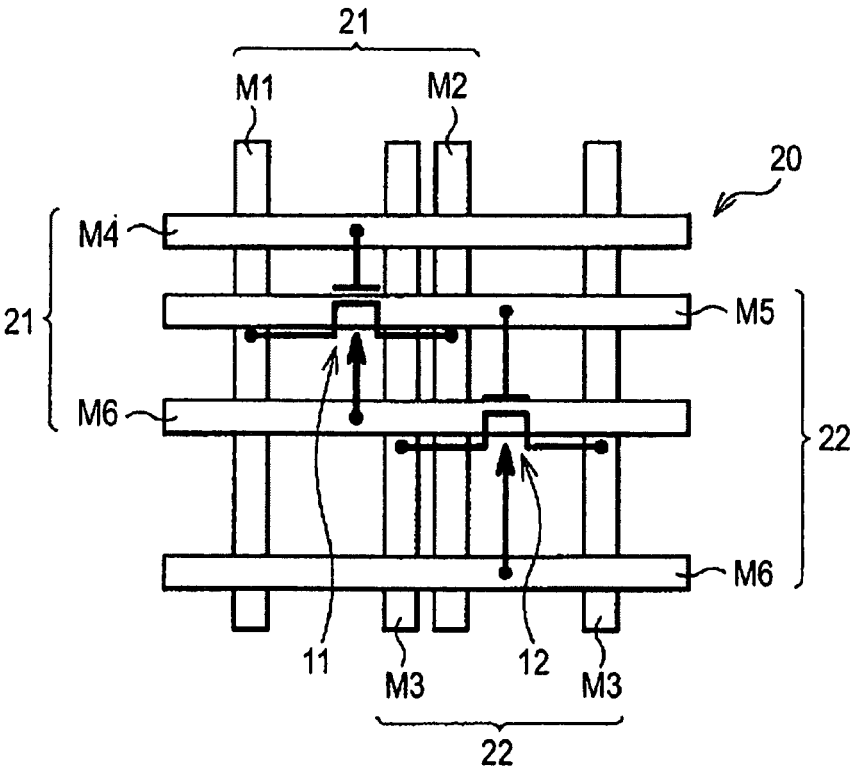


圖 18

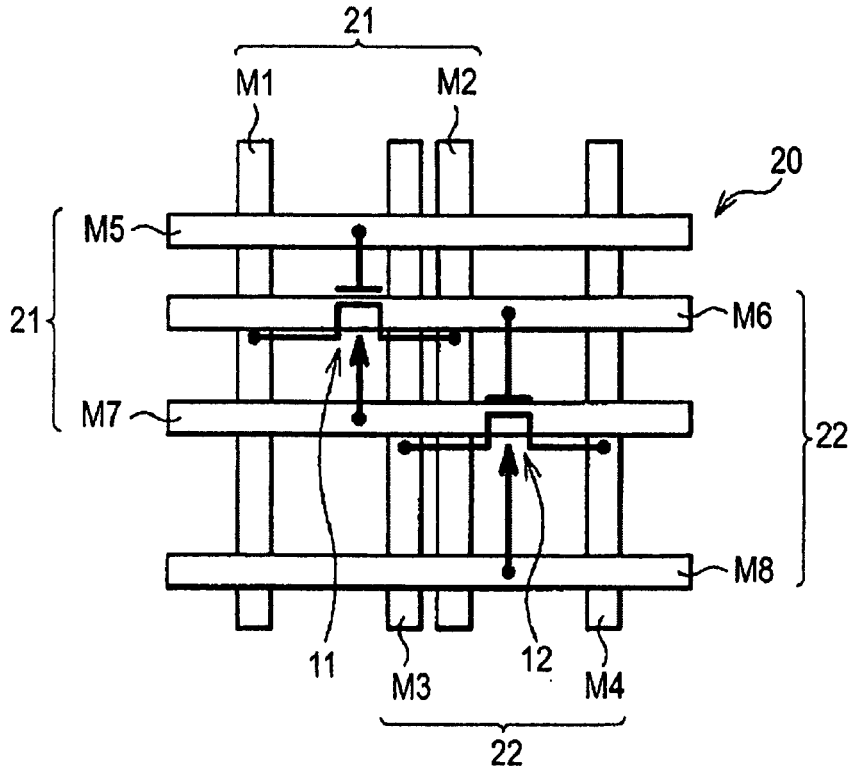


圖 19

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

4	測試元件群(TEG)
11	待量測裝置
12	待量測裝置
20	組合之陣列配線
21	單元陣列配線
22	單元陣列配線
30D	汲極襯墊
30G	閘極襯墊
30H	背閘極襯墊
30S	源極襯墊
CP	連接點
IS	交叉位置
M1	行配線
M2	列配線/行配線
M3	行配線
M4	列配線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（ 無 ）