



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I508195 B

(45) 公告日：中華民國 104 (2015) 年 11 月 11 日

(21) 申請案號：100145366 (22) 申請日：中華民國 100 (2011) 年 12 月 08 日

(51) Int. Cl. : *H01L21/58 (2006.01)* *H01L23/50 (2006.01)*
H01L23/538 (2006.01)

(30) 優先權：2010/12/08 美國 12/962,806

(71) 申請人：泰斯拉公司 (美國) TESSERA, INC. (US)
 美國

(72) 發明人：歐根賽安 維吉 OGANESIAN, VAGE (IL)；哈巴 貝勒卡塞姆 HABA, BELGACEM
 (US)；穆翰米德 艾里亞斯 MOHAMMED, ILYAS (US)；賽維拉亞 琵悠許
 SAVALIA, PIYUSH (IN)；米契爾 克瑞格 MITCHELL, CRAIG (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

JP	2003-20404A	US	6013948
US	2006/0071347A1		

審查人員：陳柏雅

申請專利範圍項數：36 項 圖式數：8 共 57 頁

(54) 名稱

晶圓中之順應互連

COMPLIANT INTERCONNECTS IN WAFERS

(57) 摘要

本發明揭示一種微電子總成，其包含一基板及一導電元件。該基板可具有小於 10ppm/°C 之一熱膨脹係數(CTE)、具有不延伸穿過該基板之一凹部之一主要表面，及安置於該凹部內之具有小於 10GPa 之一彈性模數之一材料。該導電元件可包含覆蓋該凹部且自由該基板支撐之一錨定部延伸之一接合部。該接合部可至少部分曝露於該主要表面以連接至該微電子單元之外之一組件。

A microelectronic assembly includes a substrate and an electrically conductive element. The substrate can have a CTE less than 10 ppm/°C, a major surface having a recess not extending through the substrate, and a material having a modulus of elasticity less than 10 GPa disposed within the recess. The electrically conductive element can include a joining portion overlying the recess and extending from an anchor portion supported by the substrate. The joining portion can be at least partially exposed at the major surface for connection to a component external to the microelectronic unit.

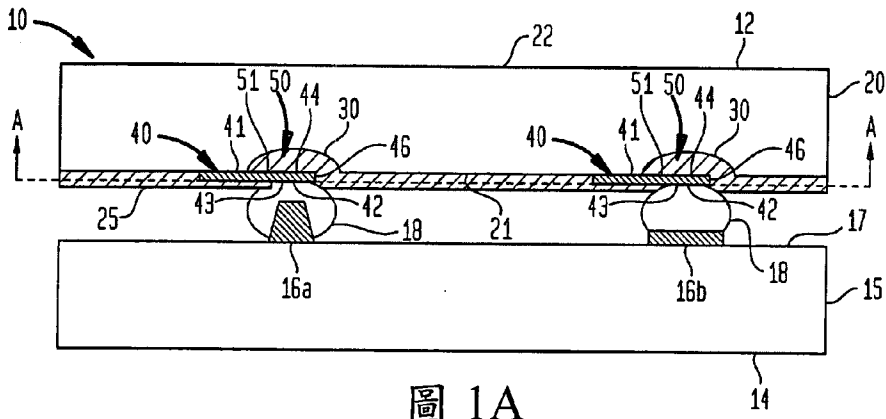


圖 1A

- 10 . . . 堆疊微電子總成
- 12 . . . 第一微電子單元/第一微電子元件
- 14 . . . 第二微電子單元/第二微電子元件
- 15 . . . 基板
- 16a . . . 導電接觸件/導電柱
- 16b . . . 導電接觸件/導電柱
- 17 . . . 主要表面
- 18 . . . 導電塊
- 20 . . . 基板
- 21 . . . 主要表面
- 22 . . . 第二表面
- 25 . . . 介電層
- 30 . . . 凹部
- 40 . . . 導電元件
- 41 . . . 錨定部
- 42 . . . 接合部
- 43 . . . 頂表面
- 44 . . . 底表面
- 46 . . . 端部
- 50 . . . 介電質區域
- 51 . . . 外表面

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100145366

※申請日：100.12.08

※IPC 分類：H01L 21/58 (2006.01)

H01L 23/50 (2006.01)

H01L 23/538 (2006.01)

一、發明名稱：(中文/英文)

晶圓中之順應互連

COMPLIANT INTERCONNECTS IN WAFERS

二、中文發明摘要：

本發明揭示一種微電子總成，其包含一基板及一導電元件。該基板可具有小於10 ppm/°C之一熱膨脹係數(CTE)、具有不延伸穿過該基板之一凹部之一主要表面，及安置於該凹部內之具有小於10 GPa之一彈性模數之一材料。該導電元件可包含覆蓋該凹部且自由該基板支撐之一錨定部延伸之一接合部。該接合部可至少部分曝露於該主要表面以連接至該微電子單元之外之一組件。

三、英文發明摘要：

A microelectronic assembly includes a substrate and an electrically conductive element. The substrate can have a CTE less than 10 ppm/°C, a major surface having a recess not extending through the substrate, and a material having a modulus of elasticity less than 10 GPa disposed within the recess. The electrically conductive element can include a joining portion overlying the recess and extending from an anchor portion supported by the substrate. The joining portion can be at least partially exposed at the major surface for connection to a component external to the microelectronic unit.

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

10	堆疊微電子總成
12	第一微電子單元/第一微電子元件
14	第二微電子單元/第二微電子元件
15	基板
16a	導電接觸件/導電柱
16b	導電接觸件/導電柱
17	主要表面
18	導電塊
20	基板
21	主要表面
22	第二表面
25	介電層
30	凹部
40	導電元件
41	錨定部
42	接合部
43	頂表面
44	底表面
46	端部
50	介電質區域
51	外表面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

1 六、發明說明：

2 【發明所屬之技術領域】

3 本發明係關於堆疊微電子總成及製造此等總成之方法，
4 且係關於在此等總成中有用的組件。

5 【先前技術】

6 常提供半導體晶片作為個別、封裝單元。一標準晶片具
7 有擁有一前表面之一平坦、矩形本體，該前表面具有連接
8 至該晶片之主動電路之若干接觸件。各個別晶片通常安裝
9 於一封裝中，該封裝繼而安裝於一電路板(諸如，一印刷
10 電路板)上且將該晶片之接觸件連接至該電路板之導體。
11 在許多習知設計中，該晶片封裝佔有遠大於該晶片自身之
12 面積之電路板之一面積。如本發明參考具有一前表面之一
13 平坦晶片所使用，「晶片之面積」應理解為係指該前表面
14 之面積。

15 在「覆晶」設計中，該晶片之前表面面向一封裝基板之
16 一表面(亦即，一晶片載體)，及該晶片上的接觸件係藉由
17 焊球或其他連接元件直接結合至該晶片載體之接觸件。繼
18 而，該晶片載體可透過覆蓋該晶片之前表面之端子結合至
19 一電路板。該「覆晶」設計提供一相對緊密之配置；各晶
20 片佔有等於或稍大於該晶片之前表面之面積之該電路板之
21 一面積，例如，諸如共同讓與之美國專利第5,148,265號、
22 第5,148,266號及第5,679,977號之某些實施例中所揭示，該
23 等案之揭示內容以引用的方式併入本文中。

24 除了最小化由微電子總成佔有之電路板之平面面積外，

1 亦期望產生存在垂直於該電路板之平面之一低整體高度或
2 尺寸之一晶片封裝。此等薄微電子封裝容許具有安裝於其
3 內之封裝之一電路板緊密接近於相鄰結構而放置，因此減
4 少併入該電路板之產品之整體大小。

5 亦已提出封裝一「堆疊」配置(亦即，複數個晶片彼此
6 重疊放置之一配置)中的複數個晶片。在一堆疊配置中，
7 若干晶片可安裝於小於該等晶片之總面積之該電路板之一
8 面積中。某些堆疊晶片配置係揭示於(例如)前述美國專利
9 第5,148,265號、第5,679,977號及美國專利第5,347,159號
10 之某些實施例中，該等案之揭示內容以引用的方式併入本
11 文中。亦以引用的方式併入本文中的美國專利第4,941,033
12 號揭示晶片彼此互相堆疊且藉由與該等晶片相關聯之所謂
13 「佈線膜」上的導體彼此互連之一配置。

14 習知晶片接觸件可由於接觸件上的一非最佳化應力分佈
15 及一半導體晶片與(例如)晶片所結合之結構之間的熱膨脹
16 係數(CTE)之一不匹配而具有可靠性挑戰。例如，當一半
17 導體晶片之一表面上的導電接觸件係藉由一相對較薄且勁
18 性之介電質材料而絕緣時，該等接觸件上可存在明顯的應
19 力。此外，當半導體晶片結合至一聚合基板之導電元件
20 時，晶片與基板之較高CTE結構之間的電連接將經受由於
21 CTE不匹配而引起之應力。

22 大小在晶片之任意實體配置中係一重要考慮因素。隨著
23 可攜式電子裝置之快速發展，更緊密之晶片實體配置之需
24 求已變得更強烈。僅以實例之方式，常稱為「智慧型電

1 話」之裝置整合一蜂巢式電話與高效資料處理器、記憶體
2 及輔助裝置(諸如，全球定位系統接收器、電子照相機及
3 區域網路連接以及高解析度顯示器及相關影像處理晶片)
4 之功能。此等裝置可提供諸如全網際網路連接、包含全解
5 析度視訊之娛樂、航空、電子銀行業及更多之能力，所有
6 皆在一口袋型裝置中。複雜的可攜式裝置需要將許多個晶
7 片封裝至一小空間中。此外，該等晶片之一些具有許多輸
8 入及輸出連接，常稱為「I/O」。此等I/O必須與其他晶片之
9 I/O互連。該等互連應為短的且應具有低阻抗以最小化信
10 號傳播延遲。形成該等互連之組件不應大幅增加總成之大
11 小。類似需求亦發生於其他應用中，例如，發生於(諸如)
12 用於網際網路搜尋引擎之資料伺服器中。例如，提供複雜
13 晶片之間的許多短小、低阻抗之互連之結構可增加該搜尋
14 引擎之頻寬且減少其之功率消耗。

15 儘管半導體接觸件形成及互連得到了提升，然亦需要進
16 行改良以最小化半導體晶片之大小，同時增強電互連可靠
17 性。本發明之此等屬性係藉由如下文所描述之微電子封裝
18 之構造而達成。

19 【發明內容】

20 根據本發明之一態樣，一種微電子總成可包含一基板及
21 一導電元件。該基板可具有小於10 ppm/°C之一CTE、具有
22 不延伸穿過該基板之一凹部之一主要表面及安置於該凹部
23 內之具有小於10 GPa之一彈性模數之一材料。該導電元件
24 可包含覆蓋該凹部且自藉由該基板支撐之一錨定部延伸之

1 一接合部。該接合部可至少部分曝露於該主要表面以連接
2 至該微電子單元之外之一組件。

3 在一實施例中，該基板可具有小於7 ppm/°C之一CTE。
4 在一特定實施例中，該接合部可移動以便減少(諸如)可於
5 操作、製造或測試微電子單元期間存在之該接合部上的應
6 力。在一例示性實施例中，該基板實質上可由自半導體、
7 玻璃及陶瓷組成之群組選擇之一材料組成。在一實施例
8 中，該基板可包含複數個主動半導體裝置及該導電元件可
9 與該複數個主動半導體裝置之至少一者電連接。在一特定
10 實施例中，安置於該凹部內的材料可包含自聚醯亞胺、聚
11 矽氧及環氧樹脂組成之群組選擇之至少一材料。

12 在一例示性實施例中，該凹部可不延伸穿過該基板。在
13 一實施例中，該接合部可在實質上平行於該基板之主要表
14 面之一方向上延伸。在一特定實施例中，該錨定部及該接
15 合部可在相同方向上延伸。在一例示性實施例中，該導電
16 元件可與朝向與該主要表面相對之該基板之一第二表面延
17 伸之一導通體電耦合。在一實施例中，該導通體可曝露於
18 該第二表面。在一特定實施例中，該導通體可延伸於自該
19 第二表面延伸至該主要表面之該基板中的一孔內。

20 在一實施例中，該孔可包含自該主要表面朝向該第二表
21 面延伸之一第一開口及自該第一開口延伸至該第二表面之
22 一第二開口。該第一開口及該第二開口之內表面分別在相
23 對於該主要表面之第一方向及第二方向上延伸以界定一實
24 質角度。在一例示性實施例中，一堆疊總成可包含至少第

1 一微電子單元及第二微電子單元，該第二微電子單元堆疊
2 有該第一微電子單元，其中該第一微電子單元之基板於其
3 內與該第二微電子單元之一基板電連接。在一特定實施例
4 中，該堆疊總成可進一步包含電耦合至該第一微電子單元
5 之接合部之一導電塊(conductive mass)及該第二微電子單
6 元之一導電元件。

7 根據本發明之另一態樣，一種微電子總成可包含一基板
8 及一導電元件。該基板可具有小於 $10 \text{ ppm}/^\circ\text{C}$ 之一CTE、具
9 有不延伸穿過該基板之一凹部之一主要表面及安置於該凹
10 部內之具有小於 10 GPa 之一彈性模數之一材料。該導電元
11 件可具有相對於該基板而固定之一錨定部、至少部分覆蓋
12 該凹部之一接合部及自該接合部向下延伸至該錨定部之一
13 連接部。該接合部可在遠離該錨定部之一方向上延伸且可
14 曝露於該主要表面以連接至微電子單元之外之一組件。該
15 連接部可具有不符合該凹部之內表面之一輪廓之一輪廓。

16 在一例示性實施例中，該基板可具有小於 $7 \text{ ppm}/^\circ\text{C}$ 之一
17 CTE。在一實施例中，該接合部可移動以便減少(諸如)可
18 於操作、製造或測試微電子單元期間存在之該接合部上的
19 應力。在一特定實施例中，該基板實質上可由自半導體、
20 玻璃及陶瓷組成之群組選擇之一材料組成。在一實施例
21 中，該基板可包含複數個主動半導體裝置，及該導電元件
22 可與該複數個主動半導體裝置之至少一者電連接。在一例
23 示性實施例中，該連接部可延伸至該凹部中。

24 在一特定實施例中，該導電元件可與朝向與該主要表面

1 相對之該基板之一第二表面延伸之一導通體電耦合。在一
2 實施例中，該導通體可曝露於該第二表面。在一例示性實
3 施例中，該導通體可延伸於自該第二表面延伸至該主要表
4 面之該基板中的一孔內。在一特定實施例中，該孔可包含
5 自該主要表面朝向該第二表面延伸之一第一開口及自該第
6 一開口延伸至該第二表面之一第二開口。該第一開口及該
7 第二開口之內表面分別在相對於該主要表面之第一方向及
8 第二方向上延伸以界定一實質角度。在一實施例中，該錨
9 定部可具有符合該孔之一內表面之一輪廓之一輪廓。在一
10 例示性實施例中，該接合部可界定一內部孔隙。

11 在一實施例中，該孔隙可延伸穿過該接合部至該連接部
12 中。在一特定實施例中，該孔隙之至少一部分可填充有一
13 介電質材料。在一例示性實施例中，一堆疊總成可包含至
14 少第一微電子單元及第二微電子單元，該第二微電子單元
15 堆疊有該第一微電子單元，其中該第一微電子單元之基板
16 於其內與該第二微電子單元之一基板電連接。在一特定實
17 施例中，該堆疊總成可進一步包含電耦合至該第一微電子
18 單元之接合部一導電塊及該第二微電子單元之一導電元
19 件。

20 根據本發明之又一態樣，一種製作一微電子單元之方法
21 可包含如下步驟：形成支撐於具有小於 $10 \text{ ppm}/^\circ\text{C}$ 之一CTE
22 之一基板之一主要表面上之一導電元件；自該主要表面移
23 除支撐該導電元件之至少一接合部之材料以形成不延伸穿
24 過該基板之一凹部；及將一材料沈積於具有小於 10 GPa 之

1 一彈性模數之凹部內。該接合部可不藉由該基板支撐，而
2 鄰近該接合部之該導電元件之一錨定部可藉由該基板支
3 撐。該接合部可至少部分曝露於該基板之主要表面以連接
4 至該微電子單元之外之一組件。

5 在一實施例中，該基板可具有小於7 ppm/°C之一CTE。
6 在一例示性實施例中，該基板實質上可由自半導體、玻璃
7 及陶瓷組成之群組選擇之一材料組成。在一特定實施例
8 中，該基板可包含複數個主動半導體裝置，及形成該導電
9 元件之步驟可以該複數個主動半導體裝置之至少一者而與
10 該導電元件電連接。在一例示性實施例中，可執行形成該
11 導電元件之步驟使得該接合部係實質上平行於該主要表面
12 而安置。在一實施例中，該方法可進一步包含如下步驟：
13 自該基板移除材料以形成自該主要表面延伸至與該主要表
14 面相對之該基板之一第二表面之一孔，及形成延伸於該孔
15 內之一導通體使得該導通體與該導電元件電耦合且朝向該
16 第二表面延伸。

17 在一特定實施例中，自該基板移除材料以形成一孔之步
18 驟可包含形成自該主要表面朝向該第二表面延伸之一第一
19 開口及自該第一開口延伸至該第二表面之一第二開口。該
20 第一開口及該第二開口之內表面可分別在相對於該主要表
21 面之第一方向及第二方向上延伸以界定一實質角度。在一
22 實施例中，一種製作包含至少第一微電子單元及第二微電
23 子單元之一堆疊總成之方法可進一步包含將該第一微電子
24 單元之基板電連接至該第二微電子單元之一基板之步驟。

1 根據本發明之又一態樣，一種製作一微電子單元之方法
2 可包含如下步驟：自具有小於 $10 \text{ ppm}/^\circ\text{C}$ 之一CTE之一基板
3 移除材料以形成自該基板之一主要表面延伸至與該主要表
4 面相對之一第二表面之一孔；形成具有延伸於該主要表面
5 之上且支撐於該主要表面上之一接合部之一導電元件、相
6 對於該基板固定之一錨定部及自該接合部向下延伸至該錨
7 定部之一連接部；自該主要表面移除支撐該導電元件之至
8 少一接合部之材料以形成一凹部使得該接合部至少部分覆
9 蓋該凹部；及將一材料沈積於具有小於 10 GPa 之一彈性模
10 數之該凹部內。該連接部之一表面可具有符合該孔之一內
11 表面之一輪廓之一輪廓。該連接部之表面之輪廓可不符合
12 該凹部之一內表面之一輪廓。該接合部可至少部分曝露於
13 該基板之主要表面以連接至該微電子單元之外之一組件。

14 在一特定實施例中，該基板可具有小於 $7 \text{ ppm}/^\circ\text{C}$ 之一
15 CTE。在一例示性實施例中，製作一微電子單元之方法可
16 進一步包含：在形成導電元件之步驟之前，形成延伸於孔
17 內且朝向第二表面延伸之一導通體，使得形成該導電元件
18 之步驟藉由該導通體與該導電元件電耦合。在一實施例
19 中，可執行形成導電元件之步驟使得接合部相對於連接部
20 非居中。在一特定實施例中，該基板實質上可由自半導
21 體、玻璃及陶瓷組成之群組選擇之一材料組成。在一例示
22 性實施例中，該基板可包含複數個主動半導體裝置，及形
23 成該導電元件之步驟可藉由該複數個主動半導體裝置之至
24 少一者而與該導電元件電連接。在一實施例中，可執行形

1 成該導電元件之步驟使得該接合部界定一內部孔隙。在一
2 特定實施例中，可執行形成該導電元件之步驟使得該孔隙
3 延伸穿過該接合部至該連接部中。

4 在一實施例中，製作一微電子單元之方法可進一步包含
5 將一介電質材料沈積至該孔隙之至少一部分中之步驟。在
6 一特定實施例中，自基板移除材料以形成一孔之步驟可包
7 含形成自主要表面朝向第二表面延伸之一第一開口及自該
8 第一開口延伸至該第二表面之一第二開口。該第一開口及
9 該第二開口之內表面可分別在相對於該主要表面之第一方
10 向及第二方向上延伸以界定一實質角度。在一例示性實施
11 例中，一種製作包含至少第一微電子單元及第二微電子單
12 元之一堆疊總成之方法可進一步包含將該第一微電子單元
13 之基板電連接至該第二微電子單元之一基板之步驟。

14 本發明之進一步態樣提供併入根據本發明之前述態樣之
15 微電子結構、根據本發明之前述態樣之複合晶片或兩者與
16 其他電子裝置結合之系統。例如，該系統可安置於一單一
17 外殼中，該單一外殼可為一可攜式外殼。根據本發明之此
18 態樣中的較佳實施例之系統比相稱習知系統更緊密。

19 本發明之進一步態樣提供可包含根據本發明之前述態樣
20 之複數個微電子總成之模組。各模組可具有用於傳輸信號
21 至該等微電子總成之各者及自該等微電子總成之各者傳輸
22 信號之一共同電介面。

23 【實施方式】

24 參考圖1A，根據本發明之一實施例之一堆疊微電子總成

1 10包含一第一微電子單元12及一第二微電子單元14。在一
2 些實施例中，該第一微電子單元12及該第二微電子單元14
3 可為一半導體晶片、一品圓、一介電質基板或類似物。例
4 如，該第一微電子單元12及該第二微電子單元14之一者或
5 兩者可包含一記憶體儲存元件。如本文所使用，一「記憶
6 體儲存元件」係指連同用於儲存資料及自記憶體單元擷取
7 資料(諸如，用於在一電介面上傳輸資料)之電路以一陣列
8 配置之多個記憶體單元。

9 該第一微電子單元12包含：一基板20，該基板20具有一
10 凹部30，該凹部30自一主要表面21朝向一第二表面22部分
11 延伸穿過該基板；及一導電元件40，該導電元件40具有藉
12 由該基板支撐之一錨定部41、自該錨定部延伸之一接合部
13 42及一端部46，該接合部42至少部分覆蓋該凹部30且至少
14 部分曝露於該主要表面以與該第一微電子單元之外之一組
15 件互連。如展示，該端部46位於該接合部42之一端上。一
16 介電質區域50至少覆蓋該凹部30內的一內表面31。

17 在圖1A中，平行於該主要表面21之方向在本文稱為「水
18 平」或「橫向」方向，而垂直於前表面之方向在本文稱為
19 向上或向下方且亦在本文稱為「垂直」方向。本文中所
20 指之方向係在所指之結構之參考系(frame of reference)
21 中。因此，此等方向對於正常或重力參考系可處於任意定
22 向。相較於另一特徵部，一特徵部安裝於「一表面之上」
23 之一較高高度上之一陳述意謂：相較於另一特徵部，一特
24 徵部在遠離表面之相同正交方向上具有一較大距離。相

1 反，相較於另一特徵部，一特徵部安裝於「一表面之上」
2 之一較低高度上之一陳述意謂：相較於其他特徵部，一特
3 徵部在遠離該表面之相同正交方向上具有一較小距離。

4 基板20較佳具有小於 $10 \times 10^{-6}/^{\circ}\text{C}$ (或 ppm/ $^{\circ}\text{C}$)之一熱膨脹
5 係數(「CTE」)。在一特定實施例中，該基板20可具有小
6 於 $7 \times 10^{-6}/^{\circ}\text{C}$ (或 ppm/ $^{\circ}\text{C}$)之一熱膨脹係數(「CTE」)。該基
7 板20實質上較佳由諸如半導體、玻璃或陶瓷之一材料組
8 成。在該基板20係由一半導體(諸如，聚矽氧)製成之實施
9 例中，複數個主動半導體裝置(例如，電晶體、二極體等)
10 可安置於位於該主要表面21或該第二表面22上或之下之一
11 主動半導體區域中。該主要表面21與該第二表面22之間的
12 該基板20之厚度通常為小於200微米，及可顯著更小，例
13 如，130微米、70微米或甚至更小。

14 該基板20可進一步包含安置於該主要表面21與至少一導
15 電元件40之間的一介電層。一介電層可覆蓋該第二表面
16 22。此一介電層可使導電元件與該基板20電絕緣。此等介
17 電層之一者或兩者可稱為該第一微電子單元12之一「鈍化
18 層」。該介電層可包含一有機或無機介電質材料或兩者。
19 該介電層可包含一電鍍保形塗層或其他介電質材料，例
20 如，一可光成像聚合材料(例如，一焊料遮罩材料)。

21 該第一微電子單元12可包含曝露於該基板20之主要表面
22 21之一或多個導電元件40。各導電元件40之接合部42可曝
23 露於該主要表面21以與該第一微電子單元12之外之一組件
24 (諸如，第二微電子元件14)互連。儘管圖中未具體展示，

1 然該基板20中的主動半導體裝置亦可導電連接至該接合部
2 42。因此，該等主動半導體裝置可透過延伸於該基板20之
3 一或多個介電層內或之上之所併入之佈線而導電接達。該
4 等導電元件40(及本文所描述之其他導電元件之任意者)可
5 由任意導電金屬(包含(例如)銅或金)製成。

6 例如，如展示，在圖1C中，接合部42'可具有一導電結
7 合墊(例如，一薄平坦構件)之仰視圖形狀。各接合部42可
8 具有任意仰視圖形狀，其包含(例如)如圖1B中所展示之一
9 矩形跡線形狀、如圖1C中所展示之圓形墊形狀、橢圓形
10 狀、正方形形狀、三角形形狀或更複雜形狀。在其他實施
11 例中，該接合部42可為任意其他類型之導電接觸件，其包
12 含(例如)一導電柱。

13 該接合部42可與凹部30對準且可整體或部分安置於由該
14 凹部界定之該基板20之一區域中。如圖1A可見，該接合部
15 42係整體安置於由該凹部30界定之一區域中。如展示，由
16 該接合部42之一頂表面43界定之一平面實質上平行於由該
17 基板20之主要表面21界定之一平面。如展示。該接合部42
18 之一底表面44位於由該基板20之主要表面21界定之一平面
19 上。在其他實施例中，該接合部42之底表面44可位於由該
20 主要表面21界定之平面之上或之下。該導電元件40之端部
21 46未藉由該基板20支撐，使得該端部可相對於該錨定部41
22 懸掛在外。覆蓋該主要表面21及鄰近於該介電質區域50而
23 定位之該接合部42之此一未支撐之端部46可相對於該經支
24 撐之錨定部41自由移動，使得該接合部42可用作一懸臂。

1 如本發明中所使用，一導電元件「曝露於」一基板之一
2 表面或覆蓋該基板之一表面之一介電質元件之一陳述指
3 示：該導電元件係用於與以垂直於該介電質元件之表面自
4 該介電質元件之外部朝向該介電質元件之一方向移動之一
5 理論點接觸。因此，曝露於一介電質元件之一表面之一端
6 子或其他導電元件可自此表面突出；可與此表面同高；或
7 可相對於此表面凹進及透過該介電質中的一孔或凹陷曝
8 露。

9 儘管實質上用於形成導電元件之任意技術可用於形成本
10 文所描述之導電元件，然亦可利用如更詳細討論於2010年
11 7月23日申請之共同擁有之美國專利申請案第12/842,669號
12 中的特定技術，該案以引用的方式併入本文中。此等技術
13 可包含(例如)以一雷射或機械程序(諸如，銑切或噴沙)選
14 擇性處理一表面以便沿著不同於該表面之其他部分形成導
15 電元件之路徑處理該表面之該等部分。例如，一雷射或機
16 械程序可用於僅沿著一特定路徑自該表面切除或移除一材
17 料(諸如，一犧牲層)且因此形成沿著該路徑延伸之一凹
18 槽。接著，一材料(諸如，一催化劑)可沈積於該凹槽中，
19 及一或多個金屬層亦可沈積於該凹槽中。

20 該導電元件40之端部46在圖中展示為非橫向(亦即，以
21 平行於該基板20之主要表面21之一方向)延伸超過該凹部
22 30之外邊界32(見圖1B)。在本文所揭示之實施例之任意者
23 中，導電元件之端部及/或接合部可橫向延伸超過凹部之
24 外邊界。在一實施例中，接合部之一端可耦合至橫向延伸

1 超過對應凹部之外邊界之一導電跡線(未展示)，但該接合
2 部亦可以下文所描述之方式相對於對應基板而移動。

3 該凹部30自該主要表面21朝向該第二表面22部分延伸穿
4 過該基板20。該凹部30之內表面31以任意角度自該主要表
5 面21延伸穿過該基板20。較佳地，該內表面31以介於0度
6 與90度之間的一角度自該主要表面21延伸至由該主要表面
7 21界定之水平面。該內表面31可具有一恆定斜率或一變化
8 斜率。例如，隨著該內表面31進一步朝向該第二表面22貫
9 穿時，相對於由該主要表面21界定之水平面之該內表面31
10 之角度或斜率可呈量值減少(亦即，變為弱正或弱負)。

11 該凹部30可具有任意仰視圖形狀，其包含(例如)如圖1B
12 中所展示之一橢圓形或如圖1C中所展示之一圓形。在圖
13 1B中所展示之實施例中，凹部30在沿著該主要表面21之一
14 第一橫向方向上具有一寬度W，及該凹部在橫向於該第一
15 橫向方向之沿著該主要表面之一第二橫向方向上具有一長
16 度L，該長度大於該寬度。在一些實例中，該凹部30可具
17 有任意三維形狀，其除了其他以外亦包含(例如)一圓柱體
18 形狀、一立方體形狀、一稜柱形狀或一截頭圓錐體形狀。

19 在一特定實施例中，如圖1D中所展示，該凹部30可為具
20 有至少部分覆蓋該凹部之複數個接合部42之一矩形通道。
21 任意數量之接合部42可覆蓋一單一凹部30，及該等接合部
22 可以覆蓋一單一凹部之任意幾何組態配置。例如，如圖1D
23 中所示，三個接合部42可沿著覆蓋一單一凹部30之一共同
24 軸配置。

1 在所展示之實施例中，該介電質區域50填充該凹部30使
2 得該介電質區域之一輪廓符合該凹部之一輪廓(亦即，該
3 凹部之內表面31之形狀)。該介電質區域50可相對於該基
4 板20提供良好的介電隔離。該介電質區域50可為順應，具
5 有一足夠低之彈性模數及足夠的厚度使得該彈性模數及該
6 厚度之乘積提供順應性。較佳地，該導電元件40之接合部
7 42至少部分覆蓋該介電質區域50。當一外部負載施加至該
8 接合部時，一順應介電質區域50可容許該導電元件40之接
9 合部42相對於該基板20及支撐於其上之該導電元件之錨定
10 部41稍微撓曲或移動。以此方式，該第一微電子單元12之
11 接合部42與該第二微電子單元14之端子之間之結合能更好
12 地經受由於該第一微電子單元與該第二微電子單元之間的
13 熱膨脹係數(「CTE」)之不相配所引起之熱應力。

14 如本文結合一導電元件之一接合部所使用，「可移動」
15 意謂接合部可藉由施加至其之一外部負載相對於基板之主
16 要表面位移至一定程度以致該位移可略微減緩或減少機械
17 應力，諸如，與不具有此位移之導電元件電連接而存在之
18 於操作、製造或測試微電子單元期間所引起之該等應力。

19 藉由介電質區域50之厚度與其彈性模數之乘積所提供之
20 順應度可足以對由於第一微電子單元12與該第一微電子單
21 元透過接合部安裝之第二微電子單元14之間的熱膨脹不相
22 配所引起之施加至接合部42之應力作補償。一側填滿料
23 (未展示)可提供於該介電質區域50之一外表面51與此第二
24 微電子單元14之間以增強對由於CTE不相配所引起之熱應

1 力之阻抗。

2 在所展示之實施例中，該介電質區域50之外表面51(圖
3 1A)係位於由該基板20之主要表面21界定之一平面內。替
4 代地，該介電質區域50之外表面51可延伸於由該基板20之
5 主要表面21界定之一平面之上，或該介電質區域之外表面
6 可凹陷低於由該基板之主要表面界定之一平面。

7 一介電層25可覆蓋基板20之主要表面21及不為接合部42
8 之導電元件40之部分以相對於該基板及不為接合部之該等
9 導電元件之部分提供良好的介電隔離。該介電層25可包含
10 一無機或有機介電質材料或兩者。在一特定實施例中，該
11 介電層25可包含與介電質區域50相同之順應介電質材料。
12 在一例示性實施例中，可藉由該介電質區域50連續形成該
13 介電層25。

14 第二微電子單元14可包含一基板15及至少部分曝露於該
15 基板之一主要表面17以與第一微電子單元12之接合部42互
16 連之導電接觸件16a及16b。藉由提供該第一微電子單元12
17 中的接合部42及該第二微電子單元14中的背面導電接觸件
18 14，複數個微電子單元可彼此互相堆疊以形成堆疊微電子
19 總成10。在此配置中，該等接合部42與該等導電接觸件
20 16a及16b對準。

21 如圖1A中所展示，該導電接觸件16a為一導電柱。該導
22 電柱16a可為任意類型之導電柱且可具有任意形狀，其包
23 含一截頭圓錐形狀。各導電柱16a之基座及頂端實質上可
24 為圓形或具有一不同形狀(例如，長方形)。可使用導電柱

1 之其他實例，如展示及描述於2010年7月8日申請之共同擁
2 有之美國專利申請案第12/832,376號中。導電接觸件16b展
3 示為一導電墊。該導電墊16b可具有任意形狀，其包含圓
4 形形狀、正方向形狀、長方形形狀、矩形形狀或一更複雜
5 形狀。

6 該第一微電子單元12與該第二微電子單元14之間的連接
7 可穿過導電塊18。基板20之主要表面21上的介電層25及介
8 電質區域50及覆蓋基板15之主要表面17之一介電層(例
9 如，一鈍化層)除了提供互連外亦可提供第一微電子單元
10 12與第二微電子單元14之間的電隔離。

11 導電塊18可包括具有一相對較低之熔融溫度之一可溶金
12 屬(例如，焊料、錫或包含複數個金屬之一共熔混合物
13 (eutectic mixture))。替代地，該等導電塊18可包含一可濕
14 金屬(例如，銅或具有高於焊料或另一可熔金屬之熔融溫
15 度之一熔融溫度之其他貴金屬或非貴金屬)。此可濕金屬
16 可與一對應特徵部(例如，一互連元件(諸如，第二微電子
17 單元14)之一可熔金屬特徵部)接合以將第一微電子單元12
18 外部互連至此互連元件。在一特定實施例中，該等導電塊
19 18可包含散佈於一媒介(例如，一導電膏(例如，金屬填充
20 膏、焊料填充膏或同向導電黏著劑或異向導電黏著劑))中
21 的一導電材料。

22 參考圖2A至圖2D，現將描述一種製作微電子總成10(圖
23 1A至圖1D)之方法。如圖2A中所繪示，第一微電子單元12
24 包含基板20及覆蓋主要表面21之一或多個導電元件40。該

1 等導電元件40可藉由一介電層(諸如,一鈍化層(未展示))
2 與該基板20絕緣。

3 在圖2B中所繪示之製作階段中,一介電層25形成於基板
4 20之主要表面21上且充當期望保留該主要表面之剩餘部分
5 之一蝕刻遮罩層,其中。例如,該介電層25可為一可光成
6 像層(例如,一光阻層),其經沈積且圖案化以在實行一定
7 時蝕刻程序以形成凹部30之後僅覆蓋該主要表面21之部
8 分。各導電元件40之接合部42可維持至少部分曝露於該主
9 要表面21(亦即,未藉由該介電層25覆蓋)以連接至該第一
10 微電子單元12之外之一組件。

11 可使用各種方法來形成該介電層25。在一實例中,將一
12 流動介電質材料施加至該基板20之主要表面21,及接著在
13 一旋塗操作期間接著可包含加熱之一乾燥循環使該流動材
14 料跨該主要表面更均勻分佈。在另一實例中,介電質材料
15 之一熱塑膜可在加熱或於一真空環境(亦即,置於低於周
16 圍壓力之一環境中)中加熱總成之後施加至該主要表面
17 21。在另一實例中,可使用蒸汽沈積以形成該介電層25。

18 在又一實例中,包含基板20之總成可浸入一介電質沈積
19 溶液中以形成一保形介電質塗層或介電層25。如本文所使
20 用,一「保形塗層」為符合塗覆之表面之一輪廓(諸如,
21 當該介電層25符合該主要表面21之一輪廓時)之一特定材
22 料之一塗層。可使用一種電化學沈積方法以形成該保形介
23 電層25,其包含(例如)電泳沈積或電解沈積。

24 在一實例中,可使用一電泳沈積技術以形成保形介電質

1 塗層，使得該保形介電質塗層僅沈積於總成之曝露導電及
2 半導體表面上。在沈積期間，半導體裝置晶圓保持在一所
3 需電位上，及將一電極浸入至浴液中以保持該浴液處於一
4 不同所需電位上。接著，該總成在適當條件下保持在該浴
5 液中一足夠時間以在為導電或半導體之基板之曝露表面
6 (包含但不限於沿著該主要表面21)上形成一電泳沈積保形介
7 電層25。只要於藉此塗覆之表面與該浴液之間維持一足夠
8 強之電場，就能發生電泳沈積。當由於電泳沈積達到由參
9 數(例如，沈積之電壓、濃度等)控管之某一厚度塗層之後
10 而自身限制時，沈積停止。

11 電泳沈積在該總成之導電及/或半導體外表面上形成一
12 連續且均勻厚度之保形塗層。此外，可沈積該電泳塗層使
13 得歸因於其介電質(非導電)性質，而未形成在覆蓋該主要
14 表面21之一剩餘鈍化層上。換句話說，電泳沈積之一性質
15 在於，其，倘若覆蓋一導體之一介電質材料層具有足夠厚
16 度、給定其介電質材料，則電泳沈積不形成在該介電質材
17 料層上。通常，電泳沈積不發生於具有大於約10微米至幾
18 十微米之厚度之介電層上。可由一陰極環氧沈積前驅物形
19 成該保形介電層25。替代地，可使用一聚胺基甲酸酯或丙
20 烯酸沈積前驅物。各種電泳塗層前驅組合物及供應來源列
21 於下文表1中。

22

1

表 1

電泳塗層名稱	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
製造商			
MFG	PPG	PPG	BASF
類型	陰極	陰極	陰極
聚合物基	環氧樹脂	環氧樹脂	環氧樹脂
位置	匹茲堡PA	匹茲堡PA	南菲爾德MI
應用資料			
Pb/Pf-自由	Pb-自由	Pb或Pf-自由	Pb-自由
HAPs, g/L		60-84	順應
VOC, g/L (減水)		60-84	<95
固化	20分鐘/175°C	20分鐘/175°C	
膜性質			
色彩	黑色	黑色	黑色
厚度, 微米	10-35	10-38	13-36
鉛筆硬度		2H+	4H
浴液特性			
固體, 重量百分比	20 (18-22)	20 (19-21)	17.0-21.0
pH (25°C)	5.9 (5.8-6.2)	5.8 (5.6-5.9)	5.4-6.0
傳導率 (25°C) μS	1000-1500	1200-1500	1000-1700
P/B 比率	0.12-0.14	0.12-0.16	0.15-0.20
操作溫度°C	30-34	34	29-35
時間秒	120-180	60-180	120+
陽極	SS316	SS316	SS316
電壓		200-400	>100
電泳塗層名稱	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
製造商			
MFG	MACDERMID	LVH塗層	LVH塗層
類型	陰極	陰極	陰極
聚合物基	聚胺基甲酸酯	胺基甲酸酯	胺基甲酸酯
位置	沃特伯里CT	伯明罕UK	伯明罕UK
應用資料			
Pb/Pf-自由		Pb-自由	Pb-自由
HAPs, g/L			
VOC, g/L (減水)			
固化	20分鐘/149°C	20分鐘/175°C	20分鐘/175°C
膜性質			
色彩	透明(+染色)	黑色	黑色
厚度, 微米		10-35	10-35
鉛筆硬度	4H		
浴液特性			
固體重量百分比	7.0 (6.5-8.0)	10-12	9-11
pH (25°C)	5.5-5.9	7-9	4.3
傳導率 (25°C) μS	450-600	500-800	400-800
P/B比率			
操作溫度°C	27-32	23-28	23-28
時間, 秒			60-120
陽極	SS316	316SS	316SS
電壓	40, 最大		50-150

1 在另一實例中，可電解形成介電層。此程序類似於電泳
2 沈積，惟經沈積之層之厚度未受限於接近形成其之導電或
3 半導體表面除外。以此方式，一電解沈積介電層可形成為
4 基於需求而選擇之一厚度，及處理時間為達成該厚度之一
5 因數。

6 隨後，在圖2C中所繪示之製作階段中，凹部30可經形成
7 而自該主要表面21朝向該基板20之第二表面22向下延伸。
8 例如，可在形成期望保留該主要表面21之剩餘部分之一遮
9 罩層(例如，介電層25)之後，藉由選擇性蝕刻該基板20以
10 移除該基板之材料而形成該凹部30。該凹部30可經形成使
11 得移除支撐至少接合部42之該基板20之材料。

12 如圖2C中所展示，可使自該主要表面21朝向該第二表面
13 22向下延伸之該凹部30之內表面31傾斜，亦即，可以除了
14 與該主要表面成一垂直角(直角)之外的角度延伸。除了其
15 他之外，濕蝕刻程序(例如，同向蝕刻程序及使用一錐形
16 刀片之鋸切)可用於形成具有傾斜內表面31之凹部30。除
17 了其他之外，雷射切除、機械銑切、化學蝕刻、電漿蝕
18 刻、朝向該基板20引導一細小磨料粒子噴流亦可用於形成
19 具有傾斜內表面31之凹部30(或本文所描述之任意其他孔
20 或開口)。

21 替代地，該凹部30之內表面可在一垂直或實質上垂直方
22 向上實質上以與該主要表面成直角自該主要表面21向下延
23 伸，而非傾斜。除了其他之外，各向異性蝕刻程序、雷射
24 切除、機械移除程序(例如，銑切、超音波加工、朝向該

1 基板20引導一細小磨料粒子噴流)可用於形成具有實質上
2 垂直之內表面之凹部30。

3 隨後，在圖2D中所繪示之製作階段中，於該凹部30內形
4 成介電質區域50。該介電質區域50可包含一無機材料、一
5 聚合材料或兩者。視情況，該介電質區域50可經形成使得
6 該區域之曝露外表面51與基板20之主要表面21或介電層25
7 之一曝露表面共面或實質上共面。例如，一自平坦化介電
8 質材料可(例如)藉由一施配或模板網印程序沈積於該凹部
9 30中。在另一實例中，在形成該介電質區域50之後，一研
10 磨、研光或拋光程序可運用於該基板20之主要表面21或該
11 介電層25之曝露表面，以使該介電質區域50之表面平坦化
12 至該主要表面21或該介電層25之曝露表面。

13 隨後，再參考圖1A，第一微電子單元12可堆疊於第二微
14 電子單元14之頂上，藉此形成堆疊微電子總成10。如上文
15 所描述，該第一微電子單元12與該第二微電子單元14之間
16 的連接方式可為透過導電塊18。該等導電塊18可提供該第
17 一微電子單元12之接合部42與該第二微電子單元14之導電
18 接觸件16a及16b之間的一電連接。在此配置中，該等接合
19 部42與該等導電接觸件16a及16b對準。

20 現參考圖3A，根據本發明之另一實施例之一堆疊微電子
21 總成110包含一第一微電子單元112及一第二微電子單元
22 114。該等微電子單元112及114具有與上文所描述之該等
23 微電子單元12及14類似之功能。

24 該第一微電子單元112包含一基板120，該基板120具有

1 一凹部 130a 及 130b，凹部自一主要表面 121 朝向與該主要
2 表面相對之一第二表面 122 部分延伸穿過該基板；及導電
3 元件 140a 及 140b，各導電元件具有藉由該基板支撐之一各
4 自錨定部 141a 及 141b，至少部分覆蓋該各自凹部 130a 或
5 130b 且至少部分曝露於該主要表面以與該第一微電子單元
6 之外之一組件互連之一各自接合部 142a 或 142b，延伸於該
7 錨定部與接合部之間之一或多個各自連接部 145a 或 145b，
8 及若干端部 146。如展示，該等端部 146 位於各接合部 142a
9 及 142b 之一端。一介電質區域 150 覆蓋至少在該凹部 130a
10 或 130b 內之一內表面 131。

11 該基板 120 進一步包含自開口 130 延伸至該第二表面 122
12 之一孔 160 及在該孔內自該各自錨定部 141a 或 141b 延伸至
13 該第二表面之一導通體 170。該導通體 170 包含曝露於該第
14 二表面 122 以與該堆疊微電子總成 110 之外之一組件互連之
15 一接觸部 180。

16 該基板 120 具有與上文參考圖 1A 至圖 2D 所描述之基板 20
17 類似之性質。例如，該基板 120 較佳具有小於 10 ppm/°C 之
18 一 CTE，及該基板 120 較佳實質上由一材料（諸如，一半導
19 體、玻璃或陶瓷）組成。在該基板 120 係由一半導體（諸如，
20 矽）製成之實施例中，複數個主動半導體裝置可安置於其
21 內。該基板 120 可進一步包含覆蓋該主要表面 121 及 / 或該
22 第二表面 122 之一介電層（例如，一「鈍化層」）。

23 該微電子元件 112 可包含曝露於該基板 120 之主要表面
24 121 之一或多個導電元件 140a 及 140b。該等各自導電元件

1 140a及140b之接合部142a及142b可曝露於該主要表面121
2 以與該第一微電子單元112之外之一組件(諸如,第二微電
3 子單元114)互連。該基板120中的主動半導體裝置可導電
4 連接至該等接合部142a及142b。

5 各接合部142a及142b可具有任意仰視圖形狀。如展示,
6 例如,在圖3B中,該等接合部142a及142b可具有一導電結
7 合墊(例如,一薄平坦構件或一導電結合墊之一部分)之形
8 狀。例如,圖3B及圖3C中所展示之接合部142b具有一圓
9 形、實心仰視圖形狀。圖3B中所展示之接合部142a具有擁
10 有延伸穿過其中之一孔隙147之一圓形仰視圖形狀。圖3C
11 中所展示之接合部區段142a'共同具有擁有延伸穿過其中之
12 孔隙147及延伸於鄰近接合部區段之間之間隙148之一圓形
13 仰視圖形狀。

14 該等接合部142a及142b可具有其他仰視圖形狀,其包含
15 (例如)一矩形跡線形狀或矩形跡線形狀部分。例如,圖3D
16 中所展示之接合部142b''具有一矩形跡線形狀。圖3D中所
17 展示之接合部142a''為具有位於其中之孔隙147之矩形跡線
18 形狀部分。替代地,該等接合部142a及142b可具有更複雜
19 形狀。在其他實施例中,該等接合部142a及142b可為任意
20 其他類型之導電接觸件,其包含(例如)一導電柱。

21 該等接合部142a及142b可與該各自凹部130a或130b對準
22 且可整體或部分安置於由該凹部界定之基板120之一區域
23 中。如圖3A中可見,該等接合部142a及142b係整體安置於
24 由該各自凹部130a或130b界定之一區域中。如展示,由該

1 等各自接合部 142a 或 142b 之頂表面 143a 及 143b 界定之一平
2 面實質上平行於由該基板 120 之主要表面 121 界定之一平
3 面。如展示，該等各自接合部 142a 或 142b 之底表面 144a 及
4 144b 係位於由該基板 120 之主要表面 121 界定之一平面上。
5 在其他實施例中，該等底表面 144a 及 144b 可位於由該主要
6 表面 121 界定之平面之上或之下。

7 該等連接部 145a 及 145b 自該等各自接合部 142a 或 142b 向
8 下延伸至該各自錨定部 141a 或 141b。該等連接部 145a 及
9 145b 之至少一部分具有不符合該各自凹部 130a 或 130b 之內
10 表面 131 之一輪廓之一輪廓。在一特定實施例中，可有自
11 該錨定部 141b 延伸至該接合部 142b 之一單一跡線形狀連接
12 部 145b。在替代實施例中，可具有自該錨定部延伸之任意
13 數量之連接部。例如，在一實施例中，諸如於圖 3B 中所展
14 示之實施例中，該連接部 145a 可具有擁有一內孔隙 147 之
15 一空心截頭圓錐形狀。在另一實施例中，可具有延伸於一
16 單一錨定部 141a 與各自接合部(諸如，圖 3C 中所展示之接
17 合部 142a') 之間的四個個別連接部。在又一實施例中，可
18 具有延伸於一單一錨定部 141a 與各自接合部(諸如，圖 3D
19 中所展示之接合部 142a'') 之間的兩個個別連接部。該等接
20 合部 142a 及 142b 較佳相對於該等各自連接部 145a 或 145b 不
21 居中，使得該各自導電元件 140a 或 140b 之端部 146 可相對
22 於該各自錨定部 141a 或 141b 懸掛在外。

23 該等凹部 130a 及 130b 類似於上文參考圖 1A 至圖 2D 所展
24 示及描述之凹部 30。該等凹部 130a 及 130b 自該主要表面

1 121朝向該第二表面122部分延伸穿過該基板120。該等凹
2 部130a及130b之內表面131可以任意角度自該主要表面121
3 延伸穿過該基板120。較佳地，該等內表面131以0度與90
4 度之間的一角度自該主要表面121延伸至由該主要表面121
5 界定之水平平面。

6 該等凹部130a及130b可具有任意仰視圖形狀，其包含
7 (例如)一橢圓形(諸如，圖3B至圖3D中所展示之凹部130b)
8 或一圓形(諸如，圖3B及圖3C中所展示之凹部130a)。在一
9 些實施例中，該等凹部130a及130b可具有任意三維形狀，
10 除了其他之外亦包含(例如)圓柱體形狀、立方體形狀、稜
11 柱形狀或截頭圓錐形狀。在一特定實施例中，在類似於圖
12 1D中所展示之該等接合部42之組態之一組態中，該等凹部
13 130a及130b可為具有至少部分覆蓋該凹部之複數個各自接
14 合部142a及142b之一矩形通道。

15 介電質區域150具有與上文參考圖1A至圖2D所展示及描
16 述之介電質區域50類似之可能組態及性質。例如，在圖3A
17 至圖3D中所展示之實施例中，該介電質區域150填充該等
18 凹部130a及130b使得該介電質區域之一輪廓符合該凹部之
19 一輪廓(亦即，該等凹部之內表面131之形狀)。該介電質區
20 域150可為順應，其具有一足夠低之彈性模數及足夠之厚
21 度使得該彈性模數及該厚度之乘積提供順應性。較佳地，
22 該等接合部142a及142b至少部分覆蓋該介電質區域150使
23 得該等接合部可相對於該基板120移動。

24 類似於上文參考圖1A至圖2D所描述之介電層25，一介

1 電層 125 可覆蓋該基板 120 之主要表面 121 及不為接合部
2 142a 及 142b 之導電元件 140a 及 140b 之部分，以相對於該基
3 板及不為接合部之該導電元件之部分提供良好的介電隔
4 離。

5 如圖 3A 至圖 3D 中所展示，階化孔 160，該孔 160 包含自
6 開口 130 朝向第二表面 122 延伸之一第一開口 161 及自該第
7 一開口延伸至該第二表面之一第二開口 162。該階化孔 160
8 可具有更詳細展示且描述於 2010 年 7 月 23 日申請之共同擁
9 有之美國專利申請案第 12/842,717 號及共同擁有之美國專
10 利申請公開案第 2008/0246136 號中的任意結構，該等案以
11 引用的方式併入本文中。在其他實施例中，孔(諸如，參
12 考圖 6 所展示及描述之孔 60b)可具有一更簡單非階化結
13 構。

14 該第一開口 161 自該凹部 130 朝向該第二表面 122 部分延
15 伸穿過該基板 120。該第一開口 161 包含以 0 度與 90 度之間
16 的一角度自該凹部 130 延伸穿過該基板 120 至由該主要表面
17 121 界定之水平平面之若干內表面 163。該等內表面 163 可
18 具有一恆定斜率或一變化斜率。例如，當該等內表面 163
19 進一步朝向該第二表面 122 貫穿時，該等內表面 163 相對於
20 由該主要表面 121 界定之水平平面之角度或斜率可呈量值
21 減少(亦即，變為弱正或弱負)。如展示，例如，在圖 4D
22 中，該第一開口 161 具有在該凹部 130 處的一寬度 $W1$ 及在
23 該第一開口交會小於 $W1$ 之第二開口 162 處的一寬度 $W2$ ，使
24 得該第一開口在自該主要表面 121 朝向該第二表面 122 之一

1 方向上漸縮。在其他實例中，該第一開口可具有一恆定寬
2 度，或該第一開口可在自該第二表面朝向前表面之一方向
3 上漸縮。該第一開口161可具有任意三維形狀，其除了其
4 他之外亦包含(例如)立方體、圓柱體、截頭圓錐體或稜
5 柱。

6 該第二開口162自該第一開口161朝向該第二表面122部
7 分延伸穿過該基板120。該第二開口162包含以0度與90度
8 之間的一角度自該第一開口161延伸穿過該基板120至由該
9 主要表面121界定之水平平面之若干內表面164。類似於上
10 文所描述之內表面163，該等內表面164可具有一恆定斜率
11 或一變化斜率。如展示，例如，在圖4D中，該第二開口
12 162具有在該第二開口交會該第一開口161處的一寬度 $W3$
13 及在大於 $W3$ 之該第二表面122處的一寬度 $W4$ ，使得該第一
14 開口在自該第二表面122朝向該主要表面121之一方向上漸
15 縮。在其他實例中，該第二開口可具有一恆定寬度，或該
16 第二開口可在自前表面朝向該第二表面之一方向上漸縮。
17 該第二開口162可具有任意三維形狀，其除了其他之外亦
18 包含(例如)立方體、圓柱體、截頭圓錐體或稜柱。

19 在一特定實施例中，該等內表面163及164可分別在相對
20 於該主要表面121之第一方向及第二方向上延伸以界定一
21 實質角度。任意數量之第一開口161可自一單一第二開口
22 162延伸，及任意數量之第二開口可自一單一第一開口延
23 伸。第一開口161及該等第二開口162可相對於彼此及相對
24 於該基板120以任意幾何組態配置。各種第一開口組態及

1 第二開口組態及形成此等組態之方法之特定實例係描述於
2 前述共同擁有之美國專利申請案第12/842,717號及美國專
3 利申請公開案第2008/0246136號中。

4 該等各自導電元件140a及140b之錨定部141a及141b較佳
5 具有符合該各自第一開口161之一輪廓之輪廓，使得該等
6 錨定部具有相對於該基板120而固定之位置。一錨定部
7 141a或141b可用作一支點，一附接接合部142a或142b在處
8 於(諸如，由關於一附接微電子單元之差異熱膨脹所引起
9 之)機械應力下時可關於該支點樞轉。

10 導通體170延伸穿過該各自錨定部141a或141b與該第二
11 表面122之間的孔160。如圖3A中所展示，該導通體170可
12 填充可使該基板120與該導通體電絕緣之一選用之介電層
13 (未展示)之內側之第二開口162內的所有體積。該導通體
14 170可符合該第二開口162之輪廓。該導通體170可具有一
15 圓柱形狀或截頭圓錐形狀。該導通體170可由一金屬(包含
16 (例如)銅或金)或一金屬之導電化合物製成。

17 在其他實施例中(未展示)，導通體170之一輪廓(亦即，
18 該導通體之外表面之形狀)不符合第二開口162之一輪廓(亦
19 即，該第二開口之內表面164之形狀)。在此非保形導通體
20 實施例中，該導通體170可具有任意形狀，其包含(例如)圓
21 柱形狀、截頭圓錐形狀，或距離第二表面122不同距離之
22 圓柱形狀及截頭圓錐形狀之組合。

23 該導通體170可為實心或空心。在一些實施例中，該導
24 通體可包含填充有一介電質材料之一內部空間。例如，可

1 藉由沈積覆蓋該第二開口162之內表面164之一金屬而形成
2 該導通體170，藉此產生覆蓋該第二開口之內表面之一導
3 電層。各種導通體組態及形狀此等組態之方法之特定實例
4 係描述於前述共同擁有之美國專利申請案第No.
5 12/842,717號及美國專利申請公開案第2008/0246136號
6 中。

7 該等導通體170各包含曝露於該第二表面122以與堆疊微
8 電子總成110之外之一組件互連之一接觸部180。在一些實
9 施例中，各導通體170可電耦合至曝露於該第二表面122之
10 一分離導電接觸件。

11 第二微電子單元114類似於上文參考圖1A所展示及描述
12 之第二微電子單元14。該第二微電子單元114可包含一基
13 板115及至少部分曝露於該基板之一主要表面117以與第一
14 微電子單元112之接合部142a及142b互連之導電接觸件
15 116。

16 如圖3A中所展示，該等導電接觸件116為導電墊。該等
17 導電墊116可具有任意形狀，其包含圓形、正方形、長方
18 形、矩形或更複雜形狀。在特定實施例中，該等導電接觸
19 件116可為任意類型之導電接觸件，其包含(例如)一導電
20 柱，諸如，圖1A中所展示之導電柱16a。如於2010年7月8
21 日申請之共同擁有之美國專利申請案第12/832,376號中所
22 展示及描述，可使用導電柱之其他實例。

23 該第一微電子單元112與該第二微電子單元114之間的連
24 接可以類似於參考圖1A至圖2D所描述之方式之一方式穿

1 過導電塊118。基板120之主要表面121上的介電層125及介
2 電質區域150及覆蓋該基板115之主要表面117之一介電層
3 (例如，一鈍化層)除了提供互連外亦可提供該第一微電子
4 單元112與該第二微電子單元114之間的電隔離。

5 參考圖4A至圖4D，現將描述製作微電子總成110(圖3A
6 至圖3D)之一方法。在圖4A中所繪示之製作階段中，第一
7 微電子單元112包含基板120。可藉由自該基板移除材料而
8 形成自主要表面121延伸至該基板120之第二表面122之孔
9 160。在一特定實施例中，可形成自該主要表面121向內延
10 伸之第一開口161，及可形成自該第二表面122向內延伸之
11 第二開口。在其他實施例中，可由該主要表面121或該第
12 二表面122形成該第一開口161及該第二開口162之任一者
13 或兩者。

14 可如上文關於形成凹部30所描述之一類似方式且使用類
15 似程序形成該等孔160。例如，可在形成期望保留該主要
16 表面121之剩餘部分之一遮罩層之後藉由選擇性蝕刻該基
17 板120以移除該基板之材料而形成該等孔160，其中。類似
18 於該凹部30，該第一開口161之內表面163及該第二開口
19 162之內表面164可相對於該主要表面121以任意恆定或變
20 化角度延伸。

21 儘管未展示，一介電層可視情況形成於基板120之主要
22 表面121上及/或覆蓋第一開口161之內表面163及第二開口
23 162之內表面164以提供導電元件140a及140b及導通體170
24 與該基板之電隔離。可使用上文參考圖2B中所展示之介電

1 層25所描述之各種方法之任意者而形成此一介電層。此一
2 介電層可另外為或取代為已覆蓋基板120之主要表面121之
3 一鈍化層。

4 在圖4B中所繪示之製作階段中，可於第一開口161內形
5 成導電元件140a及140b之錨定部141a及141b及各自連接部
6 145a及145b，可形成覆蓋主要表面121之接合部142a及
7 142b，及可於第二開口162內形成導通體170，其中接觸部
8 180曝露於第二表面122。可以單一金屬沈積程序或分離程
9 序而形成該等錨定部141a及141b、該等連接部145a及
10 145b、該等接合部142a及142b及該等導通體170之各者。
11 在該等導通體170係電耦合至曝露於該第二表面122之分離
12 導電接觸件之一實施例中，此等導電接觸件可連同該等導
13 電元件140a及140b及該等導通體以一單一金屬沈積程序予
14 以形成，或可以一分離程序形成此等導電接觸件。

15 形成該等導電元件140a及140b及該等導通體170之一例
16 示性方法包含：藉由將一主要金屬層濺鍍至該基板120之
17 曝露表面上、電鍍或機械沈積之一或多者而沈積一金屬
18 層。機械沈積可包含：以高速將一加熱金屬粒子流引導至
19 待塗覆之表面上。例如，此步驟可藉由毯覆沈積至該主要
20 表面121及該等內表面163及164中而執行。在一實施例
21 中，該主要金屬層包含鋁或實質上由鋁組成。在另一特定
22 實施例中，該主要金屬層包含銅或實質上由銅組成。在又
23 一實施例中，該主要金屬層包含鈦或實質上由鈦組成。一
24 或多種其他例示性金屬可用於一程序中以形成導電元件

1 140a及140b及導通體170。在特定實例中，包含複數個金
2 屬層之一堆疊可形成於前述表面之一或多個上。例如，此
3 堆疊金屬層可包含一層鈦，接著覆蓋該鈦之一層銅(Ti-
4 Cu)，一層鎳，接著一層覆蓋該鎳層之一層銅(Ni-Cu)，以
5 類似方式設置之一鎳-鈦-銅(Ni-Ti-Cu)堆疊，或(例如)一鎳
6 -鈦堆疊。

7 在一特定實施例中，例如，如圖2A中所繪示之製作階段
8 所展示，在自基板移除任意材料之前，接合部142a及142b
9 可沈積至基板120之主要表面121上。在此一實施例中，例
10 如，可藉由蝕刻穿過該等接合部142a及/或142b且接著蝕
11 刻至該基板120中形成孔160。在形成穿過該等接合部142a
12 及/或142b之孔160之後，可如上文所描述形成連接部145a
13 及145b、錨定部141a及141b，及導通體170。

14 在圖4C中所繪示之製作階段中，介電層125係形成於基
15 板120之主要表面121上且用作期望保留該主要表面之剩餘
16 部分之一蝕刻遮罩層。可使用上文參考圖2B中所展示之介
17 電層25所描述之各種方法之任意者而形成該介電層125。
18 該等接合部142a及142b可維持至少部分曝露於該主要表面
19 121(亦即，未由該介電層125覆蓋)以連接至第一微電子單
20 元112之外之一組件。

21 隨後，在圖4D中所繪示之製作階段中，可如上文關於形
22 成凹部30所描述之一類似方式及使用類似程序形成凹部
23 130。例如，可在形成期望保留該主要表面121之剩餘部分
24 之一遮罩層(例如，介電層25)之後，藉由選擇性地蝕刻該

1 基板120以移除該基板之材料而形成該等凹部130。該凹部
2 130可經形成使得移除支撐至少接合部142a及142b之基板
3 120之材料。類似於凹部30，該等凹部130之內表面131可
4 以相對於該主要表面121之任意恆定或變化角度延伸。

5 如圖4D中所展示，該等凹部130可經形成使得其等自該
6 主要表面121的延伸不似該等第一開口161一樣遠，使得該
7 等錨定部141a及141b之輪廓符合該第一開口之內表面163
8 之剩餘部分之一輪廓。在一特定實施例中，該等凹部130
9 可經形成使得其自該主要表面121延伸至少與該等第一開
10 口161一樣遠，使得該等錨定部141a及141b之輪廓不致符
11 合該基板120之任意內表面之輪廓。在此一實施例中，該
12 等錨定部141a及141b可透過該等錨定部與可具有符合該等
13 第二開口162之內表面164之輪廓之輪廓之導通體170之間
14 的附接而固定至該基板120。

15 隨後，在圖4E中所繪示之製作階段中，可如上文關於在
16 凹部30內形成介電質區域50所描述之一類似方式及使用類
17 似程序而於凹部130之內側形成介電質區域150。例如，該
18 介電質區域150可經形成使得該區域之一曝露外表面151與
19 該基板120之主要表面121(如圖4E中所展示)或該介電層
20 125之一曝露表面共面或實質上共面。

21 隨後，再參考圖3A，第一微電子單元112可堆疊於第二
22 微電子單元114之頂部上，藉此形成堆疊微電子總成110。
23 如上文所描述，該第一微電子單元112與該第二微電子單
24 元114之間的連接可穿過導電塊118。該等導電塊118可提

1 供該第一微電子單元112之接合部142a及142b與該第二微
2 電子單元114之導電接觸件116之間的一電連接。在此配置
3 中，該等接合部142a及142b與該等各自導電接觸件116對
4 準。

5 如圖5中所展示，展示一導電元件240之一基座部241及
6 一接合部242，其適用於上文參考圖1A至圖4E所描述之任
7 意實施例中。該接合部242自該導電元件240之基座部241
8 延伸。該基座部241可為(例如)上文參考圖3A中所展示之
9 第一微電子單元112所描述之接合部142a及142b之部分，
10 或上文參考圖1A中所展示之第一微電子單元12所描述之錨
11 定部41之部分。該基座部241可連接至位於基板220之主要
12 表面221之下或介電質區域250之一外表面251之下之其他
13 導電元件。在圖5中所展示之實施例中，該基座部241包含
14 為順應或可在由該主要表面221界定之一平板之一方向上
15 移動之一區段243，使得該區段可藉由施加至其之一外部
16 負載在沿著該主要表面221之一方向上位移。

17 現參考圖6，根據另一實施例之一第一微電子總成12'類
18 似於圖1A中所展示之第一微電子總成12，惟導電元件40'
19 電連接至延伸於基板20'之主要表面21與第二表面22之間的
20 導通體70a及70b除外。

21 該基板20'包含自該主要表面21及該第二表面22延伸之
22 孔60a及60b，及導通體70a及70b於該等各自孔內自該等導
23 電元件40'之各自錨定部41'延伸至該第二表面。各導通體
24 70a及70b包含曝露於該第二表面22以與該第一微電子單元

1 12'之外之一組件互連之一接觸部80。該孔60a為類似於展
2 示於圖3A中的孔160之一階化孔，惟開口30未與該等孔60a
3 或60b之任一者重疊除外，因此該等孔60a及60b自該第二
4 表面22延伸至該主要表面21，而非自該第二表面延伸至一
5 各自開口。該孔60b未階化，亦即，可(例如)以自該基板
6 20'移除材料之一單一蝕刻或其他程序而形成該孔60b。

7 類似於圖1A中所展示之第一微電子總成12，各導電元件
8 40'包含可曝露於該主要表面21以與該第一微電子單元12'
9 之外之一組件互連之一接合部42。亦類似於第一微電子單
10 元12，介電質區域50可為順應，使得各接合部42可相對於
11 該基板20'移動。

12 圖7描繪包含以一單元一起配置之至少兩個微電子總成
13 310之一模組300，其具有用於傳輸信號之該等微電子總成
14 310之各者且自該等微電子總成310之各者傳輸信號之一電
15 介面320。該電介面可包含用於傳輸信號或參考電位(例
16 如，電源及接地)之一或多個接觸件，其等為其內之微電
17 子元件之各者所共有。該等微電子總成310可為上文所描
18 述之總成之任意者。在一特定實例中，該模組300可為一
19 雙列記憶體模組(「DIMM」)或單列記憶體模組
20 (「SIMM」)，其具有經調整大小用於入至(諸如)可設置於
21 一主機板上之一系統之其他連接器之一對應插槽中之一或
22 多個部分。在此DIMM或SIMM中，該電介面可具有適於與
23 此插槽連接器內的複數個對應彈力接觸件相配之接觸件
24 330。此彈力接觸件可安置於各插槽之單一或多個側上以

1 與對應模組接觸件相配。各種其他模組及互連配置係可能
2 的，其中一模組可具有非堆疊或堆疊微電子總成，或其可
3 具有並列電介面或串列電介面，或用於傳輸電信號至該模
4 組及自該模組傳輸電信號之並列電介面及串列電介面之一
5 組合。藉由本發明可預期該模組300與一進一步系統之間
6 的任意種類之電互連配置。

7 如圖8中所展示，上文所描述之微電子總成可用於建構
8 多種電子系統。例如，根據本發明之一進一步實施例之一
9 系統400包含結合其他電子組件408及410之如上文所描述
10 之一微電子總成406。在所描繪之實例中，組件408為一半
11 導體晶片，而組件410為一顯示螢幕，但亦可使用任意其
12 他組件。當然，儘管為了繪示之簡潔，於圖8中僅描繪兩
13 個額外組件，然該系統可包含任意數量之此組件。該微電
14 子總成406可為上文所描述之總成之任意者。在一進一步
15 變量中，可使用任意數量之此等微電子總成。

16 微電子總成406及組件408及410係安裝於一共同外殼
17 401(示意性地以虛線描繪)中，且視需要彼此電互連以形成
18 所需電路。在所展示之例示性系統中，該系統包含一電路
19 板402(諸如，一撓性印刷電路板)，且該電路板包含許多導
20 體404，圖8中僅描繪該等導體之一者，該等組件彼此互
21 連。然而，此僅為例示性，可使用用於製成電連接之任意
22 合適結構。

23 該外殼401係描繪為用於(例如)一蜂巢式電話或個人數
24 位助理之一可攜式外殼類型，及螢幕410曝露於該外殼之

1 表面。在結構406包含一光敏感元件(諸如，一成像晶片)之
2 情況下，一透鏡411或其他光學裝置亦可提供用於將光投
3 送至該結構。此外，圖8中所展示之簡化系統僅為例示
4 性；可使用上文所描述之結構製作其他系統，包含統稱為
5 固定結構(諸如，桌上型電腦、路由器及類似物)之系統。

6 可藉由(諸如)更詳細揭示於2010年7月23日申請之同在
7 申請中共同讓與之美國專利申請案第12/842,587號、第
8 12/842,612號、第12/842,651號、第12/842,669號、第
9 12/842,692號及第12/842,717號中及公開之美國專利申請公
10 開案第2008/0246136號中的該等程序而形成揭示於本文中
11 的導通體及導通孔導體，該等案之揭示內容以引用的方式
12 併入本文中。

13 儘管本發明在本文中已參考特定實施例予以描述，然應
14 理解，此等實施例僅繪示本發明之原理及應用。因此，應
15 理解，可對繪示性實施例作許多修改且可在不脫離如由隨
16 附申請專利範圍界定之本發明之精神及範疇之情況下想出
17 其他配置。

18 應瞭解，闡釋於其中之各種獨立申請專利範圍及特徵可
19 以不同於初始申請專利範圍中所存在之方式之方式組合。
20 亦應瞭解，組合個別實施例所描述之特徵可與該等所描述
21 之實施例之其他特徵共用。

22 【圖式簡單說明】

23 圖1A係繪示根據本發明之一實施例之具有一接觸結構之
24 一堆疊總成之一側視截面圖。

1 圖1B係沿著線A-A截取之圖1A之堆疊總成之一對應仰視
2 截面圖之一實施例。

3 圖1C係沿著線A-A截取之圖1A之堆疊總成之一對應仰視
4 截面圖之另一實施例。

5 圖1D係沿著線A-A截取之圖1A之堆疊總成之一對應仰視
6 截面圖之又一實施例。

7 圖2A至圖2D係繪示圖1A中所描繪之根據本發明之實施
8 例之製作階段之截面圖。

9 圖3A係繪示根據本發明之一實施例之具有一接觸結構之
10 一堆疊總成之一側視截面圖。

11 圖3B係沿著線B-B截取之圖3A之堆疊總成之一對應仰視
12 截面圖之一實施例。

13 圖3C係沿著線B-B截取之圖3A之堆疊總成之一對應仰視
14 截面圖之另一實施例。

15 圖3D係沿著線B-B截取之圖3A之堆疊總成之一對應仰視
16 截面圖之又一實施例。

17 圖4A至圖4E係繪示圖3A中所描繪之根據本發明之實施
18 例之製作階段之截面圖。

19 圖5係根據本發明之具有與一晶片電連接之一墊之一基
20 板之一俯視透視圖。

21 圖6係繪示根據本發明之另一實施例之具有一接觸結構
22 之一基板之一側視截面圖。

23 圖7係根據本發明之一實施例之一模組之一示意圖。

24 圖8係根據本發明之一實施例之一系統之一示意圖。

【主要元件符號說明】		
1		
2	10	堆疊微電子總成
3	12	第一微電子單元
4	12'	第一微電子總成
5	14	第二微電子單元/第二微電子元件
6	15	基板
7	16a	導電接觸件/導電柱
8	16b	導電接觸件/導電柱
9	17	主要表面
10	18	導電塊
11	20	基板
12	20'	基板
13	21	主要表面
14	22	第二表面
15	25	介電層
16	30	凹部/開口
17	31	內表面
18	32	外邊界
19	40	導電元件
20	40'	導電元件
21	41	錨定部
22	41'	錨定部
23	42	接合部
24	42'	接合部

1	43	頂表面
2	44	底表面
3	46	端部
4	50	介電質區域
5	51	外表面
6	60a	孔
7	60b	孔
8	70a	導通體
9	70b	導通體
10	80	接觸部
11	110	微電子總成
12	112	第一微電子單元/微電子元件
13	114	第二微電子單元
14	115	基板
15	116	導電接觸件
16	117	主要表面
17	118	導電塊
18	120	基板
19	121	主要表面
20	122	第二表面
21	125	介電層
22	130	凹部/開口
23	130a	凹部
24	130b	凹部

1	131	內表面
2	140a	導電元件
3	140b	導電元件
4	141a	錨定部
5	141b	錨定部
6	142a	接合部
7	142b	接合部
8	142a'	接合部區段
9	142a''	接合部
10	142b''	接合部
11	143a	頂表面
12	143b	頂表面
13	144a	底表面
14	144b	底表面
15	145a	連接部
16	145b	連接部
17	146	端部
18	147	孔隙
19	148	間隙
20	150	介電質區域
21	151	外表面
22	160	孔
23	161	第一開口
24	162	第二開口

1	163	內表面
2	164	內表面
3	170	導通體
4	180	接觸部
5	220	基板
6	221	主要表面
7	240	導電元件
8	241	基座部
9	242	接合部
10	243	區段
11	250	介電質區域
12	251	外表面
13	300	模組
14	310	微電子總成
15	320	電介面
16	330	接觸件
17	400	系統
18	401	外殼
19	402	電路板
20	404	導體
21	406	微電子總成/結構
22	408	電子組件
23	410	電子組件/螢幕
24	411	透鏡

1	L	長度
2	W	寬度
3	W1	寬度
4	W2	寬度
5	W3	寬度
6	W4	寬度

七、申請專利範圍：

1. 一種微電子單元，其包括：

實質上是由半導體材料所組成之一基板、具有一凹部之一主要表面及安置於該凹部內之具有小於10 GPa之一彈性模數之一材料，該凹部延伸在該主要表面下方且不延伸穿過該基板；及

一導電元件，其包含一接合部，該接合部覆蓋該凹部且自由該基板支撐之一錨定部延伸至覆蓋該凹部且不由該基板支撐之一端部，以使得該端部可相對於該錨定部懸掛在外，該端部以平行於該主要表面之一橫向方向而不延伸超過該凹部之外邊界，該接合部至少部分曝露於該主要表面以連接至該微電子單元之外之一組件。

2. 如請求項1之微電子單元，進一步包含設置在該基板之該主要表面及該導電元件之該錨定部之間的一介電層。
3. 如請求項1之微電子單元，其中該接合部可移動以便減少在操作、製造或測試該微電子單元期間之該接合部上的應力。
4. 如請求項1之微電子單元，其中該凹部定義具有一變化斜率的一內表面，以使得隨著該內表面進一步朝向該基板之相對於該主要表面之一第二表面延伸時，相對於該主要表面之該內表面之角度呈量值減少。
5. 如請求項1之微電子單元，其中該基板包含複數個主動半導體裝置，並且該導電元件與該複數個主動半導體裝置之至少一者電連接。

6. 如請求項1之微電子單元，其中安置於該凹部內的該材料包含自聚醯亞胺、聚矽氧及環氧樹脂組成之群組選擇之至少一材料。
7. 如請求項1之微電子單元，其中該導電元件之該端部係鄰近於設置在該凹部內之材料。
8. 如請求項1之微電子單元，其中該接合部在實質上平行於該基板之該主要表面之一方向上延伸。
9. 如請求項1之微電子單元，其中該錨定部及該接合部在相同方向上延伸。
10. 如請求項9之微電子單元，其中該導電元件與朝向與該主要表面相對之該基板之一第二表面延伸之一導通體電耦合。
11. 如請求項10之微電子單元，其中該導通體曝露於該第二表面。
12. 如請求項10之微電子單元，其中該導通體延伸於自該第二表面延伸至該主要表面之該基板中的一孔內。
13. 如請求項12之微電子單元，其中該孔包含自該主要表面朝向該第二表面延伸之一第一開口及自該第一開口延伸至該第二表面之一第二開口，其中該第一開口及該第二開口之內表面分別在相對於該主要表面之第一方向及第二方向上延伸以界定一實質角度。
14. 如請求項11之微電子單元，其中該導通體在介於該導電元件之該錨定部與該第二表面之間的基板中延伸穿過一孔。

15. 一種堆疊總成，其包含至少第一微電子單元及第二微電子單元，該第一微電子單元係如請求項1之微電子單元，該第二微電子單元堆疊有該第一微電子單元，其中該第一微電子單元之基板於其內與該第二微電子單元之一基板電連接，其進一步包含電耦合至該第一微電子單元之接合部一導電塊及該第二微電子單元之一導電元件。
16. 一種微電子系統，其包括如請求項1之微電子單元及電連接至該微電子單元之一或多個其他電子組件，其進一步包括一外殼，該微電子單元及該等其他電子組件安裝至該外殼。
17. 一種微電子模組，其包含如請求項1之複數個微電子單元，該微電子模組具有用於將信號傳輸至該等微電子單元之各者及自該等微電子單元之各者傳輸信號之一共同電介面。
18. 一種製作一微電子單元之方法，其包括：
 - 形成支撐於具有小於10 ppm/°C之一CTE之一基板之一主要表面上之一導電元件；
 - 自該主要表面移除支撐該導電元件之至少一接合部之材料以形成不延伸穿過該基板之一凹部，使得該接合部未藉由該基板支撐，而鄰近該接合部之該導電元件之一錨定部係藉由該基板支撐；及
 - 將一具有小於10 GPa之一彈性模數之材料沈積於該凹部內，

其中該接合部至少部分曝露於該基板之該主要表面以連接至該微電子單元之外之一組件。

19. 如請求項18之方法，其中該基板具有小於7 ppm/°C之一CTE。
20. 如請求項18之方法，其中該基板實質上由自半導體、玻璃及陶瓷組成之群組選擇之一材料組成。
21. 如請求項18之方法，其中該基板包含複數個主動半導體裝置，及形成該導電元件之步驟藉由該複數個主動半導體裝置之至少一者而與該導電元件電連接。
22. 如請求項18之方法，其中執行形成該導電元件之步驟使得該接合部係實質上平行於該主要表面而安置。
23. 如請求項18之方法，其進一步包括：

自該基板移除材料以形成自該主要表面延伸至與該主要表面相對之該基板之一第二表面之一孔；及

形成延伸於該孔內之一導通體使得該導通體與該導電元件電耦合且朝向該第二表面延伸。
24. 如請求項23之方法，其中自該基板移除材料以形成一孔之步驟包含：形成自該主要表面朝向該第二表面延伸之一第一開口及自該第一開口延伸至該第二表面之一第二開口，其中該第一開口及該第二開口之內表面分別在相對於該主要表面之第一方向及第二方向上延伸以界定一實質角度。
25. 一種製作包含至少第一微電子單元及第二微電子單元之一堆疊總成之方法，該第一微電子單元如請求項18而製

作，其進一步包括將該第一微電子單元之該基板電連接至該第二微電子單元之一基板之步驟。

26. 一種製作一微電子單元之方法，其包括：

自具有小於 $10 \text{ ppm}/^\circ\text{C}$ 之一CTE之一基板移除材料以形成自該基板至一主要表面延伸至與該主要表面相對之一第二表面之一孔；

形成具有延伸在該主要表面之上且支撐於該主要表面上之一接合部之一導電元件、相對於該基板而固定之一錨定部及自該接合部向下延伸至該錨定部之一連接部，該連接部之一表面具有符合該孔之一內表面之一輪廓之一輪廓；

自該主要表面移除支撐該導電元件之至少一接合部之材料以形成一凹部使得該接合部至少部分覆蓋該凹部，及使得該連接部之該表面之該輪廓不符合該凹部之一內表面之一輪廓；及

將一具有小於 10 GPa 之一彈性模數之材料沈積於該凹部內，

其中該接合部至少部分曝露於該基板之該主要表面以連接至該微電子單元之外之一組件。

27. 如請求項26之方法，其中該基板具有小於 $7 \text{ ppm}/^\circ\text{C}$ 之一CTE。

28. 如請求項26之方法，其進一步包括：在形成該導電元件之步驟之前，形成延伸於該孔內且朝向該第二表面延伸之一導通體，使得形成該導電元件之步驟藉由該導通體

- 與該導電元件電耦合。
29. 如請求項26之方法，其中執行形成該導電元件之步驟使得該接合部相對於該連接部非居中。
 30. 如請求項26之方法，其中該基板實質上由自半導體、玻璃及陶瓷組成之群組選擇之一材料組成。
 31. 如請求項26之方法，其中該基板包含複數個主動半導體裝置，及形成該導電元件之步驟藉由該複數個主動半導體裝置之至少一者而與該導電元件電連接。
 32. 如請求項26之方法，其中執行形成該導電元件之步驟使得該接合部界定一內部孔隙。
 33. 如請求項32之方法，其中執行形成該導電元件之步驟使得該內部孔隙延伸穿過該接合部至該連接部中。
 34. 如請求項33之方法，其進一步包括將一介電質材料沈積至該內部孔隙之至少一部分中。
 35. 如請求項26之方法，其中自該基板移除材料以形成一孔之步驟包含：形成自該主要表面朝向該第二表面延伸之一第一開口及自該第一開口延伸至該第二表面之一第二開口，其中該第一開口及該第二開口之內表面分別在相對於該主要表面之第一方向及第二方向上延伸以界定一實質角度。
 36. 一種製作包含至少第一微電子單元及第二微電子單元之一堆疊總成之方法，該第一微電子單元如請求項26而製作，其進一步包括將該第一微電子單元之該基板電連接至該第二微電子單元之一基板之步驟。

八、圖式：

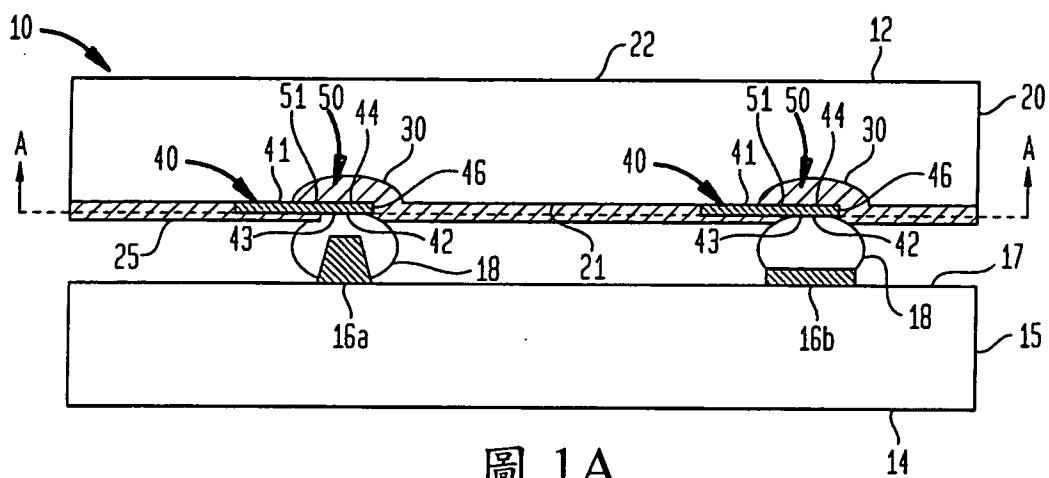


圖 1A

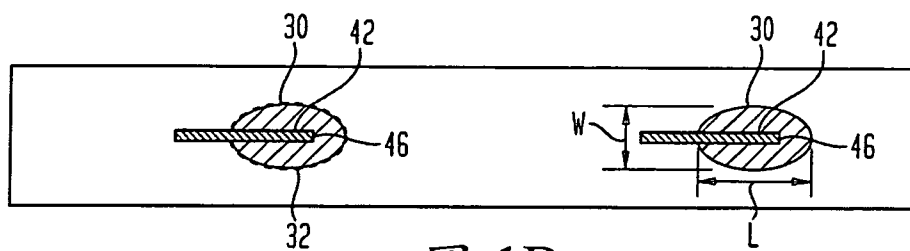


圖 1B

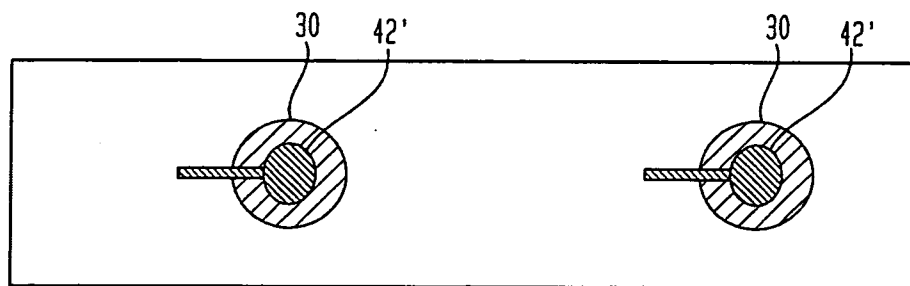


圖 1C

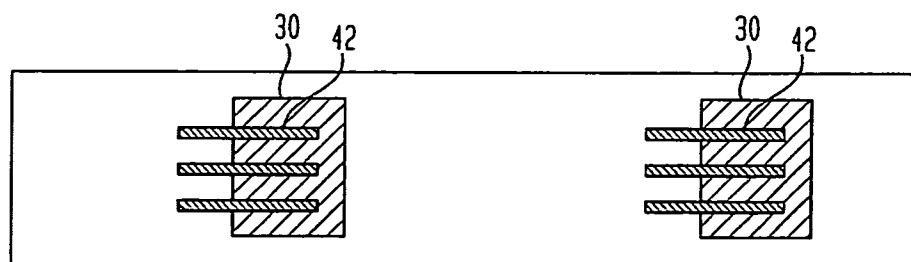


圖 1D

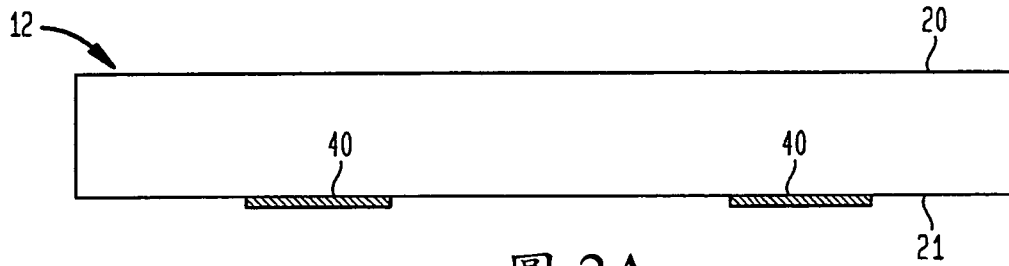


圖 2A

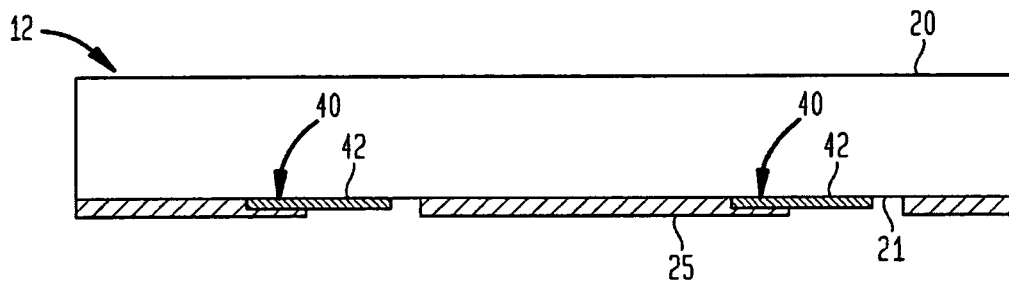


圖 2B

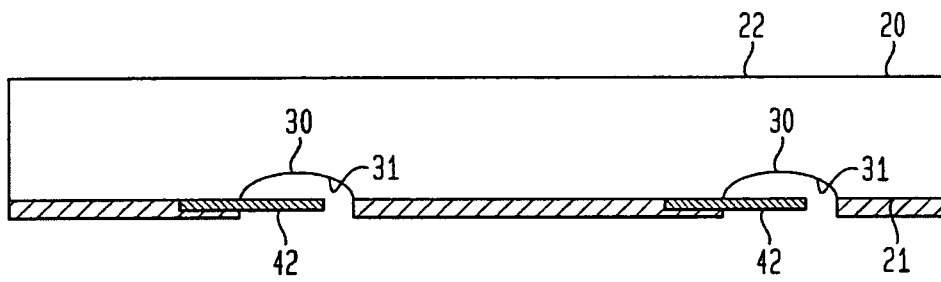


圖 2C

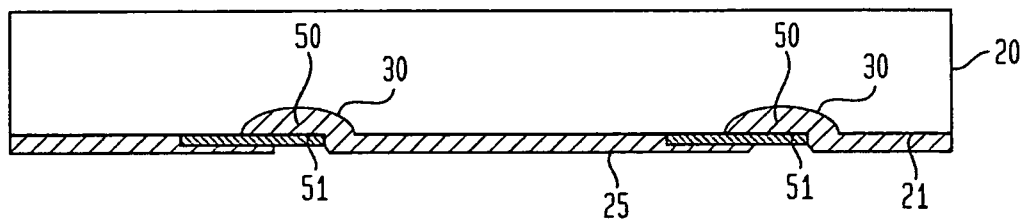


圖 2D

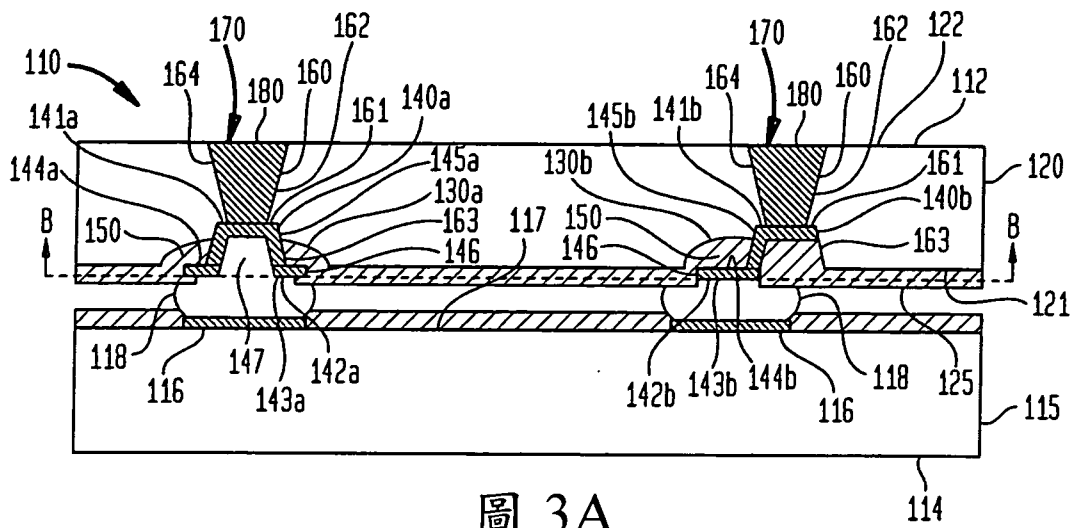


圖 3A

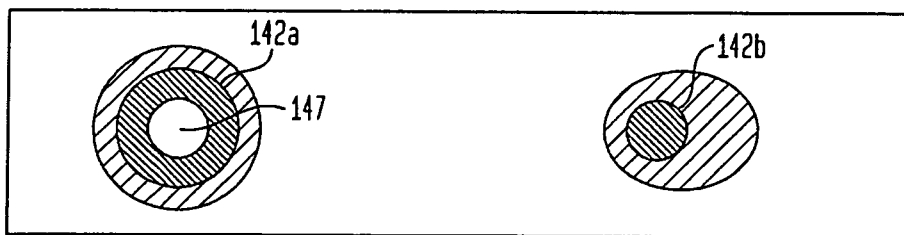


圖 3B

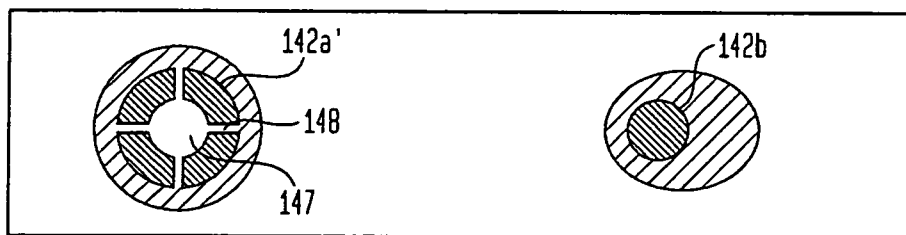


圖 3C

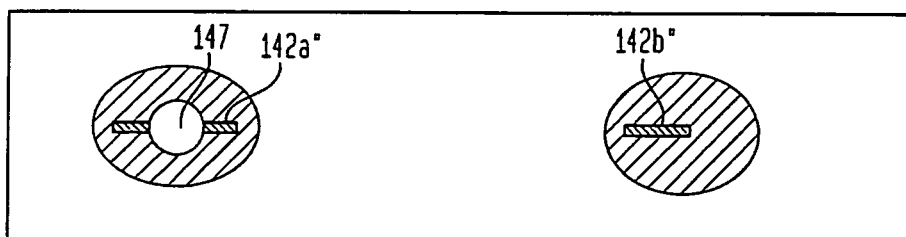


圖 3D

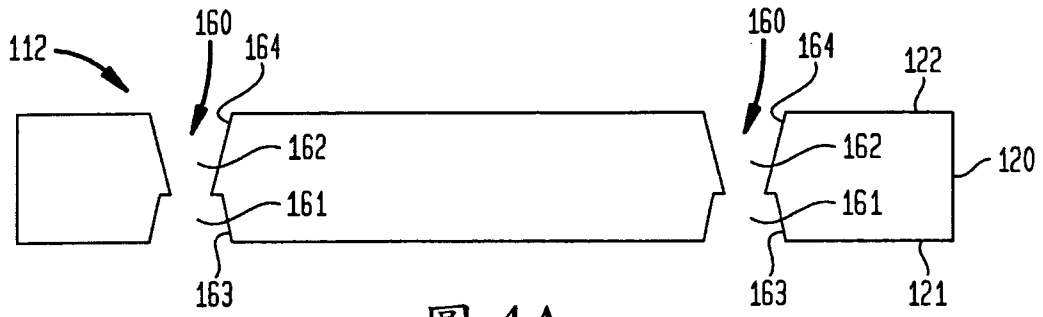


圖 4A

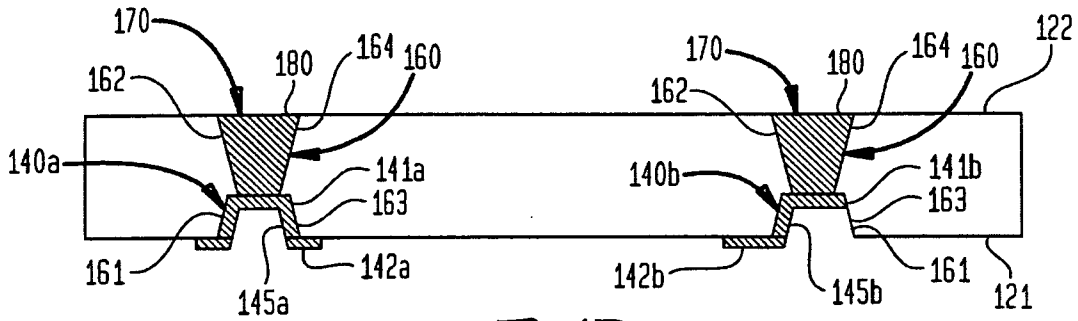


圖 4B

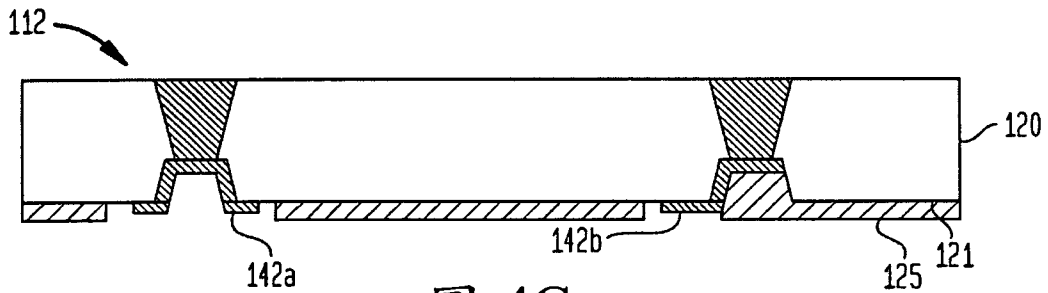


圖 4C

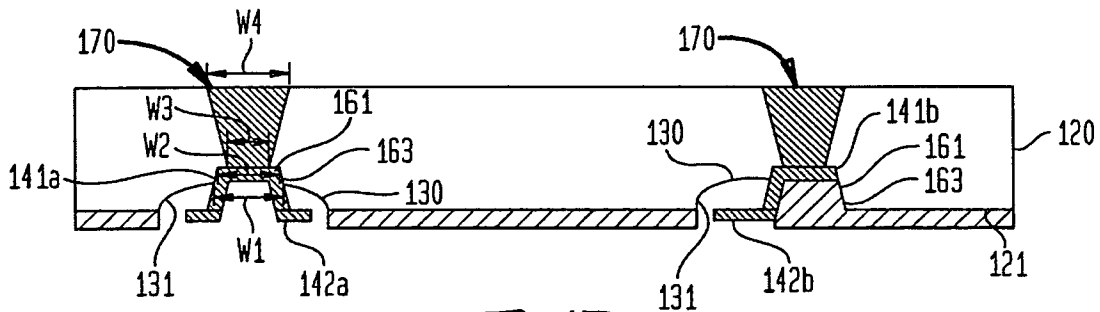


圖 4D

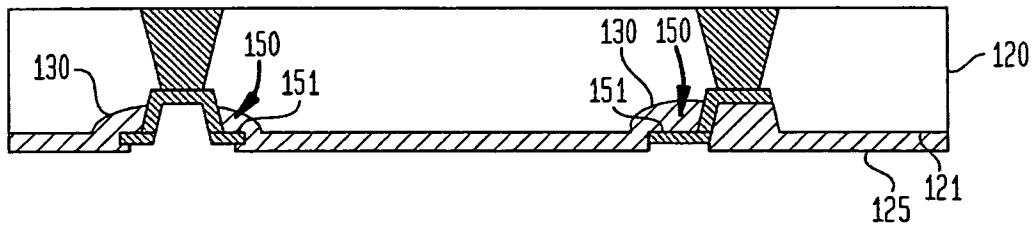


圖 4E

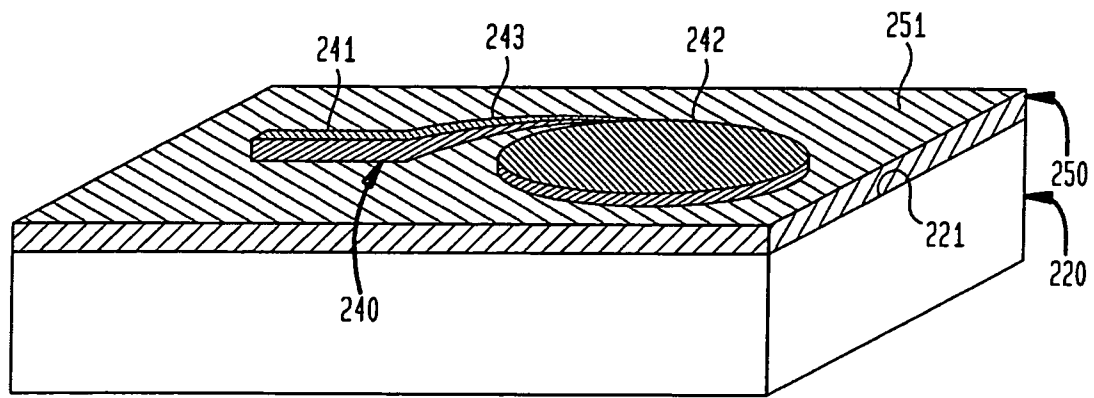


圖 5

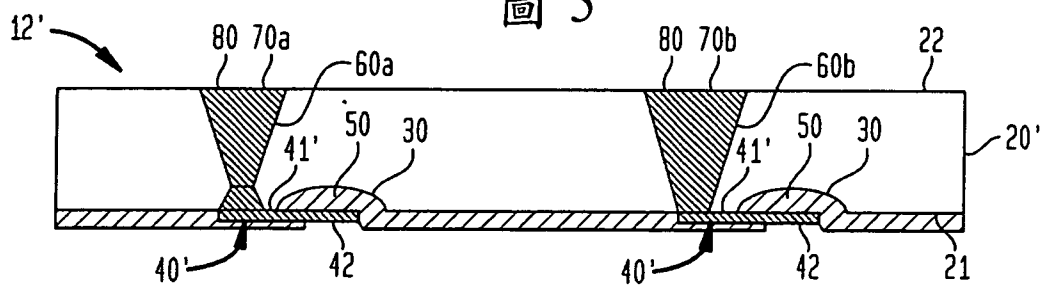


圖 6

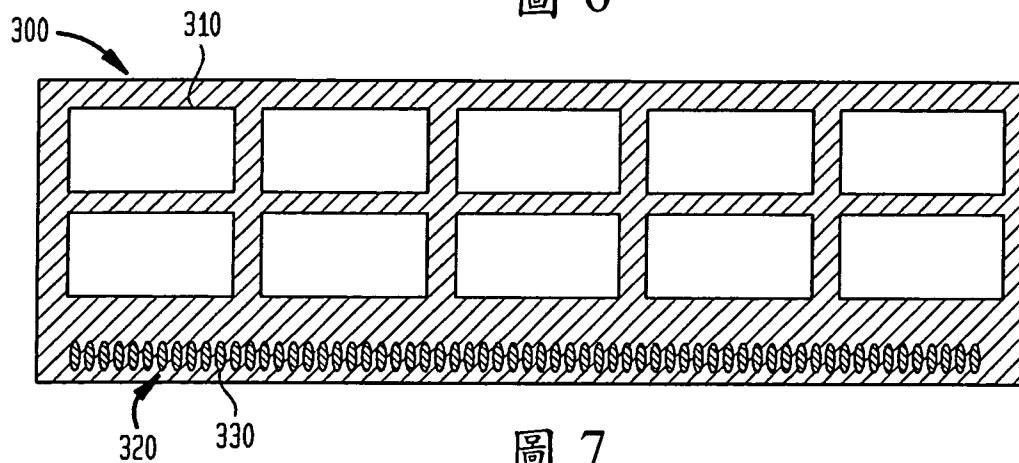


圖 7

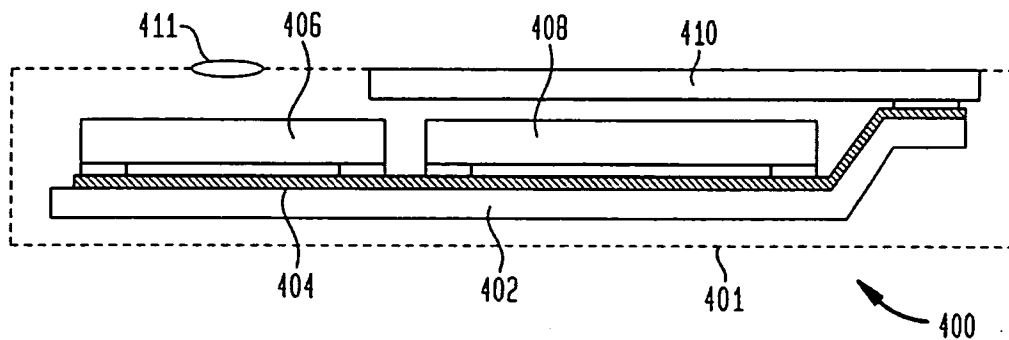


圖 8