



(12) 发明专利

(10) 授权公告号 CN 101044684 B

(45) 授权公告日 2012. 11. 14

(21) 申请号 200580035552. 5

(22) 申请日 2005. 09. 16

(30) 优先权数据

60/611, 142 2004. 09. 17 US

60/650, 354 2005. 02. 04 US

(85) PCT申请进入国家阶段日

2007. 04. 17

(86) PCT申请的申请数据

PCT/US2005/033450 2005. 09. 16

(87) PCT申请的公布数据

W02006/034177 EN 2006. 03. 30

(73) 专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72) 发明人 保罗·约翰·默洛

玛丽亚·戴·莫尔·查马罗·马丁

科林·G·莱登

迈克·多米尼克·基恩

罗伯特·W·亚当斯

理查德·托马斯·欧布里安

帕斯卡尔·托马斯·米诺格

汉斯·约翰·奥洛夫·蒙松

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨生平 朱胜

(51) Int. Cl.

H03M 3/04 (2006. 01)

(56) 对比文件

US 5404142 A, 1995. 04. 04, 全文.

审查员 田冰

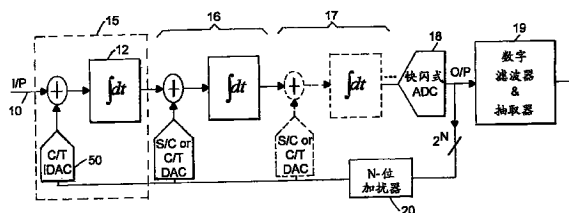
权利要求书 2 页 说明书 8 页 附图 10 页

(54) 发明名称

使用斩波稳定的多位连续时间前端
 $\Sigma - \Delta$ ADC

(57) 摘要

一种多位连续时间 $\Sigma - \Delta$ 模数转换器 (ADC), 其具有接收模拟输入信号电流的输入级。一种多位反馈电流数模转换器 (IDAC), 其根据反馈信号产生多电平反馈电流。一种积分器, 其基于连续时间对所产生的电流和输入信号电流之和进行积分。所述 IDAC 具有包括第一偏置电流源的第一输出支路以及包括第二偏置电流源的第二输出支路。所述偏置电流源向所述 IDAC 的相应支路提供偏置电流, 以便在中级状况偏置输入级。偏置电流源经由斩波开关连接到支路, 在第一配置和相反的第二配置中, 所述斩波开关将所述偏置电流源连接到所述支路。尽管优选地只有第一级是斩波稳定的, 但是, 积分放大器也可以是斩波稳定的。



1. 一种具有输入级的多位连续时间 $\Sigma - \Delta$ 模数转换器,包括:

第一差分输入线和第二差分输入线,其可工作来接收模拟输入信号电流;

多位反馈电流数模转换器,其可工作来根据反馈信号而产生多电平反馈电流,所述多位反馈电流数模转换器具有第一输出支路和第二输出支路,并包括一组单独的电流数模转换器,每个电流数模转换器具有能够可选择地连接到所述第一输出支路和所述第二输出支路的电流源;

具有第一差分输入端和第二差分输入端的积分器,其可工作来基于连续时间对所产生的电流和输入信号电流之和进行积分;

第一偏置电流源和第二偏置电流源,所述第一偏置电流源和第二偏置电流源能够操作用于在中级状况偏置所述输入级;

与所述第一差分输入线、所述积分器的第一差分输入端、以及所述第一输出支路相连接的第一求和节点;

与所述第二差分输入线、所述积分器的所述第二差分输入端、以及所述第二输出支路相连接的第二求和节点;以及

一组斩波开关,所述斩波开关能够操作用于交替地在第一配置和第二配置中将所述偏置电流源连接到所述求和节点,其中在所述第一配置中,所述第一偏置电流源连接到所述第一求和节点,并且所述第二偏置电流源连接到所述第二求和节点,以及在所述第二配置中,所述第一偏置电流源连接到所述第二求和节点,并且所述第二偏置电流源连接到所述第一求和节点。

2. 根据权利要求1所述的转换器,其可工作来接收频率为 F_s 的调制器时钟信号,其中,所述斩波开关工作于 F_s 或其二分细分频率。

3. 根据权利要求1所述的转换器,其中,所述积分器包括积分放大器,并且所述积分放大器是斩波稳定的。

4. 根据权利要求3所述的转换器,其中,所述积分放大器包括两个增益级,其中,只有第一增益级是斩波稳定的。

5. 根据权利要求1所述的转换器,其中所述单独的电流数模转换器为单元值电流数模转换器。

6. 根据权利要求1所述的转换器,其中,所述反馈信号单独地选择每个单独的电流数模转换器,每个单独的电流数模转换器内的所述电流源可连接到所述第一输出支路和所述第二输出支路之一上。

7. 根据权利要求6所述的转换器,其中,所述多位反馈电流数模转换器接收来自加扰器的反馈信号,所述加扰器改变单独的电流数模转换器的选择以获得反馈电流的每一电平。

8. 根据权利要求7所述的转换器,还包括:在所述输入级的下游的模数转换器级,所述模数转换器级能够操作用于产生所述反馈信号;以及加扰器,所述加扰器能够操作用于对所述反馈信号进行操作以改变单独的电流数模转换器的选择,从而实现反馈电流的每一电平。

9. 一种使用多位反馈电流数模转换器以使用多位连续时间 $\Sigma - \Delta$ 模数转换器产生信号的方法,包括:

提供跨第一差分输入线和第二差分输入线的差分输入信号电流；

在所述多位反馈电流数模转换器的第一输出支路和第二输出支路上产生多电平反馈电流,其中所述反馈电流根据接收的反馈信号而变化,所述多位反馈电流数模转换器包括一组单独的电流数模转换器,每个电流数模转换器具有能够可选择地连接到所述第一输出支路和所述第二输出支路的电流源；

基于连续时间对所述多位反馈电流数模转换器所产生的电流与输入信号电流之和进行积分；

提供第一偏置电流源和第二偏置电流源；

提供第一求和节点和第二求和节点,所述第一求和节点与所述第一差分输入线、积分器的第一差分输入端、以及所述第一输出支路相连接,所述第二求和节点与所述第二差分输入线、所述积分器的第二差分输入端、以及所述第二输出支路相连接；以及

交替地在第一配置和第二配置中将所述偏置电流源连接到所述求和节点,其中在所述第一配置中,所述第一偏置电流源连接到所述第一求和节点,并且所述第二偏置电流源连接到所述第二求和节点,以及在所述第二配置中,所述第一偏置电流源连接到所述第二求和节点,并且所述第二偏置电流源连接到所述第一求和节点。

使用斩波稳定的多位连续时间前端 $\Sigma - \Delta$ ADC

技术领域

[0001] 本发明涉及 $\Sigma - \Delta$ 模数转换器。

背景技术

[0002] $\Sigma - \Delta$ ($\Sigma \Delta$) 结构已经成为用于实现高精度模数转换器 (ADC) 的最普遍的结构。图 1 图示了在 $\Sigma - \Delta$ 模数转换器 (ADC) 中使用的总体结构。图 1 中所描述的积分器级 15、16、17 可以使用连续时间 (C/T 或 CT) 数模转换器 (DAC) 或离散时间 (D/T 或 DT) DAC。连续时间方案将电流 DAC (IDAC) 并入反馈路径, 而离散时间方案将开关电容 (S/C) DAC 并入反馈路径。

[0003] 在最近几年中, 连续时间 $\Sigma - \Delta$ ADC 在需要若干 MHz 的信号带宽的应用中备受关注。由于连续时间 ADC 的功率要求较低, 其比开关电容 ADC 更受欢迎。其它优点包括由于它们固有的抗混叠特性而具有的更好的抗扰性, 这在 RF 接收器中尤其有利。此外, 技术趋势是趋向于要求较低电源电压的超深亚微米工艺。基于开关电容的电路要求自举技术以驱动开关来扩展转换器的动态范围和取样率。连续时间 ADC 避免了这些问题, 并且可以获得高得多的信号带宽。

[0004] 尽管在使用连续时间 $\Sigma - \Delta$ ADC 时有上述优点, 但是音频带 ADC 实现仍然保持在离散时间域内。这是因为离散时间 ADC 实现了比较高的线性, 所以它们很能容忍时钟抖动, 并且由于不要求高信号带宽, 所以在基于 $\Sigma - \Delta$ 的 ADC 中可以采用适中的取样率。此外, 在离散时间内可以容易地采用斩波稳定来去除在深亚微米 MOS 器件中尤其成问题的闪烁噪声, 且滤波器系数很稳定。论文“A114-dB68-mW Chopper-stabilized stereomulti-bit audio ADC in 5.62mm²,” 描述了结合多位离散时间 ADC 的斩波的使用, 该论文由 YuQing Yang、Chokhawala, A.、Alexander, M.、Melanson, J.、Hester, D. 发表在 2003 年 12 月的 IEEE Journal of Solid State Circuits 的 Vol. 38, Issue 12 的 2061-2068 页。但是, 斩波稳定限于用于积分器级的 op-amp。

[0005] 美国专利第 5,039,989 号 (Welland 等人) 中结合连续时间转换器来使用斩波, 但是仅用单比特 ADC 和单比特反馈式 DAC 方案。单比特连续时间 ADC 对抖动尤其敏感, 并且 Welland 提出的结构不适合多位转换器。

[0006] 由于已提及的原因, 对于音频带应用来说, 离散时间 ADC 实现好象比连续时间 ADC 有利。但是, 音频电视内使用的较大的信号范围, 例如 2V_{rms}, 超出了基于开关电容的电路可以方便关联的电压范围。在这种情况下, 唯一的方案是将输入信号衰减, 而因此舍弃宝贵的动态范围。甚至在衰减输入信号之后, 可能需要抗混叠滤波电路和缓冲电路来驱动开关电容输入级。OEM 通常要求在芯片上提供该功能, 这不可避免地导致芯片成本的增加以及噪声性能的恶化。

[0007] 期望在该应用中使用连续时间前端 $\Sigma - \Delta$ 调制器, 是因为它不必对输入进行衰减、抗混叠滤波以及缓冲。但是, 在使用连续时间前端 $\Sigma - \Delta$ ADC 时, 连续时间 $\Sigma - \Delta$ 调制器对由 IDAC 内的符号间干扰而导致的失真和时钟抖动敏感的问题仍然存在。趋向于超深

亚微米工艺的技术趋势要求较低的电源电压。连续时间 ADC 很适于该工艺。然而,制约连续时间 ADC 的使用的一个限制是闪烁噪声。以亚微米技术来实现连续时间 ADC 要求 DC 偏置电流源具有大的面积以获得低噪声。这是因为闪烁噪声反比于器件面积。放大器的输入和输出器件也需要大的面积来获得高性能。然而,期望面积密集较低的架构。

[0008] 相应地,本发明设法寻求提供一种改进的连续时间 $\Sigma - \Delta$ ADC。

发明内容

[0009] 一种多位连续时间 $\Sigma - \Delta$ 模数转换器 (ADC) 具有接收模拟输入信号电流的输入级。多位反馈电流数模转换器 (IDAC) 根据反馈信号产生多电平反馈电流。反馈信号通常是从处于下游级的快闪式 ADC 处获得的多位数字反馈信号。积分器基于连续时间对所产生的电流与输入信号电流之和进行积分。IDAC 具有包括第一偏置电流源的第一输出支路,以及包括第二偏置电流源的第二输出支路。偏置电流源向 IDAC 的相应支路提供偏置电流,以便在中级 (mid-scale condition) 状况来偏置输入级。偏置电流源经由斩波开关连接到支路上,在第一配置和相反的第二配置中,斩波开关将偏置电流源交替地连接到支路上。另外,积分放大器也可以是斩波稳定的。在一可替选的布置中,偏置电流源被完全去除且积分放大器是斩波稳定的以减小闪烁噪声。

[0010] 削去输入级电路内存在的闪烁噪声,允许更高噪声性能 ADC 以小亚微技术实现,并且当转换器以集成电路实现时减小了转换器的总体尺寸。这是因为闪烁噪声反比于器件面积。当 IDAC 包括一组单元 IDAC 时,可以配置反馈信号使其在随机或伪随机的基础上选择单元 IDAC 的不同组合以获得反馈电流的给定电平。随机 / 伪随机选择由加扰器来完成,该加扰器对快闪式 ADC 和 IDAC 之间经过的反馈信号进行操作。

[0011] 当输入级包括一组偏置电流源时,斩波开关可作用于该偏置电流源,其将具有削减由偏置电流源产生的闪烁噪声的作用。当前端具有一对差分输入时,在第一配置和相反的第二配置中,斩波开关可将偏置电流源交替地连接到差分输入对上。

[0012] 在大的混合信号集成电路 (芯片) 中,多位连续时间 ADC 比基于开关电容的方案更有利,原因是其对衬底噪声较不敏感。其它优点包括:具有较低的热噪声,原因是不发生混淆现象;外部接口连接变得更加容易,原因是从输入端不要求有分立的充电容器 (pocket of charge);以及可能有更大的输入信号范围,原因是开关的峰空间 / 谷空间 (headroom/footroom) 不是障碍。采用多位电流 DAC 减轻了单比特 CTADC 遇到的时钟抖动敏感性。采用多位结构还降低了积分放大器的转换速率要求。

附图说明

[0013] 将参考附图对本发明的实施例进行描述,其中:

[0014] 图 1 示意性地示出了多位 $\Sigma - \Delta$ ADC;

[0015] 图 2 示意性地示出了根据本发明的多位 $\Sigma - \Delta$ ADC;

[0016] 图 3 示出了图 2 的转换器中使用的经调整的单端的前端;

[0017] 图 4 示出了加扰器的工作;

[0018] 图 5 示出了图 2 的转换器中使用的另一经调整的单端的前端;

[0019] 图 6 示意性地示出了在图 3 和图 5 的前端内使用的两级斩波稳定放大器;

- [0020] 图 7 更加具体地示出了图 6 的两级放大器；
- [0021] 图 8 示出了根据本发明的转换器的性能；
- [0022] 图 9 示出了用在图 2 的转换器中的经调整的差分前端；以及
- [0023] 图 10 示出了在图 9 的前端内使用的两级斩波稳定放大器。

具体实施方式

[0024] 下面将参考特定实施例和附图对本发明进行描述,但是本发明不限于这些,而是仅由权利要求来限定。所描述的附图只是示意性的和非限制性的。

[0025] 本发明在其应用上不受限于下面的说明书中所阐述的或附图中所图示的部件构造及设置的细节。本发明可以有其它实施例并能够以多种方式实施或执行。此外,这里所使用的措词和术语是为了描述的目的,而不应该看作是限制。在这里使用“包括(including)”、“包括(comprising)”、“具有(having)”、“包含(containing)”、“涉及(involving)”及其变形,意思是包括后面所列举的项目及其等同内容以及附加的项目。此外,说明书和权利要求中的术语“第一”、“第二”、“第三”等是用于相似元件之间的区分而未必用于描述次序顺序或时间顺序。

[0026] 图 2 图示了在一个 $\Sigma - \Delta$ ADC 中结合了斩波、多位和连续时间操作的布局。第一级积分器 15 是连续时间 (CT) 类型的,而多位电流 DAC (IDAC) 50 用于产生多电平电流并从进入的输入信号电流 (I/P) 中执行减法。采用多位电流 DAC 50 减轻了单比特 CT ADC 所遇到的时钟抖动敏感性。采用多位架构还减轻了积分放大器 12 的转换速率要求。在第一级 15 后面的积分器级 16、17 可以是连续时间或离散时间的。快闪式 ADC 18 将末级 17 的输出转换成多位数字代码,该代码被反馈到级 15、16、17 内的 DAC 上。该代码具有 2^N+1 个值中的一个。数字滤波器和抽取器 (decimator) 19 将该输出转换成具有期望精度的数字代码。

[0027] 如同将在下面进行更为具体的描述那样, IDAC 50 包括一组单元 IDAC, 即, 其中每个都具有相同值电流源的一组 IDAC。针对具有 2^N 个代码的快闪式 ADC, 输入级 15 中的 IDAC 50 包括 2^N 个单元 IDAC 的组, 并且在反馈路径中有 2^N 个反馈线, 每个单元 IDAC 一个。来自快闪式 ADC 18 的反馈信号被馈送给加扰器 20。IDAC 中单元元件的不匹配由反馈路径中采用的加扰器 20 进行噪声整形 (noise-shaped)。换个方式说, 对于反馈信号的给定值, 加扰器将改变单元 IDAC 的选择以获得反馈信号的那个电平。发现在连续时间级中使用加扰器以选择 IDAC 的不同组合对闪烁噪声具有削去作用。对于低电平输入信号, 来自加扰器的输出代码提供一频谱, 其固有地将电流源闪烁噪声削 (调制) 到高频, 该高频随后被数字抽取滤波器 19 去除。加扰器工作在与快闪式 ADC 时钟速率相同的时钟速率。

[0028] 图 3 中示出了根据本发明第一实施例的 ADC 的前端。其对应于图 2 中所示出的总体 ADC 的级 15。该前端具有单端的输入 V_{in} 和单端的输出 80。通常, 输入信号将经由 dc 去耦电容器 (未示出) 连接到 V_{in} 。前端包括两个 DC 偏置电流源 31、32, 每个提供值为 $2^{N-2} \cdot I$ 的偏置电流, 其中, N 为用于多位反馈信号的位的数目。第一偏置电流源 31 经由斩波开关 35 连接在供电轨 V_{DD} 和求和节点 41 之间。第二偏置电流源 32 经由斩波开关 35 连接在供电轨 V_{DD} 和求和节点 42 之间。多位电流数模转换器 (IDAC) 50 连接到节点 41、42。该 IDAC 包括 2^N 个单元 IDAC 的组, 其中每个如图 4 中 55 所示。IDAC 50 接收用于选择若干单元值 IDAC 55 的多位 (即 N 位) 数字反馈信号。每个单元 IDAC 55 包括具有 $I/2$ 的值的电流源 53。电流

源 53 的第一端连接到供电轨 V_{SS} 。每个 IDAC 的第一支路经由开关 51 而连接在电流源 53 的第二端与求和节点 41 之间。每个 IDAC 的第二支路经由开关 52 而连接在电流源 53 的第二端与求和节点 42 之间。每个 IDAC55 接收施加到 IDAC 开关驱动器 56 的选择信号。开关驱动器 56 产生 D 和 D 杠 (D bar) 选择信号, D 信号施加到开关 51, 而 D 杠信号施加到开关 52。这样, IDAC 的支路被差分驱动。开关驱动器 56 响应于时钟信号, 其以对称方式切换输出 (D, D 杠), 如同在下面将更为全面地描述那样。

[0029] 在第一配置和第二配置中, 一组斩波开关 35 将偏置电流源 31、21 交替地连接到节点 41、42。在第一配置中, 偏置电流源 31 连接到节点 41, 且偏置电流源 32 连接到节点 42 (如前所述)。在该结构中, 开关 $\Phi 1$ 是闭合的, 而开关 $\Phi 2$ 是断开的。在第二结构中, 电流源被交换, 偏置电流源 31 连接到节点 42, 且偏置电流源 32 连接到节点 41。在该结构中, 开关 $\Phi 2$ 是闭合的, 而开关 $\Phi 1$ 是断开的。单端的输入信号 V_{in} 经由电阻器 R_{int} 连接到节点 41。

[0030] 节点 42 连接到 op-amp (运算放大器) 60 的反相输入端 61。op-amp60 的非反相端 62 接收参考电压 v_{ref} 。op-amp60 与电阻器 R64 一起作为电流到电压转换器。op-amp60 的输出端 63 经由值为 R 的电阻器 64 而连接到节点 42, 且经由值为 R 的电阻器 65 连接到求和节点 41。节点 41 连接到积分器级 70 的求和连结点。电阻器 64、65 优选地为等值的, 以便差分消除由 IDAC 产生的电源噪声和偶次谐波。

[0031] 积分器级 70 包括具有连接到节点 41 的反相输入端 71 以及接收参考电压 v_{ref} 的非反相输入端 72 的 op-amp73。运算放大器 73 的输出端 74 经由反馈路径中的积分器电容器 C_{int} 而连接到反相输入 71 上。

[0032] 现在来描述电路操作。当连接到节点 Out 或 Outb 时, 单元电流源 53 的栅极上的闪烁噪声转换成低频噪声电流。当该噪声电流经由开关 52 而连接到 Outb 时, 在求和连结点 41 看时, 其极性由电流到电压配置与电阻器 R65 一起有效地反转。当该噪声电流通过开关 51 连接到节点 Out 时, 在求和连结点 41 处看时, 其极性没有改变。当该噪声电流在路径 Out 和 Outb 之间以足够快的速率进行切换时, 那么, 在求和连结点 41 处看时, 其总作用或平均作用为 0。换个方式说, IDAC 的第二支路中的 Outb 电流被 IDAC 电流到电压转换器 (op-amp60) 转换成电压, 并被电流到电压放大器的输出端处的电阻器 65 转换回具有相反极性的电流。该电流在求和连结点 41 与从电流 Out 获得的电流进行求和。从 Out 电流获得的电流在远离求和连结点 41 的方向上拉电流, 而从 Outb 电流获得的电流将电流推到求和连结点 41。该噪声电流幅度相等但符号相反。

[0033] 事实上, 到求和连结点 41 的两个不同的电流路径保持差分结构, 使得电流源的闪烁噪声被移到或调制 (也称被斩波稳定) 到不需要的 (高) 频率, 其随后可通过滤波而去除, 如积分器输入滤波。该结构还使得由于电流源自身的切换而产生的失真中的偶次谐波被消除。该结构还允许 DC 偏置电流源的斩波, 传统上这在单端的 (a single-ended) 结构中是不可能的。DC 偏置电流源允许到 ADC 的输入位于 ADC 自身的输出代码范围内的中间范围处的中央。

[0034] 对于大多数应用, 输入信号经由 dc 去耦电容器 (未示出) 而从外部连接到节点 V_{in} 。在没有输入信号存在的情况下, V_{in} 将等于 V_{ref} 。在这种情况下, 将没有电流流过输入电阻器 R_{int} 。当在反馈路径中使用 4- 位 IDAC 时, 存在 2^4 (16) 个单元电流源的合组 50。

在没有输入信号的情况下（即，在中间级（mid-scale）的 ADC），这些电流源 53 中的 8 个将通过标记为 D 的开关 51 而连接到节点 Out41，而另外 8 个电流源将通过由 D 柱 52 驱动的开关将它们的电流拉向节点 Outb42。上电流源 31、32 的功能是针对连续时间积分器而平衡这些电流，使得没有净电流流入或流出求和连结点 41。结果，上电流源 31、32 提供中间级的电流偏置，该电流偏置使得 IDAC50 能够输出高于或低于中间级的电流。由于 $\Sigma - \Delta$ 环路以闭环环路控制系统工作，所以，反馈代码对输入信号进行跟踪。下电流源 53 的功能是平衡流过输入电阻器的输入信号电流。来自 IDAC 的反馈电流和来自输入电阻器 Rint 的输入电流之间的差称为误差电流。该误差电流被有效地传送到积分器级 70。

[0035] 图 4 示出了图 2 中的加扰器的操作。每个单元 IDAC55 由数据位驱动。该数据被热量计编码，使得在 4 位 IDAC 的该示例中有 $2^4 = 16$ 个数据位，每个单元 IDAC55 对应一条数据位，其可以在范围 0-16 中取值。定向数据加扰器 20 基于伪随机来选择 IDAC 单元元件的组合。积分器级 70 在连续的基础上对输出进行积分。图 4 示出了其中所要求的反馈值为 8 的示例情形。这要求 8 个单元 IDAC55 以使其电流经过开关 51，同时，另外 8 个使其电流经过开关 52。加扰器基于伪随机选择 IDAC 的不同的组合以获得期望的反馈电流，而不是每次选择同一 8 个 IDAC 组。在最简单的情况下，其在第一周期选择的 IDAC 组为“0000000011111111”，而在第二周期选择的 IDAC 组为“1111111100000000”。当然，加扰器可以选择 IDAC 的其它组合以获得值 8。已发现，使用加扰器 20 来选择 IDAC 的不同组合对闪烁噪声具有削去作用。对于低电平输入信号，来自加扰器的输出代码提供一频谱，其固有地将电流源闪烁噪声削到高频，该高频通过滤波来去除。

[0036] 根据本发明第二实施例的前端在图 5 中示出。在该实施例中，去除了偏置电流源 31、32 和斩波开关 35。其它组件与图 3 中示出的相同，且使用了类似的附图标记。放大器 60 和电阻器 64 共同构成电流到电压的转换器与另外的电阻器 65 一起确保在中级范围中，IDAC 产生流入求和连结点的净零电流。通过去除 DC 偏置电流源，具有改进噪声性能的优点，这是因为 DC 偏置电流源不再贡献热和闪烁噪声。

[0037] 为了说明该布置的操作，假定中间范围（无输入信号）状况，其中来自加扰器的 16 位热量计编码的信号包括设置高的 8 位和设置低的 8 位。该信号被施加到 16 个 IDAC50 上。这将设置其中 8 个 IDAC50 以将 D 使能为高。这使得这些 IDAC 的电流源 53 将电流通过节点“Out”拉离求和连结点。另外 8 个 IDAC 使 D 设置为低，意味着这些 IDAC 的电流源 53 将使其电流流经“Outb”。从“Outb”引出的电流由 op-amp60 发出。由于该电流必然流经最左端的电阻器 64，所以，这在 op-amp60 的输出端 63 处产生大于“vref”的电压。在 op-amp60 的输出端 63 处产生高于 vref 的正电压时，其依次将与流经节点“Outb”的电流在幅度上相等的电流通过最右端的电阻器 65 而注入到求和连结点 41。这样，从求和连结点通过由“Out”表示的路径而引出的电流通过由另一路径注入的电流来平衡。由于路径被平衡，所以，图 3 中示出的最上端（PMOS）电流源 31、32 就不再需要了。

[0038] 图 3 和图 5 中示出的前端对于 IDAC 电流提供一差分路径，以便流向求和连结点，同时还针对单端的输入连续时间 ADC 提供单端的输出电流。

[0039] 图 3 和图 5 中示出的前端的另一好处在于，通过 IDAC 的开关部分的总电流是现有技术中的一半。这是因为图 3 和图 5 的前端结构中所有的 IDAC 电流被用于取消进来的信号电流，而传统上使用一丢弃节点，其使得当处于中级时一半电流的使用是冗余的。

[0040] 在图 3 所示的布置中,其中使用了偏置电流源 31、32,为了削去 DC 偏置电流源闪烁噪声,需要明确的斩波开关 35 和驱动开关的足够高频率时钟。在图 5 的布置中,多位 ADC 的反馈路径中采用的数据定向加扰器 20 的开关特性使得无需明确采用斩波开关和高频时钟就可完成 IDAC 源 53 的噪声的削去。本发明还可以削去 IDAC 电流到电压放大器和积分放大器的闪烁噪声。

[0041] 在图 3 和图 5 中,选择信号 (D) 被施加到 NMOS 晶体管 51、52,并且在图 3 中由 PMOS 电流源 31、32 提供偏置电流。能够使该架构相反。在该“相反”架构中,IDAC 被实施为 PMOS 晶体管,且由 NMOS 电流源提供偏置电流。

[0042] 优选地,在图 3 和图 5 中的电流到电压放大器 60 和积分放大器 73 每个都是斩波稳定的。图 6 和图 7 示出了斩波稳定放大器的一个示例性实施例,其适合于作为 IDAC 放大器 60 和积分放大器 73 来使用。这是单端的 Class-AB 放大器,但是应理解,其它设计同样可以使用。所述放大器具有两个增益级 160、180。第一增益级 160 接收一对差分输入 V_{inp} 、 V_{inn} ,且包括图 7 中所示的一对输入器件 161、162,其由交迭式级联级所加载。第二增益级 180 包括一对器件 181、182,其被耦合在一起以形成单端的输出 V_{OUT} 。 V_{b2} 和 V_{b3} 驱动的器件形成用于第二级的 Class-AB 偏置方案。施加到器件 181、182 的栅极上的信号形成第一增益级的输出。第一增益级 160 的差分输入 V_{inp} 、 V_{inn} 经由斩波开关 163-166 连接到器件 161、162。第一增益级的输出通过斩波开关 183-186 也被斩波。放大器内的极性在操作的两个周期的每个期间进行交替,在第一周期期间开关 $\Phi 1$ 闭合而开关 $\Phi 2$ 断开,在第二周期期间开关 $\Phi 1$ 断开而开关 $\Phi 2$ 闭合,这具有在交替的周期之间交换第一级 160 的输入和输出的作用。可以看出,在第一周期期间, V_{inp} 经由开关 163 连接到器件 161 的栅极,而 V_{inn} 经由开关 165 连接到器件 162 的栅极。在第二周期期间, V_{inn} 经由开关 164 连接到器件 161 的栅极,而 V_{inp} 经由开关 166 连接到器件 162 的栅极。已发现使用具有两级且其中只有第一级是斩波稳定的放大器在连续时间 ADC 电路中具有性能优势。

[0043] 放大器 60、73 内的斩波开关 163-166、183-186 以及图 3 中的斩波开关 35 可以工作于宽范围的时钟速率。斩波控制电路被设计成以调制器时钟速率以及该时钟速率的因数来工作。通常,斩波开关可以工作在如下速率:与 $\Sigma - \Delta$ 调制器的主时钟相同的速率 (F_s) (即,调制器时钟速率) 或对调制器时钟速率进行二分细分的速率,例如 $F_s/2$ 、 $F_s/4$ 、 $F_s/8$ 。

[0044] 图 3 和图 5 中所示的以及上述的单端的前端 15 在提供针对反馈 IDAC 的单端的输出的同时还提供了差分架构的许多优点。它使能:

[0045] (1) 在 IDAC 结构中差动地消除电源噪声;

[0046] (2) 由于差分架构用 IDAC 产生的偶次谐波消除;

[0047] (3) 削去 IDAC 电流源闪烁噪声;

[0048] (4) 如果使用了 DC 偏置电流源,DC 偏置电流源的斩波;

[0049] (5) 去除 DC 偏置电流源;

[0050] (6) 减小的电流被耗尽在 IDAC 中。

[0051] 图 8 对图 3 所示的类型的前端在不具有 (迹线 110) 和具有 (迹线 112) 斩波稳定时的噪声性能进行了比较。该输入信号是 -60dB 满级 1KHz 信号。

[0052] 图 9 示出了根据本发明第二实施例的 ADC 的前端。这对应于图 2 示出的整个 ADC 的级 15。前端具有一对差分输入 V_{inp} 、 V_{inn} 以及一对差分输出 175、176。通常,输入信号

将经由 dc 去耦电容器（未示出）连接到 V_{inp} 、 V_{inn} 。每个输入 V_{inp} 、 V_{inn} 与电阻器 R_{int} 串联连接。该前端包括其中每个都提供偏置电流的两个 DC 偏置电流源 131、132。偏置电流用于在没有模拟输入信号的情况下以中级状况偏置前端。第一电流源 131 通过斩波开关 135 连接在供电轨 V_{DD} 和求和节点 141 之间。第二电流源 132 通过斩波开关 135 连接在供电轨 V_{DD} 和求和节点 142 之间。多位电流数模转换器 (IDAC) 150 连接到节点 141、142。IDAC 包括 $2N$ 个单元 IDAC 的组, 其中之一在图 9 中示为 55。IDAC 接收来自快闪式 ADC (18, 图 2) 的多位数字反馈信号, 该快闪式 ADC 是用于选择若干单元值 IDAC155。每个单元 IDAC155 包括电流源 153。电流源 153 的第一端接地。每个 IDAC155 的第一支路经由开关 151 连接在电流源 153 的第二端与求和节点 141 之间。每个 IDAC155 的第二支路经由开关 152 连接在电流源 153 的第二端与求和节点 142 之间。每个 IDAC155 接收选择信号 D。该选择信号直接施加到开关 151 上并在施加到 (D 杠) 开关 152 之前被反向。

[0053] 在第一配置和第二配置中, 一组斩波开关 135 将偏置电流源 131、132 交替地连接到节点 141、142。在第一配置中, 偏置电流源 131 连接到节点 141, 而偏置电流源 132 连接到节点 142 (如前所述)。在该结构中, 开关 $\Phi 1$ 是闭合的, 而开关 $\Phi 2$ 是打开的。在第二结构中, 电流源被交换, 偏置电流源 131 连接到节点 142, 而偏置电流源 132 连接到节点 141。在该结构中, 开关 $\Phi 2$ 是闭合的, 而开关 $\Phi 1$ 是打开的。斩波开关接收时钟信号 f_{chop_mos} , 该信号控制开关 135 的开关速率。

[0054] 积分器级包括积分放大器 (op-amp) 170 以及连接在每个输出和输入对之间的反馈电容器 C_{int} 。节点 142 连接到积分放大器 170 的求和节点 171 和积分放大器 170 的反相输入端上。节点 142 连接到积分放大器 170 的求和节点 172 和积分放大器 170 的非反相输入端上。积分放大器 170 是斩波稳定的, 并接收用于控制斩波速率的信号 f_{chop_amp} 。斩波开关 153 可工作在与用于 $\Sigma - \Delta$ 调制器的主时钟相同的速率或对调制器时钟速率进行二分细分的速率, 例如 $F_s/2$ 、 $F_s/4$ 、 $F_s/8$ 。

[0055] 现在描述所述电路的工作。前端中闪烁噪声的三个源是每个 IDAC155 内的单元电流源 153、偏置电流源 131、132, 以及积分放大器 170 中存在的闪烁噪声。通过将偏置电流源 131、132 交替地连接到一个差分输入端上然后另一个上对偏置电流源 131、132 进行斩波, 其具有将它们闪烁噪声调制到供其来回切换的频率的作用。该噪声还被调制到该切换速率的奇次谐波, 即 F_s 、 $3F_s$ 、 $5F_s$ 等。IDAC 内存在的电流源 153 通过加扰器的切换动作而来回地切换。差分放大器 170 包含交替地来回切换的两组斩波开关。这使得放大器 170 内存在的闪烁噪声被移到驱动斩波开关的时钟频率以及与其相关联的奇次谐波。放大器 170 内的斩波开关可以工作在与用于 $\Sigma - \Delta$ 调制器的主时钟相同的速率 (F_s) 或者是对调制器时钟速率的二分细分频率, 例如 $F_s/2$ 、 $F_s/4$ 、 $F_s/8$ 。

[0056] 当选择了 IDAC, 电流源 153 通过开关 151 连接到 V_{inp} , 并从节点 141 拉电流。相反地, 当未选择 IDAC 时, 第二支路中的开关 152 被接通, 其将电流源 153 连接到节点 142, 这具有从节点 142 拉电流的作用。差分放大器 170 与积分电容器 C_{int} 一起对节点 171、172 的净输入电流的差进行积分, 以在输出 I_{ntp} 和 I_{ntn} 之间产生差分输出电压。

[0057] 来自每个 IDAC155 内的电流源 153 的噪声通过由加扰器 20 进行的 IDAC 的伪随机选择来削去。多位 ADC 的反馈路径中所采用的加扰器 20 的开关特性使得无需明确采用斩波开关和高频时钟就可完成斩波。为了削去 DC 偏置电流源 131、132 的闪烁噪声, 需要明确

的斩波开关和足够高频率的时钟。

[0058] 图 10 示出了实现一种可以用作积分器级的放大器 170 的斩波稳定完全差分放大器的方式。该放大器具有两个增益级,并具有输入 V_{inp} 、 V_{inn} 和输出 V_{outp} 、 V_{outn} 。图 6 示出了实现放大器 170 的一种方式。第一增益级接收一对差分输入 V_{inp} 、 V_{inn} 并包括由交迭式级联器件堆加载的器件 261、262。放大器内的输入对的极性在操作的两个周期的每个周期期间变化,且在第一周期期间开关 $\Phi 1$ 闭合,开关 $\Phi 2$ 断开,而在第二周期期间开关 $\Phi 1$ 断开,开关 $\Phi 2$ 闭合,其具有在交替的时钟周期之间交换第一级 260 的输入和输出的作用。可以看出,在第一周期期间, V_{inp} 经由开关 263 连接到器件 261 的栅极,而 V_{inn} 通过开关 265 连接到器件 262 的栅极。在第二周期期间, V_{inn} 通过开关 264 连接到器件 261 的栅极,而 V_{inp} 通过开关 266 连接到器件 262 的栅极。由于第一增益级的输出端处的斩波开关 271-278 的原因,放大器的总的极性是不变的。第二增益级包括器件 281-284,其提供输出 V_{outp} 、 V_{outn} 。已发现,使用具有两个增益级、且只有第一增益级是斩波稳定的放大器在连续时间 ADC 电路中具有性能优势。经修改的架构保留了小面积 ADC 的优势,同时还提供高性能。图 9 的差分结构以及图 3 和图 5 的伪差分结构也可以消除由电流源自身的切换而产生的失真中的偶次谐波。

[0059] 应理解,为清晰起见而在单独实施例的上下文中描述的本发明的某些特征也可以结合起来在单个实施例中提供。相反地,为简明起见而在单个实施例的上下文中描述的本发明的各个特征也可以单独提供或以任何适当的子组合来提供。

[0060] 本发明不限于这里所描述的实施例,在不超出本发明范围的情况下可以对本发明进行修改和变化。

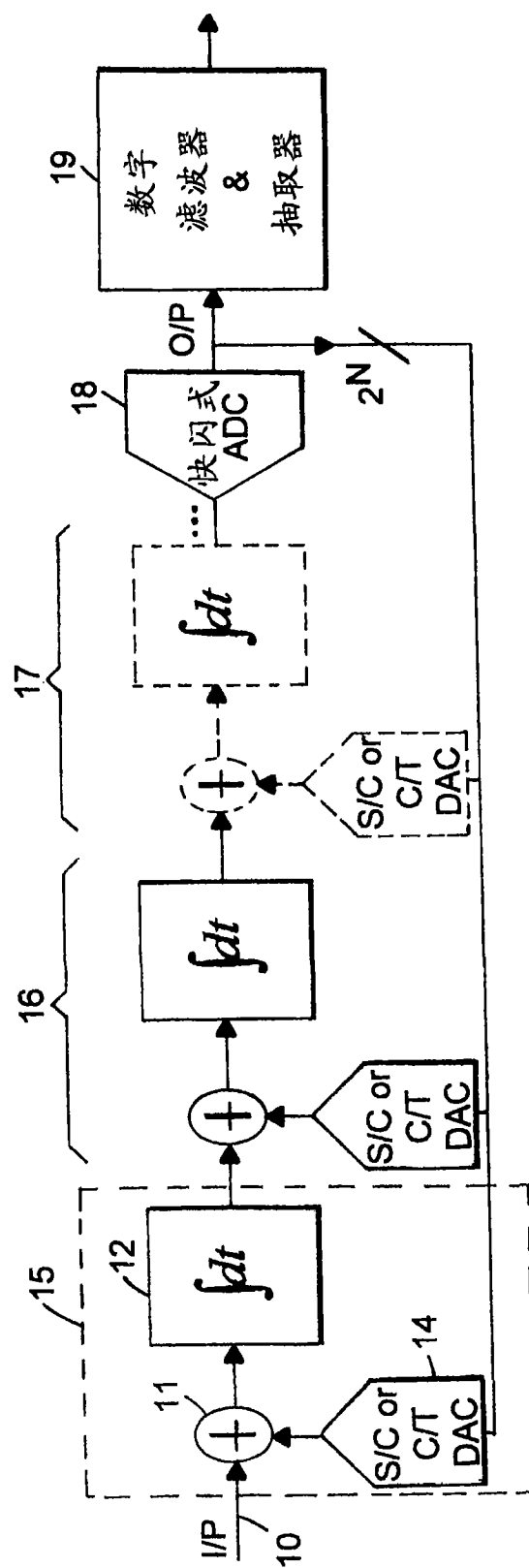


图1

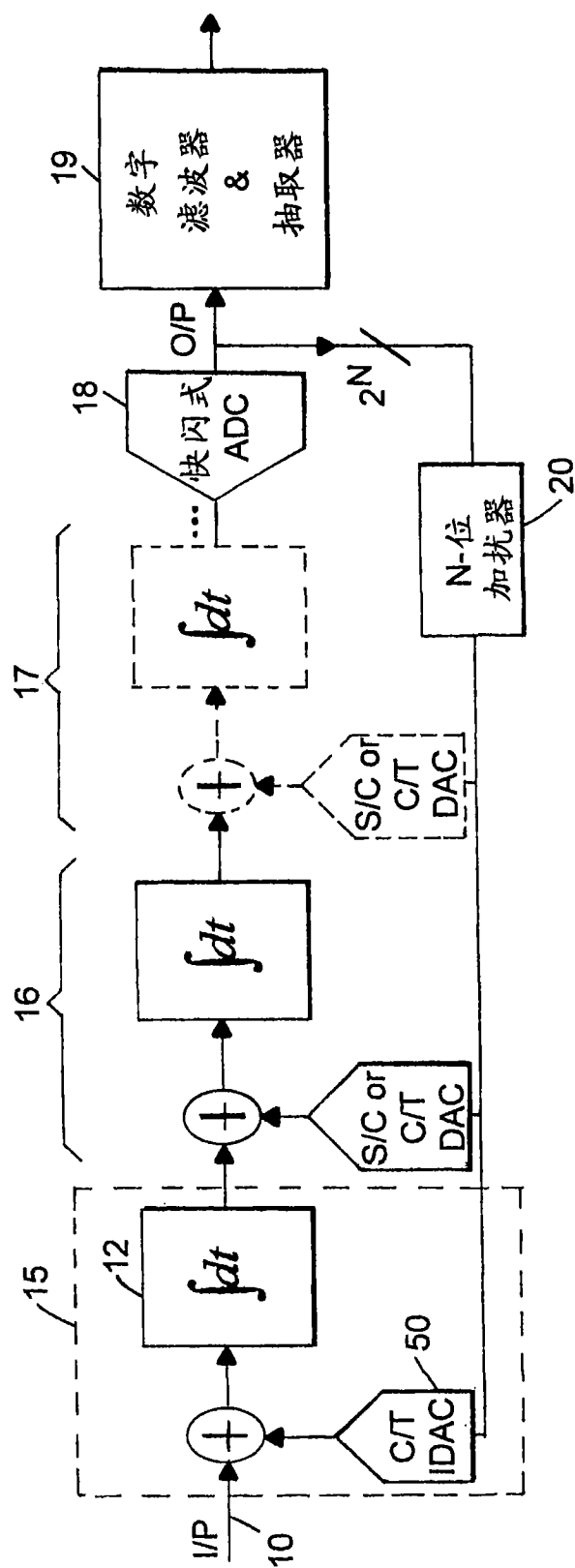
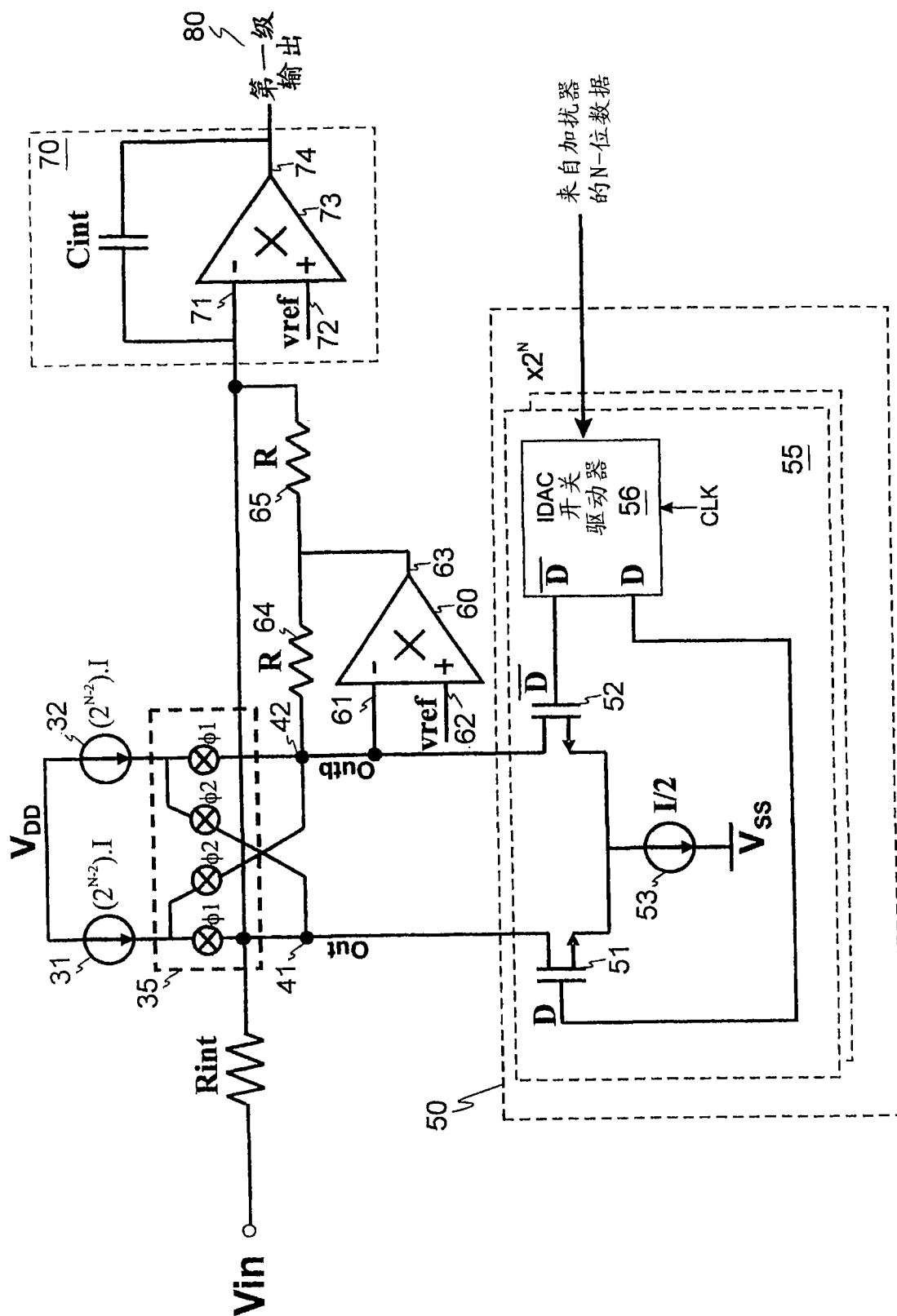


图 2



3
[X]

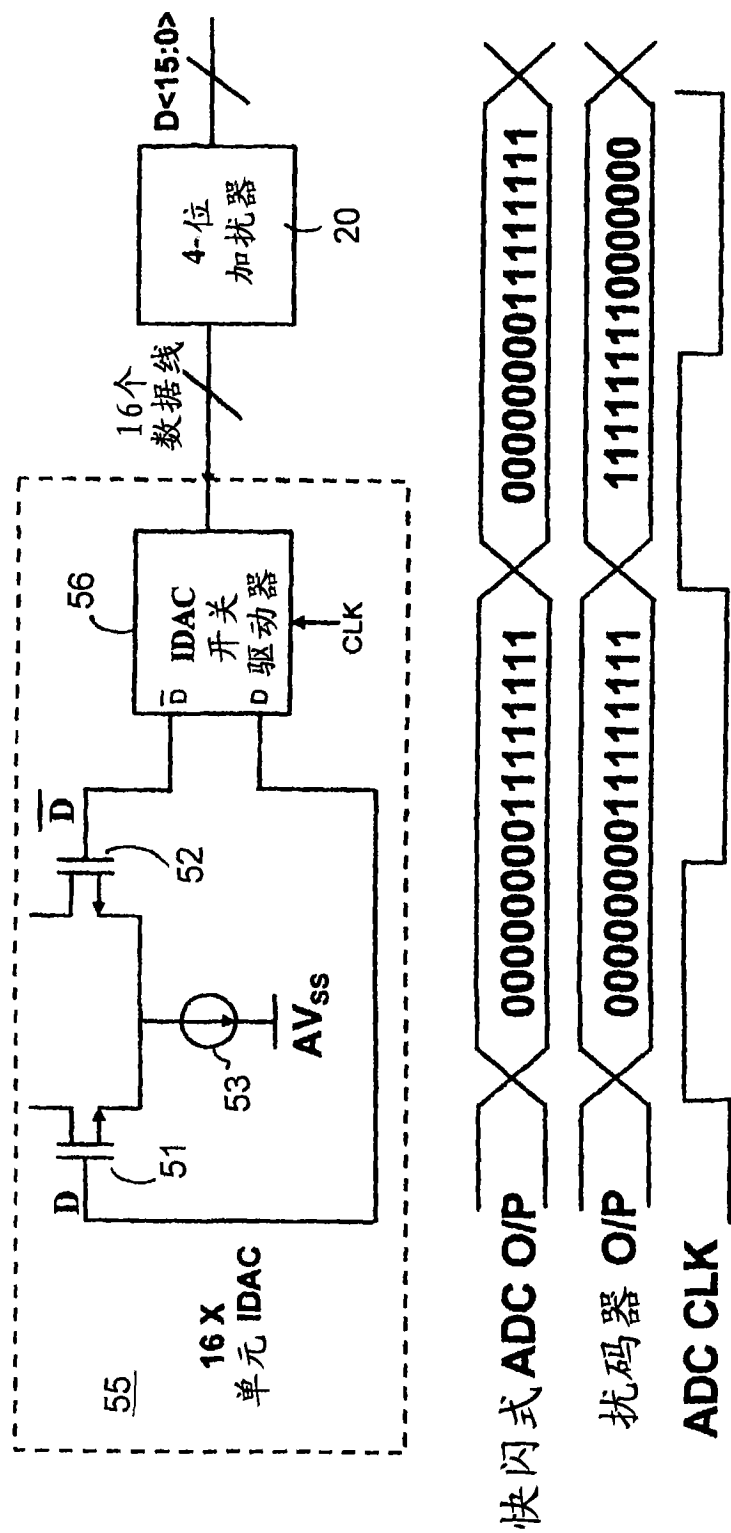
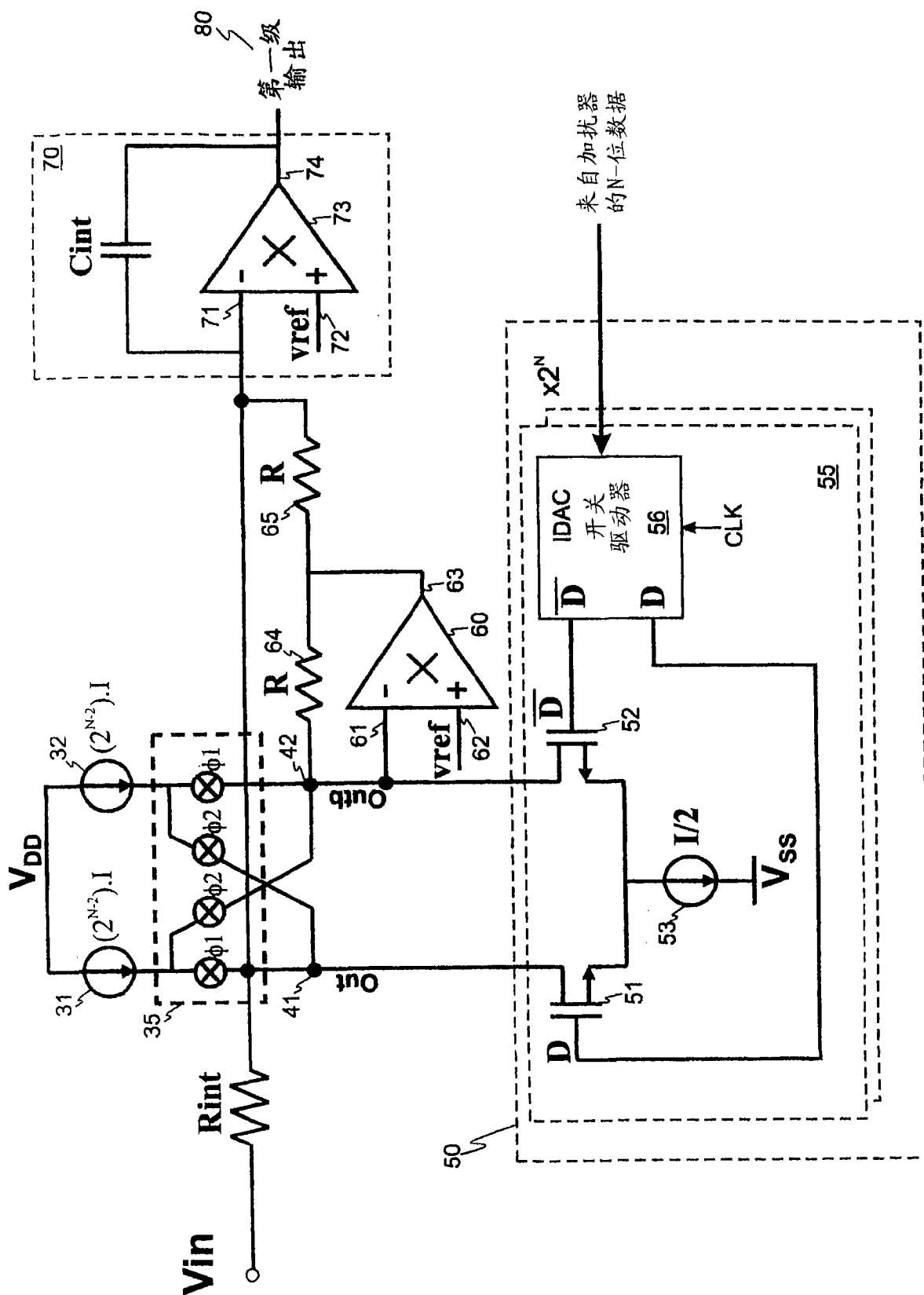


图 4



5

60, 73

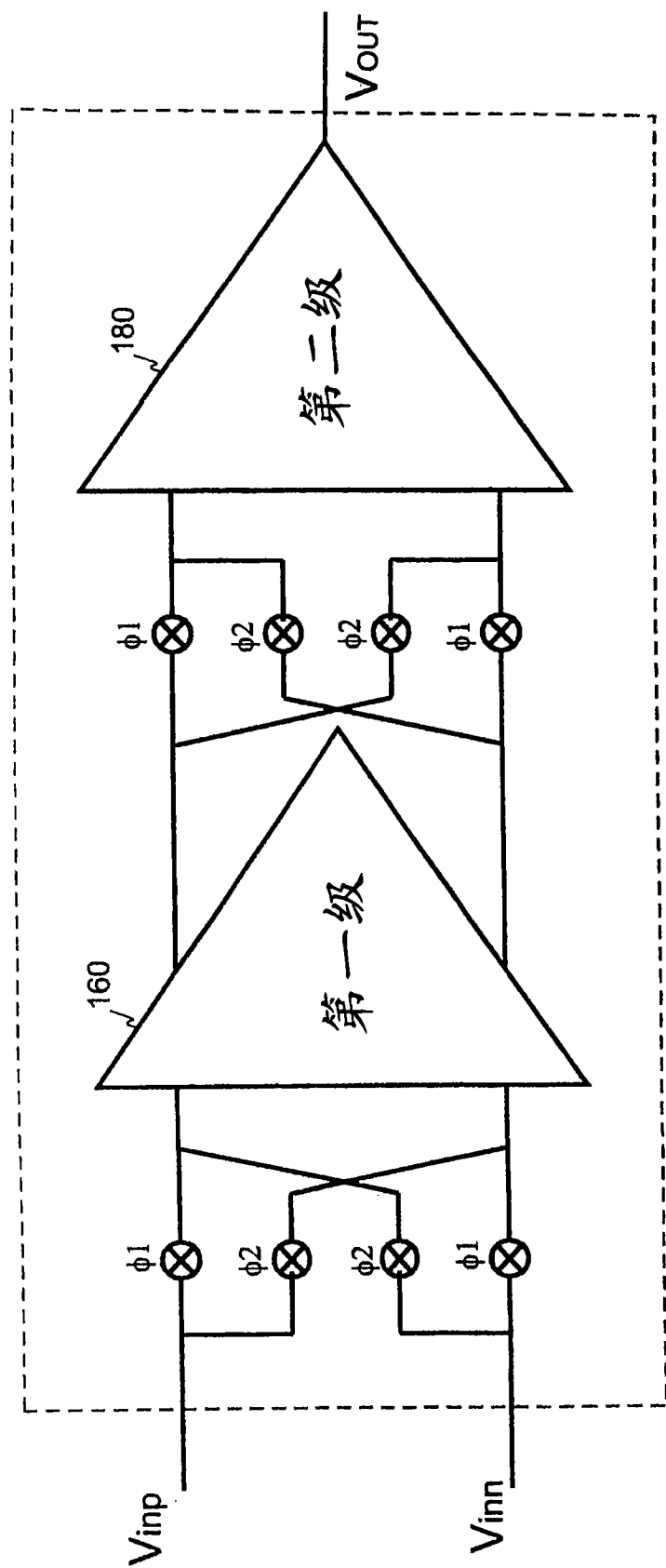


图6

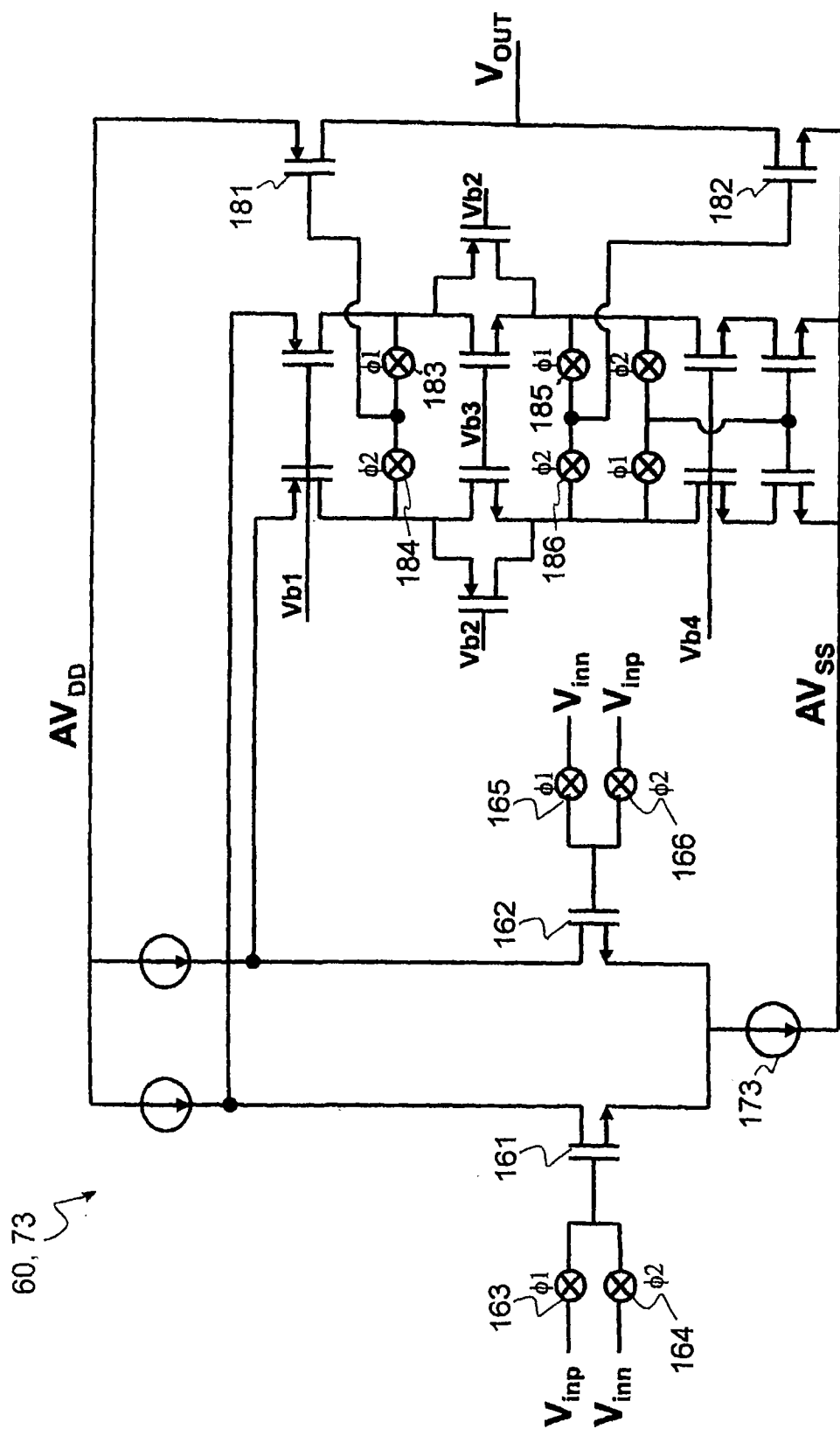


图 7

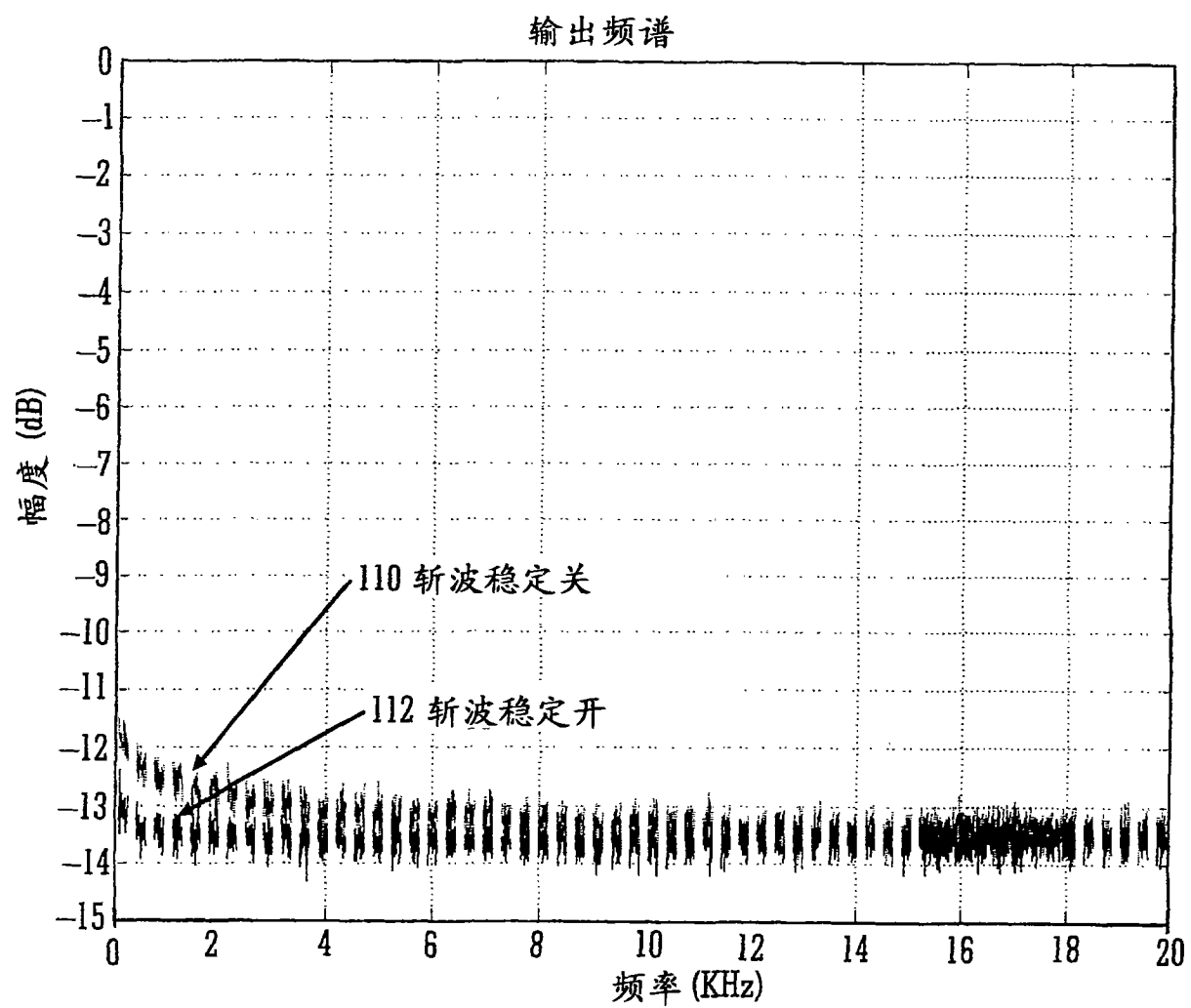


图 8

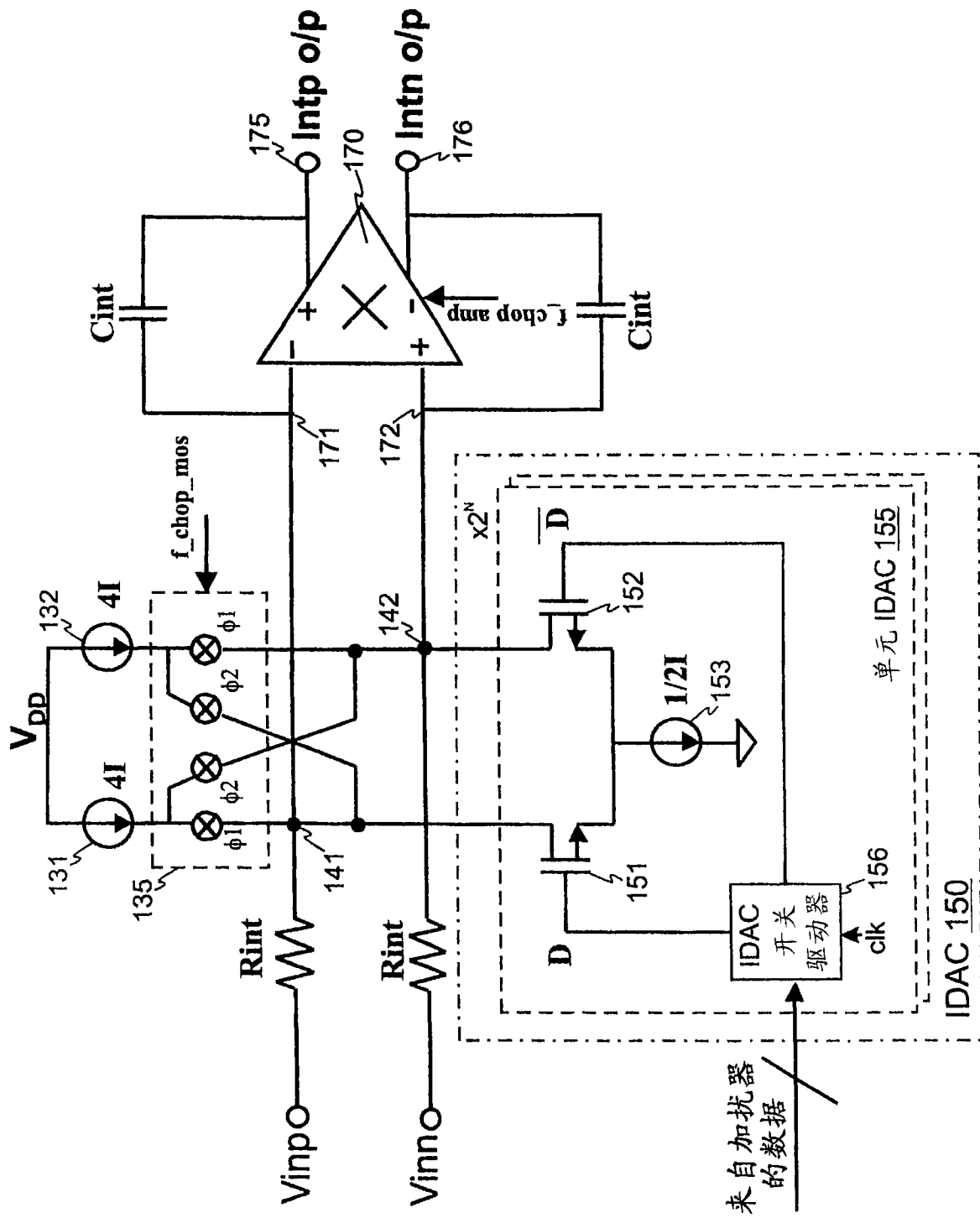
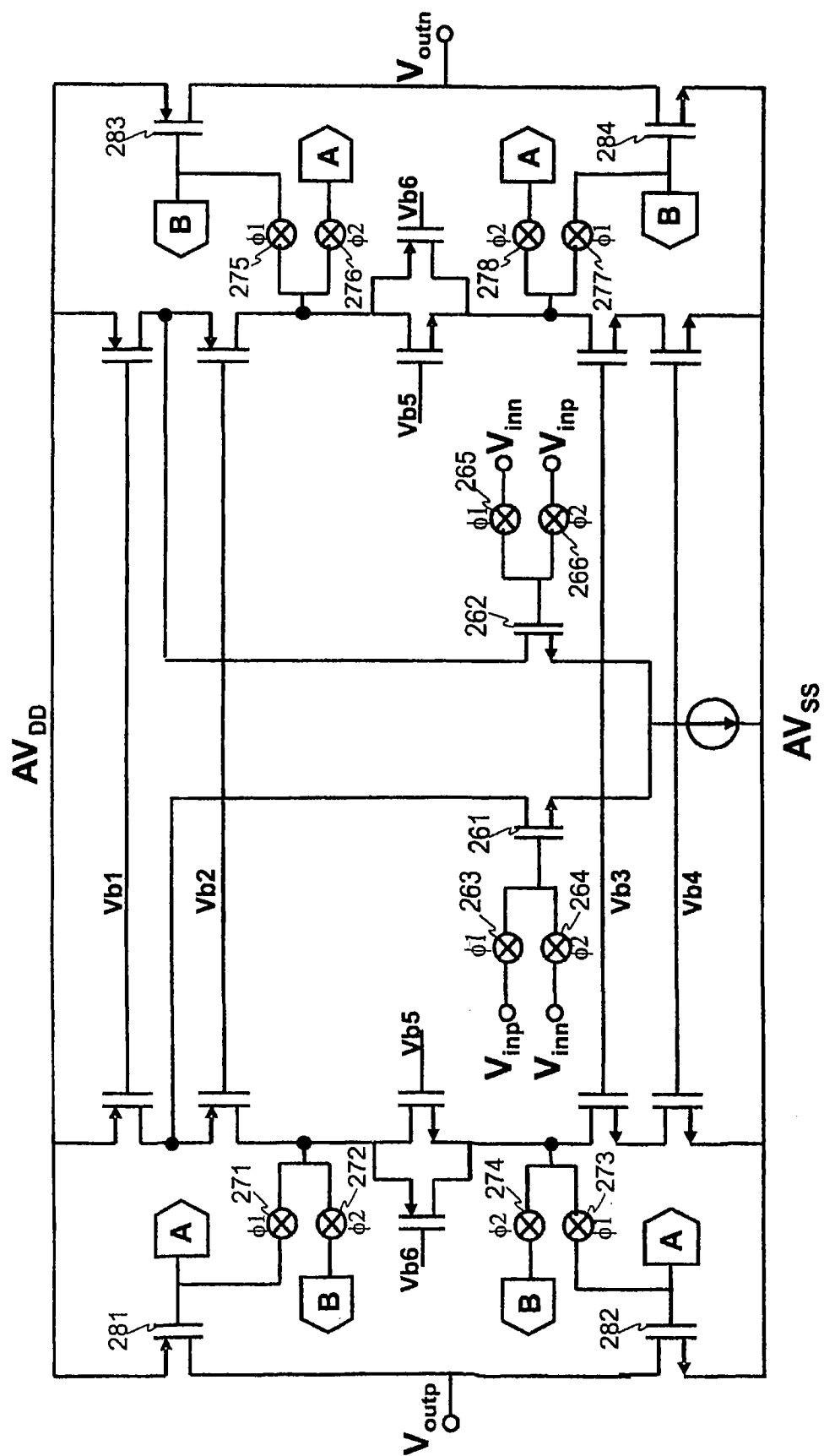


图9



10