

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成20年3月6日(2008.3.6)

【公表番号】特表2002-521779(P2002-521779A)
 【公表日】平成14年7月16日(2002.7.16)
 【出願番号】特願2000-561619(P2000-561619)
 【国際特許分類】

G 1 1 C 11/22 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

【F I】

G 1 1 C 11/22 5 0 1 A

H 0 1 L 27/10 4 4 4 B

【誤訳訂正書】
 【提出日】平成19年12月28日(2007.12.28)

【誤訳訂正 1】
 【訂正対象書類名】明細書
 【訂正対象項目名】請求項 1
 【訂正方法】変更
 【訂正の内容】

【請求項 1】 多数のメモリセルからなるメモリセルフィールドを有する強誘電性記憶装置であって、

前記メモリセルはそれぞれ少なくとも 1 つの選択トランジスタ (T G 1, T G 2)、短絡電界効果トランジスタ (S G 1, S G 2) およびメモリキャパシタ (C F 1, C F 2) を有し、かつワード線路 (W L i) およびビット線路 (B L, b B L) を介して制御可能であり、

前記各短絡電界効果トランジスタのソース-ドレイン区間が所属のメモリキャパシタ (C F 1, C F 2) の電極間に接続されている形式の強誘電性記憶装置において、

前記短絡電界効果トランジスタ (S G) は前記選択トランジスタ (T G) とは異なる スイッチオン 電圧を有し、

前記選択トランジスタ (T G) の制御端子と前記短絡電界効果トランジスタ (S G) の制御端子とはワード線路 (W L i) に接続されている、
 ことを特徴とする強誘電性記憶装置。

【誤訳訂正 2】
 【訂正対象書類名】明細書
 【訂正対象項目名】請求項 4
 【訂正方法】変更
 【訂正の内容】

【請求項 4】 前記メモリキャパシタ (C F) は、スタックコンデンサとして前記選択トランジスタ (T G) の上部に配置されているか、またはオフセットコンデンサとして前記選択トランジスタ (T G) の横に配置されている、請求項 1 から 3 までのいずれか 1 項記載の強誘電性記憶装置。

【誤訳訂正 3】
 【訂正対象書類名】明細書
 【訂正対象項目名】0 0 2 2
 【訂正方法】変更
 【訂正の内容】
 【0 0 2 2】

障害パルスの不利な影響を回避するため、本発明の記憶装置では各強誘電性メモリキャパシタに付加的なトランジスタが設けられ、このトランジスタは強誘電性メモリキャパシタの電極を短絡することができる。この付加的なトランジスタは選択トランジスタと同じ形式とすることができ、例えばNチャネル電界効果トランジスタの場合には正のスイッチオン電圧によるエンハンスド形トランジスタである。しかし有利にはNチャネル電界効果トランジスタの場合に、負のスイッチオン電圧による空乏層トランジスタとすることもできる。エンハンスド形トランジスタはとりわけ有利である。なぜなら、これにより強誘電性メモリキャパシタに対する効果的な保護がアクティブな動作モードでも遮断状態でも、ファラデーケージの形態で得られるからである。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0023

【訂正方法】変更

【訂正の内容】

【0023】

スイッチオン電圧を巧妙に選択すればさらに、記憶装置が1T1Cメモリセルと比較して付加的な面積を必要としないことが保証できる。

【誤訳訂正 5】

【訂正対象書類名】明細書

【訂正対象項目名】0024

【訂正方法】変更

【訂正の内容】

【0024】

メモリキャパシタはスタックコンデンサとして選択トランジスタの上部に配置することも、また「オフセット」コンデンサとして選択トランジスタの横に配置することもできる。

【誤訳訂正 6】

【訂正対象書類名】明細書

【訂正対象項目名】0050

【訂正方法】変更

【訂正の内容】

【0050】

短絡トランジスタを有する図7の1T1Cメモリセルのこの大きな必要面積は次のようにして格段に低減することができる。すなわち、短絡トランジスタSGに対して、選択トランジスタとはスイッチオン電圧の異なる電界効果トランジスタまたは空乏層形電界効果トランジスタを使用するのである。この場合、空乏層形電界効果トランジスタを強誘電性キャパシタに対して使用する場合に得られるすでに述べたファラデーケージの利点の他に、ワード線路の機能と制御線路SLの機能とを1つの線路にまとめることができるようになる。短絡トランジスタと8F2の必要面積を有する1T1Cメモリセルの相応のメモリセル構成が概略的に図8に示されており、ここにはワード線路WL0, WL1, WL2, WL3およびビット線路BL0, bBL0, BL1およびbBL1、選択トランジスタTG、短絡トランジスタSG並びにメモリキャパシタCferroが示されている。ここでメモリセルは相互に接続されており、ワード線路および制御線路として用いられる線路には選択トランジスタTGと短絡トランジスタSGとが接続されている。ここで選択トランジスタTGと短絡トランジスタSGとは交互にこの線路に接続されている。

【誤訳訂正 7】

【訂正対象書類名】明細書

【訂正対象項目名】0052

【訂正方法】変更

【訂正の内容】

【 0 0 5 2 】

以下図 4 に基づいて、N チャネル電界効果トランジスタに対する本発明の強誘電性メモリ記憶装置の機能を説明する。ここでは、空乏層形電界効果トランジスタのスイッチオン電圧が、共通の電極 P L における電圧の負の値よりも負であることが前提である。

【誤訳訂正 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 3

【訂正方法】変更

【訂正の内容】

【 0 0 5 3 】

記憶装置が投入接続されるとき、全てのワード線路 W L は 0 V である。まず最初に、0 V の共通電極 P L が電圧 $V_{DD}/2$ に上昇する。空乏層形電界効果トランジスタのスイッチオン電圧は相応に大きく負に選択されているから、この電界効果トランジスタは共通電極が $V_{DD}/2$ に充電されてからも導通する。これにより強誘電性メモリキャパシタの全ての電極が短絡される。