

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/16

G11C 5/00



[12] 发明专利申请公开说明书

[21] 申请号 200410064299.3

[43] 公开日 2005 年 2 月 9 日

[11] 公开号 CN 1577618A

[22] 申请日 2001. 11. 30

[21] 申请号 200410064299.3

分案原申请号 01142498.2

[30] 优先权

[32] 2001. 2. 6 [33] JP [31] 29426/2001

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 国清辰也 永久克己 前田茂伸

[74] 专利代理机构 中国专利代理(香港)有限公司

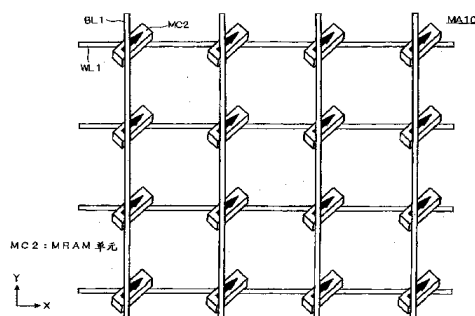
代理人 梁 永

权利要求书 1 页 说明书 49 页 附图 50 页

[54] 发明名称 磁存储装置与磁基片

[57] 摘要

本发明提供了一种磁存储装置，具有：至少一个半导体芯片、导体构成的容纳所述至少一个半导体芯片的屏蔽件、树脂构成的容纳所述屏蔽件的壳体、封闭所述壳体的开口来密封的底面基片、配置在所述底面基片的外侧主面上进行所述至少一个半导体芯片与外部的信号输送的信号输送用凸块、配置成围绕所述信号输送用凸块的电连接于所述屏蔽件的屏蔽用凸块，所述至少一个半导体芯片包括磁存储芯片，该芯片配设存储器单元阵列，该存储器单元阵列由含至少一个磁隧道结的多个存储器单元构成。



ISSN 1008-4274

1. 一种磁存储装置，具有：至少一个半导体芯片、导体构成的容纳所述至少一个半导体芯片的屏蔽件、树脂构成的容纳所述屏蔽件的壳体、封闭所述壳体的开口来密封的底面基片、配置在所述底面基片的外侧主面上进行所述至少一个半导体芯片与外部的信号输送的信号输送用凸块、配置成围绕所述信号输送用凸块的电连接于所述屏蔽件的屏蔽用凸块，所述至少一个半导体芯片包括磁存储芯片，该芯片配设存储器单元阵列，该存储器单元阵列由含至少一个磁隧道结的多个存储器单元构成。
2. 根据权利要求1所述的磁存储装置，还配备配置在所述屏蔽件的开口端内侧和外侧的第一应力缓解膜、配置在所述屏蔽件内壁的第二应力缓解膜。
3. 根据权利要求2所述的磁存储装置，所述至少一个半导体芯片还包括包含所述存储器单元阵列的周边电路的电路芯片，所述磁芯片和所述电路芯片上下重叠，容纳在所述屏蔽件内。

磁存储装置与磁基片

本申请是申请日为2001年11月30日、申请号为01142498.2、发明
5 名称为“磁存储装置与磁基片”的发明专利申请的分案申请。

技术领域

本发明涉及磁存储装置，特别涉及具有把磁隧道结用作各个存储器
单元的非易失性存储器阵列的磁存储装置。

背景技术

10 <隧道磁电阻效应>

把2个铁磁体夹住绝缘体的结构叫作磁隧道结（Magnetic Tunnel
Junction: MTJ）。

图67表示MTJ的概念。图67中，配置成铁磁层FM21和FM22
夹住绝缘层TB，成为向铁磁层FM21和FM22施加电压的结构。

15 该结构中，测定隧穿绝缘层TB的电流时，有2个铁磁层的磁化方
向不同，观测到电流值不同的现象。该现象叫作隧道磁电阻（Tunnel
Magnetic Resistance: TMR）效应。用图68～图70说明TMR。

图68表示过渡金属的态密度 $N(E)$ 的简图。图68中，横轴表示
态密度，纵轴表示能量 E ，按自旋方向分别表示原子拥有的电子。即，
20 图68中左侧表示具有自旋方向向下的电子的原子的态密度，右侧表示具
有自旋方向向上的电子的原子的态密度。

图68中，为了简单表示3d轨道和4s轨道中电子填充到费米能级的
原子，以费米能级为界，以阴影表示电子填充到费米能级的原子。

25 过渡金属成为铁磁体是因为在电子填充到费米能级的原子中，在3d
轨道的电子中，向上自旋的数目和向下自旋的个数不同。

即，4s轨道上的电子因向上自旋的个数和向下自旋的个数相同而不
促进磁性产生。

图69和图70是简单表示TMR效应的图。图69中，构成绝缘层
TB的左侧的铁磁层FM21的原子的3d轨道中，具有向下自旋的电子的
30 原子的态密度比具有向上自旋的电子的原子的态密度多，磁化方向整体
向下。

绝缘层TB右侧的铁磁层FM22也同样，磁化方向整体向下。

电子隧穿引起主要保存始状态和终状态的自旋方向。图 69 的情况中，由于始状态（铁磁层 FM21 内）和终状态（铁磁层 FM22 内）的向下的自旋态密度都很大，隧道概率增大，隧道电流也增大。即隧道磁电阻减小。

- 5 另一方面，由于图 70 中具有始状态（铁磁层 FM21 内）的向上自旋的电子的原子的态密度大，但具有终状态（铁磁层 FM22 内）的向上自旋的电子的原子的态密度小，隧道概率减小，隧道电流也减小。即隧道磁电阻增大。

10 这里，若两个铁磁层的磁化方向彼此相同时的电阻为 R_F ，相互反向时的电阻为 R_{AF} ，则隧道磁电阻变化率（Tunnel Magnetic Resistance Rate: TMRR）用下式表示。

（式 1）

$$\text{TMRR} = \frac{R_{AF} - R_F}{R_F} = \frac{P_1 P_2}{1 - P_1 P_2} \dots\dots\dots(1)$$

15 在上述式（1）中， P_1 、 P_2 分别是铁磁层 FM21 和 FM22 的自旋极化率。

而且， σ 自旋带的费米面的态密度为 $D_\sigma(E_F)$ 时，自旋极化率用下式表示。

（式 2）

$$P = \frac{D_\uparrow(E_F) - D_\downarrow(E_F)}{D_\uparrow(E_F) + D_\downarrow(E_F)} \dots\dots\dots(2)$$

20 即，费米面的向上自旋和向下自旋的态密度差越大，自旋极化率越大。自旋极化率越接近 1，TMR 越大。自旋极化和磁化的比例已知。这里，表 1 中汇总表示出各种磁体的自旋极化率。

表 1

材料	自旋极化率
Fe	0.44
Co	0.35
Ni	0.23
Ni ₈₀ Fe ₂₀	0.25,0.45
FeCo	0.53
NiMnSb	1,0.58

PtMnSb	1
CrO ₂	1
Fe ₃ O ₄	1
(La·Sr)MnO ₃	1

利用以上说明的 TMR 效应,将两个铁磁层的磁化方向对应于 0 或 1 存储数据的装置就是 MRAM (Magnetic Random Access Memory)。

于是,有一种情况是:想仅改变 MTJ 的两个铁磁层之一的磁化方向,但图 67 的结构中施加磁场时,二个铁磁层的磁化方向却都改变了。
5 因此,为了固定一个铁磁层的磁化方向的目的,如图 71 所示,提出在一个铁磁层上形成反铁磁层的结构。

图 71 中,铁磁层 FM21 和 FM22 夹住绝缘层 TB,在铁磁层 FM21 上部配置反铁磁层 AF。另外,反铁磁层 AF 上连接直流电源的正电极,铁磁层 FM22 上连接负电极。

10 相邻形成铁磁层和反铁磁层时,通过闭合贯通二者的磁力线固定磁化方向。将该结构叫作自旋阀型铁磁隧道结元件。

图 72 表示自旋阀型铁磁隧道结元件的变形例的结构。图 72 中,铁磁层 FM21 和 FM22 夹住绝缘层 TB,在铁磁层 FM21 上部配置反铁磁层 AF,在铁磁层 FM22 的下部配置铁磁层 FM23。

15 这里,反铁磁层 AF 例如用含 Ir(铱)20-30atom%的 IrMn 构成,固定铁磁层 FM21 的磁化方向,但由于较好是磁化方向相对外部磁场难以反转,因此作为铁磁层 FM21,可使用矫顽力大的 CoFe。

如使用式(1)说明的那样,隧道磁电阻变化率(TMRR)随自旋极化率大而增大,作为自旋极化率大的材料,使用 CoFe。

20 另一方面,铁磁层 FM22 中也使用相同的 CoFe,但希望铁磁层 FM22 是矫顽力小的材料,以便可由小的外部磁场控制磁化方向。

图 72 的结构中,为了铁磁层 FM22 的磁化方向容易反转,作为铁磁层 FM23,使用矫顽力和自旋极化率小的 Ni₈₀Fe₂₀(坡莫合金)。由此,铁磁层 FM22 在小的外部磁场中可反转磁化方向。

25 图 73 表示图 72 所示的自旋阀型铁磁隧道结元件的实际结构,图 74 表示该结构中的 TMR 的实际测定特性。

图 73 中,绝缘层 TB 配置在平面配置于基片 BD 上的反铁磁层 AF 和铁磁层 FM21 的层叠体上部,绝缘层 TB 上部配置铁磁层 FM23。这

种结构中，施加外部磁场，测定磁电阻 MR 的变化的结果如图 74 所示。

图 74 中，横轴表示磁场（按 1 奥斯特=约 79A/m 换算）、纵轴表示隧道磁电阻率（TMRR）。从图 74 判断出，TMRR 实现 36% 的值、反转磁化方向需要的磁场大约低至 30（× 79A/m）、得到相对磁场方向对称的磁滞回线。

<MRAM 的结构和动作原理>

在外部磁场中控制成在 MRAM 中构成存储器单元的磁隧道结元件的两个铁磁体的磁化方向在相同或者相反的方向上，磁化方向相同或相反的方向状态对应于 0 或 1 存储数据。

10 存储的数据可通过在存储器单元中流过规定电流、检测隧道磁电阻的两端电压来读出。并且，由于隧道磁电阻值的变化率（TMRR）越大，越容易检测，MRAM 中最好是自旋极化率大的铁磁材料。

使用布线（字线和位线）中流过规定电流产生的磁场，改变一个铁磁体的磁化方向即可写入数据。

15 <MRAM 单元的结构>

下面作为 MRAM 的已有例，说明美国专利 USP5,793,697 公开的 MRAM 的结构和动作。

图 75 是表示 MRAM 单元阵列和单元的透视图。图 75 中，相互平行配置位线 4,5 和 6，使得其在彼此平行设置的字线 1,2 和 3 的上部交叉。

20 并且，字线和位线夹住的各交叉点中形成 MRAM 单元（后面有时简称单元）9。如图 75 中放大显示的那样，MRAM 单元 9 是在字线上层叠硅 pn 结二极管 7 和磁隧道结元件（MTJ）8 的结构。

图 76 是表示 MRAM 单元 9 的剖面结构的简图。图 76 中，例示出字线 3 上的 MRAM 单元 9，在硅衬底 80 上配置字线 3，在其上层叠 n⁺硅层 10 和 p⁺硅层 11，形成 pn 结二极管 7。pn 结二极管 7 用氧化硅膜 13 等绝缘膜覆盖。

并且，pn 结二极管 7 的上部配置钨接线柱 12，pn 结二极管 7 经钨接线柱 12 电连接于 MTJ8。氧化硅膜 13 配置成也覆盖钨接线柱 12，钨接线柱 12 和氧化硅膜 13 的表面用 CMP (Chemical Mechanical Polishing) 平坦化。

30 MTJ8 是层叠结构，从下面依次配备铂（Pt）构成的模板层 15（膜厚 10nm）、Ni₈₁Fe₁₉ 的坡莫合金构成的初始铁磁层 16（膜厚 4nm）、

Mn₅₄Fe₄₆ 构成的反铁磁层 18 (膜厚 10nm)、CoFe 或 Ni₈₁Fe₁₉ 的坡莫合金构成的磁化方向固定了的铁磁层 20 (膜厚 8nm)、Al₂O₃ 构成的隧道阻挡层 22、膜厚 2nm 的 CoFe 和膜厚 20nm 的 Ni₈₁Fe₁₉ 的多层膜构成的软铁磁层 24、Pt 构成的接触层 25。

- 5 隧道阻挡层 22 层叠 1~2nm 的 Al 后, 通过等离子体氧化法在 100mTorr 的氧压力下以 25W/cm² 的能量密度进行 60~240 秒的处理形成。

图 76 未示出, 但实际上衬底 80 上的氧化硅膜 13 的整个面上形成 1 个大的 MTJ, 使用光刻胶掩模通过氩离子研磨对其构图, 形成图 76 所示的多个小 MTJ。各个 MTJ8 用氧化硅膜 26 覆盖。图 76 未示出, 但接触层 25 连接于位线。

如前面说明的那样, MTJ8 的磁隧道电阻在软铁磁层 24 的磁化方向与铁磁层 20 的磁化方向相同时和彼此相反时不同。软铁磁层 24 的磁化方向可由流过位线和字线的电流产生的磁场改变。

- 15 MTJ8 的磁隧道电阻非常依赖隧道阻挡层 22 的膜厚、其阻挡高度和结下表面的粗糙度等膜的材料特性。

软铁磁层 24 形成为具有叫作易磁化轴 (easy axis) 的磁化方向。沿着该易磁化轴的磁化方向为 2 个反向, 可分别对应于存储器单元的 0 和 1 两个数据。

- 20 另一方面, 铁磁层 20 形成为磁化方向与软铁磁层 24 的易磁化轴相同并且不根据 MRAM 的动作状态改变方向。

将该磁化方向叫作固定磁化方向 (简单称为单轴各向异性方向)。软铁磁层 24 的易磁化轴组合 MTJ8 的内禀各向异性 (intrinsic anisotropy)、应力诱发各向异性 (stress induced anisotropy)、形状引起的各向异性来确定。

这里, 所谓内禀各向异性指的是具有铁磁性的物体本来的磁化各向异性, 所谓应力诱发各向异性是指对铁磁体施加应力时产生的磁化各向异性。

- 30 如图 75 所示, MTJ8 是平面形状, 是长边长为 L、短边长为 W 的长方形。这是由于利用 MTJ8 的形状引起的各向异性确定软铁磁层 24 的易磁化轴。

接着, 说明铁磁层 20 的固定磁化方向的设定方法。模板层 15 上层

叠形成的初始铁磁层 16 的结晶方向为{111}方向的面（{111}面）向上生长。MnFe 构成的反铁磁层 18 层叠在初始铁磁层 16 上。

这些磁性层在朝向与后面层叠的软铁磁层 24 的易磁化轴方向相同的方向的磁场下层叠，由此，确定软铁磁层 24 的固定磁化方向。

- 5 由于铁磁层 20 与反铁磁层 18 之间磁力线闭合，铁磁层 20 的磁化方向比软铁磁层 24 的磁化方向更难以因外部磁场改变方向，在流过字线和位线的电流产生的磁场的大小范围内，铁磁层 20 的磁化方向被固定。另外，由于 MTJ8 的平面形状为长方形，产生铁磁层 20 的形状引起的磁化各向异性，这也促进铁磁层 20 的磁化方向稳定。

10 <MRAM 的写入/读出动作简述>

下面说明 MRAM 写入和读出动作。

- 在进行地址选择的字线和位线（叫作选择字线和选择位线）中流过规定电流时，各线周围产生磁场，在两线的交叉部产生耦合各磁场的耦合磁场。施加该磁场时，在两线的交叉部上设置的 MTJ8 的软铁磁层 24 的磁化方向在层平面内旋转，进行数据写入。

该磁场大小设置成比软铁磁层 24 的切换磁场（磁化方向开始反转的磁场）大，主要由软铁磁层 24 的矫顽力和磁化各向异性确定。

- 选择字线和选择位线周围产生的磁场必须设计得非常小，以便不旋转铁磁层 20 的固定磁化方向。因为这样不改变半选择（Half select）单元 20 的磁化方向。所谓半选择单元是电流仅流过位于其上下的字线和位线之一的单元。

这样，为了降低写入时的耗电，把存储器单元阵列的结构设计成写入电流不直接流过 MTJ8。

- MRAM 单元 9 中写入的数据通过检测垂直接流过 pn 结二极管 7 和 MTJ8 的电流读出。动作时隧道电流纵向流过 MRAM 单元 9 中，从而可减小 MRAM 单元 9 的占据面积。

MTJ8 的 Al_2O_3 构成的隧道阻挡层 22 的电阻相对膜厚几乎成指数函数变化。即，流过隧道阻挡层的电流随膜厚增厚而降低，隧穿结的电流相对结垂直接流过。

- 30 而且，MRAM 单元 9 的数据通过监测比写入电流小得多的传感电流垂直接流过 MTJ8 时产生的 MRAM 单元 9 的电压来读出。

如前面说明的那样，与始状态的软铁磁层 24 中的自旋极性相同极性

的自旋的态密度在终状态的铁磁层 20 中存在地越多, MTJ8 的隧道概率越增加。

因此, MTJ8 的磁隧道电阻在软铁磁层 24 和铁磁层 20 的自旋状态相同时, 即磁化方向在两层中相同时低, 在磁化方向相反时变高。也就是说, 用微小电流监测 MTJ8 的电阻时, 可读出 MRAM 单元 9 的数据。

可不考虑传感电流产生的磁场, 对 MRAM 单元 9 的磁化状态不产生影响。MRAM 单元 9 的读出/写入必须的布线仅仅是图 75 所示的位线和字线, 因此可构成高效的存储器单元阵列。

<写入动作>

下面用图 77 和图 78 进一步说明 MRAM 的写入动作。

图 77 是图 75 所示的存储器单元阵列的等效电路图, 字线 1~3 的两端分别连接字线控制线路 253, 位线 4~6 的两端分别连接位线控制线路 251。为简单说明图 78, 有时将字线 1~3 表示为字线 WL1~WL3, 将位线 4~6 表示为位线 BL4~BL6。

而且, 字线 1~3 和位线 4~6 的交叉点上配置用电阻符号表示的 MTJ8 和用二极管符号表示的 pn 结二极管 7。

这里, 假设选择字线 1 和位线 4 的情况, 则选择位于二者的交点的 MRAM 单元 9a。

选择的 MRAM 单元 9a 通过流过位线 4 的电流 I_B 和流过字线 I_W 的电流 I_E 产生的耦合磁场写入。

电流 I_B 和 I_W 之一单独在单元区域内产生的磁场比为了改变 MTJ8 的软铁磁层 24 单元的磁化方向需要的磁场小。

也就是说, 作为半选择单元的 MRAM 单元 9b~9e (字线和位线中仅流过电流 I_B 或 I_W 的单元) 中不进行写入。

但是, 耦合电流 I_B 和 I_W 的磁场时磁场变得非常大, 足以改变选择的存储器单元 9a 的软铁磁层 24 的磁化方向。

可把单元 9a 的软铁磁层 24 的磁化方向设计成相反的两个不同磁化方向, 使得电流 I_B 和 I_W 的至少之一可双向流动。图 77 中, 位线控制电路 251、字线控制电路 253 都两个成对地构成, 电流 I_B 和 I_W 二者都可改变电流方向。

图 78 表示位线 4~6 (位线 BL4~BL6) 和字线 1~3 (字线 WL1~WL3) 的电压和电流的定时图。

如图 78 所示, 写入时的位线 BL4~BL6 的电压设定成可双向流过电流的电压 V_b 。字线 WL1~WL3 的电压比电压 V_b 大, 并且设定成正电压 V_w 。

备用时, 把这些电压设定成全部的单元 9 的 pn 结二极管 7 中施加反偏压。因此, 备用时电流 I_B 和 I_w 不流过存储器单元内。

<读出动作>

接着使用图 77 和图 78 进一步说明 MRAM 的读出动作。如图 78 所示, 字线 WL1 的电压从 V_w 降低到 V_b , 位线 BL4 的电压从 V_b 上升到 V_w , 向选择的单元 9a 的 pn 结二极管 7 施加正偏压。

10 读出中, 非选择位线 5 和 6 仍是备用电压 V_b , 非选择字线 WL2 和 3 仍是备用电压 V_w 。

半选择单元 9b~9e 中, 从字线到位线没有压降 (即 pn 结二极管 7 上施加 0V), 因此单元内不流过电流。

15 通过选择的单元 9a 的磁隧道电阻确定从位线 BL4 通过单元 9a 流向字线 WL1 的传感电流 30 (参考图 77) 的大小。在构成位线控制电路 251 的一部分的检测电路中, 对应于单元的 2 个状态预测的 2 个电流值的平均值作为参考电流, 与传感电流相比。放大两个电流差, 读出存放在选择单元 9a 中的数据。

20 如图 77 的传感电流波形所示, 传感电流 30 呈现出与 MTJ8 的 2 个磁化状态相当的 2 种电流波形。

读出数据后, 位线 BL4 和字线 WL1 的电压分别返回备用值, 但存储器单元 9a 的磁化状态在读出动作后仍维持。

25 如以上说明所述, 向 MRAM 单元写入时, 电流流过位线和字线, 产生磁场。之后, 选择地址的存储器单元中必须提供比构成单元的软铁磁层的切换磁场大的磁场, 必须流过比较大的电流。因此, 有写入时耗电大的问题。

发明内容

本发明为解决上述问题作出, 第一目的是提供降低写入时的耗电的 MRAM。

30 在原有的 MRAM 单元阵列中, 有按至少一个存储器单元阵列构成的存储器块单位一起擦除数据, 或者写入时花费时间的问题。

本发明的第二目的是提供减少擦除和写入时花费的时间的

MRAM.

本发明的方案 1 记载的磁存储装置，配备至少一个存储器单元阵列、平板状的至少一个闪速位线和至少一个闪速字线，该存储器单元阵列由多个存储器单元构成，该存储器单元包括非接触地交叉、构成矩阵的多个位线和多个字线以及分别配置在所述多个位线和所述多个字线的交叉部上的至少一个磁隧道结，该闪速位线和闪速字线分别设置在所述至少一个存储器单元阵列的所述多个位线和所述多个字线的外侧，覆盖所述多个位线和所述多个字线的形成区域。

本发明的方案 2 记载的磁存储装置，具有多个所述至少一个存储器单元阵列，所述多个存储器单元阵列配置成矩阵状，所述至少一个闪速位线和至少一个闪速字线配置多个，以沿着所述多个存储器单元阵列的排列构成矩阵。

本发明的方案 3 记载的磁存储装置，配备存储器单元阵列、至少一个电感和至少一个电容，该存储器单元阵列由多个存储器单元构成，该存储器单元包括非接触地交叉、构成矩阵的多个位线和多个字线以及分别配置在所述多个位线和所述多个字线的交叉部上的至少一个磁隧道结，该电感和电容分别设置在所述多个位线和所述多个字线的至少之一的两端，由 LC 共振保存流过选择的位线和字线至少之一的电流。

根据本发明的方案 1 记载的磁存储装置，由于在至少一个存储器单元阵列的多个位线和多个字线的外侧设置闪速位线和闪速字线，通过向其流过规定方向的电流可一并擦除或一并写入具有至少一个磁隧道结的多个存储器单元的数据，可进行短时间的处理。

根据本发明的方案 2 记载的磁存储装置，由于多个存储器单元阵列配置成矩阵状的磁存储装置中，通过配置成闪速位线和闪速字线沿着多个存储器单元阵列的排列构成矩阵，可一并擦除或一并写入多个存储器单元阵列的数据，可进行短时间的处理。

根据本发明的方案 3 记载的磁存储装置，由于配置由 LC 共振保存选择的位线和字线的至少之一中流过的电流的至少一个电感和至少一个电容，可再循环写入电流，降低写入时的耗电。

附图说明

图 1 是表示 MRAM 单元的结构透视图。

图 2 是表示一般的 MRAM 单元阵列的结构图。

图 3 是说明一般的 MRAM 单元阵列的动作的图。

图 4 是表示反转自旋所必要的磁场的关系的图。

图 5 是表示本发明的实施例 1 的 MRAM 单元阵列的结构图。

图 6 是说明本发明的实施例 1 的 MRAM 单元阵列的动作的图。

5 图 7 是表示本发明的实施例 1 的 MRAM 单元阵列的结构图。

图 8 是说明本发明的实施例 1 的 MRAM 单元阵列的动作的图。

图 9 是说明一般的 MRAM 单元的动作的图。

图 10 是说明一般的 MRAM 单元的动作的图。

图 11 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

10 图 12 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 13 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 14 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 15 是表示反转自旋所必要的磁场的关系的图。

图 16 是说明一般的 MRAM 单元的动作的图。

15 图 17 是说明一般的 MRAM 单元的动作的图。

图 18 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 19 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 20 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 21 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

20 图 22 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 23 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 24 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 25 是说明本发明的实施例 1 的 MRAM 单元的动作的图。

图 26 是表示本发明的实施例 2 的 MRAM 的结构框图。

25 图 27 是表示本发明的实施例 2 的 MRAM 的结构电路图。

图 28 是表示本发明的实施例 2 的 MRAM 的动作的定时图。

图 29 是表示磁隧道电阻的变化率对施加电压的依赖性的图。

图 30 是表示双磁隧道结的结构图。

图 31 是表示本发明的实施例 2 的 MRAM 的结构电路图。

30 图 32 是表示本发明的实施例 2 的 MRAM 的动作的定时图。

图 33 是表示本发明的实施例 2 的 MRAM 的结构电路图。

图 34 是表示分割本发明的实施例 3 的 MRAM 的字线的结构的框

图。

图 35 是表示把本发明的实施例 3 的 MRAM 的字线分层的结构的框图。

5 图 36 是表示把本发明的实施例 3 的 MRAM 的字线分层的结构的概念图。

图 37 是表示分割本发明的实施例 3 的 MRAM 的位线的结构的框图。

图 38 是表示把本发明的实施例 3 的 MRAM 的位线分层的结构的框图。

10 图 39 是表示本发明的实施例 4 的 MRAM 的结构透视图。

图 40 是说明本发明的实施例 4 的 MRAM 单元的动作用的剖面图。

图 41 是说明本发明的实施例 4 的 MRAM 单元的动作用的剖面图。

图 42 是说明本发明的实施例 4 的 MRAM 单元的动作用的剖面图。

15 图 43 是表示本发明的实施例 4 的 MRAM 的变形例的结构的平面图。

图 44 是表示本发明的实施例 4 的 MRAM 的变形例的结构的剖面图。

图 45 是表示本发明的实施例 4 的 MRAM 的变形例的结构的剖面图。

20 图 46 是表示本发明的实施例 4 的 MRAM 的变形例的结构的平面图。

图 47 是表示本发明的实施例 5 的 MRAM 的结构平面图。

图 48 是表示本发明的实施例 5 的 MRAM 的结构平面图。

图 49 是表示本发明的实施例 6 的半导体基片的结构的剖面图。

25 图 50 是表示本发明的实施例 6 的半导体基片的结构的剖面图。

图 51 是表示一般的 MRAM 的结构框图。

图 52 是表示本发明的实施例 7 的 MRAM 的结构框图。

图 53 是表示本发明的实施例 7 的 MRAM 的结构框图。

图 54 是表示一般的封装了的 MRAM 的结构剖面图。

30 图 55 是表示一般的封装了的 MRAM 的结构剖面图。

图 56 是表示本发明的实施例 8 的 MRAM 的结构剖面图。

图 57 是表示本发明的实施例 8 的 MRAM 的结构平面图。

图 58 是表示本发明的实施例 8 的 MRAM 的制造工序的透视图。

图 59 是表示本发明的实施例 8 的 MRAM 的制造工序的透视图。

图 60 是表示本发明的实施例 8 的 MRAM 的制造工序的透视图。

图 61 是表示本发明的实施例 8 的 MRAM 的制造工序的透视图。

5 图 62 是表示本发明的实施例 8 的 MRAM 的制造工序的透视图。

图 63 是说明本发明的实施例 8 的 MRAM 的部分结构的平面图。

图 64 是说明本发明的实施例 8 的 MRAM 的部分结构的剖面图。

图 65 是表示本发明的实施例 8 的 MRAM 的结构剖面图。

图 66 是表示本发明的实施例 8 的 MRAM 的结构剖面图。

10 图 67 是表示磁隧道结的概念的图。

图 68 是简单表示过渡金属的态密度的图。

图 69 是说明隧道磁电阻效应的简图。

图 70 是说明隧道磁电阻效应的简图。

图 71 是表示磁隧道结的结构例的图。

15 图 72 是表示磁隧道结的结构例的图。

图 73 是表示自旋阀型铁磁隧道结的实例的图。

图 74 是表示自旋阀型铁磁隧道结的实测特性的图。

图 75 是表示原有的 MRAM 单元阵列的结构透视图。

图 76 是表示原有的 MRAM 单元阵列的结构透视图。

20 图 77 是原有的 MRAM 单元阵列的等效电路图。

图 78 是说明原有的 MRAM 单元阵列的动作的图。

具体实施方式

<A.实施例 1>

<本实施例的特征>

25 本发明的实施例 1 的 MRAM 的特征在于：构成 MRAM 单元的软铁磁层的易磁化轴与位线和字线不平行，更具体说，把 MARM 单元配置成与位线和字线成 40~50 度的角度。

<A-1.装置结构>

<A-1-1.MRAM 单元的结构>

30 首先，用图 1 说明 MRAM 单元的代表结构。图 1 所示的 MRAM 单元 MC 具有层叠 n+硅层 10 和 p+硅层 11 构成的 pn 结二极管 7。

之后，pn 结二极管 7 的上部配置钨接线柱 12，pn 结二极管 7 经钨

接线柱 12 电连接于磁隧道结 (Magnetic Tunnel Junction: MTJ) 8。

MTJ8 是层叠结构, 从下面依次配备铂 (Pt) 构成的模板层 15 (膜厚 10nm)、 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金构成的初始铁磁层 16 (膜厚 4nm)、 $\text{Mn}_{54}\text{Fe}_{46}$ 构成的反铁磁层 18 (膜厚 10nm)、CoFe 或 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金构成的磁化方向固定了的铁磁层 20 (膜厚 8nm)、 Al_2O_3 构成的隧道阻挡层 22、膜厚 2nm 的 CoFe 和膜厚 20nm 的 $\text{Ni}_{81}\text{Fe}_{19}$ 的多层膜构成的软铁磁层 24、Pt 构成的接触层 25。

包括 MTJ8 的 MRAM 单元 MC 的平面形状是长方形, 设定成与其长边平行的方向为软铁磁层 24 的电子自旋方向的易磁化轴。与短边平行的方向为作为难磁化方向的难磁化轴 (hard axis)。

<A-1-2.已有的 MRAM 单元阵列的详细讨论>

图 2 表示原有的 MRAM 单元阵列的平面结构。MRAM 单元 MC1 简单用透视图表示。

如图 2 所示, 把相互平行设置的多个位线 BL1 设置成在相互平行设置的多个字线 WL1 的上部交叉。

并且, 字线和位线夹住的各交叉点中形成 MRAM 单元 (后面有时简单叫作单元) MC1。各 MRAM 单元 MC1 中简单表示的箭头表示 MRAM 单元 MC1 的软铁磁层 24 的自旋方向, 图 2 所示的备用状态中全部 MRAM 单元 MC1 的自旋方向向右。MRAM 单元 MC1 的结构与例如图 1 所示的存储器单元 MC 相同, 但并不限定于该结构。

图 3 是简单表示原有的 MRAM 单元阵列中写入状态的平面图。下面为与 MRAM 单元 MC1 简单区分开, 有时附加 MC1a, MC1b, MC1c 符号。

写入时, 在进行地址选择的字线和位线 (叫作选择字线和选择位线) 中流过规定电流时, 根据 Biot-Savart 法则电流周围产生磁场。

这里, 位线周围产生的磁场为 H_x , 字线周围产生的磁场为 H_y 。并且为简便起见, 将选择字线和选择位线分别记作 WL1a 和 BL1a。

图 3 的电流流动方向在选择位线 BL1b 中从下向上, 在选择字线 WL1a 中从左到右。

选择字线 WL1a 和选择位线 BL1b 中流过规定电流时, 在两线的交叉部 (选择地址) 中磁场 H_x 和 H_y 耦合。施加该耦合磁场时, 在选择字线 WL1a 和选择位线 BL1b 的交叉部上设置的 MRAM 单元 MC1a 的

软铁磁层 24 的磁化方向在层平面内旋转，进行数据写入。图 3 中，表示出 MRAM 单元 MC1a 的自旋方向旋转 90 度以上。

并且，由于通过单元形状磁化各向异性自旋向易磁化轴一侧旋转，最终自旋反转（旋转 180 度）。

5 另一方面，作为电流仅流过位于其上下的字线和位线之一的半选择（half-select）单元 9 的 MRAM 单元，即如 3 所示的多个 MRAM 单元 MC1b 中，设定各电流，使得软铁磁层 24 的自旋旋转，但不到反转的程度。

10 选择位线 BL1a 的多个半选择单元 MC1c 由于选择位线 BL1a 周围产生的磁场 H_x 与易磁化轴方向相同，仅通过磁场 H_x 不会引起图 3 所示的那么大的旋转。

图 4 表示用磁场 H_x 和 H_y 的耦合磁场形成反转自旋必须的磁场 H_k 时的上述 3 磁场的关系。图 4 中横轴表示磁场 H_x ，纵轴表示磁场 H_y 。下面用公式表示该关系。

15 [式 3]

$$H_x^{2/3} + H_y^{2/3} = H_k^{2/3} \quad \dots\dots\dots(3)$$

图 4 的曲线叫作星形（asteroid）曲线。磁场 H_k 用下面的公式（4）表示时，软铁磁层 24 的自旋反转。

[式 4]

20 $H_x^{2/3} + H_y^{2/3} > H_k^{2/3} \quad \dots\dots\dots(4)$

磁场 H_k 用下面的公式（5）表示时，软铁磁层 24 的自旋方向维持。

[式 5]

$$H_x^{2/3} + H_y^{2/3} < H_k^{2/3} \quad \dots\dots\dots(5)$$

25 恒定电流 I 周围产生的磁力线密度 B 根据 Biot-Savart 法则用下式（6）表示。

[式 6]

$$B(R) = \frac{\mu}{2\pi} \cdot \frac{I}{R} \quad \dots\dots\dots(6)$$

这里， μ 是导磁率， R 是离开电流 I 的距离。

磁场 H 和磁力线密度 B 处于用下面的式（7）表示的关系。

30 [式 7]

$$B = \mu H \quad \dots\dots\dots(7)$$

因此，下面的式（8）成立。

$$H(R) = \frac{1}{2\pi} \cdot \frac{I}{R} \quad \dots\dots\dots(8)$$

从上面式（8）判断出磁场 H 与恒定电流 I 成比例。因此，为降低写入时的耗电，降低反转自旋需要的磁场 H_k ，即把 H_x+H_y 作得尽可能小。

发明人基于已有技术的讨论，得到可降低磁场 H_k 的 MRAM 单元阵列的结构。

<A-1-3.MRAM 单元阵列的结构和动作>

图 5 表示本发明实施例 1 的 MRAM 单元阵列 MA10 的平面结构。

10 如图 5 所示，把相互平行设置的多个位线 BL1 设置成在相互平行设置的多个字线 WL1 的上部交叉。

并且，字线和位线夹住的各交叉点中形成 MRAM 单元 MC2。MRAM 单元 MC2 的结构与例如图 1 所示的存储器单元 MC 相同，但并不限定于该结构。

15 如图 5 所示，把各 MRAM 单元 MC3 设置成易磁化轴相对位线和字线成 45 度角倾斜。本例中，由于配置成相对字线 WL1 向右上倾斜 45 度，但图 5 所示的备用状态下全部的 MRAM 单元 MC2 的自旋方向向右上倾斜。

20 图 6 是简单表示 MRAM 单元阵列 MA10 的写入状态的平面图。下面为与 MRAM 单元 MC2 简单区分开，有时附加 MC2a,MC2b,MC2c 符号。

选择字线 WL1a 和选择位线 BL1b 中流过规定电流时，在两线的交叉部（选择地址）中磁场 H_x 和 H_y 耦合。图 6 中的电流流动方向在选择位线 BL1b 中从下向上，在选择字线 WL1a 中从左向右。

25 施加该耦合磁场时，在选择字线 WL1a 和选择位线 BL1b 的交叉部上设置的 MRAM 单元 MC1a 的软铁磁层 24 的磁化方向在层平面内旋转，进行数据写入。图 6 中，表示出 MRAM 单元 MC2a 的自旋方向旋转 90 度以上。

30 并且，由于通过单元形状磁化各向异性，自旋向易磁化轴一侧旋转，最终自旋反转（旋转 180 度）。

另一方面，作为电流仅流过位于其上下的字线和位线之一的半选择

单元的 MRAM 单元，即如 6 所示的多个 MRAM 单元 MC2b 和 MC2c 中，设定各电流，使得软铁磁层 24 的自旋旋转，但不到反转的程度。

这里，选择位线 BL1a 的多个半选择单元 MC2c 由于选择位线 BL1a 周围产生的磁场 H_x 与易磁化轴方向成 45 度角度交叉，如图 6 所示，软铁磁层 24 的自旋旋转，但通过调节各电流大小，也可反转自旋或不反转自旋。这对于选择字线 WL1a 的多个半选择单元 MC2b 也同样。

<A-1-4.其他结构例>

图 7 表示作为实施例 1 的其他结构例的 MRAM 单元阵列 MA20 的平面结构。如图 7 所示，把相互平行设置的多个位线 BL1 设置成在相互平行设置的多个字线 WL1 的上部交叉。

并且，字线和位线夹住各交叉点中形成 MRAM 单元 MC3。MRAM 单元 MC3 的结构与例如图 1 所示的存储器单元 MC 相同，但并不限定于该结构。

如图 7 所示，把各 MRAM 单元 MC3 设置成易磁化轴相对位线和字线成 45 度角倾斜。本例中，由于配置成相对字线 WL1 向右下倾斜 45 度，但图 7 所示的备用状态下全部的 MRAM 单元 MC3 的自旋方向向右下倾斜。

图 8 是简单表示 MRAM 单元阵列 MA20 的写入状态的平面图。下面为与 MRAM 单元 MC3 简单区分开，有时附加 MC3a, MC3b, MC3c 符号。

选择字线 WL1a 和选择位线 BL1b 中流过规定电流时，在两线的交叉部（选择地址）中磁场 H_x 和 H_y 耦合。

图 8 中的电流流动方向在选择位线 BL1a 中从下向上，在选择字线 WL1a 中从左向右。

施加该耦合磁场时，在选择字线 WL1a 和选择位线 BL1a 的交叉部上设置的 MRAM 单元 MC3a 的软铁磁层 24 的磁化方向在层平面内旋转，进行数据写入。图 8 中，表示出 MRAM 单元 MC3a 的自旋方向旋转 90 度以上。

并且，由于通过单元形状磁化各向异性，自旋向易磁化轴一侧旋转，最终自旋反转（旋转 180 度）。

另一方面，作为图 8 所示的半选择单元的 MRAM 单元 MC2b 和 MC2c 中，设定各电流，使得软铁磁层 24 的自旋旋转，但不到反转的程

度。

<A-1-5.MRAM 单元的排列方向的最佳化>

接着使用图 9～图 25 说明 MRAM 单元的排列方向的最佳化。

首先说明通过耦合磁场 H_k 反转自旋方向的情况。

- 5 图 9 和图 10 中,简单表示图 2 所示的已有 MRAM 单元阵列的写入时的选择地址的 MRAM 单元 MC1a 的自旋方向和反转其的耦合磁化 H_k 的方向的关系。

图 9 和图 10 中,假定磁场 H_x 和 H_y 的大小相同的情况,自旋和耦合磁场 H_k 成的角度为 $\theta_1=135$ 度。

- 10 图 11 和图 12 中,简单表示图 5 所示的已有 MRAM 单元阵列 MA10 的写入时的选择地址的 MRAM 单元 MC2a 的自旋方向和反转其的耦合磁化 H_k 的方向的关系。

图 11 和图 12 中,假定磁场 H_x 和 H_y 的大小相同的情况,自旋和耦合磁场 H_k 成的角度为 $\theta_2=90$ 度。

- 15 图 13 和图 14 中,简单表示图 7 所示的已有 MRAM 单元阵列 MA20 的写入时的选择地址的 MRAM 单元 MC3a 的自旋方向和反转其的耦合磁化 H_k 的方向的关系。

图 13 和图 14 中,假定磁场 H_x 和 H_y 的大小相同的情况,自旋和耦合磁场 H_k 成的角度为 $\theta_3=180$ 度。

- 20 接着图 15 简单表示耦合磁场 H_k 与磁场 H_x 和 H_y 的关系。该关系与图 4 中星形曲线表示的相同,但在 $|H_x|+|H_y|$ 一定的条件下,即在一定的写入电流的条件下,求出星形曲线上的磁场 H_x 和 H_y 时,得到关系 $H_x = H_y = H_k/2\sqrt{2}$ 。

- 25 基于此,在图 9 和图 10 所示的已有 MRAM 单元阵列中,通过耦合磁场 H_k 把自旋旋转约 135 度,利用形状磁各向异性把自旋从此处旋转到 180 度。

- 另一方面,图 11 和图 12 所示的 MRAM 单元阵列 MA10 中,通过相同的耦合磁场的大小把自旋旋转约 90 度。因此,即使利用形状磁各向异性,也处于自旋反转或不反转的临界状态。即,采用 MRAM 单元阵列 MA10 的结构时,磁场 H_x 比磁场 H_y 大若干,把自旋的旋转角 θ_2 作到 90 度以上。

图 13 和图 14 所示的 MRAM 单元阵列 MA20 中,通过相同的耦合

磁场的大小把自旋旋转约 180 度,可确实反转自旋。

接着,图 16~图 21 简单表示施加耦合磁场 H_k 也维持自旋方向的情况中自旋方向与维持其的耦合磁场 H_k 的方向的关系。图 16~图 21 对应于图 9~图 14,省略重复说明。

5 图 16 和图 17 中,假定磁场 H_x 和磁场 H_y 大小相同时,自旋与耦合磁场 H_k 成的角度为 $\theta_{11}=45$ 度。

图 18 和图 19 中,假定磁场 H_x 和磁场 H_y 大小相同时,自旋与耦合磁场 H_k 成的角度为 $\theta_{12}=0$ 度。

10 图 20 和图 21 中,假定磁场 H_x 和磁场 H_y 大小相同时,自旋与耦合磁场 H_k 成的角度为 $\theta_{13}=90$ 度。

因此,不希望的是:图 16 所示的已有 MRAM 单元阵列中,自旋方向基本维持,或图 18 所示的 MRAM 单元阵列 MA10 中,自旋方向完全维持地进行写入,但图 20 所示的 MRAM 单元阵列 MA20 中,处于自旋反转或不反转的临界状态。

15 从以上考虑看,希望采用图 13 和图 20 所示的 MRAM 单元阵列 MA20 的结构,考虑流向位线和字线的电流的方向。用图 22~图 25 说明该结构。

20 图 22 和图 23 简单表示 MRAM 单元阵列 MA20 的结构中与图 8 同样的电流流动方向在选择位线 BL1a 中为从下向上、在选择字线 WL1a 中为从左到右的情况下,写入时的选择地址的 MRAM 单元 MC3a 的自旋方向与反转其的耦合磁场 H_k 的方向的关系。

图 22 和图 23 中,假定磁场 H_x 和磁场 H_y 大小相同时,自旋与耦合磁场 H_k 成的角度为 $\theta_{14}=180$ 度,据说是适合于通过反转自旋方向写入数据的情况的结构。

25 图 24 和图 25 简单表示 MRAM 单元阵列 MA20 的结构中电流流动方向在选择位线 BL1a 中为从上向下、在选择字线 WL1a 中为从右到左的情况下,写入时的选择地址的 MRAM 单元 MC3a 的自旋方向与反转其的耦合磁场 H_k 的方向的关系。

与图 22 的情况相比,变更位线和字线中流动的电流的方向。

30 图 24 和图 25 中,假定磁场 H_x 和磁场 H_y 大小相同时,自旋与耦合磁场 H_k 成的角度为 $\theta_{15}=0$ 度,据说是适合于通过维持自旋方向写入数据的情况的结构。

图 22 和图 24 的任一结构中,由于耦合磁场的方向和易磁化轴一致,还有写入误差比原来小的优点。

<A-2.作用效果>

如上说明,根据本发明的实施例 1 的 MRAM,通过把构成 MRAM 单元的软铁磁层 24 的易磁化轴相对位线和字线倾斜 40~50 度,最好是 45 度来倾斜设置,以小的写入电流可确实反转选择地址的 MRAM 单元的自旋方向,可降低写入时的耗电。

在反转选择地址的 MRAM 单元的自旋方向的情况和维持自旋方向的情况中,通过变更位线和字线中流过的电流的方向,使耦合磁场的方向和易磁化轴一致,还可降低写入误差。

<B.实施例 1>

<本实施例的特征>

本发明的实施例 2 的 MRAM 在 MRAM 单元阵列的位线和字线两端配备一对读出/写入控制电路,作为该电路的结构,包括连接位线和电源电压 VDD 的第一 MOS 晶体管和连接位线和接地电压 VSS 的第二晶体管,具有写入时在位线上双向流过写入电流的功能和在读出时向传感放大器输出传感电流引起的电压的功能。

<B-1.装置结构>

<B-1-1.MRAM 的整体结构>

图 26 是表示本发明的实施例 2 的 MRAM 结构的框图,表示出 MRAM 单元阵列 MCA 及其周边电路。

图 26 中,列地址缓冲器(column address buffer)CAB 接收列地址信号,反转或放大信号并输出列解码器 CD。

列解码器 CD 解码列地址信号,将解码的信号输出到多路复用器 MUX。

多路复用器 MUX 根据解码的列地址信号选择位线。同时向连接于位线一端的列读出/写入第一控制电路 CRW1 输出信号,从列读出/写入第一控制电路 CRW1 对应于读出或写入把电压、电流施加到选择位线上。

行地址缓冲器(row address buffer)RAB 接收行地址信号,反转或放大信号并输出行解码器 RD。

行解码器 RD 解码行地址信号,根据解码的行地址信号选择字线。

同时向连接于字线一端的行读出/写入第一控制电路 RRW1 输出信号，从行读出/写入第一控制电路 RRW1 对应于读出或写入把电压、电流施加到选择字线上。

从 MRAM 单元阵列 MCA 读出的数据或写入 MRAM 单元阵列 MCA 的数据经输出缓冲器 IOB 在与外部之间进行数据输入输出。

位线的另一端连接列读出/写入第二控制电路 CRW2、字线的另一端连接行读出/写入第二控制电路 RRW2。

<B-1-2.MRAM 的具体结构>

图 27 表示图 26 所示的 MRAM 中除多路复用器 MUX、列解码器 CD、行解码器 RD、输入输出缓冲器 IOB 的结构的电路图。为简单起见，图中省略了列地址缓冲器 CAB 和行地址缓冲器 RAB。图 27 所示的结构的 MRAM 叫作 MRAM100。

图 27 中，MRAM 单元阵列 MCA 具有 MRAM 单元 MC11、MC21、MC12 和 MC22。任一 MRAM 单元具有串联连接磁隧道结 (MTJ) 和 pn 结二极管的结构，图 27 中，用可变电阻表示 MTJ，作为等效电路表示和二极管的串联连接电路。

用可变电阻表示 MTJ 是因为在构成 MTJ 的软铁磁层 (电子自旋方向可变更，即磁化方向可变更) 和铁磁层 (电子自旋方向固定，即磁化方向固定) 中，二者的自旋方向相同时隧道电阻减小，相反时隧道电阻增大。因此，该可变电阻具有 2 个电阻值。

MRAM 单元 MC11 具有串联连接在位线 BL1 和字线 WL1 之间的可变电阻 R11 和二极管 D11，MRAM 单元 MC21 具有串联连接在位线 BL1 和字线 WL2 之间的可变电阻 R21 和二极管 D21，MRAM 单元 MC12 具有串联连接在位线 BL2 和字线 WL1 之间的可变电阻 R12 和二极管 D12，MRAM 单元 MC22 具有串联连接在位线 BL2 和字线 WL2 之间的可变电阻 R22 和二极管 D22。

位线 BL1 和 BL2 是在列读出/写入第二控制电路 CRW2 中经各个 NMOS 晶体管 MN11 和 MN21 提供漏电压 V_{DD} 的结构。并且，是 NMOS 晶体管 MN11 和 MN21 的漏电极上分别连接 NMOS 晶体管 MN12 和 MN22 的漏电极，向 NMOS 晶体管 MN12 和 MN22 的源电极施加源电压 V_{SS} 的结构。

NMOS 晶体管 MN11、MN12、MN21 和 MN22 的栅电极上分别提

供 NAND 门 ND1、ND2、ND3 和 ND4 的输出，NAND 门 ND1 ~ ND4 的各自的 3 个输入连接于多路复用器 MUX。

5 位线 BL1 和 BL2 是在列读出/写入第一控制电路 CRW1 中经各个 NMOS 晶体管 MN13、可变电阻 R31 和 MN23、可变电阻 R32 提供漏电压 V_{DD} 的结构。并且，是 NMOS 晶体管 MN13 和 MN23 的漏电极上分别连接 NMOS 晶体管 MN14 和 MN24 的漏电极，向 NMOS 晶体管 MN14 和 MN24 的源电极施加源电压 V_{SS} 的结构。

NMOS 晶体管 MN13 和 MN23 的源电极为检测传感电流也连接于包含传感放大器的多路复用器 MUX。

10 NMOS 晶体管 MN13、MN14、MN23 和 MN24 的栅电极上分别提供 NAND 门 ND5、ND6、ND7 和 ND8 的输出，NAND 门 ND1 ~ ND4 的各自的 3 个输入连接于多路复用器 MUX。

15 字线 WL1 和 WL2 是在行读出/写入第一控制电路 RRW1 中经各个 NMOS 晶体管 QN11 和 QN21 提供漏电压 V_{DD} 的结构。并且，是 NMOS 晶体管 QN11 和 QN21 的漏电极上分别连接 NMOS 晶体管 QN12 和 QN22 的漏电极，向 NMOS 晶体管 QN12 和 QN22 的源电极施加源电压 V_{SS} 的结构。

NMOS 晶体管 QN11、QN12、QN21 和 QN22 的栅电极连接于行解码器 RD。

20 字线 WL1 和 WL2 是在行读出/写入第二控制电路 RRW2 中经各个 NMOS 晶体管 QN13 和 QN14 提供源电压 V_{SS} 的结构。

图 27 中，MRAM 单元阵列 MCA 是 2 行 2 列的单元阵列，但行和列的大小不限于此。

<B-2.装置动作>

25 下面使用图 27 ~ 图 29 说明 MRAM100 的动作。

图 28 是读出和写入时的 MRAM100 的各种电流和电压的定时图。

30 图 28 中，表示传感电流的定时图、MRAM 单元 MC11,MC21,MC12 的写入和读出时提供给字线和位线的电压的定时图的同时，还表示提供给 NMOS 晶体管 MN11,MN12,MN13 和 MN14 的各栅电极的栅电压 V_{11},V_{12},V_{13} 和 V_{14} 的定时图、提供给 NMOS 晶体管 QN11、QN12、和 QN13 的栅电极的栅电压 V_{w1} 、 V_{w2} 和 V_{w3} 的定时图以及 NMOS 晶体管 MN13 的源电压 V_{s1} 的定时图。

图 28 中，字线和位线的备用时的电压为电压 V_w 和 V_b 。

由于各 MRAM 单元中包含 pn 结二极管，备用时向字线和位线施加电压 V_w 和 V_b ，使得向该 pn 结施加反偏压。如图 27 所示，各二极管构成字线上连接阴极，所以，设定成 $V_w > V_b$ 关系。

5 下面设定电压 V_b =源电压 V_{ss} ，说明位线 BL1 的控制。

<B-2-1.备用状态>

如图 28 所示，在备用状态下，全部字线施加电压 V_w 、全部位线施加电压 V_b 。为实现这一点，配置图 28 所示的 4 个 NMOS 晶体管 MN11,MN12,MN13 和 MN14。

10 即，备用时，向栅电压 V_{11} 和 V_{13} 加上源电压 V_{ss} 使得 NMOS 晶体管 MN11 和 MN13 为断开状态，向栅电压 V_{12} 和 V_{14} 加上漏电压 V_{DD} 使得 NMOS 晶体管 MN12 和 MN14 为接通状态。

施加栅电压 V_{w1} 使得 NMOS 晶体管 QN11 为接通状态，施加栅电压 V_{w2} 使得 NMOS 晶体管 QN12 为断开状态，施加栅电压 V_{w3} 使得 NMOS 晶体管 QN13 为断开状态。

15 由于 NMOS 晶体管 QN11 的源电极连接于漏电压 V_{DD} ，作为栅电压 V_{w1} 施加 $V_{DD} + \Delta V_{DD}$ 的电压。这是为了补偿晶体管的阈值电压引起的压降。

其结果向位线 BL1 施加源电压 V_{ss} ，向字线 WL 施加漏电压 V_{DD} 。

20 <B-2-2.写入状态（写入 1）>

MRAM 单元 MC11 中写入数据“1”（反转自旋方向）时，必须在选择字线 WL1 和选择位线 BL1 中流过电流。图 27 所示的 MRAM100 中，设定仅向位线流过双向电流。

25 此时，NMOS 晶体管 MN11 和 MN14 为接通状态，NMOS 晶体管 MN12 和 MN13 为断开状态。但是，NMOS 晶体管 MN11 的源电极连接于漏电压 V_{DD} ，因此作为栅电压 V_{11} 施加 $V_{DD} + \Delta V_{DD}$ 的电压。

其结果流过位线 BL1 的电流 I_{BT} 为从图 27 的上面向下面流动。

另一方面，NMOS 晶体管 MN11 和 MN13 为接通状态，NMOS 晶体管 MN12 为断开状态，使得流过选择字线 WL1 的电流 I_{WD} 为从图 27 的左侧向右侧流动。NMOS 晶体管 MN11 的源电极连接于漏电压 V_{DD} ，因此作为栅电压 V_{w1} 施加 $V_{DD} + \Delta V_{DD}$ 的电压。

这样，通过流过选择字线 WL1 和选择位线 BL1 的电流 I_{WD} 和 I_{BT}

引起的磁场，旋转 MRAM 单元 MC11 的 MTJ 的软铁磁层的自旋，写入数据。

<B-2-3.读出状态 1（读出 1）>

读出写入在 MRAM 单元 MC11 中的数据“1”时，仅在 MRAM 单元 MC11 的二极管 D11 上施加正偏压，流过传感电流 I_{sc} 。该传感电流 I_{sc} 流过 MRAM 单元 MC11 时，引起位线 BL1 压降。通过该压降的大小判断数据为“0”还是“1”。

为对二极管 D11 施加正偏压，向选择字线 WL11 施加电压 V_b 、向选择位线 BL1 施加电压 V_w 。为实现这种状态，NMOS 晶体管 MN11 和 MN13 为接通状态，NMOS 晶体管 MN12 和 MN14 为断开状态。

但是，由于 NMOS 晶体管 MN11 和 MN13 的源线为 V_{DD} ，作为栅电压 V_{11} 和 V_{13} ，施加 $V_{DD} + \Delta V_{DD}$ 的电压。

此时，在非选择地址的 MRAM 单元 MC22 的 pn 结二极管 D22 上仍施加反偏压（字线 WL2 上施加电压 V_w ，位线 BL2 上施加电压 V_b ），半选择地址的 MRAM 单元 MC12 和 MC21 的二极管 D12 和 D21 上不产生电位差（0 偏压），MRAM 单元 MC12 和 MC21 以及 MC22 中不流过电流。

这里，可变电阻 R11（即 MTJ）的 2 个电阻值中高的那个值为 R_H 、低的那个为 R_L 。

流过 MRAM 单元 MC11 的传感电流 I_{sc} 由 MTJ 的电阻值（即可变电阻 R11 的值）改变大小。MTJ 的电阻为 R_H 和 R_L 时的传感电流值为 I_L 和 I_H ，则由于 $R_H > R_L$ ， $I_L > I_H$ 成立。

由于 MRAM 单元 MC11 中流过电流，NMOS 晶体管 MN13 的源电极（连接于多路复用器 MUX）的电压 V_{s1} 比漏电压 V_{DD} 低。

该压降依赖于磁隧道电阻值，用多路复用器 MUX 中包含的传感放大器比较该压降和参考电压，检测出数据“1”。

<B-2-4.写入状态（写入 0）>

MRAM 单元 MC11 中写入数据“0”（维持自旋方向）时，与写入状态 1 的情况不同的是流过选择位线 BL1 的电流的方向相反。为实现这一点，NMOS 晶体管 MN11 和 MN14 为断开状态，NMOS 晶体管 MN12 和 MN13 为接通状态。

其结果流过位线 BL1 的电流 I_{BT} 为从图 27 的下面向上面流动。

<B-2-5.读出状态 0 (读出 0) >

读出写入在 MRAM 单元 MC11 中的数据“0”时, NMOS 晶体管 MN11, MN12, MN13 和 MN14 的动作与读出状态 1 (读出 1) 相同。但是, 读出的数据为“0”时的 NMOS 晶体管 MN13 的源电极 V_{s1} 与读出的数据为“1”时的电压 V_{s1} 的电压差 ΔV 随着磁隧道电阻变化率 $(R_H - R_L)/R_L$ 的增大而增大。电压差 ΔV 越大, 相对传感放大器可检测出的参考电压的裕量越大, 因此容易检测出。

这里, 图 29 表示磁隧道电阻的变化率与施加电压的依赖性。图 29 中, 横轴表示施加给 MTJ 的偏压, 纵轴表示磁隧道电阻的变化率。图 29 中, 表示出作为至此说明的 MTJ 的隧道阻挡层为 1 层的单磁隧道结的特性, 同时还表示出隧道阻挡层为 2 层的双磁隧道结的特性。

从图 29 可见, 施加给 (单层或双层) 磁隧道结上的电压为 0.1V 时, 磁隧道电阻的变化率最大。因此, 读出时, 希望施加给选择位线 BL1 的电压 V_w 是比施加给 pn 结二极管的电压仅高 0.1V 左右的电压。该电压通过调节 NMOS 晶体管 MN11 和 MN13 的栅电压 $V_{DD} + \Delta V_{DD}$ 的值实现。

这里, 使用图 30 说明双层磁隧道结的结构。如图 30 所示, 双层磁隧道结具有层叠第一反铁磁层 AF1、铁磁层 FM1、第一隧道阻挡层 TB1、软铁磁层 FMS、第二隧道阻挡层 TB2、第二反铁磁层 AF2 的结构。

在这样的结构中, 第一和第二反铁磁层 AF1 和 AF2 的端子 TA 和 TB 之间施加电压 V_x 的情况下, 第一和第二隧道阻挡层 TB1 和 TB2 上施加相差 $V_x/2$ 的电压。

另一方面, 单层磁隧道结的情况下, 向隧道阻挡薄膜施加电压 V_x , 但磁隧道电阻的变化率随施加电压增大而减小, 因此双层磁隧道结的磁隧道电阻的变化率增大, 如图 29 所示, 双层磁隧道结与单层磁隧道结产生特性差别。

<B-3.作用效果>

如上说明那样, 根据本发明的实施例 2 的 MRAM, 在 MRAM 单元阵列 MCA 的位线和字线两端配备列读出/写入第一控制电路 CRW1 和列读出/写入第二控制电路 CRW2, 每一个中具有连接位线和电压 V_{DD} 的第一 MOS 晶体管 (MN11, MN21, MN13, MN23)、具有连接位线和电压 V_{ss} 的第二 MOS 晶体管 (MN12, MN22, MN14, MN24), 所以通过切换 NMOS 晶体管可变更流过选择位线的电流的方向, 可任意变更构成 MTJ 的软

铁磁层的自旋方向。由于 NMOS 晶体管 MN11 和 MN12、MN21 和 MN22、MN12 和 MN14、MN23 以及 MN24 可把位线的两端的连接端切换到电压 V_{DD} 或电压 V_{ss} ，可叫作切换部件。

5 由于列读出/写入第一控制电路 CRW1 的上述第一 MOS 晶体管连接于包含传感放大器的多路复用器 MUX，数据读出时，可向多路复用器 MUX 输出传感电流引起的电压。

<B-4.变形例 1>

作为本发明的实施例 2 的变形例 1，图 31 表示出 MRAM200。MRAM200 具有与用图 27 说明的 MRAM100 几乎相同的结构，不同的是替代 MRAM100 中的 NMOS 晶体管 MN11、MN13、MN21、MN23、QN11 和 QN21，设置 PMOS 晶体管 MP11、MP13、MP21、MP23、QP11 和 QP21，并且 PMOS 晶体管 MP11 和 NMOS 晶体管 MN12 的栅电极上提供输入 NAND 门 ND11 的输出，PMOS 晶体管 MP13 和 NMOS 晶体管 MN14 的栅电极上提供 NAND 门 ND13 的输出，PMOS 晶体管 MP23 和 NMOS 晶体管 MN24 的栅电极上提供 NAND 门 ND14 的输出，共用门输入。

图 27 所示的 MRAM100 中，在 NMOS 晶体管 MN11、MN13、MN21 和 MN23 的栅极上在接通状态中施加处 $V_{DD} + \Delta V_{DD}$ 的电压，所以与仅栅电压为 V_{DD} 的 NMOS 晶体管 MN12、MN14、MN22 和 MN24 相比，栅绝缘膜的负担可能增大。

20 但是，图 31 所示的 MRAM200 中，采用 PMOS 晶体管 MP11、MP13、MP21 和 MP23，使得不向栅极施加 V_{DD} 以上的电压，栅绝缘膜的负担可能减小。

采用 PMOS 晶体管 MP11、MP13、MP21 和 MP23，可将 NMOS 晶体管 MN12、MN14、MN22 和 MN24 和门输入公共化，PMOS 晶体管 MP11 与 NMOS 晶体管 MN12、PMOS 晶体管 MP21 与 NMOS 晶体管 MN22、PMOS 晶体管 MP13 与 NMOS 晶体管 MN14、PMOS 晶体管 MP23 与 NMOS 晶体管 MN24 形成反向器（驱动器、缓冲器），耗电比 MRAM100 降低。

30 图 32 是读出和写入时 MRAM200 的各种电流和电压的定时图。

MRAM200 中，共用 PMOS 晶体管 MP11、MP13 和 NMOS 晶体管 MN12、MN14 的每一个的门输入，因此栅电压 V_{11} 和 V_{12} 的定时相同，

栅电压 V_{13} 和 V_{14} 的定时相同。

由于共用 PMOS 晶体管 MQ11 和 NMOS 晶体管 QN12 的门输入 (PMOS 晶体管 MP21 和 NMOS 晶体管 QN23 的门输入也同样), 栅电压 V_{w1} 和 V_{w2} 的定时相同, 基本动作与 MRAM100 相同。

- 5 本例中, 假定电压 V_b =源电压 V_{ss} 、电压 V_w =漏电压 V_{DD} 。即, MJT 的特性与图 29 所示相同时, 把漏电压 V_{DD} 大体设置成等于施加给各 MRAM 单元的 pn 结二极管的电压加上 0.1v 的值。

图中未示出, 但 MRAM100 和 MRAM 200 的读出/写入控制电路可共用相邻的 MRAM 单元阵列。此时, 实现的效果是把装置面积缩小了共有的部分。

10

<B-5.变形例 2>

作为本发明的实施例 2 的变形例 2, 图 33 表示 MRAM300。MRAM300 具有与用图 31 说明的 MRAM200 几乎相同的结构, 不同的是在 PMOS 晶体管 MP11 与 NMOS 晶体管 MN12、PMOS 晶体管 MP13 与 NMOS 晶体管 MN14、PMOS 晶体管 MP21 与 NMOS 晶体管 MN22、PMOS 晶体管 MP23 与 NMOS 晶体管 MN24 的各个漏电极之间插入 NMOS 晶体管 MN15、MN16、MN25 和 MN26 以及在 PMOS 晶体管 QP11 和 NMOS 晶体管 QN12、PMOS 晶体管 QP21 和 NMOS 晶体管 QN22 的漏电极之间插入 NMOS 晶体管 QN1 和 QN2。

15

- 20 NMOS 晶体管 MN15、MN16、MN25、MN26、QN1 和 QN2 的栅电压固定到直流电压 V_{GG} 。

这些 NMOS 晶体管的目的是降低漏电流。即, MOSFET 的漏电流的原因在于漏端的高电场引起的 BTBT (Band to band tunneling) TAT (Trap Assisted Tunneling)、碰撞电离 (Impact Ionization) 和 SRH (Schockley-Read-hall process)。

25

为降低漏电流, 可降低漏端电场, 例如通过在 PMOS 晶体管 MP11 与 NMOS 晶体管 MN12 的漏电极之间插入 NMOS 晶体管 MN15、把 NMOS 晶体管 MN15 的漏电压设定到规定直流电压 (这里是电压 V_{GG}), 可降低提供给 NMOS 晶体管 MN12 和 MN15 的漏电压。

- 30 例如, 把电压 V_{GG} 设定到 $V_{DD}/2+V_{thn}$ (NMOS 晶体管 MN15 的阈值电压), 把 NMOS 晶体管 MN15 提供到时常接通状态。这样, NMOS 晶体管 MN12 为接通状态时, 与 NMOS 晶体管 MN15 配合, 为 2 个电

阻串联连接的状态,因为电阻分割施加给 NMOS 晶体管 MN12 和 MN15 的应力电压 (漏电压 V_{DD}) 相等,因此与不插入 NMOS 晶体管 MN15 的情况,即仅 NMOS 晶体管 MN12 的情况的漏电流相比,MN12 和 MN15 的总漏电流可大大降低,可降低耗电。

- 5 把电压 V_{GG} 设定到 $V_{DD}/2+V_{thn}$ 基于通过这样设定施加给 NMOS 晶体管 MN12 和 MN15 的应力电压相等且最小这样的常识,但实施中,若可降低耗电,则不限于该电压。

以上的效果在 NMOS 晶体管 MN16,MN25 和 MN26 中也同样。

- 10 通过在 PMOS 晶体管 QP11 与 NMOS 晶体管 QN12、PMOS 晶体管 QP21 与 NMOS 晶体管 QN22 的各漏电极之间插入的 NMOS 晶体管 QN1 和 QN2 也大大降低漏电流,降低耗电。

以上的说明中,假定数据写入时 MRAM 单元阵列的位线中流过双向电流、字线中流过单向电流,但也可以是位线中流过单向电流、字线中流过双向电流。

- 15 替代 MRAM 单元中的 pn 结二极管,可使用具有 MOSFET 和 TFT (Thin Film Transistor) 和双极性晶体管等的开/关特性的元件。

<C.实施例 3>

<本实施例的特征>

- 20 本发明的实施例 3 的 MRAM 的特征在于 MRAM 单元阵列的字线或位线被分割成多个子字线和子位线。

即,布线的电阻率为 ρ 、布线长度为 l 、布线的截面面积为 S 时,布线电阻 R 由下面式 (9) 给出。

[式 9]

$$R=\rho \frac{l}{S} \quad \dots\dots\dots(9)$$

- 25 流过布线的电流为 I 时,消耗功率 P 按下面的式 (10) 给出。

[式 10]

$$P=RI^2=\rho \frac{lI^2}{S} \quad \dots\dots\dots(10)$$

- 30 因此,若缩短布线长度 l ,则判断出降低消耗功率。例如,把布线 2 分割时,消耗功率变为 $1/2$,进行 n (其中 n 是 2 以上的整数) 分割时,消耗功率变为 $1/n$,可降低 MRAM 中写入时的消耗功率。

增加连接于同一字线的存储器单元的个数时，增加负载电容。其结果，增加了传送字线的信号的延迟时间，产生不能高速访问的缺点。

但是，由于通过把字线分割为多个子字线缩短布线的长度减少连接于同一布线的存储器单元的个数，降低负载电容。其结果是与不分割字线的存储器装置相比，可缩短延迟时间，可实现高速访问。这在位线中也同样。下面说明本发明的实施例3的MRAM的具体结构。

<C-1.字线分割>

<C-1-1.装置结构>

图34是表示分割字线的MRAM400的结构的框图。如图34所示，MRAM400具有多个MRAM单元阵列66。

各MRAM单元阵列66具有连接于多个字线64的第一端的行读出/写入第一控制电路RRW1、连接于第二端的行读出/写入第二控制电路RRW2、连接于多个位线69的第一端的列读出/写入第一控制电路CRW1、连接于第二端的列读出/写入第二控制电路CRW2。

上述各控制电路与实施例2说明的MRAM100~300相同，附加相同的符号，但并不限于此。

并且，对应于各MRAM单元阵列66，配置多个连接于未示出的列解码器的存储器单元阵列选择线70。

在构成行解码器的多个AND门62的输出上分别连接主字线67。主字线67的根数与各MRAM单元阵列66的字线的根数一致。

多个存储器单元阵列选择线70和多个主字线67的交叉部上分别连接输入存储器单元阵列选择线70和主字线67的2输入AND门61，该输出经行读出/写入第一控制电路RRW1连接于子字线64。该子字线64为各MRAM单元阵列66的字线。

<C-1-2.装置动作>

下面说明MRAM400的动作。

例如，存储器单元阵列选择线70之一与主字线67之一活化时，将连接于活化的存储器单元阵列选择线70与主字线67的AND门61活化连接于其输出的子字线64。

这种情况下，活化的主字线67由于不直接连接于MRAM单元，其电容不包含构成MRAM单元阵列66的MRAM单元的电容。因此，与通过横过多个MRAM单元阵列的1根字线选择MRAM单元的结构相

比，字线上包含的电容大大降低。

仅横过 1 个 MRAM 单元阵列 66 的子字线 64 是无视电容和电阻引起的延迟（CR 延迟）的很短的结构，MRAM400 可本质上降低选择特定 MRAM 单元的时间，可提高 MRAM 的动作速度。

5 这里，说明 MRAM 单元的电容。举例说，设定 MRAM 单元为 MTJ（磁隧道结）和 pn 结二极管串联连接的结构。

这种情况下，MRAM 单元电容 C_M 如下面的式（11）那样，为串联连接 MTJ 的电容 C_{TMR} 和 pn 结二极管的耦合电容 C_D 的电容。

[式 11]

$$10 \quad \frac{1}{C_M} = \frac{1}{C_{TMR}} + \frac{1}{C_D} \quad \dots\dots\dots(11)$$

图 34 所示的 MRAM400 中，仅访问选择的 MRAM 单元阵列 66 中的子字线 64 上连接的 MRAM 单元，子字线 64 和位线 69 之间流过的电流与不分割字线的结构相比，与 MRAM 单元阵列的个数的倒数成比例减少，可降低消耗功率。

15 MRAM400 中，作为控制子字线 64 的逻辑门，使用 AND 门，但并不限于 AND 门，例如，可使用 NAND 门、NOR 门、XOR 门等其他逻辑门，组合表示存储器单元阵列选择线 70 和主字线 67 的“高”或“低”的逻辑和其非逻辑（“低”或“高”）来输入到上述逻辑门，则实现与 MRAM400 相同的效果。这里，逻辑的“高”和“低”与各信号电压
20 的高值或低值相当。

<C-2.字线的分层化>

<C-2-1.装置结构>

图 35 表示分层字线的 MRAM500 的结构的框图。如图 35 所示，MRAM500 备有 m 个 MRAM 单元阵列 85 构成的 n 个存储器单元阵列
25 组 861 ~ 86n。

以采用存储器单元阵列组 861 为例，则各 MRAM 单元阵列 85 具有连接于多个字线 83 的第一端的行读出/写入第一控制电路 RRW1、连接于第二端的行读出/写入第二控制电路 RRW2、连接于多个位线 89 的第一端的列读出/写入第一控制电路 CRW1、连接于第二端的列读出/写入
30 第二控制电路 CRW2。

与各 MRAM 单元阵列 85 对应，配置连接于图中未示出的列解码器

的 m 根存储器单元阵列选择线 911 ~ 91m。

多个 AND 门（子总解码器）81 的输出上连接各个主字线 84。主字线 84 的根数与各 MRAM 单元阵列 85 的字线根数一致。

5 存储器单元阵列选择线 911 ~ 91m 与多个主字线 84 的交叉部上分别连接输入存储器单元阵列选择线 911 ~ 91m 中的几个和主字线 84 之一的 2 输入 AND 门（局部行解码器）82，其输出经行读出/写入第一控制电路 RRW1 连接于子字线 83。该子字线 83 为各 MRAM 单元阵列 85 的字线。

10 多个子总解码器 81 的全部第一输入公共连接于对应于存储器单元阵列组 861 配置的存储器单元阵列组选择线 901。

之后，多个子总解码器 81 的第二输入分别经连接于多个 AND 门（主总解码器）80 的输出的总字线 87 连接于主总解码器 80 的输出。

存储器单元阵列组选择线 901 ~ 90n 是与总字线 87 不同的布线，配置成二者交叉。

15 其他存储器单元阵列组也与存储器单元阵列组 861 结构相同，分别连接于多个子总解码器 81，多个子总解码器 81 的每一个连接于存储器单元阵列组选择线。

20 即，对应于每一个存储器单元阵列组 861 ~ 86n 配置存储器单元阵列组选择线 901 ~ 90n，分别连接于存储器单元阵列组 861 ~ 86n 的多个子总解码器 81 的第二输入分别经总字线 87 连接于多个主总解码器 80 的输出。

多个主总解码器 80 连接于地址信号线组 88。

<C-2-2.装置动作>

下面说明 MRAM500 的动作。

25 存储器单元阵列组 861 ~ 86n 由存储器单元阵列组选择线 901 ~ 90n 选择几个，存储器单元阵列组 861 ~ 86n 内的多个 MRAM 单元阵列 85 由存储器单元阵列选择线 911 ~ 91m 选择。

30 存储器单元阵列组 861 ~ 86n 的动作与用图 34 说明的 MRAM400 相同，例如，活化存储器单元阵列选择线 911 和主字线 84 之一时，连接于活化的存储器单元阵列选择线 911 和主字线 84 的 AND 门 82 活化连接于其输出的子字线 83。

这种情况下，活化的主字线 84 的电容由于不包含构成 MRAM 单元

阵列 85 的 MRAM 单元的电容, 与通过横过多个 MRAM 单元阵列的 1 根字线选择 MRAM 单元的原有 MRAM 相比, 字线上包含的电容大大降低。

例如, 活化存储器单元阵列组选择线 901 和总字线 87 之一时, 连接于活化的存储器单元阵列组选择线 901 和总字线 87 的 AND 门 81 活化连接于其输出的主字线 84。

这种情况下, 活化的总字线 87 的电容由于不包含构成存储器单元阵列组 861 ~ 86n 的 MRAM 单元阵列 85 的电容, 与通过横过多个存储器单元阵列组的 1 根字线选择 MRAM 单元的结构相比, 字线上包含的电容大大降低。

因此, 字线 83 和位线 89 之间流过的电流与不分层字线的原有 MRAM 相比, 不仅与 MRAM 单元阵列的个数的倒数成比例减少, 而且与存储器单元阵列组的个数的倒数成比例减少, 可降低消耗功率。

<C-2-3.字线分层的 MRAM 的整个结构>

图 36 表示字线分层的 MRAM 的整体结构的一例。图 36 中, 表示出配备具有 4 个 MRAM 单元阵列 851 ~ 854 的 4 个存储器单元阵列组 861 ~ 864 的 MRAM, 对应于 4 个存储器单元阵列组 861 ~ 864 的每一个, 配置 4 个存储器单元阵列组选择线 901 ~ 904。各存储器单元阵列组中, 对应于 4 个 MRAM 单元阵列 851 ~ 854, 配置 4 个存储器单元阵列选择线 911 ~ 914。

图 36 中用简单的框图表示出 MRAM 单元阵列 85 等的各个结构, 用箭头简单表示总字线 87 等的各布线路径。从图 36 判断出所谓的字线分层化。

<C-3.位线分割>

<C-3-1.装置结构>

图 37 中用框图表示分割位线的 MRAM600 的结构。如图 37 所示, MRAM600 具有多个 MRAM 单元阵列 166。

各 MRAM 单元阵列 166 具有连接于多个字线 160 的第一端的行读出/写入第一控制电路 RRW1、连接于第二端的行读出/写入第二控制电路 RRW2、连接于多个位线 164 的第一端的列读出/写入第一控制电路 CRW1、连接于第二端的列读出/写入第二控制电路 CRW2。

上述各控制电路与实施例 2 说明的 MRAM100 ~ 300 相同, 附加相

同的符号，但并不限于此。

并且，对应于各 MRAM 单元阵列 166，配置多个连接于未示出的行解码器的存储器单元阵列选择线 170。

在构成列解码器的多个 AND 门 162 的输出上分别连接主位线 167。

- 5 主位线 67 的根数与各 MRAM 单元阵列 166 的位线的根数一致。

多个存储器单元阵列选择线 170 和多个主位线 167 的交叉部上分别连接输入存储器单元阵列选择线 170 和主位线 167 的 2 输入 NAND 门 161，该输出经列读出/写入第一控制电路 CRW1 连接于子位线 164。该子位线 164 为各 MRAM 单元阵列 166 的位线。

- 10 <C-3-2.装置动作>

下面说明 MRAM600 的动作。

例如，存储器单元阵列选择线 170 之一与主位线 167 之一活化时，将连接于活化的存储器单元阵列选择线 170 与主位线 167 的 NAND 门 61 活化连接于其输出的子位线 164。

- 15 这种情况下，活化的主位线 167 由于不直接连接于 MRAM 单元，其电容不包含构成 MRAM 单元阵列 166 的 MRAM 单元的电容。因此，与通过横过多个 MRAM 单元阵列的 1 根位线选择 MRAM 单元的结构相比，位线上包含的电容大大降低。

- 20 仅横过 1 个 MRAM 单元阵列 166 的子位线 164 是无视电容和电阻引起的延迟（CR 延迟）的很短的结构，MRAM600 可本质上降低选择特定 MRAM 单元的时间，可提高 MRAM 的动作速度。

- 25 这里，说明 MRAM 单元的电容。由于用式（11）说明了，省略其重复说明，但图 37 所示的 MRAM600 中，由于仅访问选择的 MRAM 单元阵列 166 中的子位线 164 上连接的 MRAM 单元，子位线 164 和字线 169 之间流过的电流与不分割位线的结构相比，与 MRAM 单元阵列的个数的倒数成比例减少，可降低消耗功率。

- 30 MRAM600 中，作为控制子位线 164 的逻辑门，使用 NAND 门，但并不限于 NAND 门，例如，可使用 AND 门、NOR 门、XOR 门等其他逻辑门，组合表示存储器单元阵列选择线 170 和主位线 167 的“高”或“低”的逻辑和其非逻辑（“低”或“高”）来输入到上述逻辑门，则实现与 MRAM600 相同的效果。这里，逻辑的“高”和“低”与各信号电压的高值或低值相当。

<C-4.位线的分层化>

<C-4-1.装置结构>

图 38 表示分层位线的 MRAM700 的结构框图。如图 38 所示，MRAM700 备有 m 个 MRAM 单元阵列 185 构成的 n 个存储器单元阵列组 1861 ~ 186n。

以采用存储器单元阵列组 1861 为例，则各 MRAM 单元阵列 185 具有连接于多个字线 189 的第一端的行读出/写入第一控制电路 RRW1、连接于第二端的行读出/写入第二控制电路 RRW2、连接于多个位线 183 的第一端的列读出/写入第一控制电路 CRW1、连接于第二端的列读出/写入第二控制电路 CRW2。

与各 MRAM 单元阵列 185 对应，配置连接于图中未示出的列解码器的 m 根存储器单元阵列选择线 1911 ~ 191m。

多个 AND 门（子总解码器）181 的输出上连接各个主位线 184。主位线 184 的根数与各 MRAM 单元阵列 185 的位线根数一致。

存储器单元阵列选择线 1911 ~ 191m 与多个主位线 184 的交叉部上分别连接输入存储器单元阵列选择线 1911 ~ 191m 中的几个和主位线 184 之一的 2 输入 AND 门（局部列解码器）182，其输出经列读出/写入第一控制电路 CRW1 连接于子位线 183。该子位线 183 为各 MRAM 单元阵列 185 的字线。

多个子总解码器 181 的全部第一输入公共连接于对应于存储器单元阵列组 1861 配置的存储器单元阵列组选择线 1901。

之后，多个子总解码器 181 的第二输入分别经连接于多个 AND 门（主总解码器）180 的输出的总位线 187 连接于主总解码器 180 的输出。

存储器单元阵列组选择线 1901 ~ 190n 是与总位线 187 不同的布线，配置成二者交叉。

其他存储器单元阵列组也与存储器单元阵列组 1861 结构相同，分别连接于多个子总解码器 181，多个子总解码器 181 的每一个连接于存储器单元阵列组选择线。

即，对应于每一个存储器单元阵列组 1861 ~ 186n 配置存储器单元阵列组选择线 1901 ~ 190n，分别连接于存储器单元阵列组 1861 ~ 186n 的多个子总解码器 181 的第二输入分别经总位线 187 连接于多个主总解码器 180 的输出。

多个主总解码器 180 连接于地址信号线组 188。

<C-4-2.装置动作>

下面说明 MRAM700 的动作。

- 存储器单元阵列组 1861 ~ 186n 由存储器单元阵列组选择线 1901 ~ 190n 选择几个,存储器单元阵列组 1861 ~ 186n 内的多个 MRAM 单元阵列 185 由存储器单元阵列选择线 1911 ~ 191m 选择。

- 存储器单元阵列组 1861 ~ 186n 的动作与用图 37 说明的 MRAM600 相同,例如,活化存储器单元阵列选择线 1911 和主位线 184 之一时,连接于活化的存储器单元阵列选择线 1911 和主位线 184 的 AND 门 182 活化连接于其输出的子位线 183。

这种情况下,活化的主位线 184 的电容由于不包含构成 MRAM 单元阵列 185 的 MRAM 单元的电容,与通过横过多个 MRAM 单元阵列的 1 根位线选择 MRAM 单元的原有 MRAM 相比,位线上包含的电容大大降低。

- 例如,活化存储器单元阵列组选择线 1901 和总位线 187 之一时,连接于活化的存储器单元阵列组选择线 1901 和总位线 187 的 AND 门 181 活化连接于其输出的主位线 184。

- 这种情况下,活化的总位线 187 的电容由于不包含构成存储器单元阵列组 1861 ~ 186n 的 MRAM 单元阵列 185 的电容,与通过横过多个存储器单元阵列组的 1 根位线选择 MRAM 单元的结构相比,位线上包含的电容大大降低。

因此,位线 183 和字线 189 之间流过的电流与不分层位线的原有 MRAM 相比,不仅与 MRAM 单元阵列的个数的倒数成比例减少,而且与存储器单元阵列组的个数的倒数成比例减少,可降低消耗功率。

- 以上说明的实施例 3 中,对于字线和位线的每一个,说明分割和分层的例子,但组合它们并分割字线和位线二者的结构或分层字线和位线二者的结构也可以。采用这种结构,还提高消耗功率的降低和提高 MRAM 的动作速度。

<D.实施例 4>

- <本实施例的特征>

本实施例 4 的 MRAM 的特征在于使用电感产生的磁场统一擦除或统一写入多个 MRAM 单元的存储数据。

<D-1.装置结构>

图 39 是表示本发明的实施例 4 的 MRAM800 的结构透视图。图 39 中,彼此平行配置位线 4、5 和 6 使得其在彼此平行配置的字线 1、2 和 3 的上部交叉,字线和位线夹持住的各交叉点上形成 MRAM 单元 MC 并构成 MRAM 单元阵列 MCA1。

MRAM 单元 MC 的结构使用图 1 说明,省略重复的说明,构成 MRAM 单元 MC 的软铁磁层的易磁化轴方向如箭头所示是各字线的延伸方向。

之后,围绕 MRAM 单元阵列 MCA1 配置线圈状电感 ID。

电感 ID 连接金属线配置成线圈状,沿着字线 1~3 的延伸方向缠绕。

之后,电感 ID 的两端连接于可双向流动电流的电感驱动电路(未示出),通过改变流过电感 ID 的电流的方向可改变电感 ID 包围的区域中产生的电场方向。电感 ID 产生的磁场与字线 1~3 的延伸方向,即构成 MRAM 单元 MC 的软铁磁层的易磁化轴方向大致一致。

因此,相对 MRAM 单元阵列 MCA1 的多个 MRAM 单元 MC,进行数据的统一擦除或统一写入时,从电感驱动电路经电感 ID 流过电流,由产生的磁场把软铁磁层的自旋方向变更到一致的方向。

图 39 中为说明简便,表示出 3 行 3 列的存储器单元阵列,但行和列的大小并不限定于此。

电感 ID、字线 1~3、位线 4~6 等的各导线之间配置气体或固体的绝缘体,但在图 39 中简单地省略了对其的表示。

图 39 中,为说明简便,电感 ID 的绕线的间距表示为比 MRAM 单元阵列 MCA1 的间距大,但并不限制于此。

MRAM 单元 MC 的结构并不特别限定,例如可以是具有用图 30 说明的双磁隧道结的结构,也可以是具有至少一个磁隧道结的结构。例如,用与至少一个磁隧道结的静磁耦合把磁力线构成环路,配备磁体/非磁体/磁体结构的存储器单元也可以。

电感只要是产生与软铁磁层的易磁化轴方向一致的磁场,不是线圈状也可以。

这里,使用作为图 39 的 A-A 线的剖面图的图 40~图 42,说明 MRAM800 的动作。为说明简便,电感 ID 的绕线间距用与图 39 的不同

的间距表示。

图 40 表示统一擦除前的状态的一例。如图 40 所示，MRAM 单元 MC 在 pn 结二极管 pn 上部具有配置了磁隧道结 (MTJ) 的结构。并且，构成位线 5 的下部的 MRAM 单元 MC 的软铁磁层 22 的自旋方向面对图面向左，其他 MRAM 单元 MC 的自旋方向向右。并且，在不进行统一擦除操作和统一写入操作的状态，即电感 ID 为备用状态时，电感 ID 接地。由此，屏蔽外部噪声，实现保护 MRAM 单元阵列 MCA1 的效果。

图 41 表示统一擦除状态的一例。统一擦除的信号输入到电感驱动电路时，电感 ID 上流过第一方向电流，如箭头所示，产生右方向的磁场。此时，电感 ID 的间距越狭窄，电感内部的磁场越少泄漏到外部，产生更高效的磁场。

这里，表示擦除的自旋方向为图中的向右方向时，通过电感内部产生的右方向的磁场，全部 MRAM 单元 MC 的软铁磁层 22 的自旋同时向右侧，统一擦除数据。

图 42 表示统一写入的状态的一例。统一写入的信号输入到电感驱动电路时，电感 ID 上流过与第一方向相反的第二方向的电流，如箭头所示，产生左方向的磁场。

这里，表示写入的自旋方向为图中的向左方向时，通过电感内部产生的左方向的磁场，全部 MRAM 单元 MC 的软铁磁层 22 的自旋同时向左侧，统一写入数据。

<D-2.作用效果>

统一擦除或统一写入多个 MRAM 单元的存储数据时，在用字线和位线逐一选择地址擦除或写入存储数据的方法中，花费时间并且消耗功率大。

另一方面，在根据本实施例的 MRAM 中，由于可统一擦除或统一写入多个 MRAM 单元的数据，可短时间处理，并且由电感 ID 可高效地产生磁场，因此消耗功率降低。

<D-3.变形例>

为统一擦除或统一写入多个 MRAM 单元的存储数据，可采用电感以外的结构。

图 43 中表示作为实施例 4 的变形例的 MRAM900 的平面结构。图 43 中，为说明简便，表示出 4 行 4 列的 MRAM 单元阵列 MCA2，但行

和列的大小并不限于此。

如图 43 所示, MRAM 单元阵列 MCA2 上下配置用于统一处理数据的闪速位线 FBL 和闪速字线 FWL。

5 闪速位线 FBL 和闪速字线 FWL 对应于配置多个位线 BL1 和字线 WL1 的整个区域设置, 在图 43 中任一个平面形状都是矩形。

图 43 中是字线 WL1 上部与位线 BL1 交叉的结构, 字线 WL1 和位线 BL1 的交叉部的两线之间配置 MRAM 单元 MC。

10 并且, 闪速字线 FWL 配置在字线 WL1 下部、闪速位线 FBL 配置在位线 BL1 上部。图 43 中, 为简便起见, 部分去除最上部的闪速位线 FBL 来表示。

图 43 中的 A-A 线和 B-B 线的剖面结构分别表示在图 44 和图 45 中。

如图 45 所示, MRAM 单元 MC 具有在 pn 结二极管 pn 上部设置有磁隧道结 (MTJ) 的结构。

15 这样, 在 MRAM 单元阵列 MCA2 上下配置闪速位线 FBL 和闪速字线 FWL, 统一擦除或统一写入时, 闪速位线 FBL 和闪速字线 FWL 中流过规定方向的电流, 同时把全部 MRAM 单元 MC 的软铁磁层的自旋转向相同方向而实现统一擦除或统一写入。

20 在闪速位线 FBL 和闪速字线 FWL 中, 在 MRAM 单元 MC 中, 为统一擦除或统一写入而流动的电流的方向可以与分别进行数据擦除或写入时流过位线 BL 和字线 WL 的电流的方向相同。

可配置闪速位线 FBL 和闪速字线 FWL 二者, 配置其中一个也可。即, 产生的磁场与电流大小成比例, 因此若流过大电流, 仅一方自旋反转也是可能的。

25 使用闪速位线 FBL 和闪速字线 FWL 二者由两线产生相同大小的磁场这一方面可以使反转自旋需要的电流的总和小。

不进行统一擦除或统一写入动作的状态, 即闪速位线 FBL 和闪速字线 FWL 备用时, 通过闪速位线 FBL 和闪速字线 FWL 接地, 屏蔽外部的磁场、电场引起的噪声, 起到保护 MRAM 单元阵列 MCA2 的效果。

30 以上说明的 MRAM900 中, 表示的是具有一个 MRAM 单元阵列 MCA2 的结构, 但可适用于具有多个 MRAM 单元阵列的结构。将该结果作为 MRAM900 A 表示在图 46 中。

如图 46 所示, MRAM900A 中把多个 MRAM 单元阵列 MCA2 配置

成矩阵状，对应于 MRAM 单元阵列 MCA2 的排列在 MRAM 单元阵列 MCA2 的排列上下把用于数据统一处理的总闪速位线 GBL 和总闪速字线 GWL 配置成矩阵状。

总闪速位线 GBL 和总闪速字线 GWL 具有与图 43 所示的闪速位线 FBL 和闪速字线 FWL 相同功能，说明从略，但由于公共使用多个 MRAM 单元阵列 MCA2，变更名称。

以上说明的闪速位线 FBL 和闪速字线 FWL、总闪速位线 GBL 和总闪速字线 GWL 的控制电路可使用图 27、图 31、图 33 中说明的行读出/写入第一控制电路 RRW1、行读出/写入第二控制电路 RRW2、列读出/写入第一控制电路 CRW1、列读出/写入第二控制电路 CRW2。

如图 46 所示的 MRAM900A 所示，具有多个 MRAM 单元阵列 MCA2 的结构中，与成为统一擦除或统一写入的对象的 MRAM 单元阵列 MCA2 有相同列和行的非选择的 MRAM 单元阵列 MCA2 中也可能流过电流，因此按照降低消耗电流的目的，可把使用图 33 ~ 图 38 说明的分割的字线、分割的位线、分层的字线、分层的位线的技术思想适用于总闪速位线 GBL 和总闪速字线 GWL。

<E. 实施例 5>

<本实施例的特征>

本发明的实施例 5 的 MRAM 的特征在于利用电感和电容的 LC 谐振，再循环电流、用于至少一次以上的存储数据的更换。

<E-1. 装置结构>

图 47 是表示本发明的实施例 5 的 MRAM1000 的平面结构的图。图 47 中，MRAM 单元阵列 MCA3 的多个位线 BL1 的第一端连接多路复用器 MUX1、第二端连接多路复用器 MUX2。多个字线 WL1 的第一端提供漏电压 V_{DD} 、多个字线 WL1 的各个第二端连接 NMOS 晶体管 QN1。

多路复用器 MUX1 上连接对应于多个位线 BL1 的根数设置的多个 NMOS 晶体管 QM1，各 NMOS 晶体管 QM1 的源电极上连接电容 CP1。

多路复用器 MUX2 由对 2 根位线 BL1 连接 1 个电感 ID1 的结构构成，结果多路复用器 MUX2 上连接相当于多个位线 BL1 的总数的一半的个数的电感 ID1。

位线 BL1 和字线 WL1 上连接用图 26 说明的列解码器、行解码器和控制电路，这些与本实施例关系不大，为说明简便，省略了图示和说明。

<E-2.装置动作>

接着,说明 MRAM1000 的动作。下面有时简单地对位线 BL1 附加符号 BL1a 和 BL1b 进行区别。

首先,选择包含选择地址的字线 WL1,向该选择的字线 WL1 流过
5 直流电流 I_{DC} 。

接着,由多路复用器 MUX1 选择包含选择地址的位线 BL1,经该选择位线 BL1a 把写入电流 I_1 流入多路复用器 MUX2。此时,通过多路复用器 MUX2 选择连接于选择位线 BL1a 的电感 ID1,将写入电流 I_1 的能量作为磁场保存在电感 ID1 中。

10 由多路复用器 MUX2 选择连接于上述电感 ID1 的又一方的位线 BL1,流过电感 ID1 的写入电流 I_1 流入对应选择位线 BL1b,作为电流 I_2 可再利用。

该电流 I_2 可经多路复用器 MUX1 作为电荷蓄积在空闲的电容 CP1 上,原理上可再次通过适当连接多路复用器 MUX1 和 MUX2 进行数次的写入。
15

多个 NMOS 晶体管 QM1 配合对电容 CP1 的电荷蓄积以及来自电容 CP1 的电荷释放的定时通断控制。多个 NMOS 晶体管 QN1 配合把直流电流 I_{DC} 流过字线 WL1 的定时进行通断控制。

<E-3.作用效果>

20 如上说明,通过利用电感 ID1 和电容 CP1 的 LC 谐振再循环位线 BL1 的写入电流可降低写入时的消耗功率。

<E-4.变形例>

作为本实施例的变形例,图 48 表示 MRAM1100 的平面结构。MRAM1100 中,除图 47 所示的 MRAM1000 的结构外,MRAM 单元阵列 MCA3 的多个字线 WL1 的第一端连接多路复用器 MUX3、第二端连接多路复用器 MUX4。
25

多路复用器 MUX3 上连接对应多个字线 WL1 的根数设置的多个 NMOS 晶体管 QN1、各 NMOS 晶体管 QN1 的源电极上连接电容 CP2。

多路复用器 MUX4 为对 2 根字线 WL1 连接 1 个电感 ID2 的结构,
30 结果多路复用器 MUX4 上连接相当于多个位线 BL1 的总数的一半的个数的电感 ID2。

这样结构的 MRAM1100 中,不仅再循环位线 BL1 上的写入电流,

而且可利用电感 ID2 和电容 CP2 的 LC 谐振再循环字线 WL1 的写入电流, 进一步降低写入电流的消耗引起的消耗功率。

由电感 ID2 和电容 CP2 的 LC 谐振带来的写入电流的再循环动作与电感 ID1 和电容 CP1 的 LC 谐振一样, 其说明从略。

5 电感 ID1 和电容 CP1、电感 ID2 和电容 CP2 中消耗的电流, 由设置在多路复用器 MUX1 ~ MUX4 上的一般的电流检测型补偿电路补偿。

作为电感 ID1 和 ID2 可使用例如把绕线绕成涡旋状形成的螺旋电感。

10 图 47 和图 48 所示的结构是一个例子, 只要利用 LC 谐振可实现写入电流的再循环, 则并不限于上述结构。

<F. 实施例 6>

<本实施例的特征>

本发明的实施例 5 的磁基片的特征在于预先在主表面上形成构成磁隧道结 (MTJ) 的多层膜。

15 <F-1. 基本结构>

图 49 表示本发明的实施例 5 的磁基片的剖面结构。图 49 中, 硅衬底 SB 的整个主表面上设置氧化硅或氮化硅膜等的绝缘膜 IL1, 在其上配置后面构成字线或位线的导体层 ML1。

20 导体层 ML1 上部层叠具有比较高的浓度的 n 型杂质的 n 型硅层 SF1 和具有比较高的浓度的 p 型杂质的 p 型硅层 SF2。这两层在后面成为 pn 结二极管。

之后, 在 p 型硅层 SF2 上部形成在后面构成钨接线柱的钨层 STD, 在 STD 层上配置后面成为 MTJ 的多层膜。

25 即, 从下面开始顺序配置铂 (Pt) 构成的模板层 TPL、 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金构成的初始铁磁层 IFL (膜厚 4nm)、 $\text{Mn}_{54}\text{Fe}_{46}$ 构成的反铁磁层 AFL (膜厚 10nm)、CoFe 或 $\text{Ni}_{81}\text{Fe}_{19}$ 的坡莫合金构成的铁磁层 FFL (膜厚 8nm)、 Al_2O_3 构成的隧道阻挡层 TBL、膜厚 2nm 的 CoFe 和膜厚 20nm 的 $\text{Ni}_{81}\text{Fe}_{19}$ 的多层膜构成的软铁磁层 FML、Pt 构成的接触层 CL。

30 接触层 CL 上部配置后面成为字线或位线的导体层 ML2, 在最上部配置作为金属层的防氧化膜的绝缘膜 IL2。

销售这样的磁基片时, 用户使用光刻胶, 例如通过氩离子研磨构成,

可形成例如图 39 所示的 MRAM 单元阵列 MCA1。

<F-2.作用效果>

这样，基片制造商销售在主表面上预先形成成为 pn 结二极管和 MTJ 的多层膜的磁基片，用户使用该磁基片，与准备简单的硅衬底、在其主表面上形成多层膜的情况相比，可减省制造工序，降低制造成本。

<F-3. 变形例>

图 50 表示在 SOI (Silicon On Insulator) 衬底的主表面上预先形成成为 pn 结二极管和 MTJ 的多层膜的磁基片。

图 50 中，硅衬底 SB 上配置埋置氧化膜 BX，在埋置氧化膜 BX 上设置 SOI 层 SI。并且在 SOI 层 SI 上设置与图 49 所示相同的多层膜。

如使用图 31 和图 33 说明的那样，MRAM 上需要 MOSFET。并且 SOI 层上形成 MOSFET 时降低寄生电容，因此加快 MOSFET 的动作速度，结果加快 MRAM 的动作速度。

以上说明的实施例 6 中，表示在体硅衬底、SOI 衬底上层叠成为磁隧道结的多层膜的结构，将其叫作磁基片，但成为磁隧道结的多层膜也可层叠在玻璃衬底和树脂衬底上，成为基台的衬底种类也不限于半导体衬底。

因此，本发明中，以集中衬底作为基台层叠薄膜磁性多层膜的结构都叫作薄膜磁性基片。

<G.实施例 7>

<本实施例的特征>

本发明的实施例 7 的 MRAM 的特征在于形成在衬底的主表面上所形成的各种功能块上。

<G-1.装置结构>

首先，为说明与本实施例的差异，图 51 表示原来的一般的半导体存储装置的结构框图。

图 51 中，作为存储器单元阵列 31 的周边电路，在存储器单元阵列 31 周围配置列地址缓冲器 31、列解码器 32、列读出/写入控制电路 33、行地址缓冲器 34、行解码器 35、行读出/写入控制电路 36。

作为其他功能块，配备：在与外部装置进行信号收发的输入输出缓冲器(I/O 缓冲器)和上述信号比规定值大(overshoot)或小(undershoot)的情况下，返回规定值的 ESD (Electric Static Discharge) 电路 44；具

有解调调制的信号、调制信号的功能的调制/解调电路 (Modulator/Demodulator) 43; 具有处理数字信号功能的 DSP (Digital Signal Processing) 42; 进行存储器单元阵列 31 和周边电路的数据交换的中介 (暂时保持数据、在周边电路与存储器单元阵列 31 之间取得数据的收发同步等) 的第一高速缓冲存储器 51 和第二高速缓冲存储器 52; 控制存储器单元阵列 31 的数据输入输出的输出输出控制器 (I/O 控制器 53); 进行数据运算处理的 CPU (Micro processor) 41。

原来的半导体存储装置中, 例如是 DRAM、SRAM 和 EEPROM 等, 由于存储器单元阵列中含有 MOSFET, 必须在半导体衬底的主表面上形成, 结果存储器单元阵列形成在与各功能块相同的半导体衬底的主表面上。

这里, 图 52 中用框图表示本发明的实施例 7 的 MRAM1200 的结构。

图 52 中, MRAM 单元阵列 MCA 在 MRAM 单元阵列 MCA 的周边电路, 即列地址缓冲器 CAB、列解码器 CD、列读出/写入控制电路 CRW、行地址缓冲器 RAB、行解码器 RD 和行读出/写入控制电路 RRW 的配置区域的上部叠加配置。

周边电路的结构例如与使用图 26 说明的结构相同, 其他功能块与原来的半导体存储装置相同, 其说明从略。

20 <G-2.作用效果>

MRAM 单元阵列 MCA 如使用图 28、图 31 和图 33 说明的那样, 在其内部不包含 MOSFET, 作为半导体元件仅包含 pn 结二极管, 因此形成区域不限于衬底的主表面上。

因此, MRAM 单元阵列 MCA 以外的结构, 即包含 MRAM 单元阵列 MCA 的周边电路, 各功能块形成在衬底的主表面上, 通过 MRAM 单元阵列 MCA 形成在其上层, 可降低装置面积。

<G-3.变形例>

图 53 用框图表示作为本实施例的变形例的 MRAM1300 的结构。

如图 53 所示, 在 MRAM1300 中, MRAM 单元阵列 MCA 叠加设置在形成周边电路和各种功能块的整个区域的上部。

这样, 通过在不同层中形成 MRAM 单元阵列 MCA、周边电路和各种功能块, 增加 MRAM 单元阵列 MCA 的配置位置和大小选择的自由

度，降低装置面积，同时可提高装置布局的选择性。

<H.实施例 8>

<本实施例特征>

本发明的实施例 8 的 MRAM 的特征在于将 MRAM 单元阵列、
5 MRAM 单元阵列的周边电路和各种功能块作为独立的半导体芯片并将
两个芯片作为一个模块，采用在 1 个组件中容纳的 MCP (Multi Chip
Package) 的状态。

<序论>

MRAM 单元阵列的周边电路和各种功能块制造时的最大形成温度
10 为 1000 ~ 1200℃左右，另一方面，MRAM 单元阵列制造时的最大形成
温度由居里温度决定，为 400 ~ 700℃左右。

将二者形成的同一半导体衬底上时，为防止形成温度不同带来的不
适当，最大形成温度为 400 ~ 700℃的布线工序中，形成 MRAM 单元阵
列。

15 因此，MRAM 制造工序中，工序按顺序进行，出现花费制造成本
的问题。

另一方面，至今仍使用在 1 个组件中容纳多个半导体芯片的 MCP
结构。鉴于这一现状，发明人等将 MRAM 单元阵列和 MRAM 单元阵列
的周边电路和各种功能块作为独立的半导体芯片，若是将两个芯片作为
20 一个模块容纳在 1 个组件中的结构的 MRAM，则实现上述问题的解决，
但实际上，为得到 MCP 结构的 MRAM，仍有这样的认识：用原来的组
件结构不能对应于 MRAM。

下面除说明实现 MCP 结构的 MRAM 的课题外，说明实施例 8 的
MRAM2000 的结构。

25 <H-1.原来的 MCP 结构>

包含半导体装置的半导体芯片的安装方法原来使用 QFP(Quad Flat
Package)，但有安装面积大的问题。因此，近年开始使用与芯片面积相
同大小的安装面积来实现的 CSP (Chip Size Package)。该安装方法与
QFP 相比，由于安装面积小得多，可用于便携电话用 LSI、PC (Personal
30 Computer) 用 RAM 等。

图 54 用剖面图表示原来的 CSP 的结构的一例。图 54 中，半导体芯
片 122 容纳在箱状的组件 129 内部，半导体芯片 122 的下主表面由钝化

膜 123 覆盖，从外部环境进行保护。

钝化膜 123 由氮化硅膜、氧氮化硅膜等的绝缘膜构成，在钝化膜 123 上设置多个开口，成为半导体芯片 122 的输入输出端子的芯片电极 132 是贯通钝化膜 123 的结构。

- 5 钝化膜 123 作成有底无盖的箱状，从其开口插入半导体芯片 122。这里，组件 129 的开口最终由底面基板 134 覆盖。该底面基板 134 的本体用聚酰胺树脂等绝缘材料构成，在面对其外侧的主表面上设置多个屏蔽用焊锡凸块 125 和信号传送用焊锡凸块 127。

- 10 底面基板 134 具有将屏蔽用焊锡凸块 125 和信号传送用焊锡凸块 127 电连接于内部结构的多个内部布线 130 和 131。

- 15 内部布线 130 和 131 都连接于在面向底面基板 134 的主表面上设置的承载膜 124。如后说明的那样，承载膜 124 具有在绝缘膜上设置的电布线（包含垫片）和接合层 133。来自信号传送用焊锡凸块 127 的电信号经连接于内部布线 130 和承载膜 124 的垫片的芯片电极 132 传送到半导体芯片 122。接合层 133 接合承载膜 124 和半导体芯片 122。图 54 未示出，但承载膜 124 与底面基板 134 由其他接合层接合。

- 20 底面基板 134 内部埋置导体构成的屏蔽电极 126。屏蔽电极 126 的平面形状为矩形形状，内部布线 130 是具有不接触屏蔽电极 126 而通过的开口的结构。图 54 是切断屏蔽电极 126 的开口的位置处的剖面图，该开口用虚线表示。

屏蔽电极 126 经屏蔽用焊锡块 125 和内部布线 131 固定到电源电位或接地电位，防止内部布线 130 拾取外部噪声。

- 25 在承载膜 124 的上主表面上设置屏蔽电极 126b 以包围半导体芯片 122。屏蔽电极 126b 是平面形状为矩形环状的平板，经承载膜 124 上的电布线电连接于内部布线 131，固定到电源电位或接地电位。

配置应力缓解膜 135 来覆盖屏蔽电极 126b。应力缓解膜 135 作用是缓和半导体芯片 122 和底面基板 134 之间的应力。

- 30 应力缓解膜 135 的剖面形状本来为矩形，但夹持在半导体芯片 122 的端缘部与承载膜 124 之间并变形，局部厚度变薄。即，应力集中在半导体芯片 122 的端缘部与承载膜 124 夹持的部分，但通过厚度减薄，应力得到缓和。

应力缓解膜 135 上使用例如热塑性合成橡胶。热塑性合成橡胶是在

常温下表示出橡胶弹性，但高温下可塑，可加工成各种形状的高分子材料。

5 半导体芯片 122 和应力缓解膜 135 的接合材料中使用环氧树脂等。热塑性合成橡胶的体积膨胀率约为 2.7×10^{-6} ，硅的体积膨胀率约为 3.1×10^{-6} ，由于体积膨胀率之差小，可缓解热应力。

半导体组件中，由于端子数目增多和组件小型化彼此对立，出现内部布线长、并且变细、容易拾取噪声的问题，因此配置屏蔽电极 126 和屏蔽用焊锡凸块 125。为防止半导体芯片 122 和底面基板 134 之间的热应力增大、电连接的可靠性降低，配置应力缓解膜 135。

10 屏蔽电极 126 的功能正如上述，屏蔽电极 126 经内部布线 131 连接于屏蔽用焊锡凸块 125。之后，屏蔽用焊锡凸块 125 配置成包围信号传送用焊锡凸块 127 的周围，具有防止内部布线 130 经信号传送用焊锡凸块 127 拾取外部电噪声的功能。

15 原来，MCP 结构仅在 QFP 中实现。图 55 表示使用 QFP 的 MCP 结构的剖面结构。图 55 中，在 1 个组件 107 内层叠配置 3 个半导体芯片 102a, 102b 和 102c，用树脂 106 封装。

作为一个例子，半导体芯片 102a 和 102c 为 SRAM、半导体芯片 102b 是闪速 EEPROM。

20 各半导体芯片之间由内部布线 109 连接，与外部的电连接经焊线（bonding wire）通过外部引线 113 进行。

在这样的结构中，与 1 个组件中仅有 1 个半导体芯片的结构相比，相对它一占据面积，得到更多的存储器电容。也就是说，对便携信息终端的需要增多。

25 但是，QFP 有与芯片面积相比安装面积增大，并且外部引线容易拾取噪声的问题。

这样，CSP、QFP 一长一短，并且 MRAM 中，必须防止因外部磁场影响反转软铁磁层的自旋，所以不能原样采用原来的组件的结构。

<H-2.装置结构>

下面使用图 56 ~ 图 65 说明实施例 8 的 MRAM2000 的结构。

30 图 56 表示 MRAM2000 的剖面结构，图 57 表示从下部一侧看 MRAM2000 的平面结构。图 56 是沿着图 57 的 A-A 线的剖面。

如图 56 所示，包含 MRAM 单元阵列的周边电路和各种功能块的半

导体芯片 122 被容纳在坡莫合金 ($\text{Ni}_{80}\text{Fe}_{20}$) 等的高导磁率的导体构成的箱状屏蔽件 SHB 中。

5 作为屏蔽件 SHB 的材料, 例如使用具有与用于 MRAM 存储器单元的软铁磁体相同或比其大的导磁率的铁磁体, 也可使用坡莫合金外的超坡莫合金 ($\text{Mo}_5\text{Ni}_{79}\text{Fe}_{16}$)。矫顽力大的铁磁体用作永磁, 可能对周围的电子装置影响产生, 因此希望是矫顽力小的铁磁体。坡莫合金和超坡莫合金、 $\text{Mn}_{50}\text{Zn}_{50}$ 等的铁氧体是满足该条件的材料。

屏蔽件 SHB 的内壁上配置热塑性合成橡胶构成的应力缓解膜 235。应力缓解膜 235 启动缓解半导体芯片 122 和屏蔽件 SHB 的应力的作用。

10 屏蔽件 SHB 包括构成其本体部的筒状外框 237、覆盖外框 237 的一端的上板 238、覆盖外框 237 的另一端的下板 236, 应力缓解膜 235 配置在上板 238 和外框 237 的内面。

下板 236 上开设开口, 是将连接于半导体芯片 122 内部布线 130 贯通该开口的结构。

15 组件 129 是有底无盖的箱状, 从该开口插入具有半导体芯片 122 的屏蔽件 SHB。

组件 129 是容纳屏蔽件 SHB 具有空余空间的大小, 屏蔽件 SHB 与组件 129 的内壁之间配置环氧树脂等树脂构成的树脂键 128。

20 组件 129 的开口最终由底面基片 134 覆盖。该底面基片 134 的本体用聚酰胺树脂等的绝缘材料构成, 面对其外侧的主表面上配置多个屏蔽用焊锡凸块 125 和信号传送用焊锡凸块 127。底面基片 134 由在承载膜 124 和下板 236 等上涂布的接合剂固定。

底面基片 134 具有将屏蔽用焊锡凸块 125 和信号传送用焊锡凸块 127 电连接于内部结构的内部布线 130 和 131。

25 内部布线 130 和 131 都连接于在面向底面基板 134 的内侧的主表面上设置的承载膜 124 来配置, 内部布线 131 经配置在承载膜 124 上的垫片和电布线电连接于屏蔽件 SHB 的下板 236。

内部布线 131 电连接于用埋置在底面基片 134 的内部的导体构成的屏蔽电极 126。由于部分屏蔽电极 126 并不一定存在与和内部布线 130 和 131 相同的剖面内, 图 56 中以虚线表示。

屏蔽电极 126 被固定在电源电位或接地电位, 防止内部布线 130 拾取外部电噪声。

成为半导体芯片 122 的输入输出端子的芯片电极 132 直接连接于在承载膜 124 上设置的垫片（膜电极），经在该载膜 124 上构图的膜电极和电布线电连接于内部布线 130。内部布线 130 连接于信号传送用焊锡凸块 127。

- 5 信号传送用焊锡凸块 127 是用于交换外部与内部的半导体芯片的电信号的端子，屏蔽用焊锡凸块 125 是将屏蔽件 SHB 的电位固定到接地电位的端子。

如图 57 所示，屏蔽用焊锡凸块 125 配置成包围信号传送用焊锡凸块 127。

- 10 信号传送用焊锡凸块 127 和屏蔽用焊锡凸块 125 具有将施加到底面基板 134 的应力分散到安装基板（母板）的功能，通过设置屏蔽用焊锡凸块 125，减少每一焊锡凸块 1 上施加的应力。

<H-3.安装方法>

- 下面使用图 58～图 62 简要说明 MRAM2000 的安装方法。图 58～
15 图 62 简单表示 MRAM2000 的安装方法，未正确表示出图 56 所示的结构。

图 58 中，底面基板 134 的上部接合承载膜 124，在承载膜 124 上接合应力缓解膜 223。

- 20 应力缓解膜 223 作成矩形形状，包围在承载膜 124 上设置的膜电极 219 的配置区域来设置。应力缓解膜 223 上形成矩形环状槽 224，槽 224 内设置屏蔽件 SHB 的下板 236（图 56）。槽 224 内设置下板 236 的结构表示在图 64(a)、64（b）中。

图中未示出，但后面的工序中，沿着槽 224 配置屏蔽件 SHB 的外框 237（图 46），连接于下板 236。

- 25 由于应力缓解膜 223 作成矩形形状，在图 58 所示的 X 方向和 Y 方向上同样缓和应力。

作为绝缘体的承载膜 124 上设置的膜电极 219 经内部布线 130 连接于信号传送用焊锡凸块 127。

- 30 适当构图承载膜 124 上的膜电极 219 和内部布线 130，可任意设定各凸块和各芯片电极的连接。

承载膜 124 上除膜电极 219 外还选择地设置接合层 133。接合层 133 将半导体芯片 122 和承载膜 124 接合。

接着,在图 59 所示的工序中,装载半导体芯片 122 使得半导体芯片 122 的各芯片电极与承载膜 124 的各膜电极接触,通过接合层 133 固定半导体芯片 122。

图 60 表示反转图 59 所示的状态的底面基板 134 的状态,底面基板 134 上配置半球形的焊锡凸块形成孔 211。内部布线 130 和 131 (参考图 56) 到达焊锡凸块形成孔 211 的内壁面,在后面的工序中将含意凸块埋置在焊锡凸块形成孔 211 内时,电连接焊锡凸块和内部布线 130 和 131。替代焊锡凸块,可使用导电性聚合物。

图 61 表示在焊锡凸块形成孔 211 上设置信号传送用焊锡凸块 127 和屏蔽用焊锡凸块 125 的状态。

之后,用在内部具有应力缓解膜 235 (图 56) 的屏蔽件 SHB 覆盖半导体芯片 122 后,插入有底无盖的组件 129 中,在空隙中注入树脂等的封装剂,如图 62 所示,得到在里面具有信号传送用焊锡凸块 127 和屏蔽用焊锡凸块 125 的结构。

这里,使用图 63、图 64 (a) 和图 64(b)说明构成屏蔽件 SHB 的下板 236 和应力缓解膜 223 的平面形状。图 63 表示沿着图 56 的 B-B 线的剖面形状,图 64 (a) 和 64(b)表示沿着图 63 的 C-C 线和 D-D 线的剖面结构。

如图 63 所示,下板 236 用中央有矩形开口 OP 的矩形平板构成,底面基板 134 侧上配置电连接于屏蔽用焊锡凸块 125 的矩形环状屏蔽电极 126 (图 56)。屏蔽电极 126 的外形尺寸与下板 236 的外形尺寸基本相同。

应力缓解膜 223 配置在屏蔽件 SHB 的开口端缘的内侧和外侧,应力缓解膜 235 (参考图 56) 配置在屏蔽件 SHB 的整个内侧,因此施加在半导体芯片 231 和半导体芯片 232 上的外部的应力降低。

<H-4.作用效果>

根据以上说明的实施例 8 的 MRAM2000,用从外部磁场屏蔽包含 MRAM 单元阵列的半导体芯片 122 的屏蔽件 SHB 包围,因此外部磁场反转 MRAM 单元的自旋,防止磁化方向,即数据更换。

应力缓解膜 223 配置在屏蔽件 SHB 的开口端缘内侧和外侧,在屏蔽件 SHB 的内侧上配置应力缓解膜 235,因此减少安装 MRAM2000 的安装基板(母板)的翘曲、温度循环引起的外部的应力施加到半导体芯片

122 上。

<H-5.变形例 1>

5 半导体芯片 122a 在两个主表面上配置芯片电极，半导体芯片 122a 和半导体芯片 122b 由在二者之间配置的承载膜 124b 上的膜电极和电布线连接。半导体芯片 122a 和半导体芯片 122b 由接合层 133 接合固定。

半导体芯片 122a 和信号传送用焊锡凸块 127 的电连接与图 65 所示的半导体芯片 122 和信号传送用焊锡凸块 127 的电连接相同，除承载膜 124 为承载膜 124a 外，与 MRAM2000 的结构基本相同，因此省略说明。

10 半导体芯片 122a 和半导体芯片 122b 掉转上下关系来配置也可。这种情况下，半导体芯片 122b 两个主表面上设置芯片电极即可。

半导体芯片 122a 和半导体芯片 122b 的组合可在至少一个芯片上配置 MRAM 单元阵列，也可以是公知的半导体芯片的任意的组合。

15 图 65 所示的 MRAM2100 中，由于包含 MRAM 单元阵列的周边电路与各种功能块的半导体芯片 122a 和包含 MRAM 单元阵列的半导体芯片 122 b 分别制造并组合，不必要考虑形成温度不同，把各个形成温度最佳化。之后，由于分别制造半导体芯片 122a 和半导体芯片 122b，制造工序并行进行，制造时间缩短。

<H-6.变形例 2>

20 图 56 所示的 MRAM2000 中，屏蔽件 SHB 的材料使用铁磁体，但代替其，使用含 Ir(铱)20~30at%的 IrMn 等的反铁磁体，也实现相同的效果。

25 如图 66 所示的 MRAM2200 所示，用铁磁体 136a 和反铁磁体 136b 的多层膜构成屏蔽件 SHB 也可。这种情况下，底面基板 134 中的屏蔽电极 136 同样为铁磁体 126a 和反铁磁体 126b 的多层膜。多层膜的上下关系不限于上述。

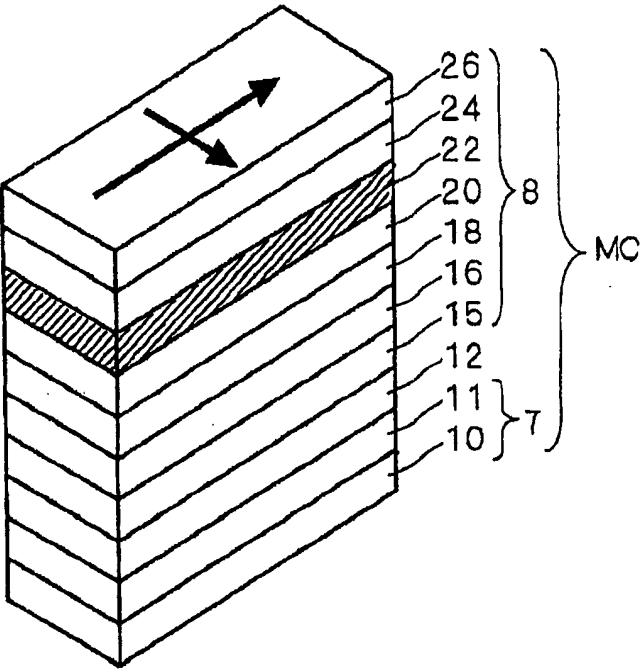


图 1

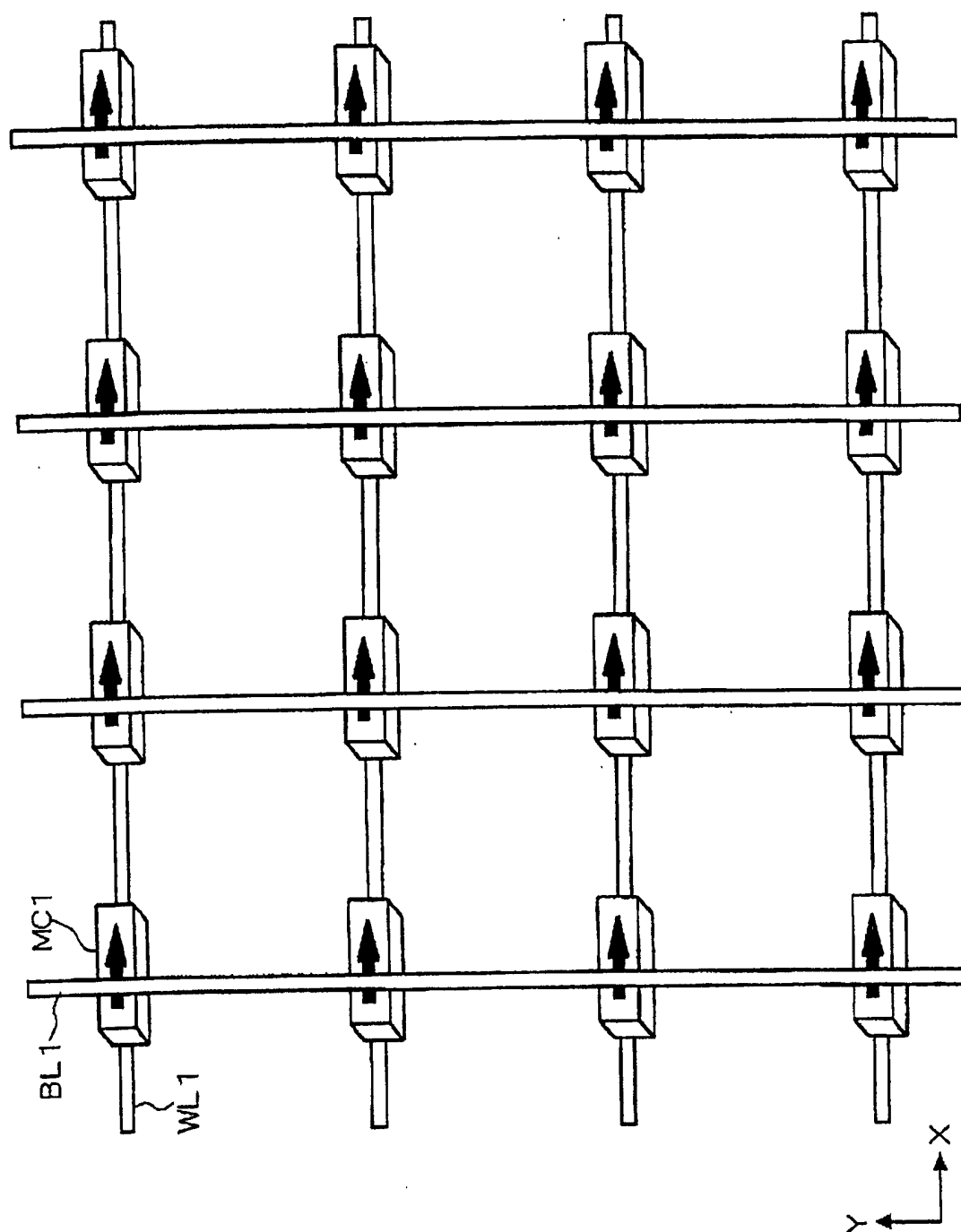


图 2

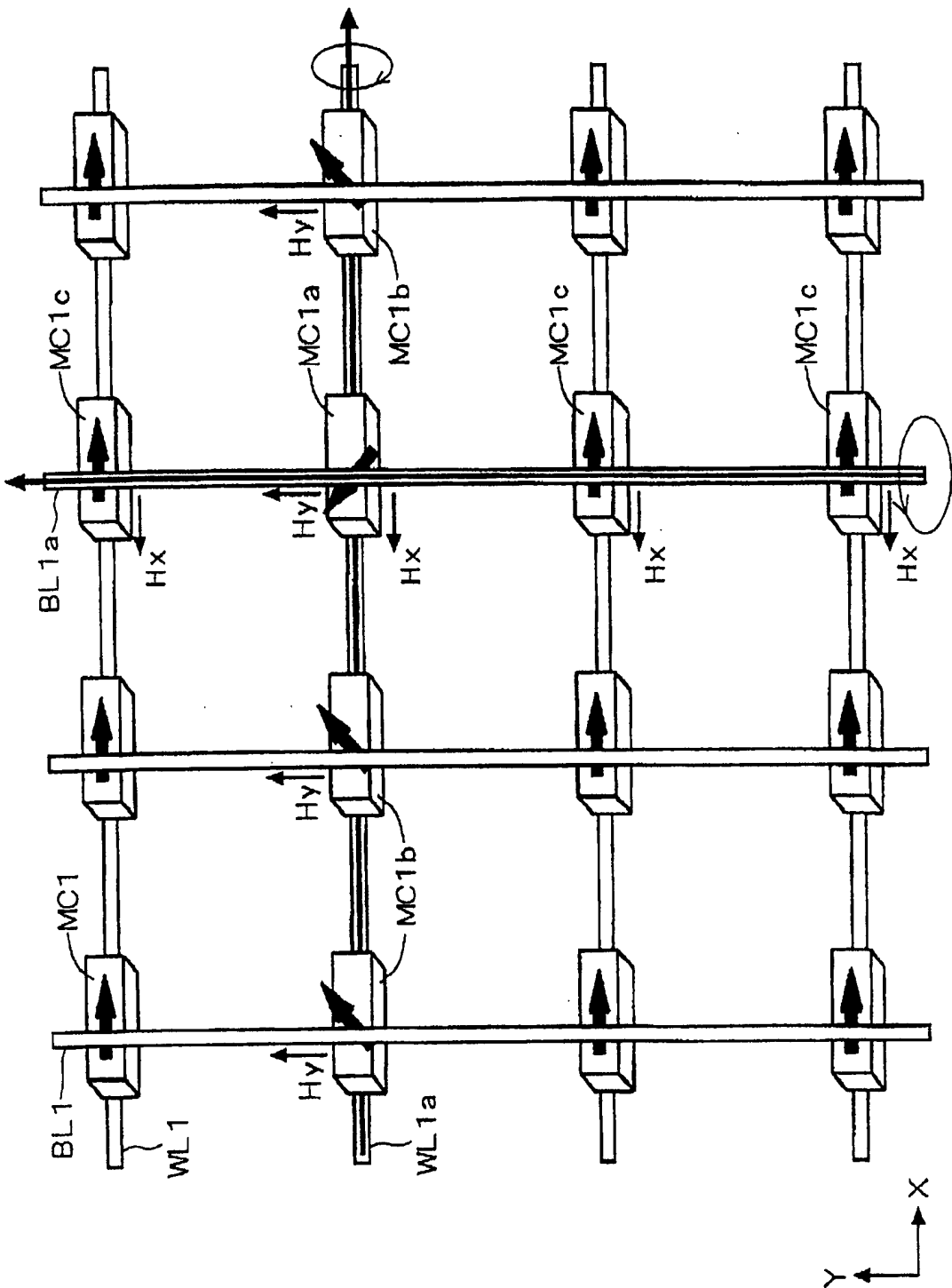


图 3

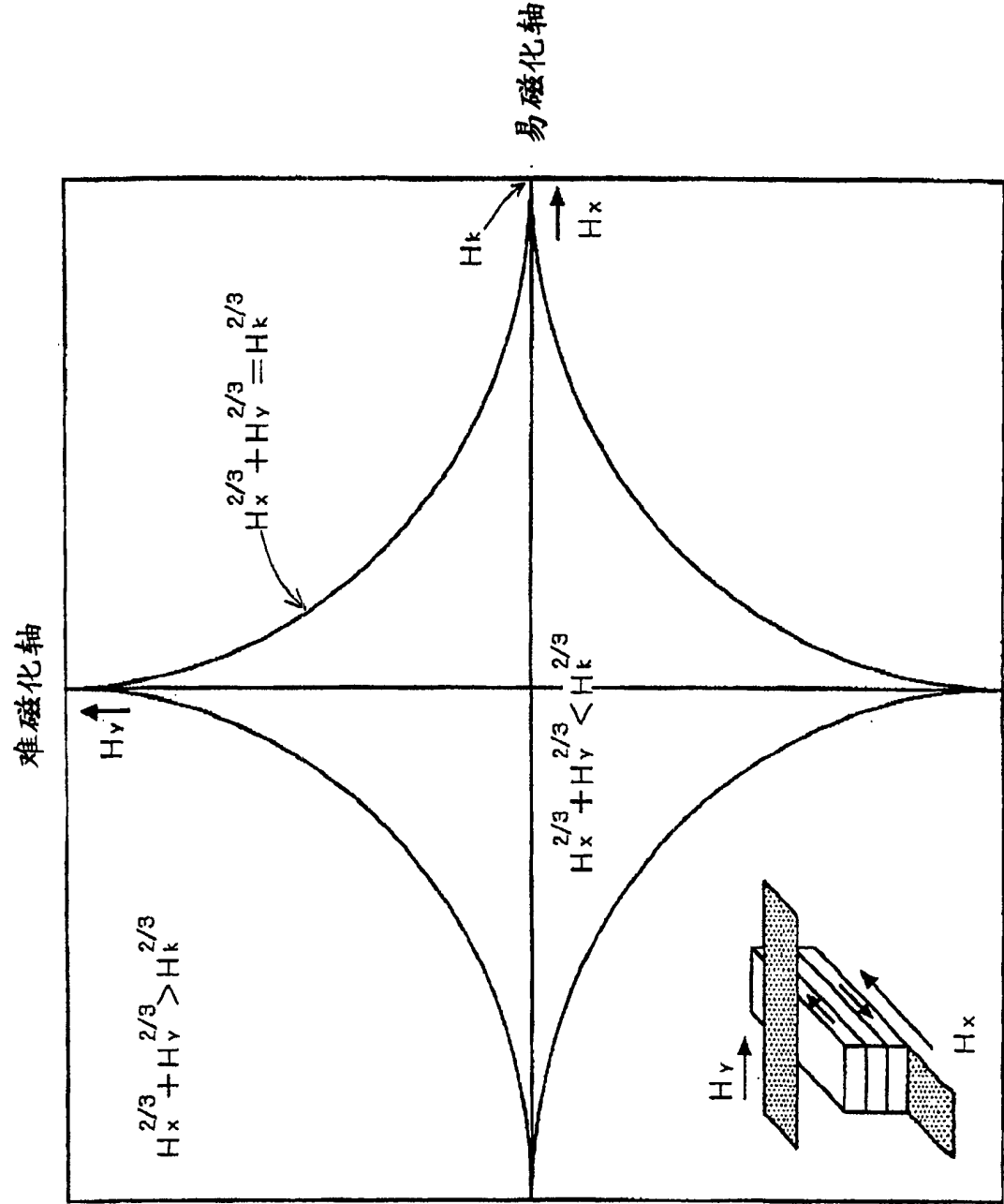


图 4

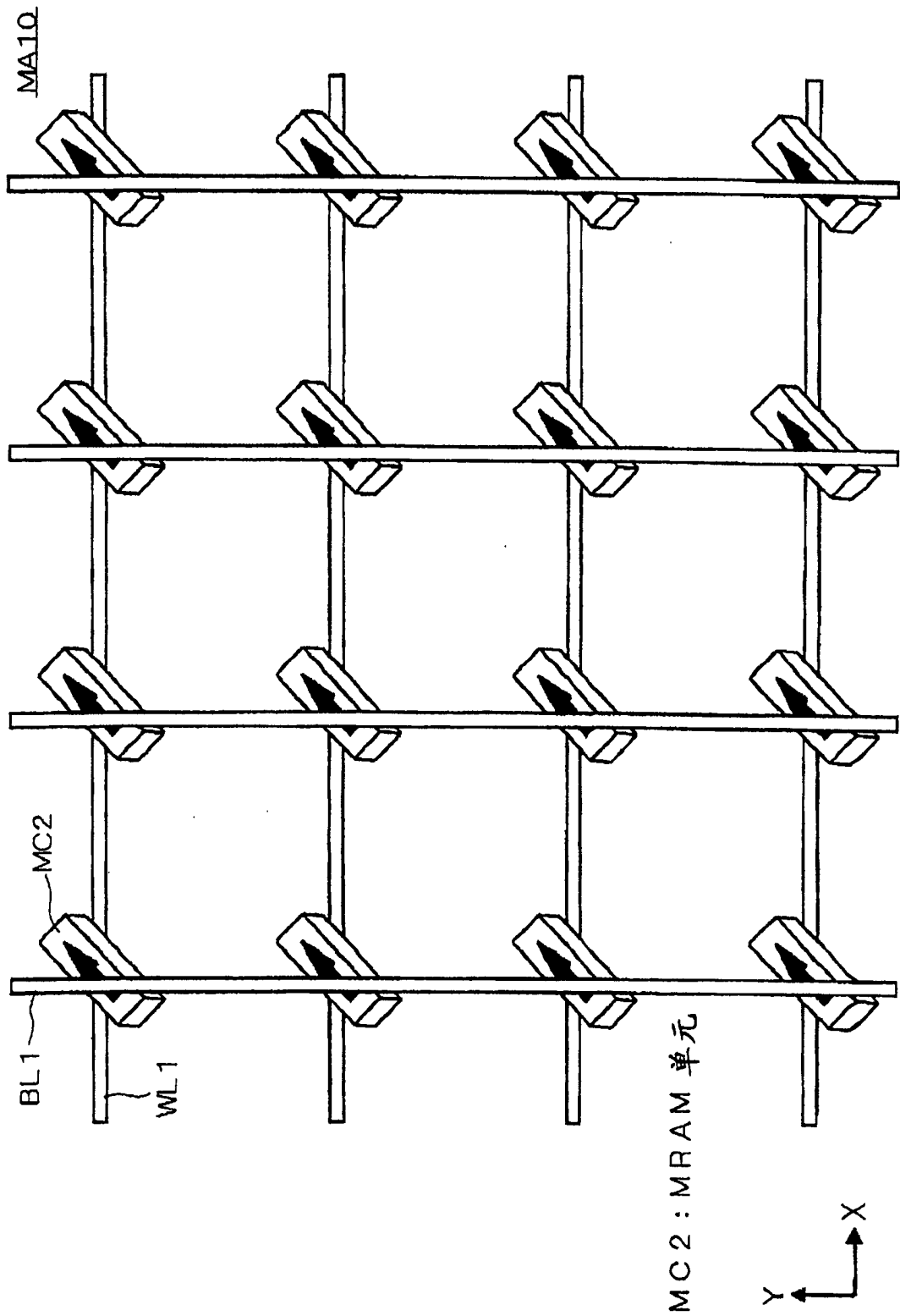


图 5

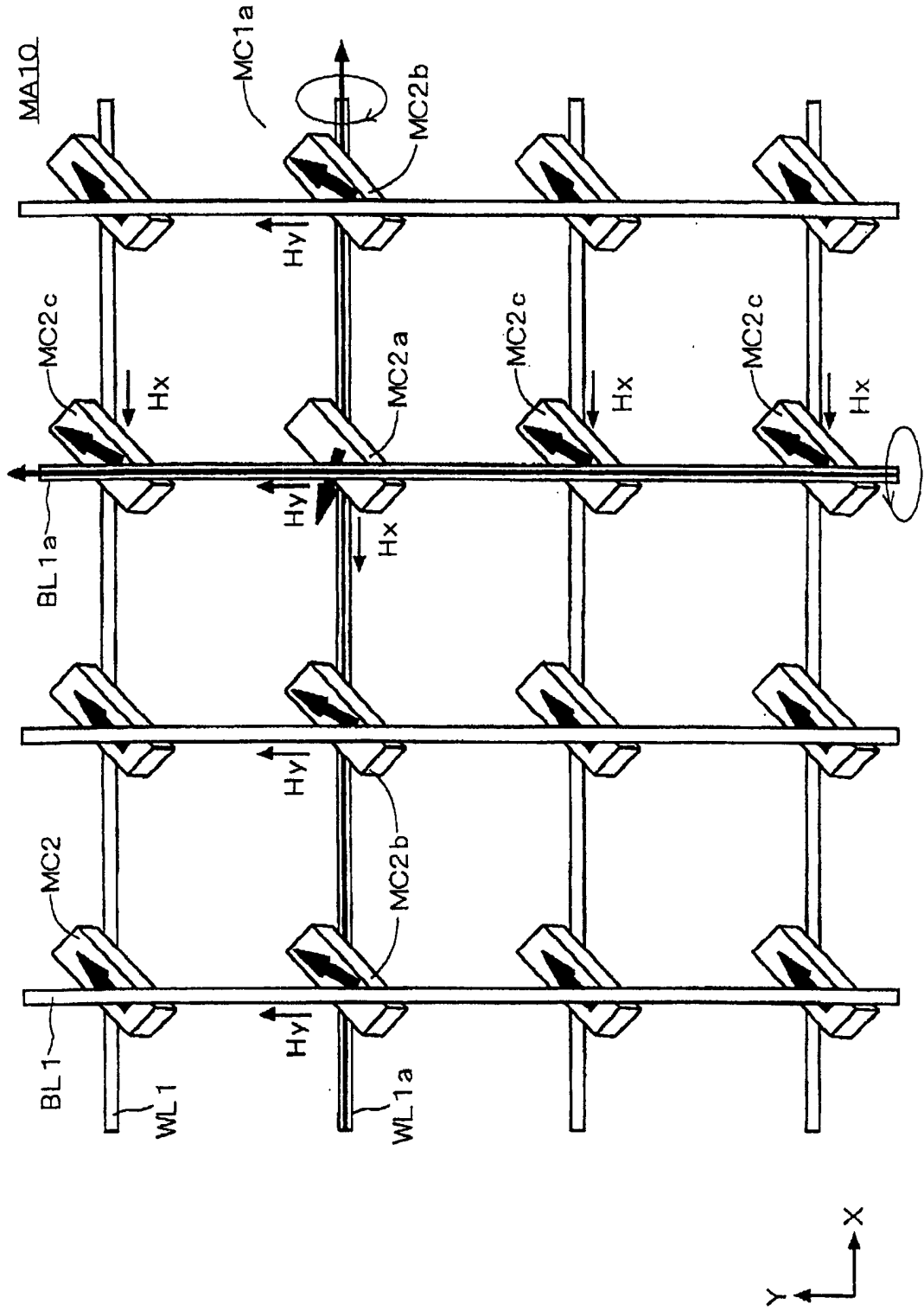


图 6

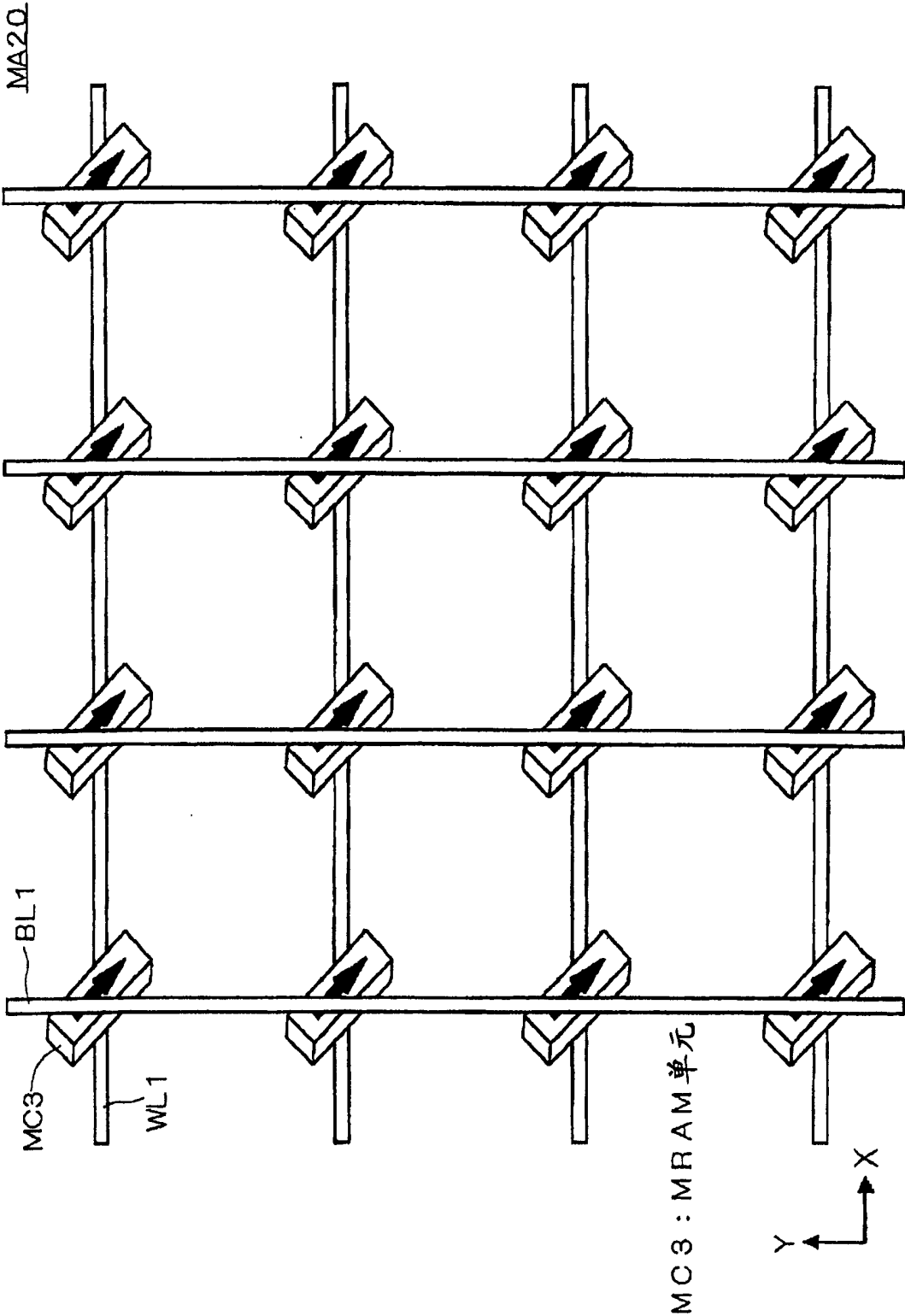


图 7

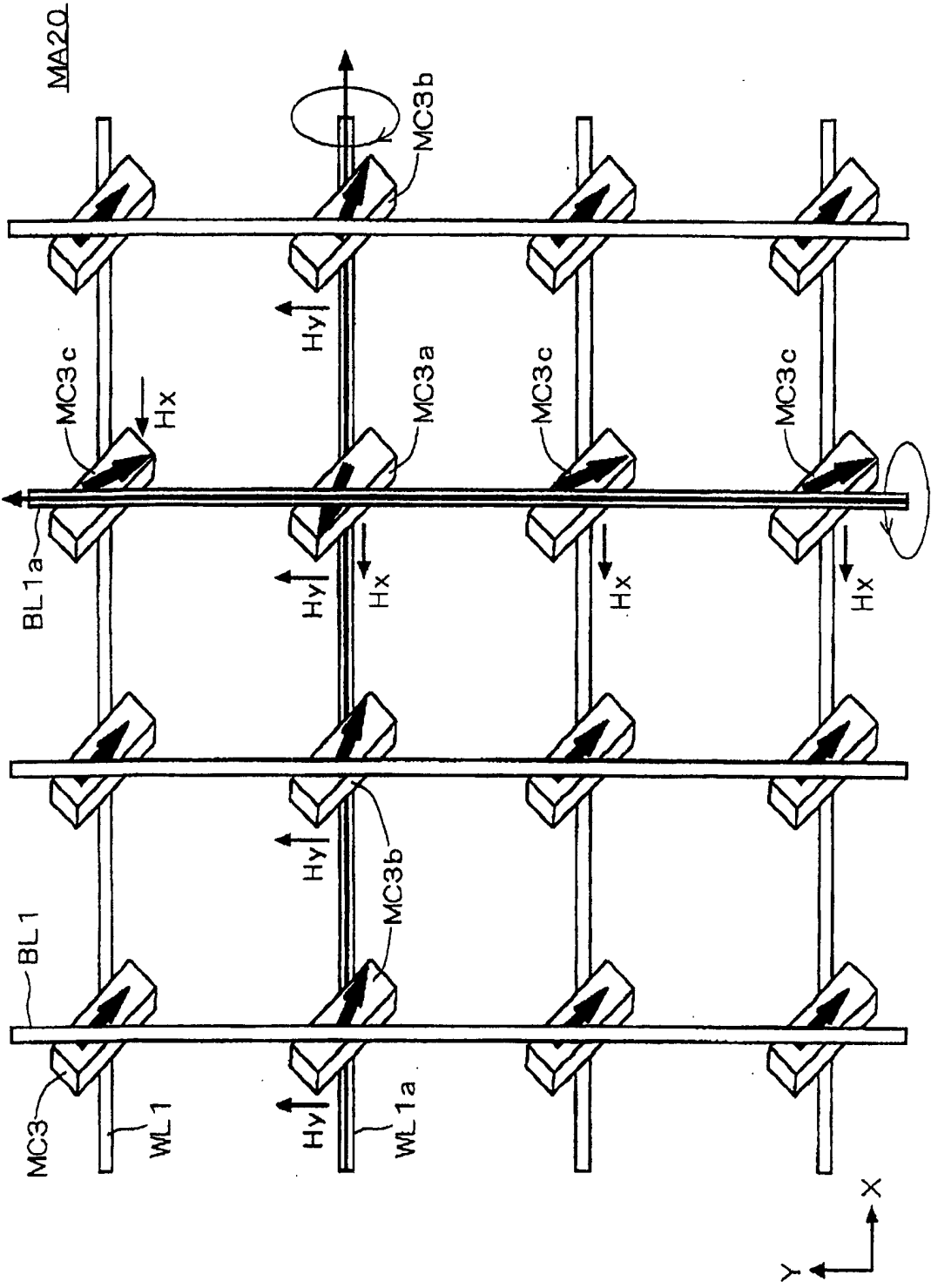


图 8

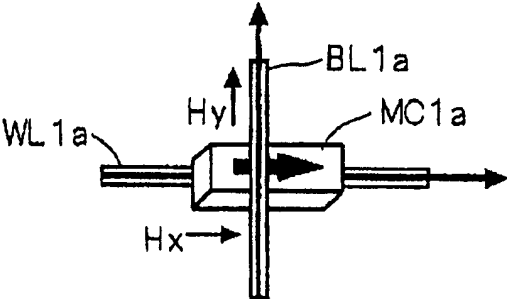


图 9

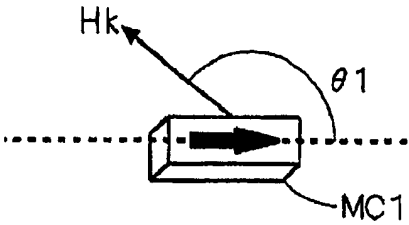


图 10

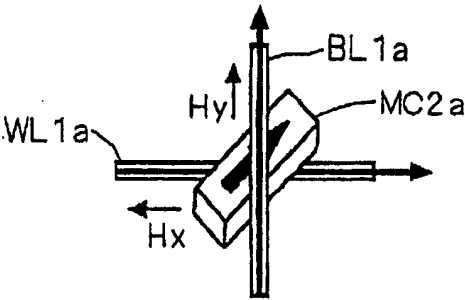


图 11

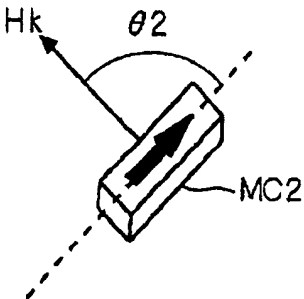


图 12

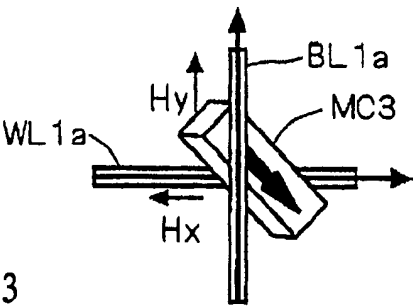


图 13

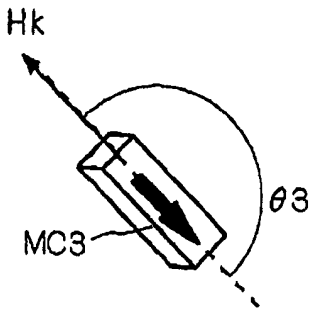


图 14

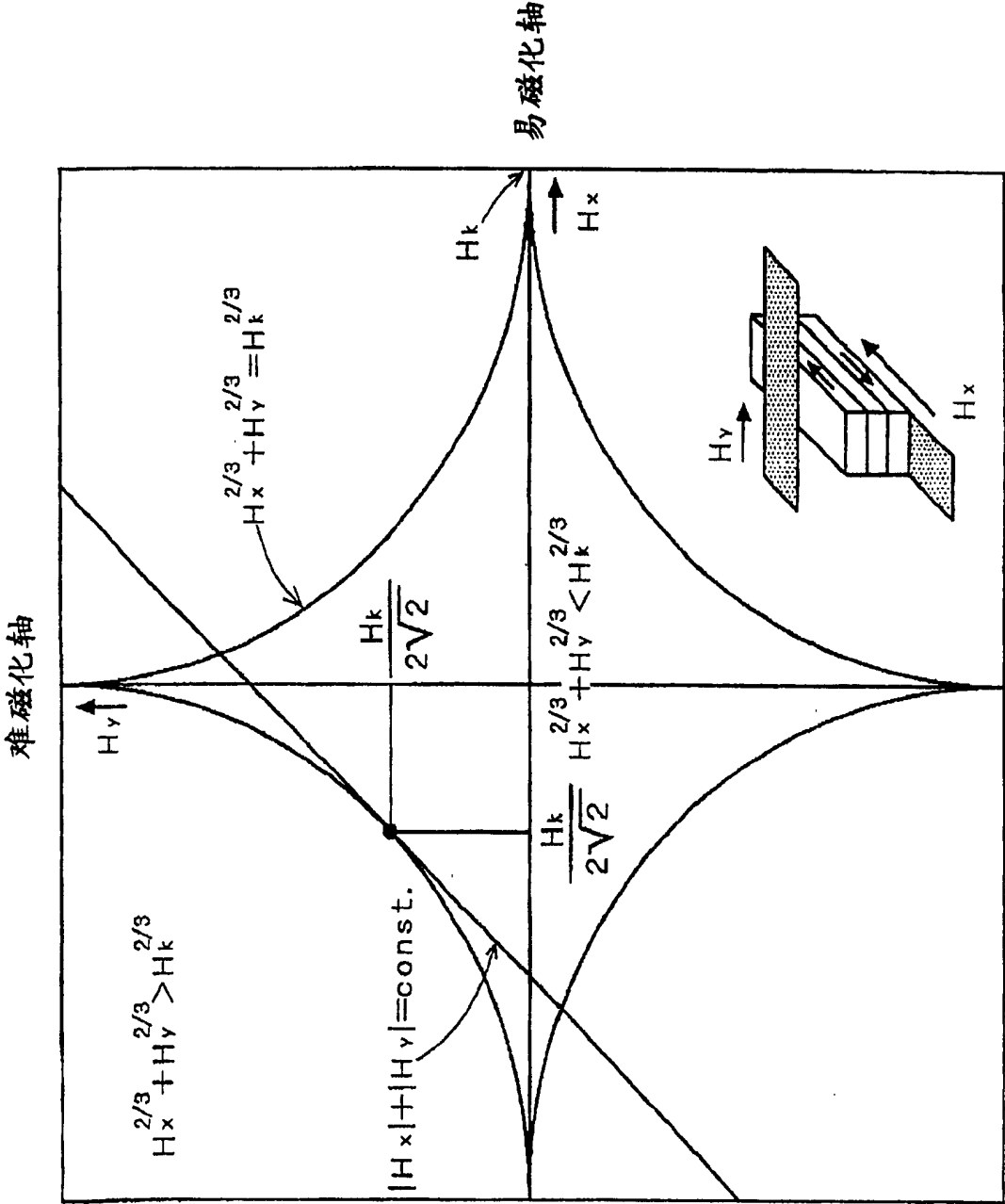


图 15

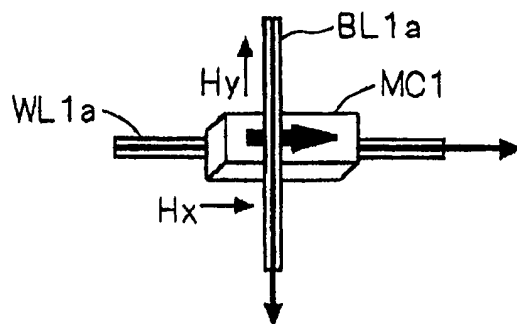


图 16

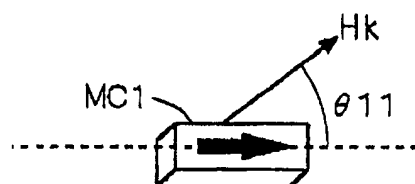


图 17

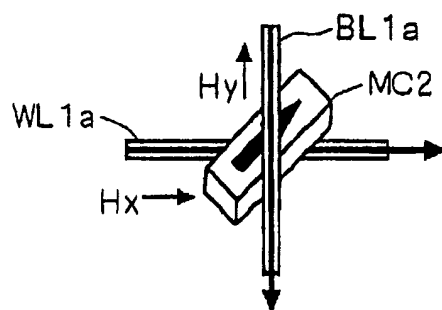


图 18

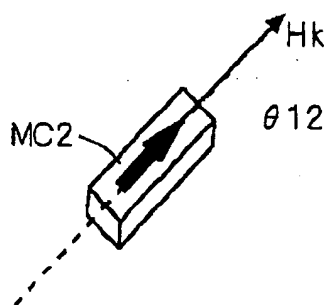


图 19

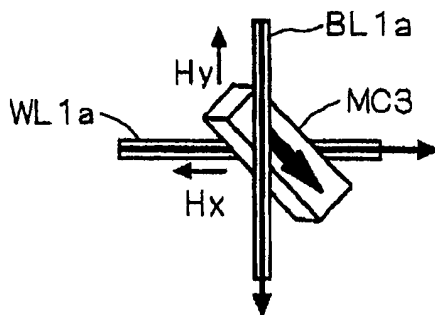


图 20

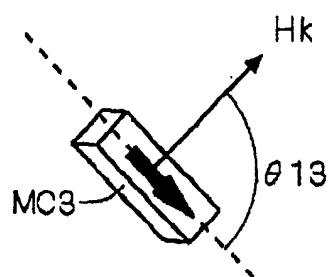


图 21

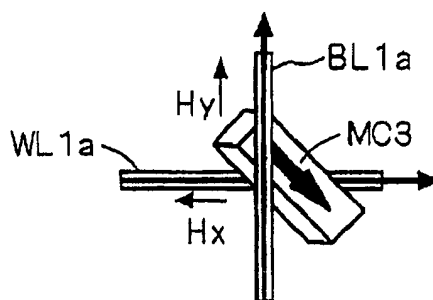


图 22

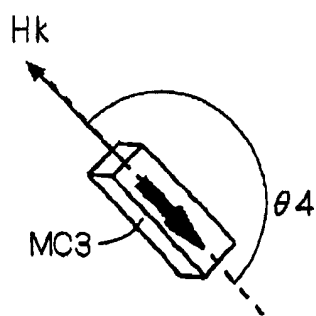


图 23

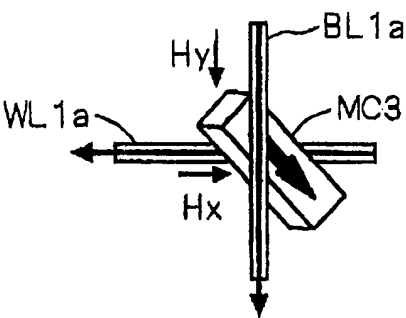


图 24

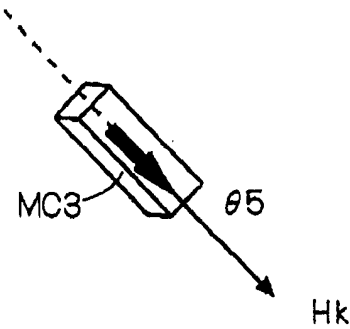


图 25

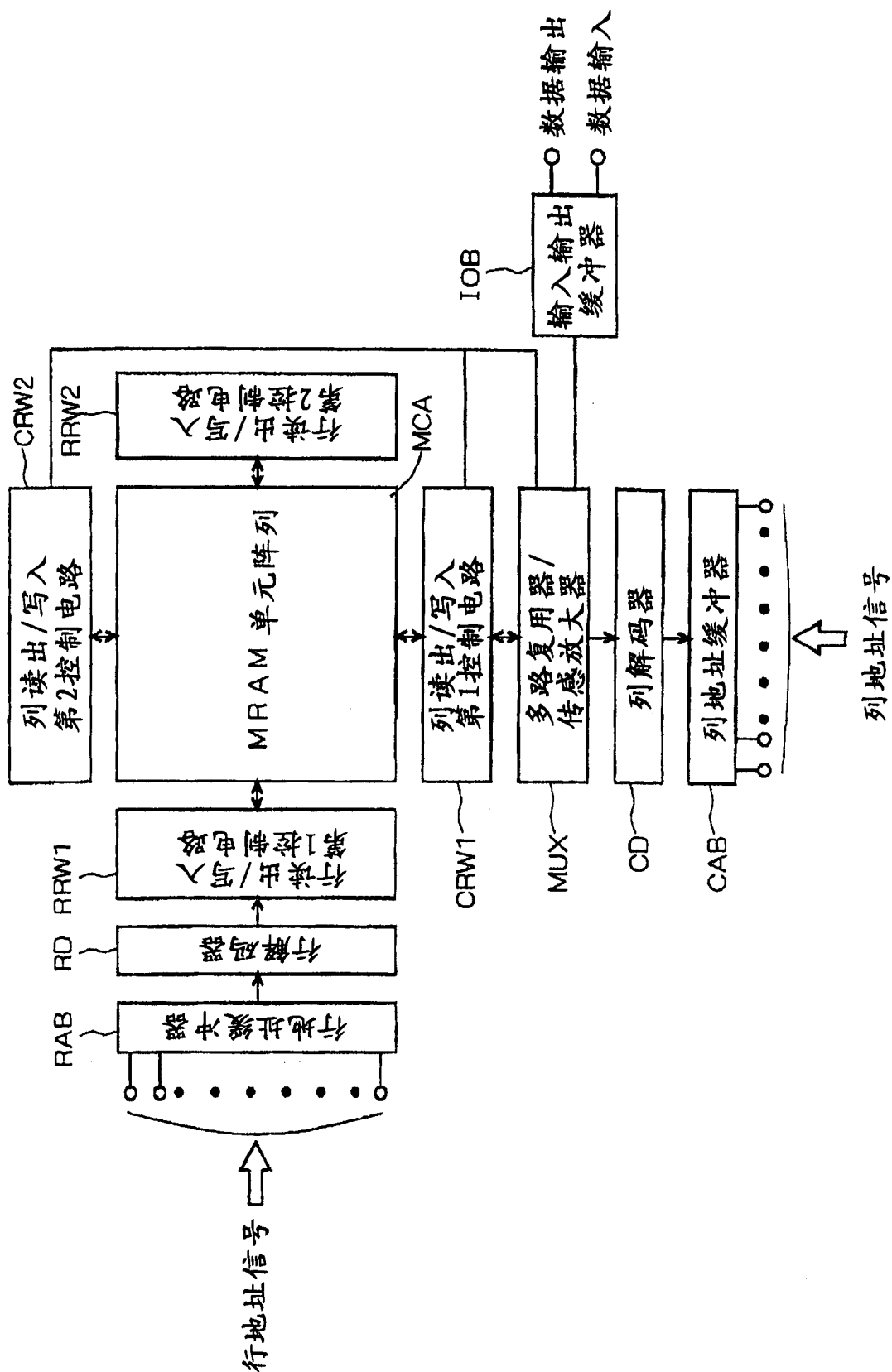


图 26

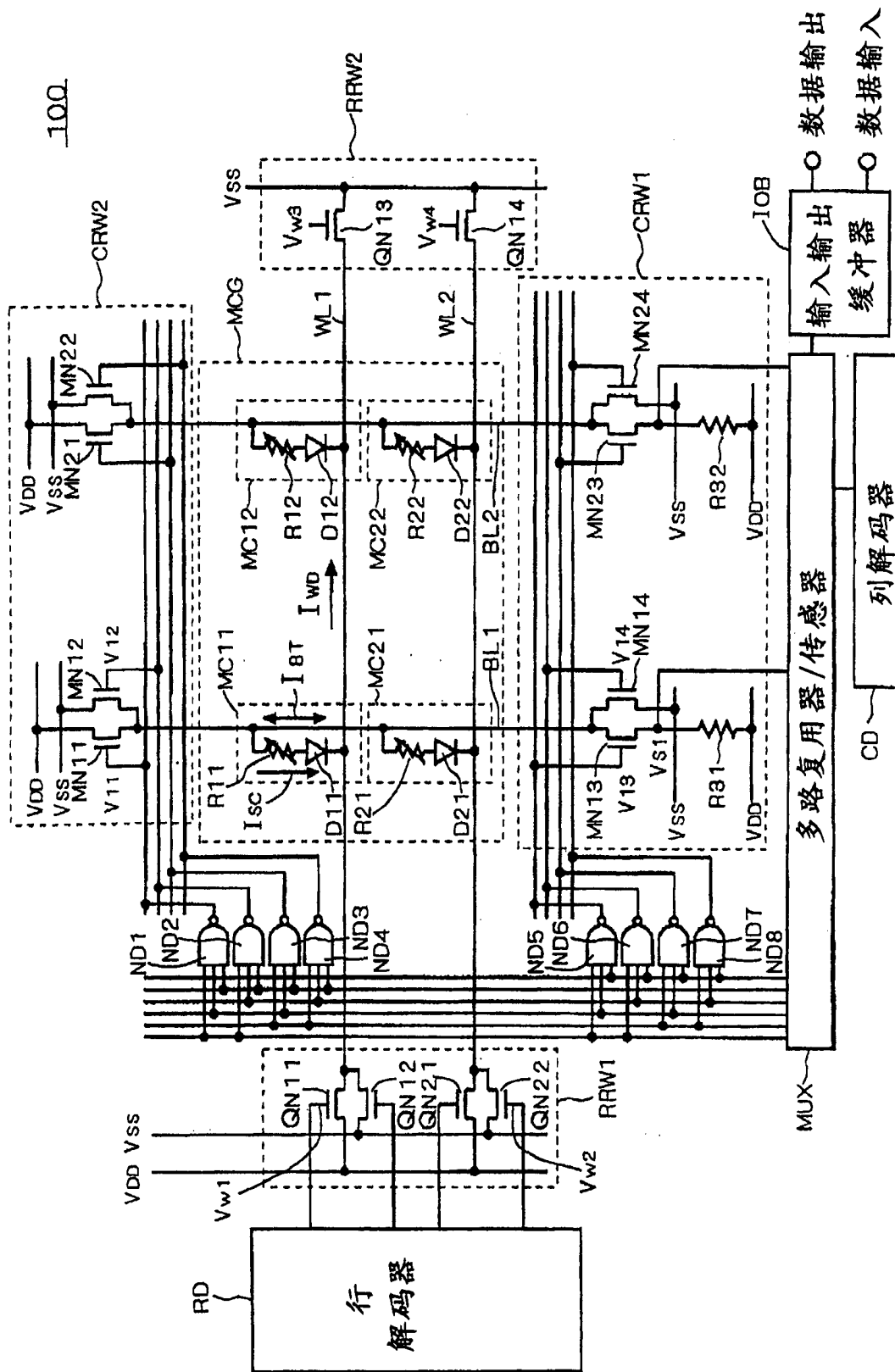


图 27

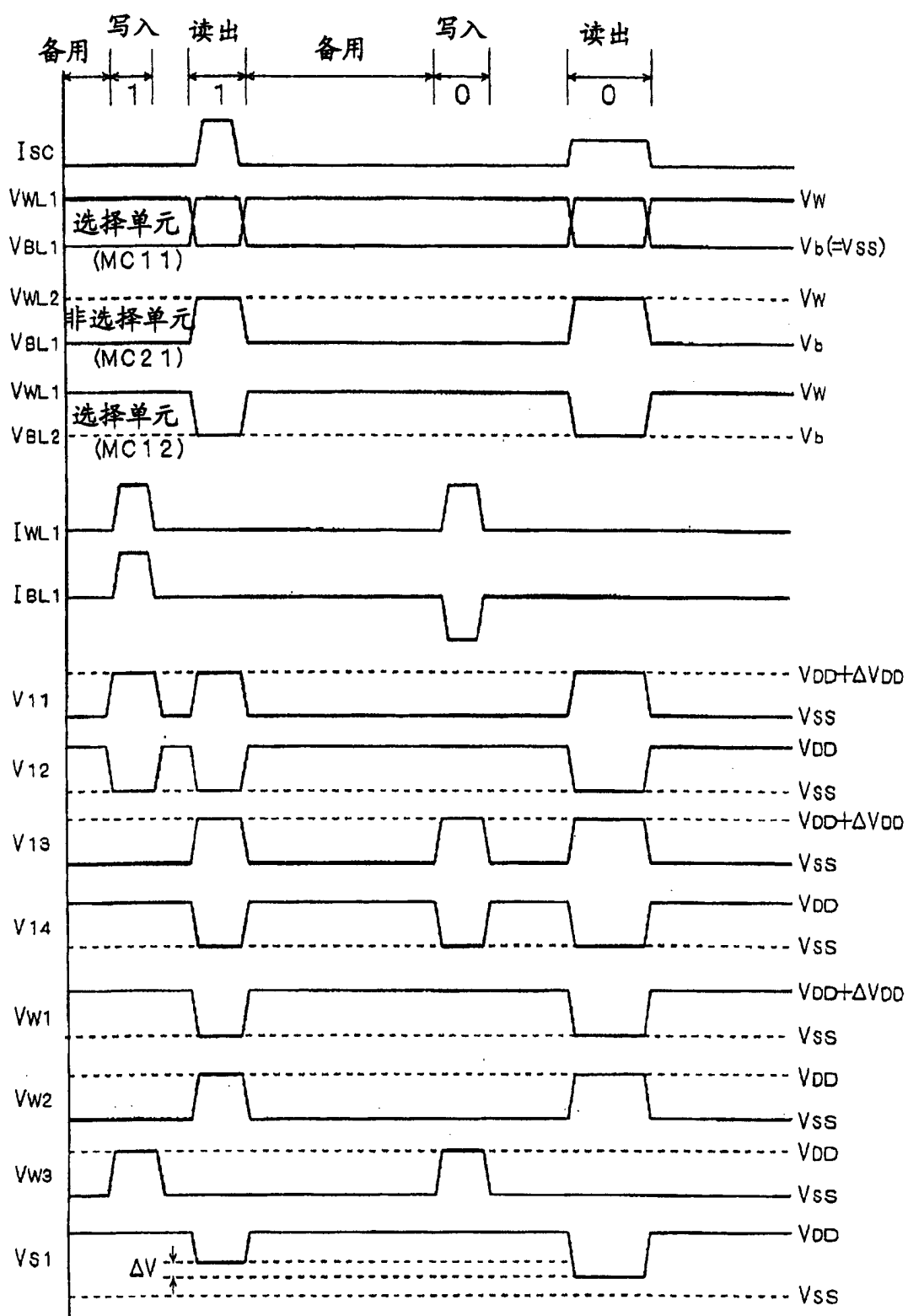


图 28

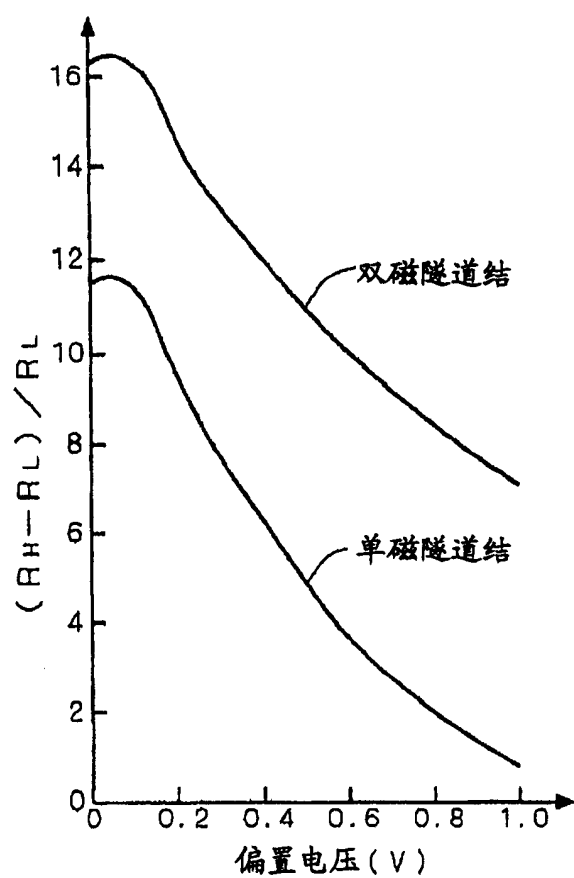


图 29

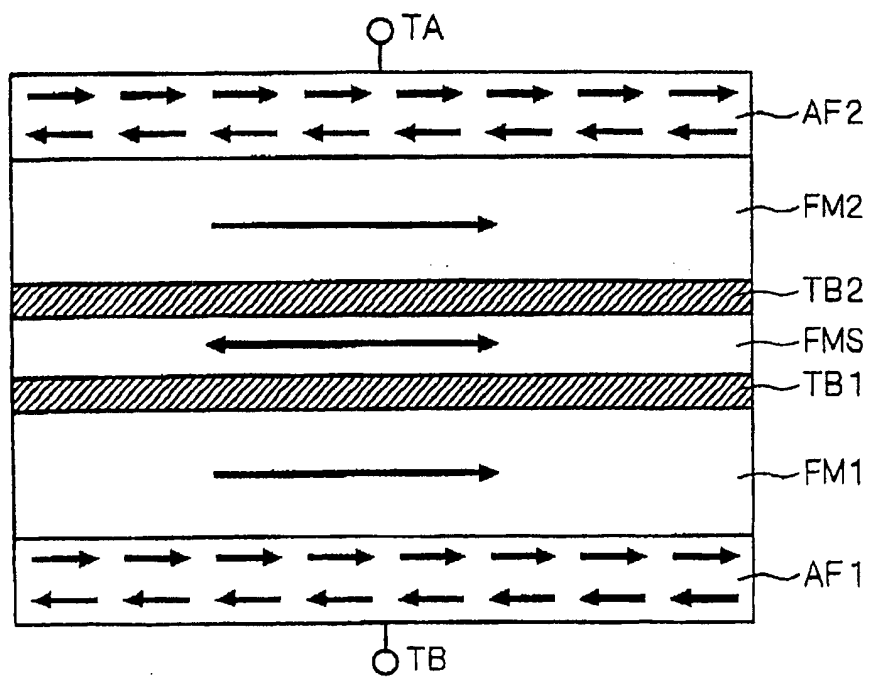


图 30

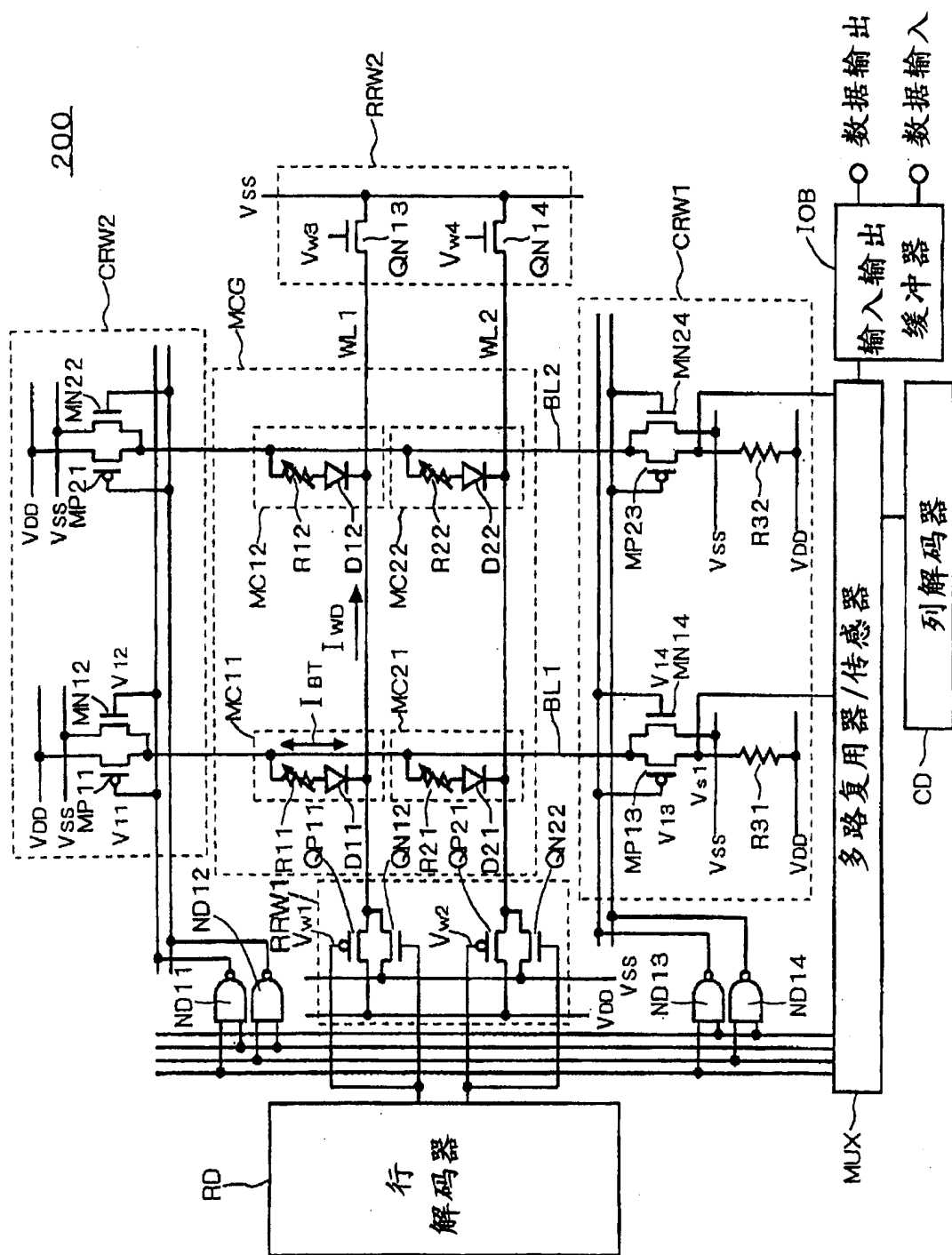


图 31

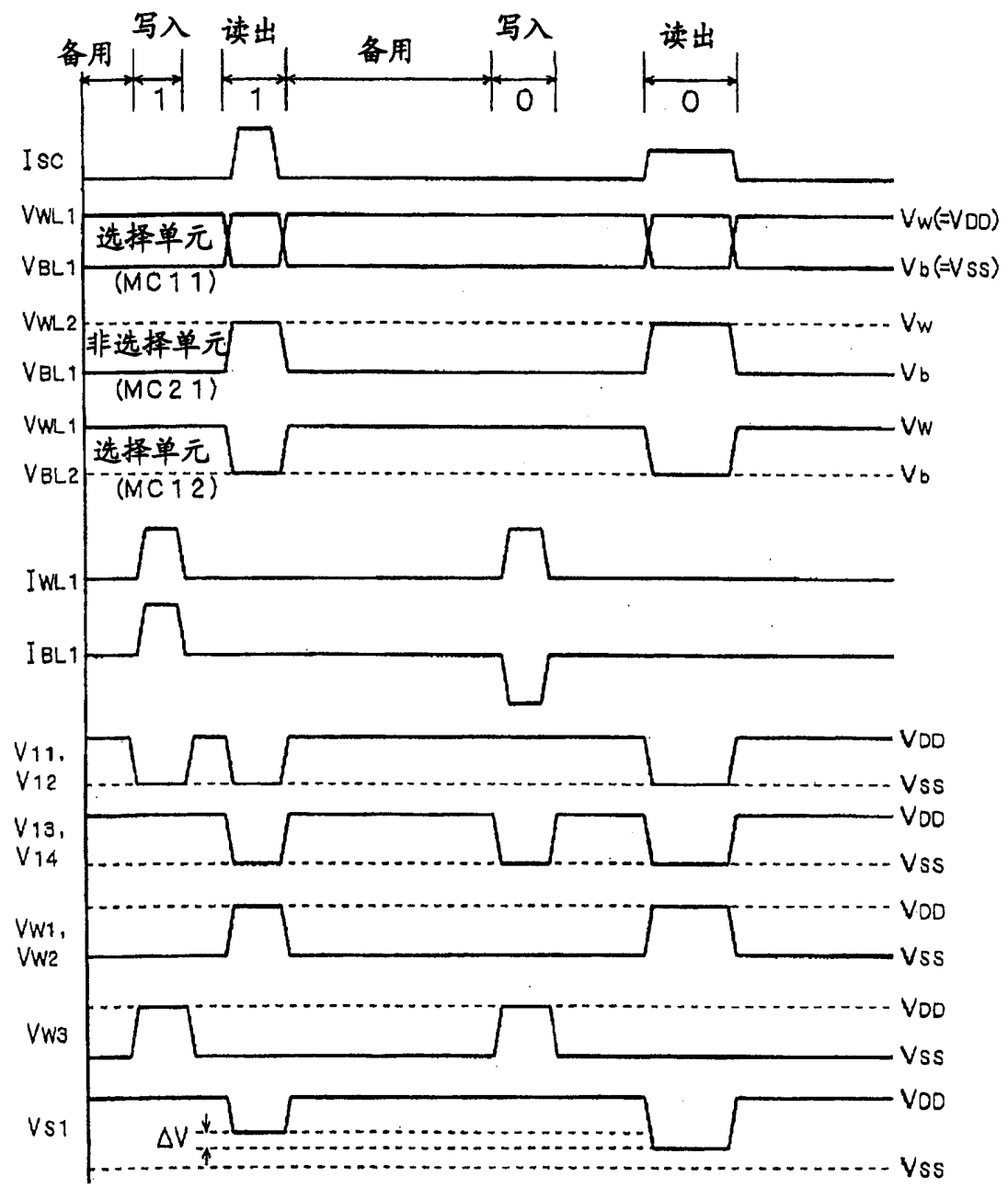


图 32

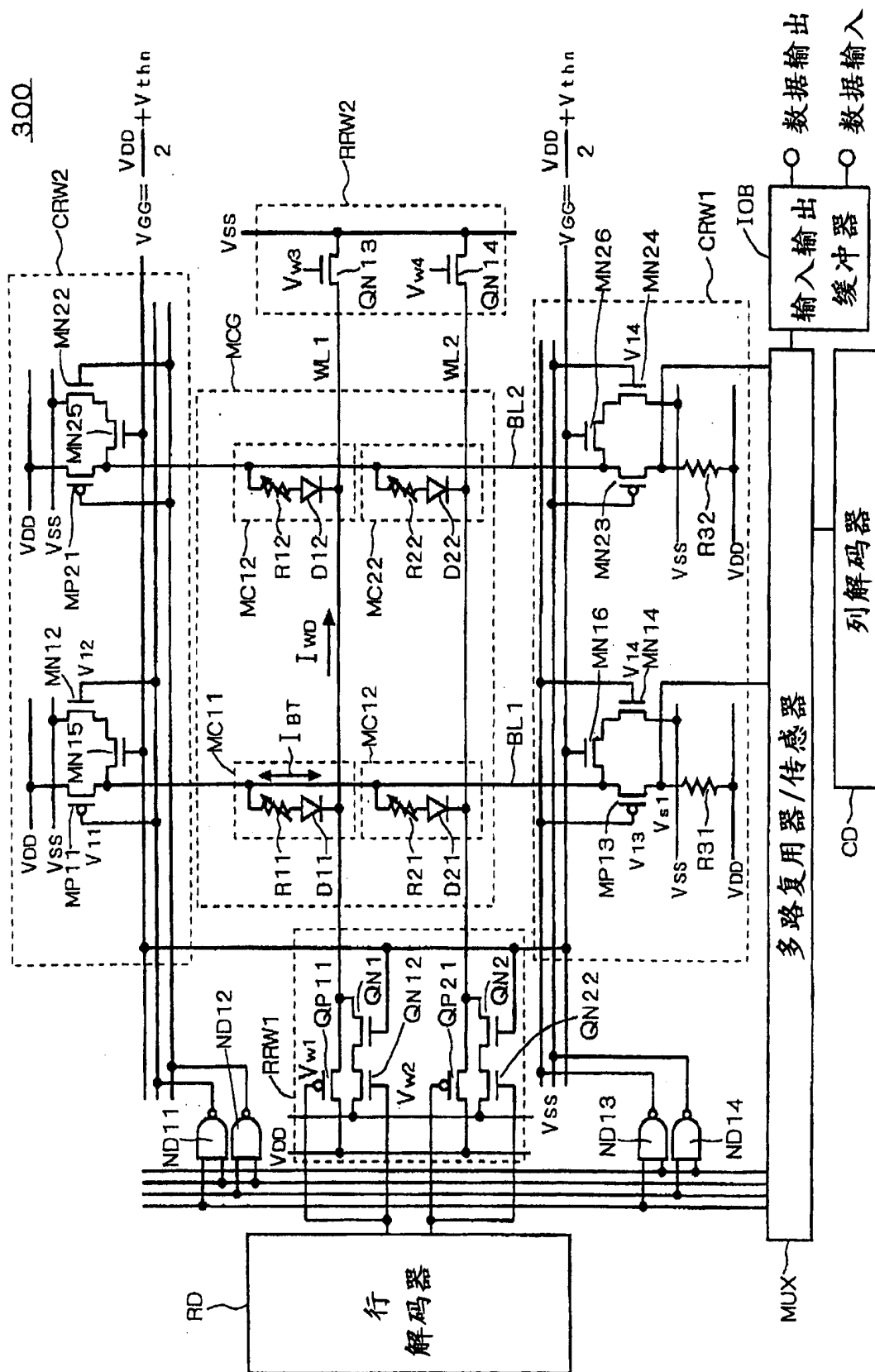


图 33

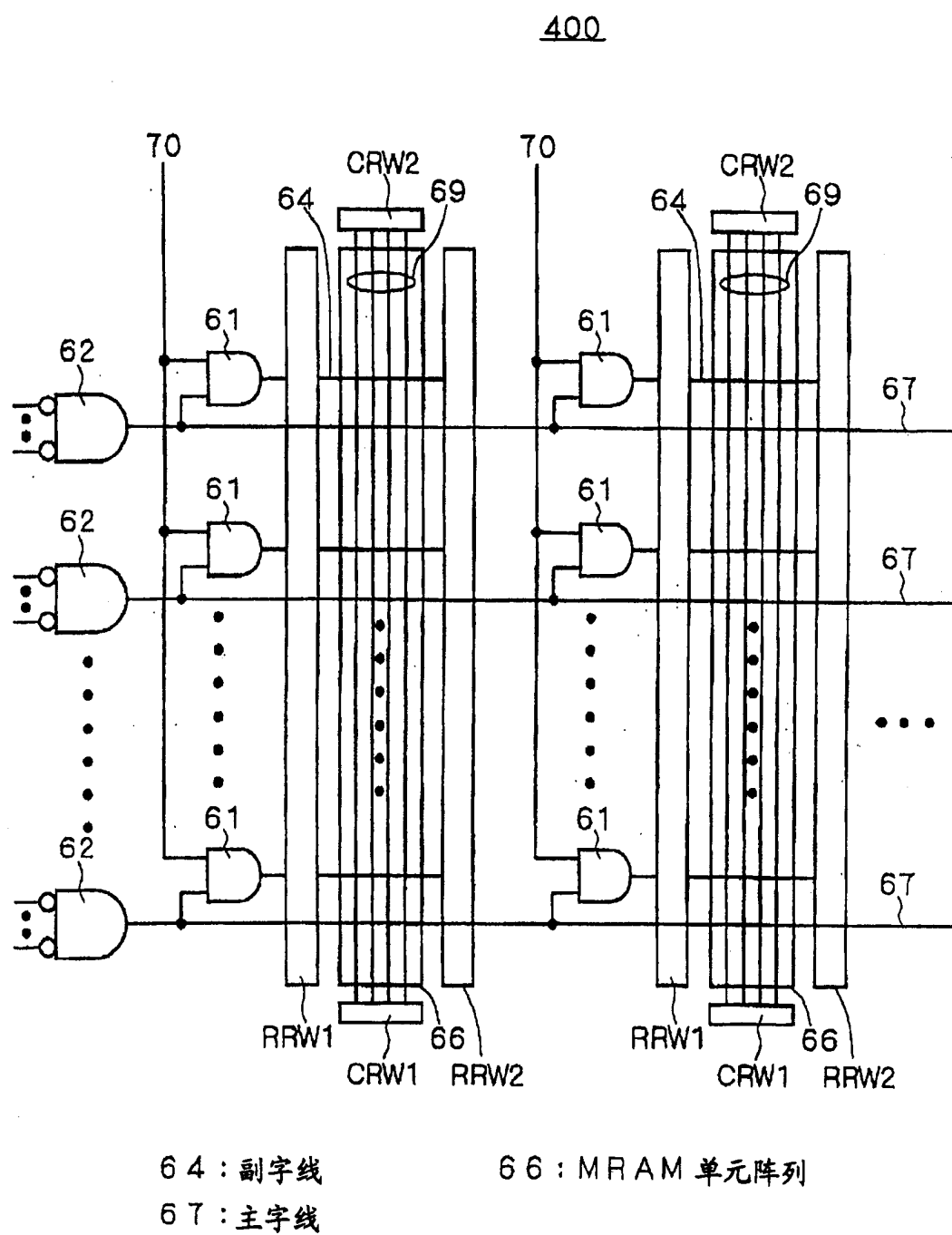


图 34

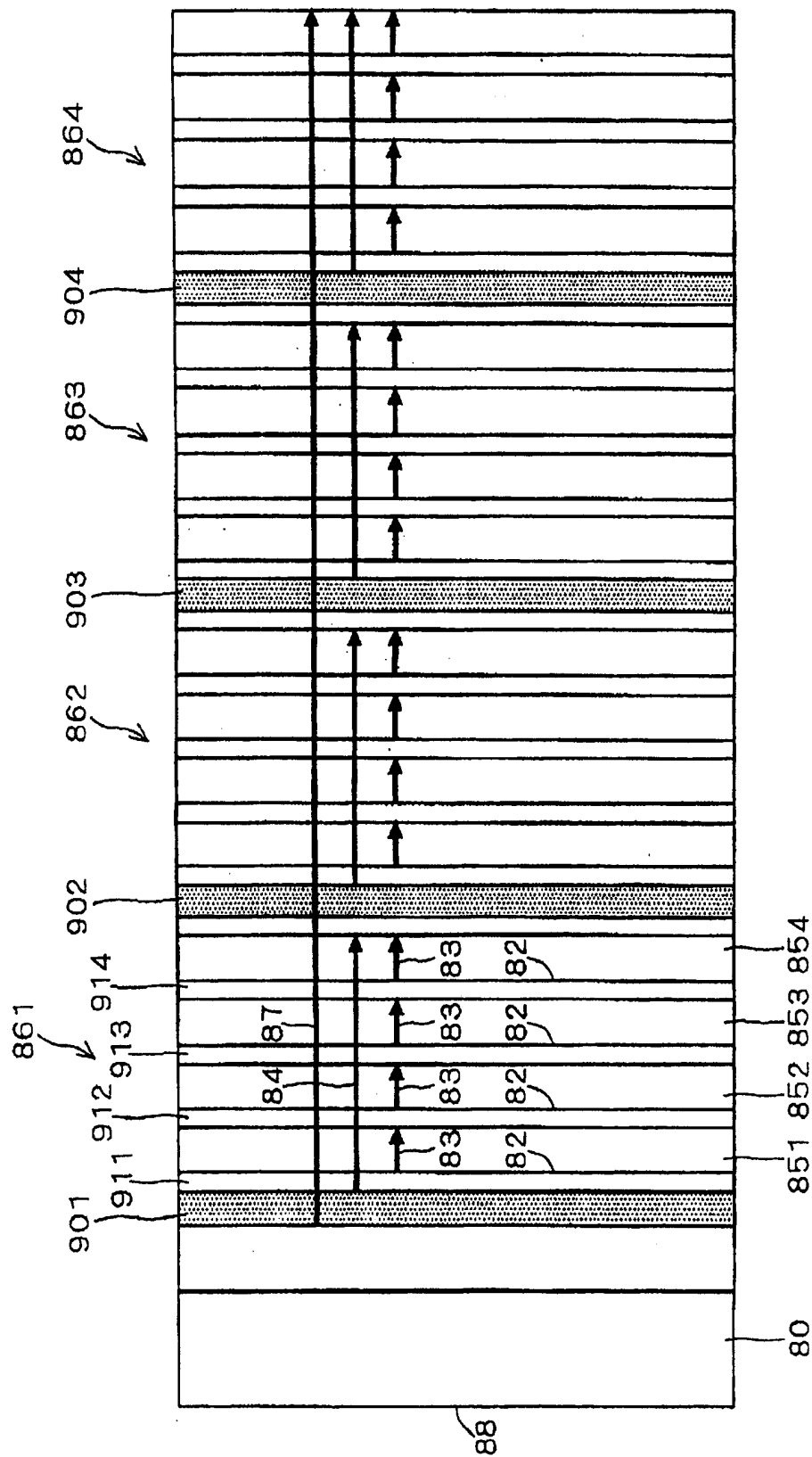


图 36

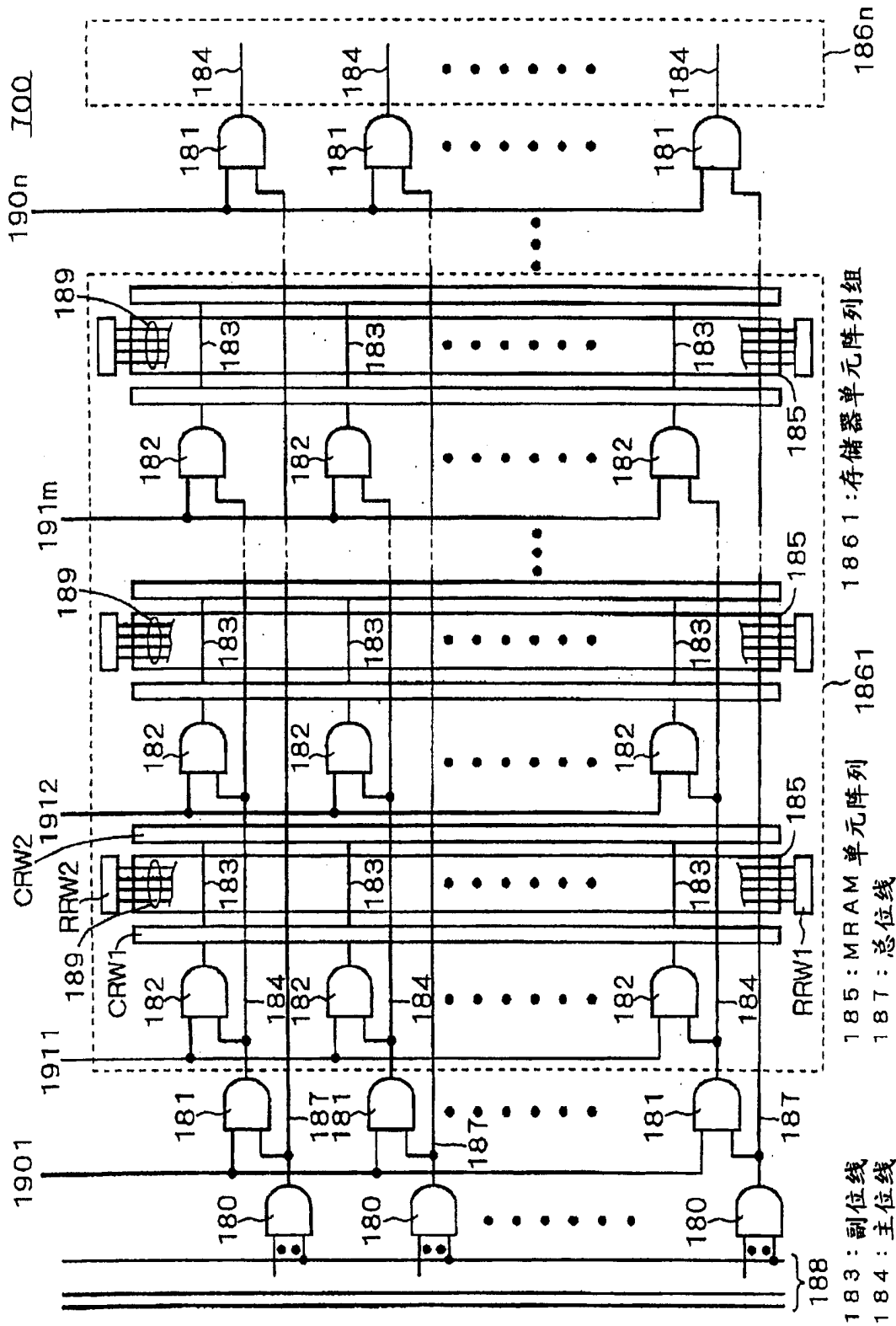
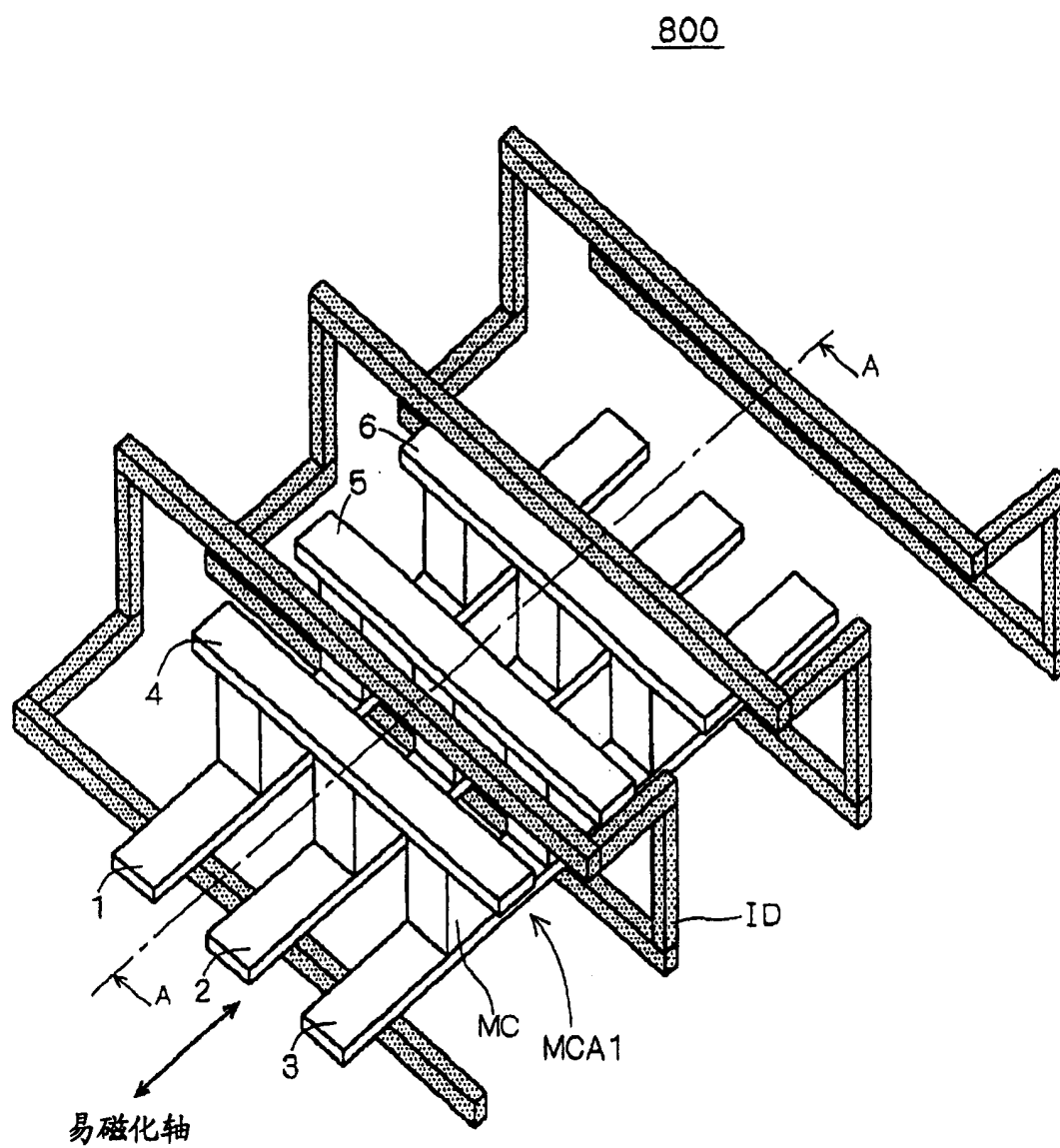


图 38



ID: 电感器

图 39

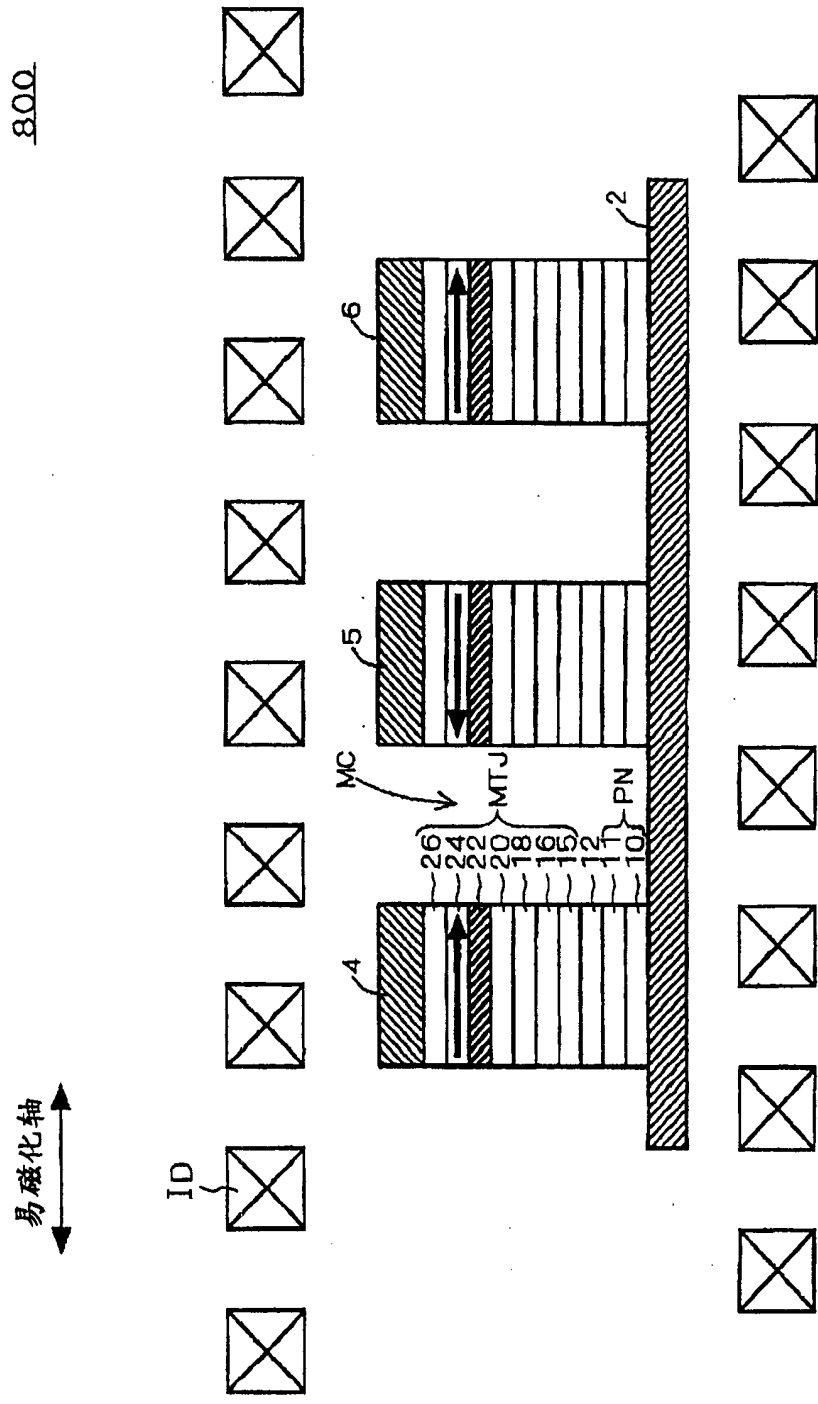


图 40

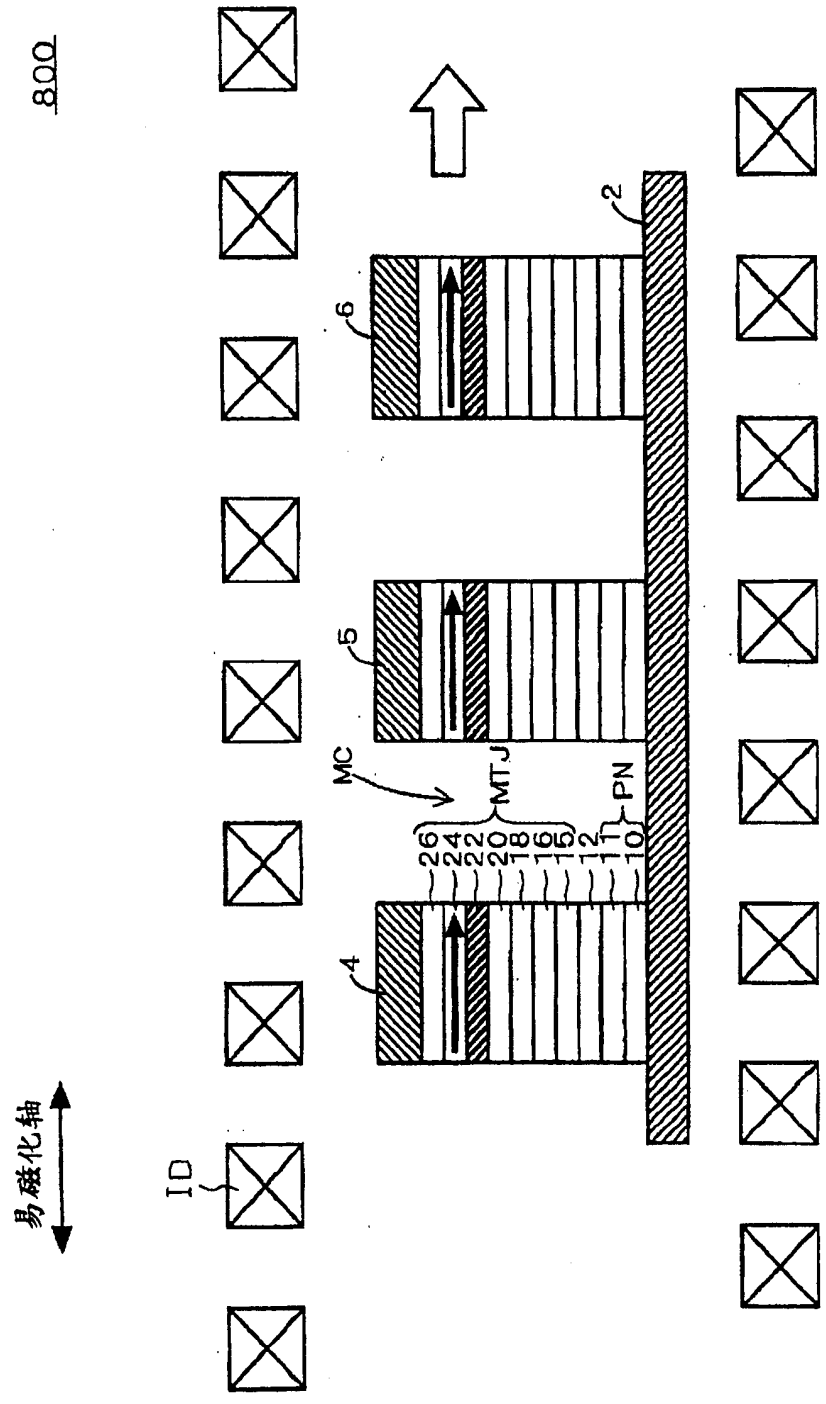


图 41

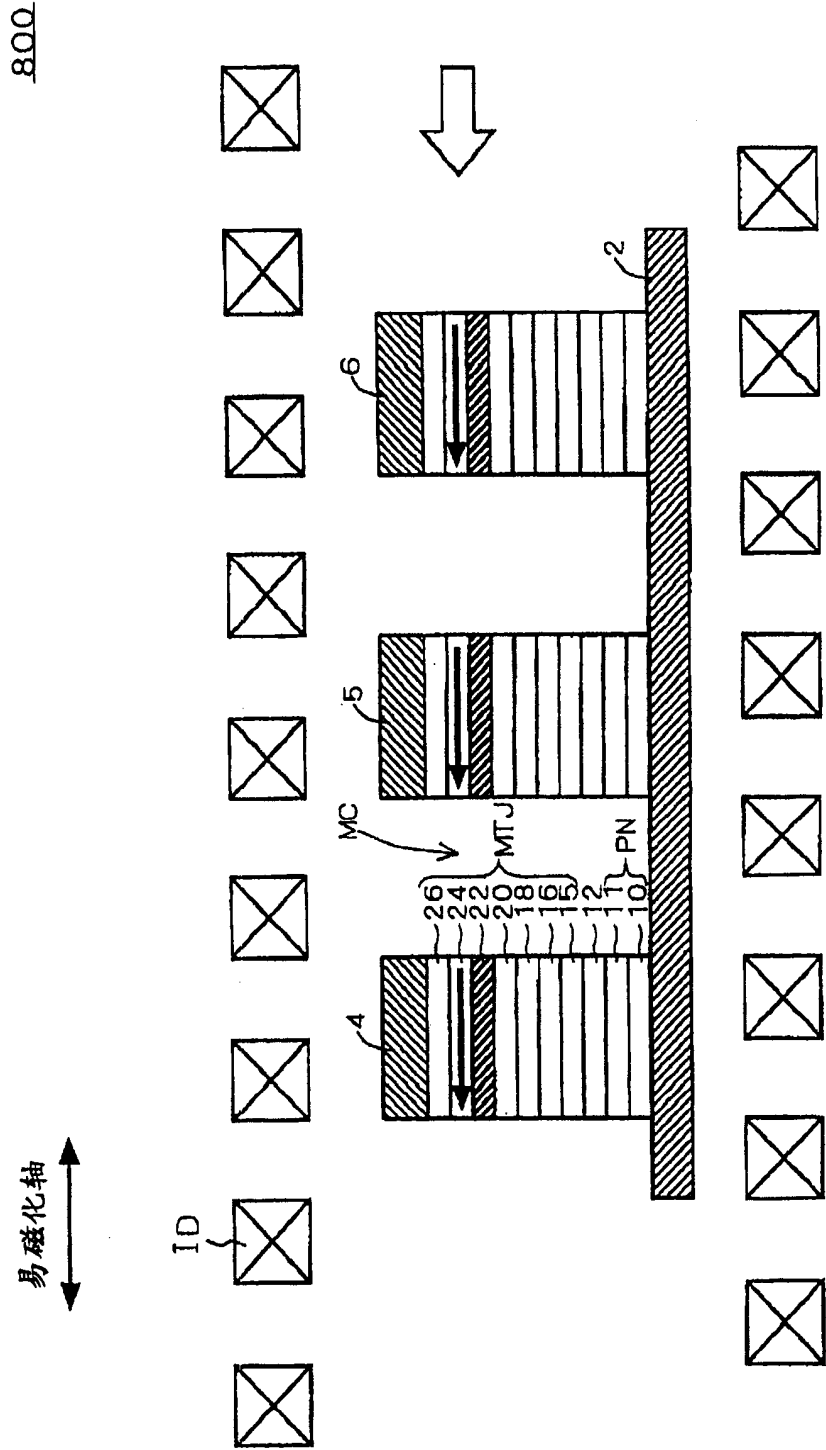
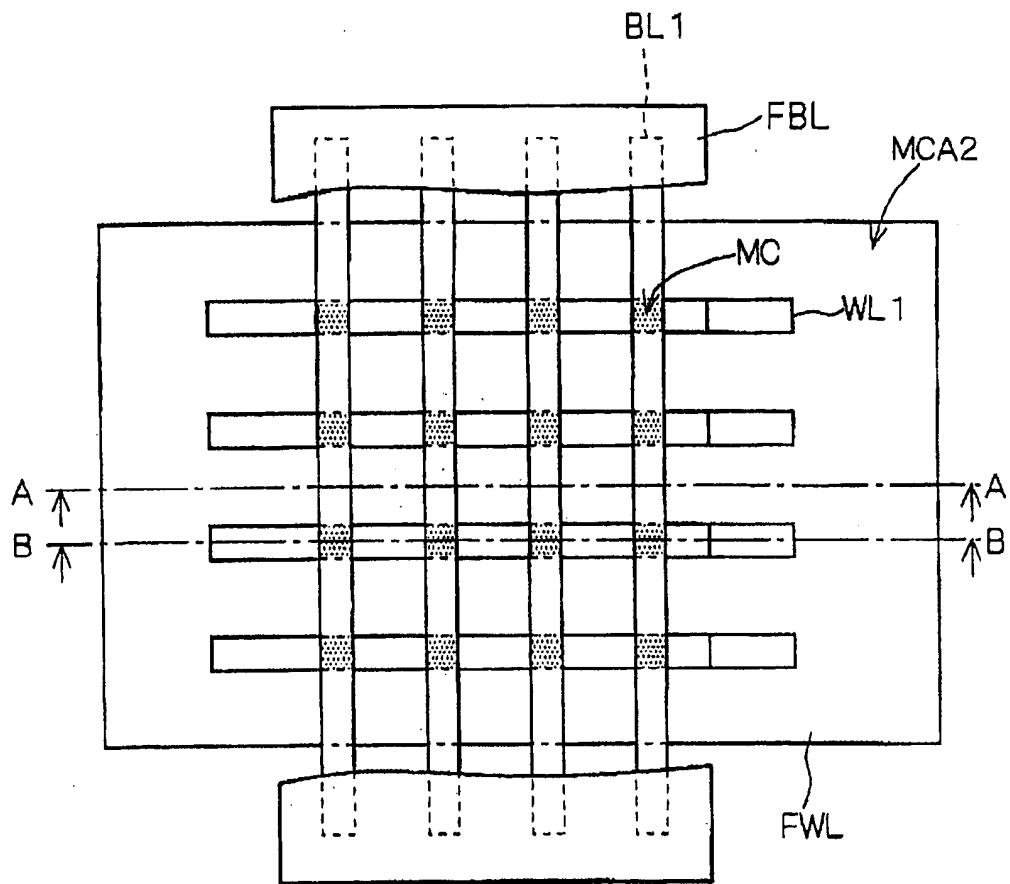


图 42



FBL: 闪速位线

FWL: 闪速字线

图 43

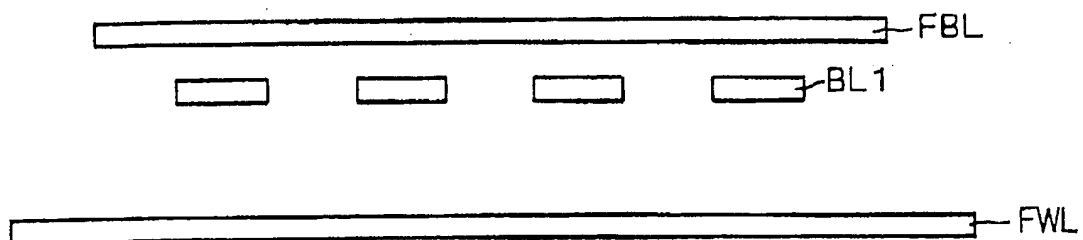


图 44

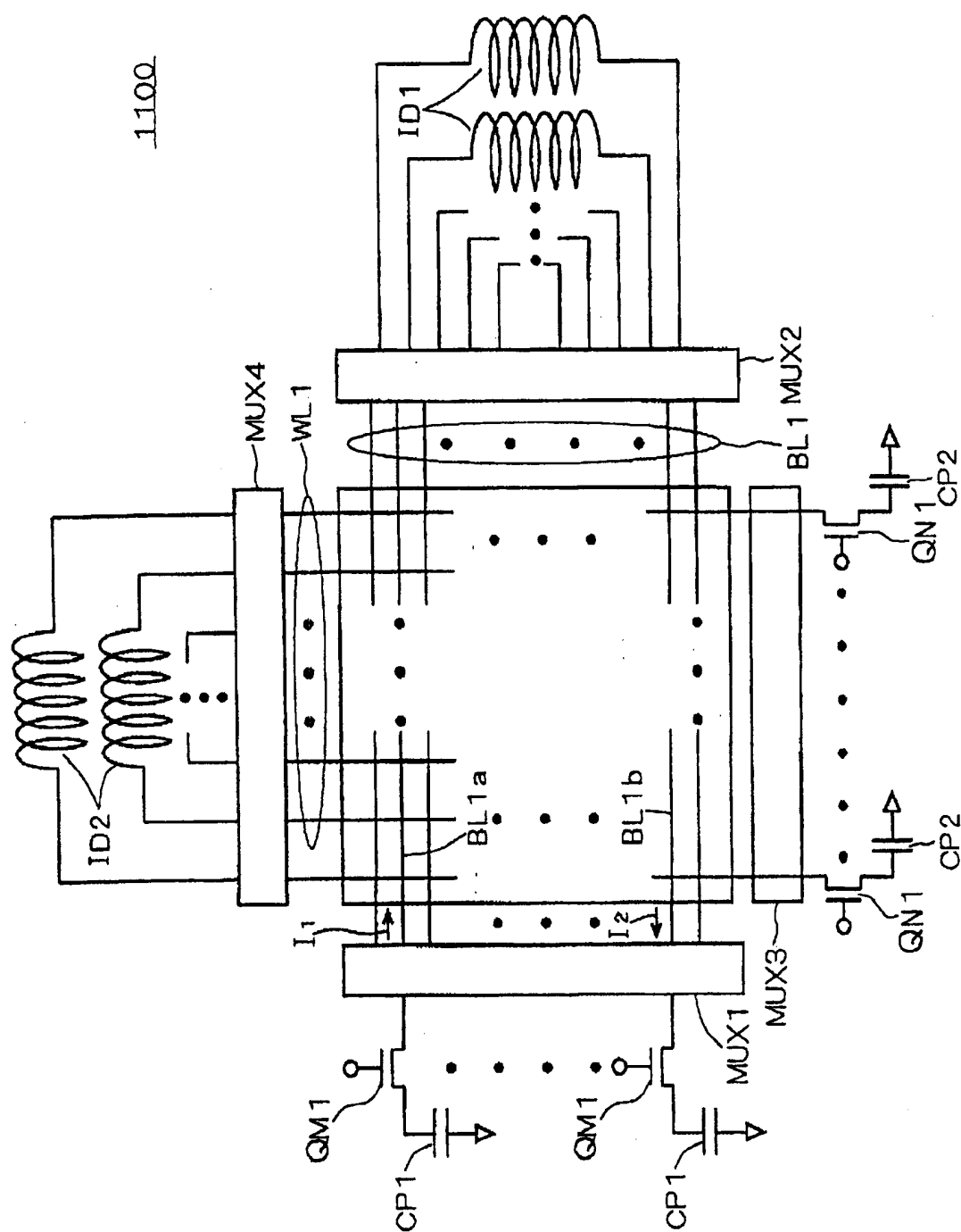


图 48

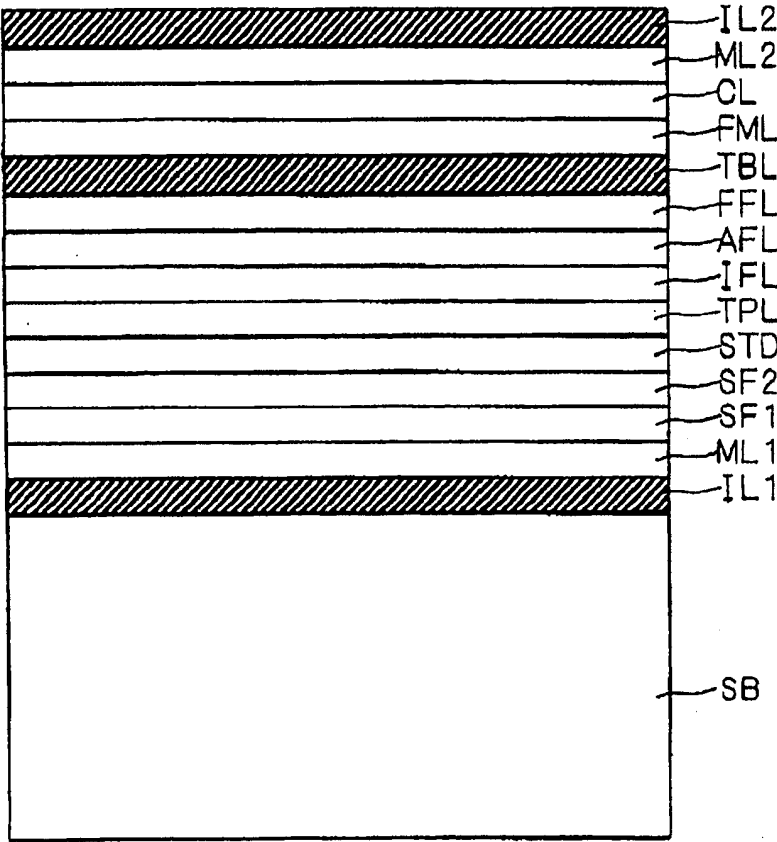


图 49

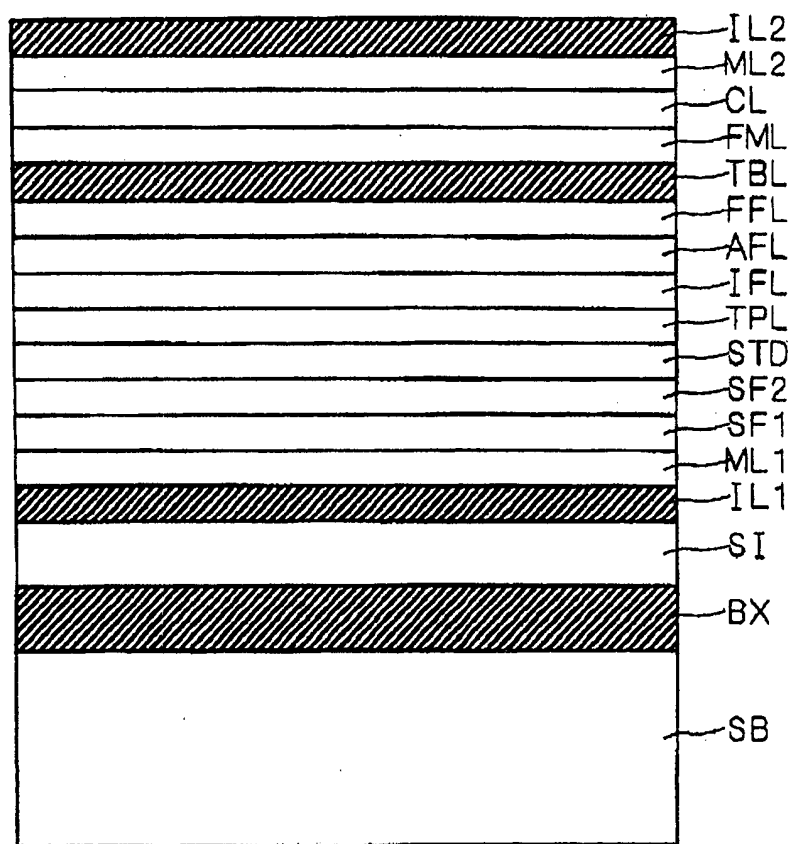


图 50

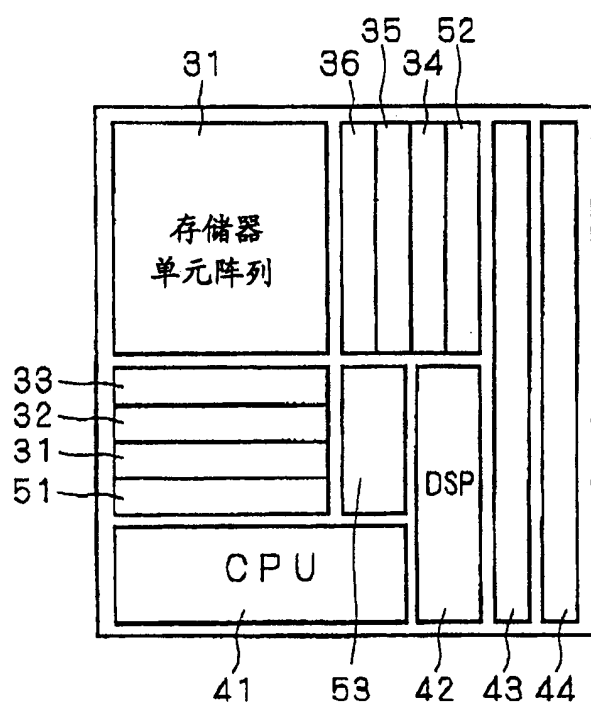


图 51

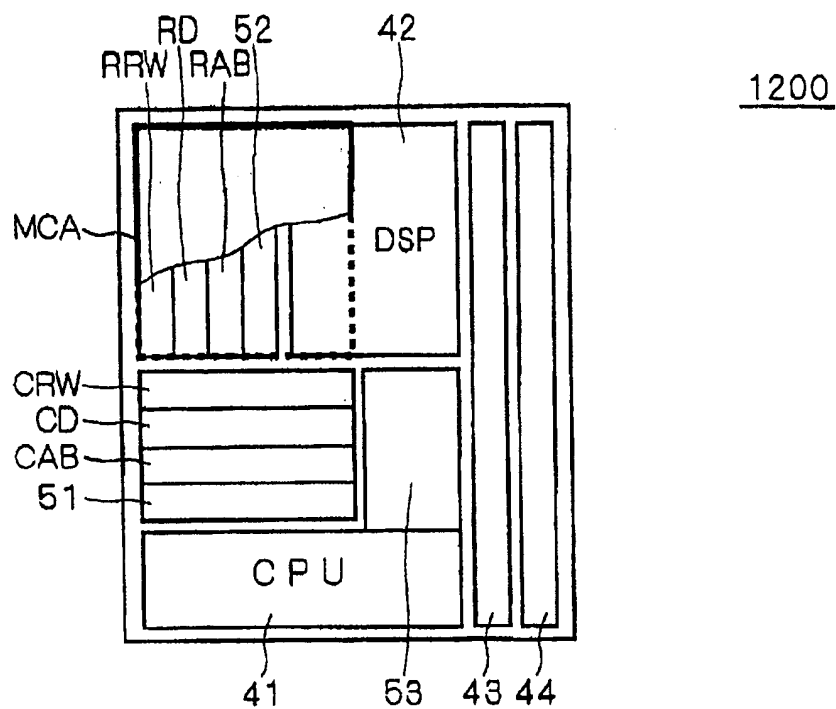


图 52

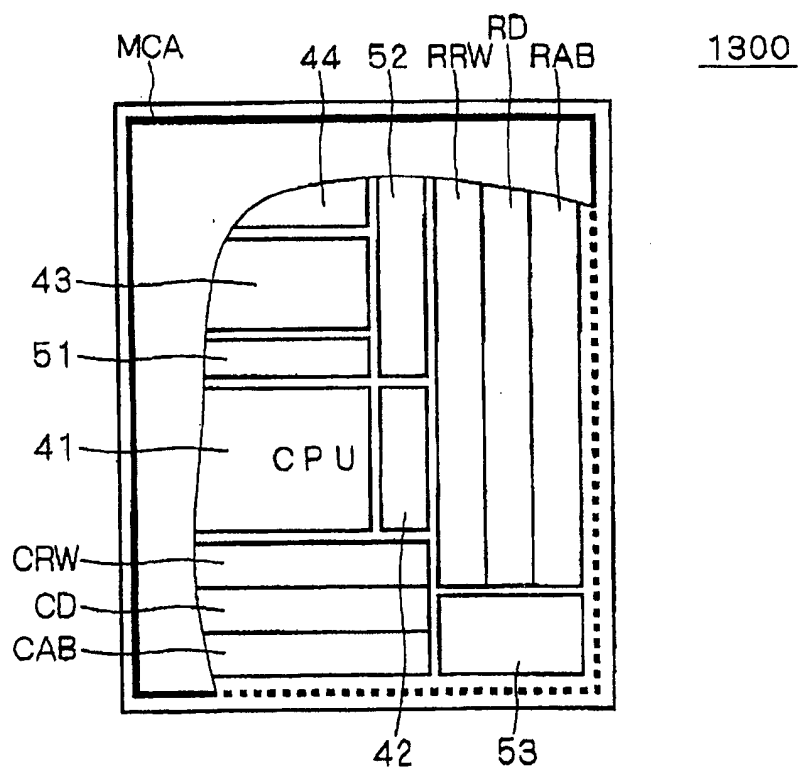


图 53

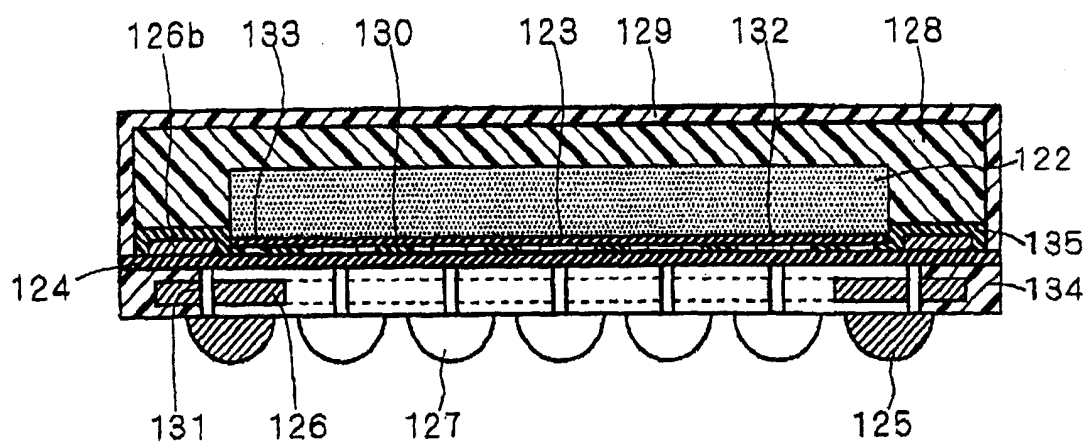


图 54

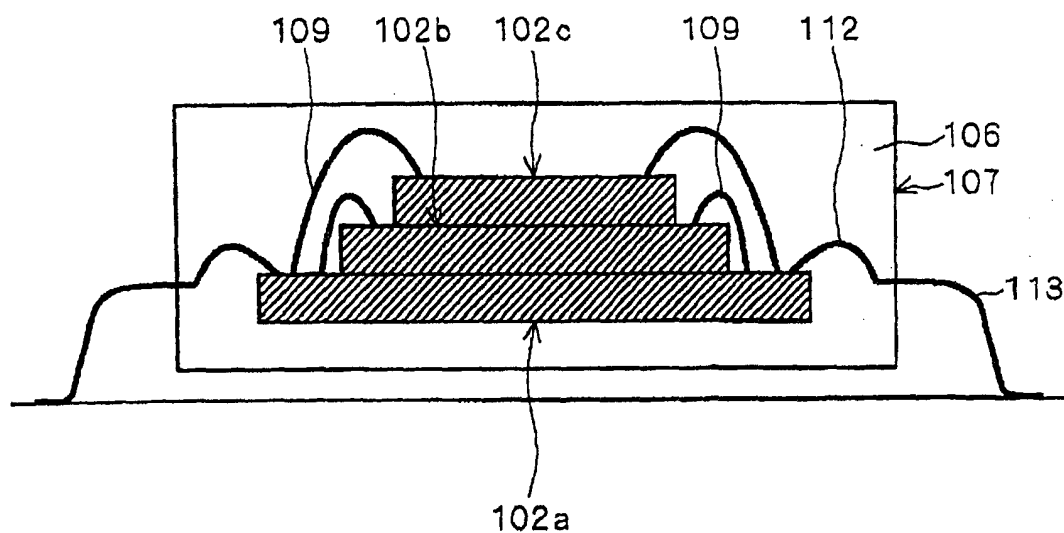


图 55

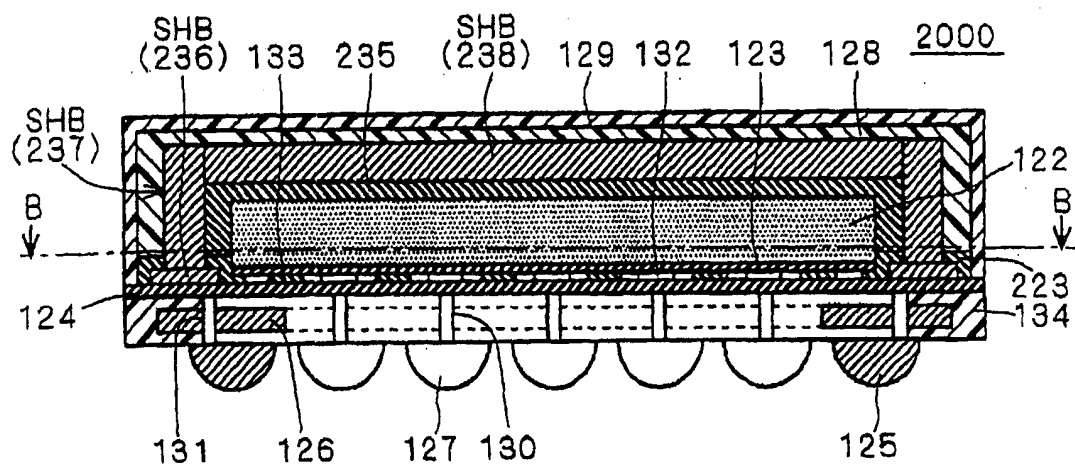


图 56

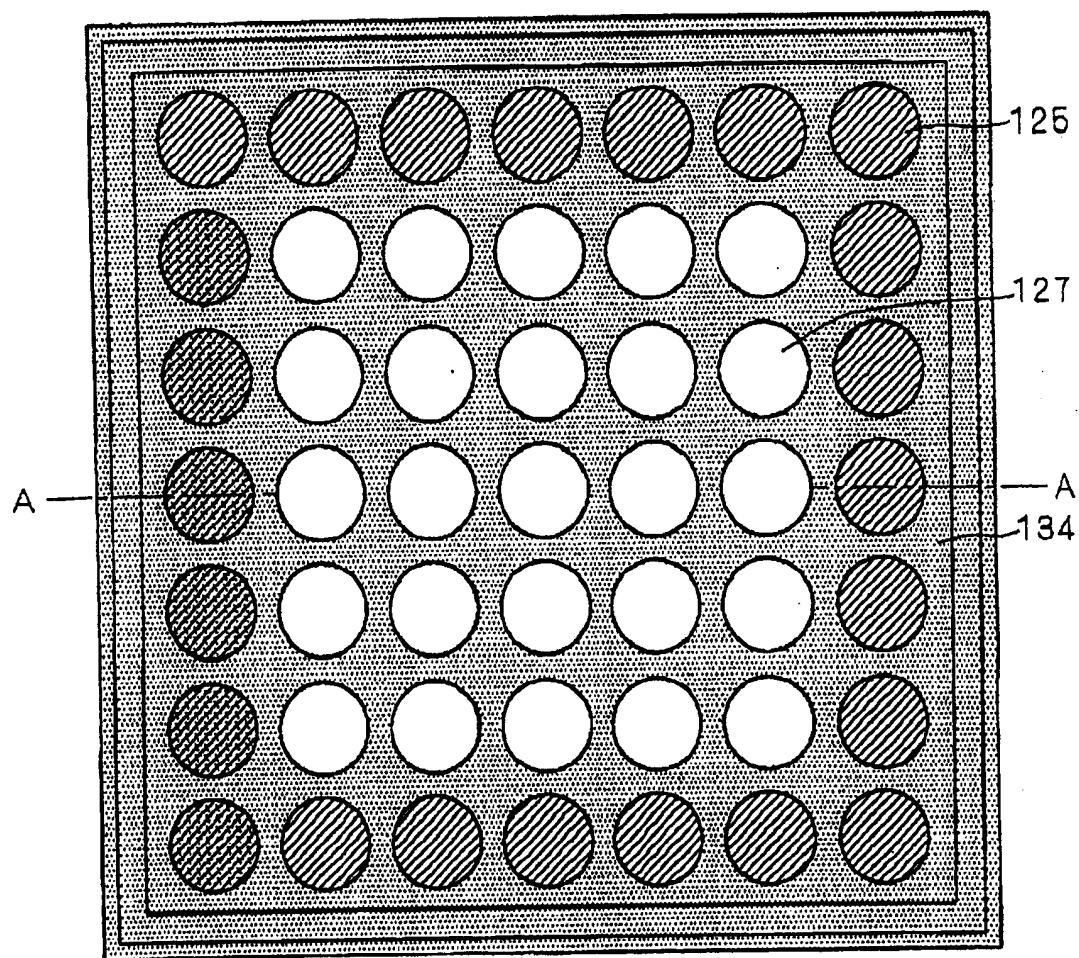


图 57

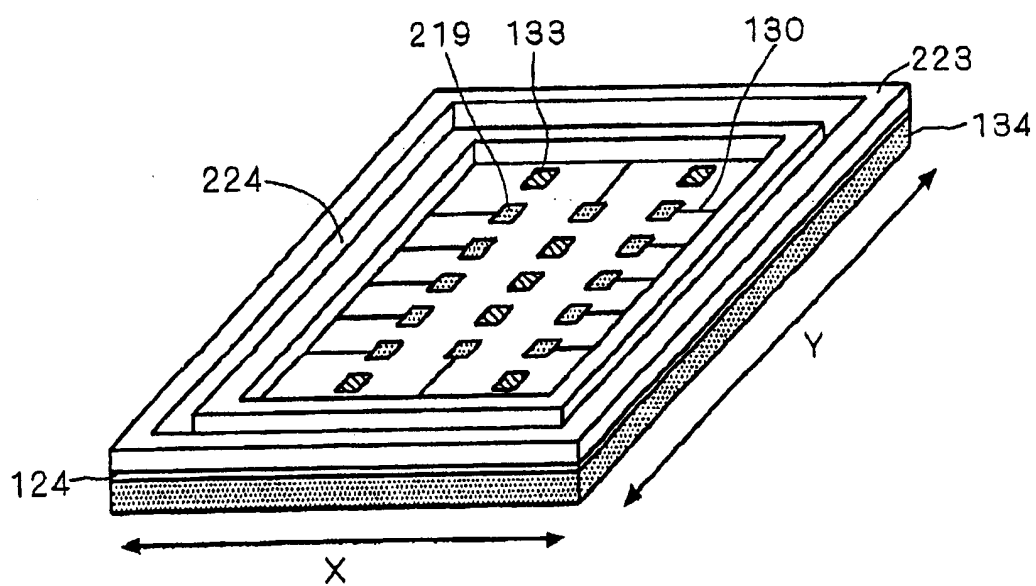


图 58

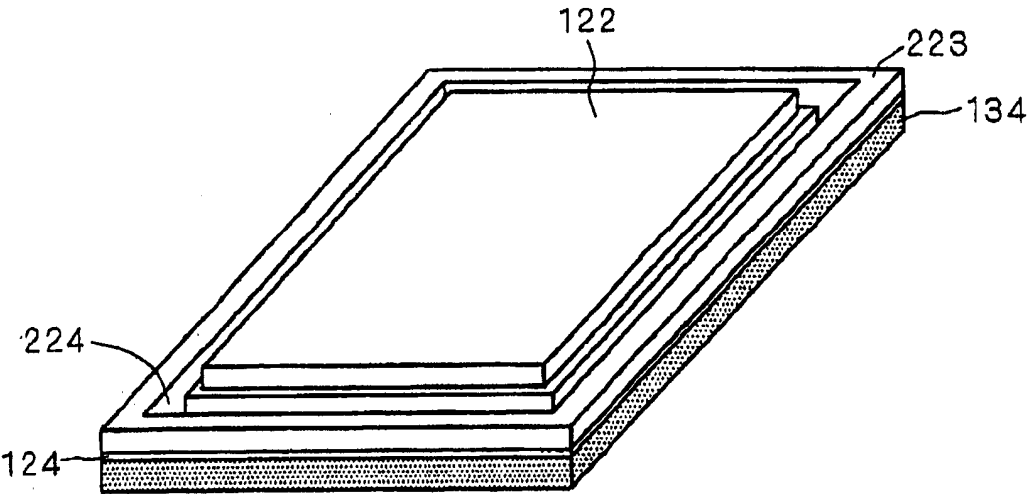


图 59

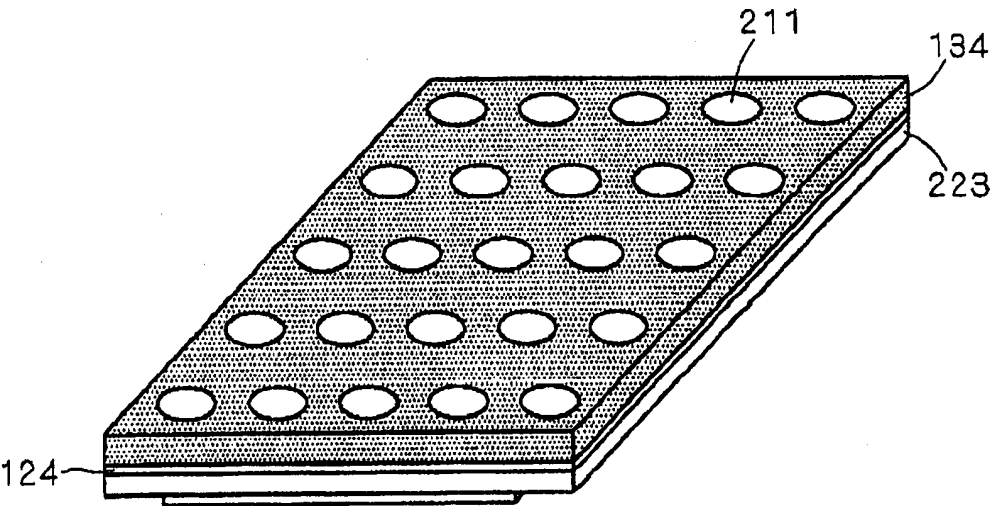


图 60

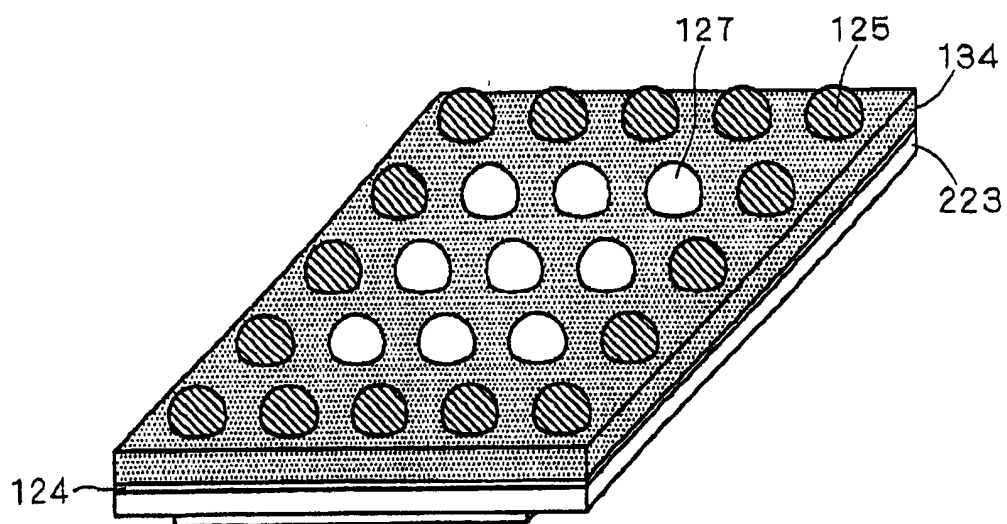


图 61

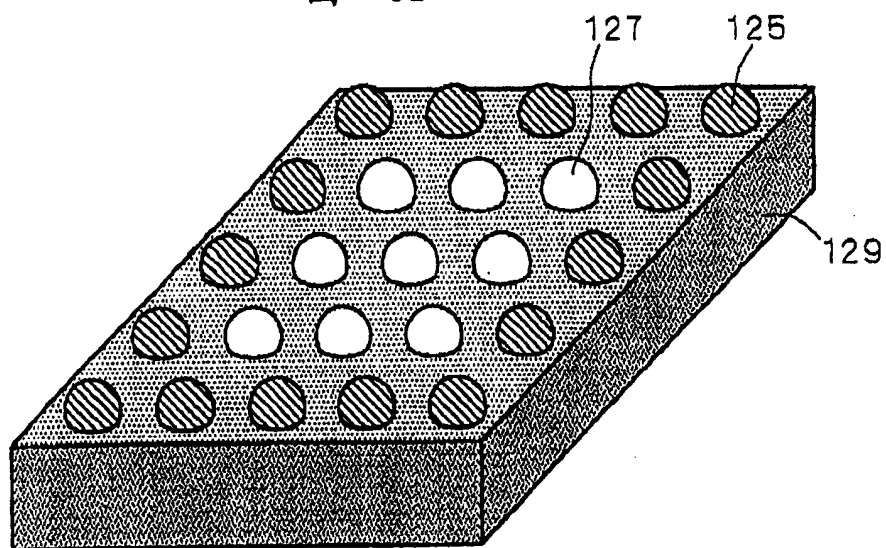


图 62

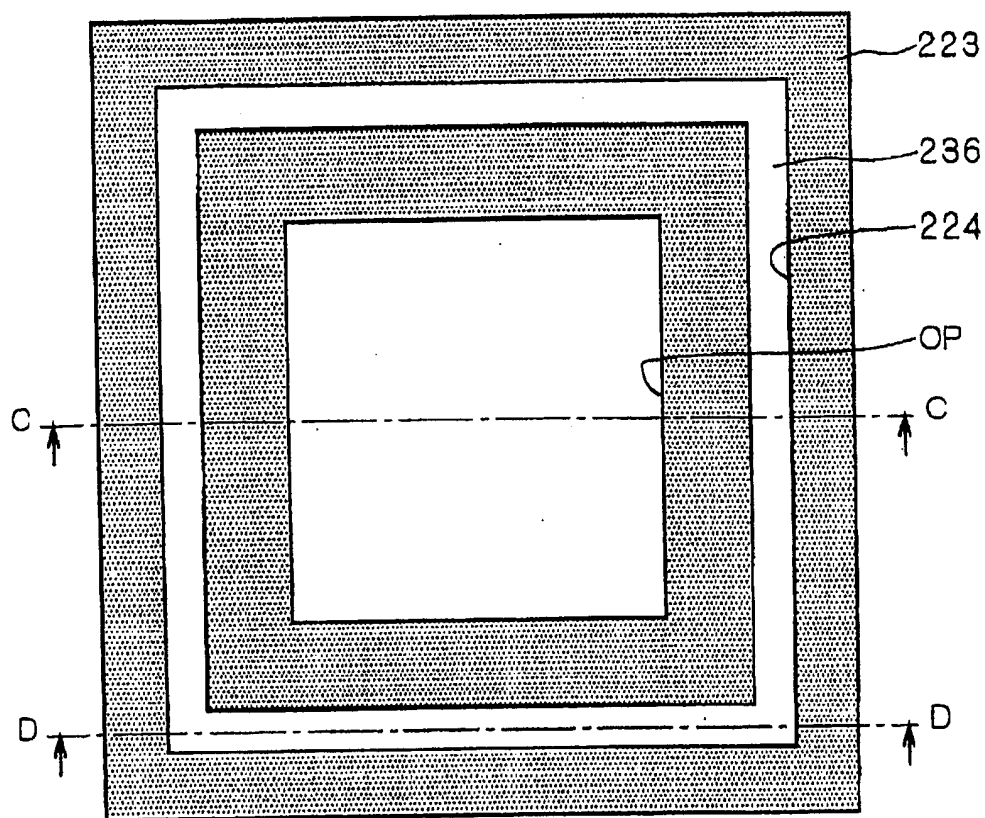


图 63

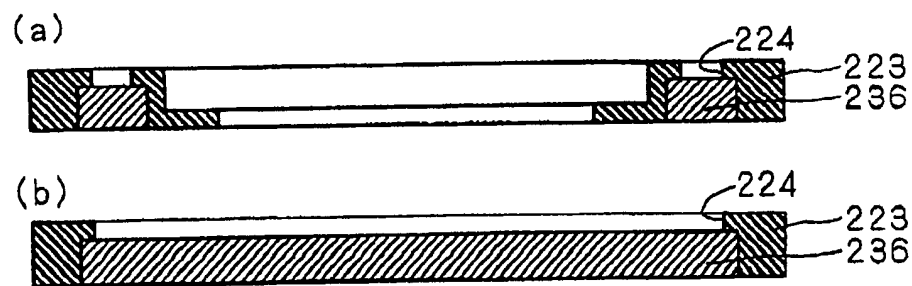


图 64

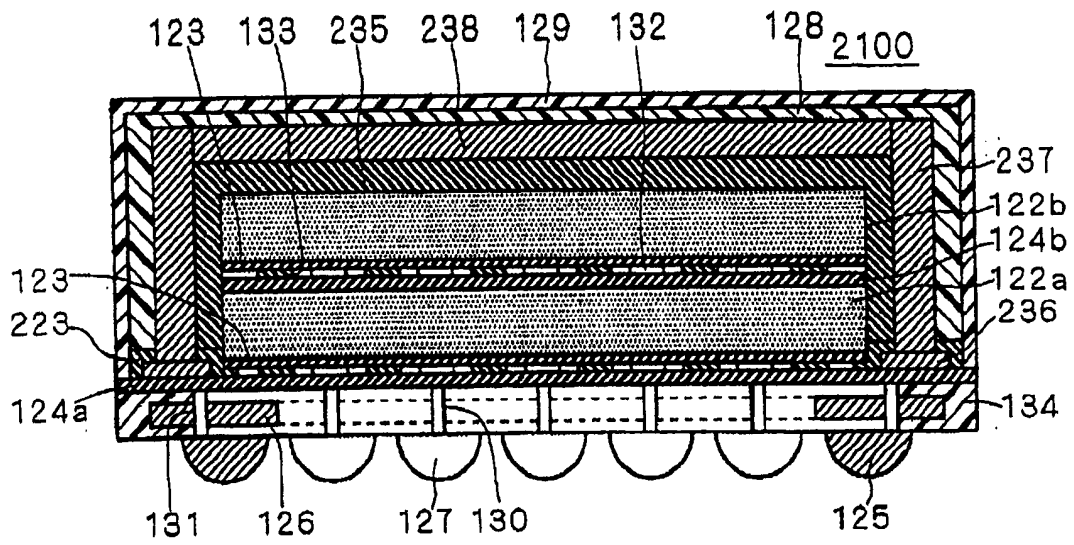


图 65

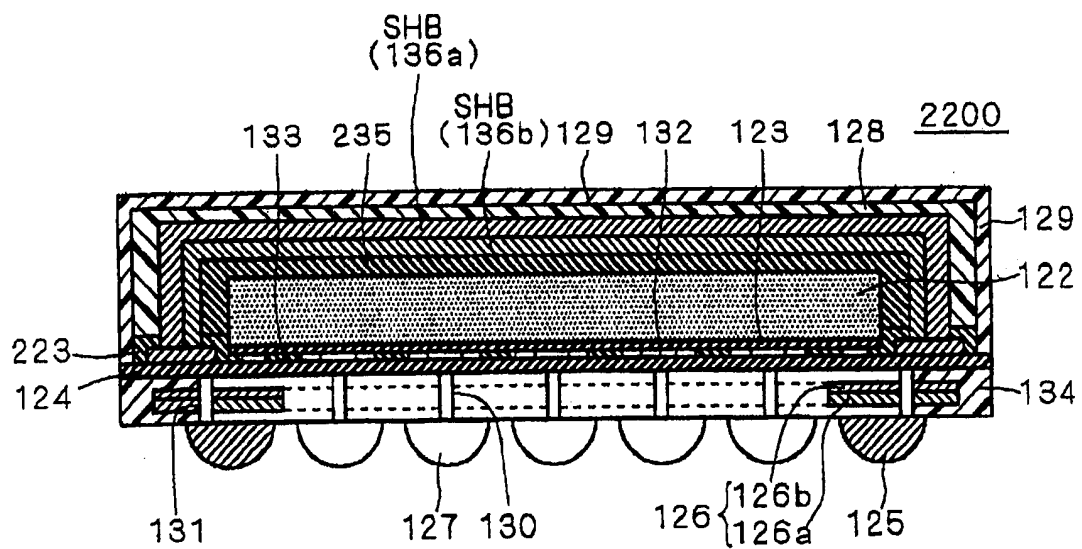


图 66

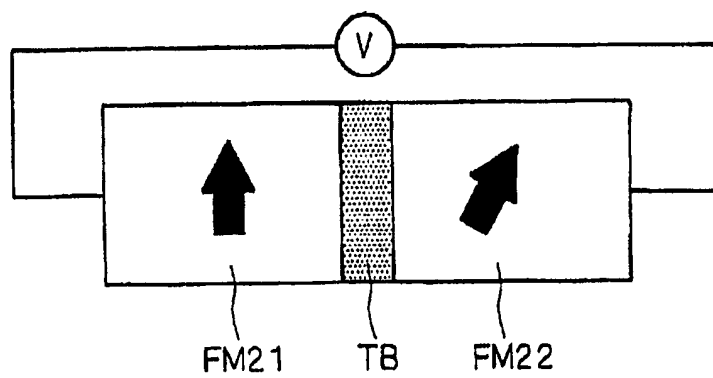


图 67

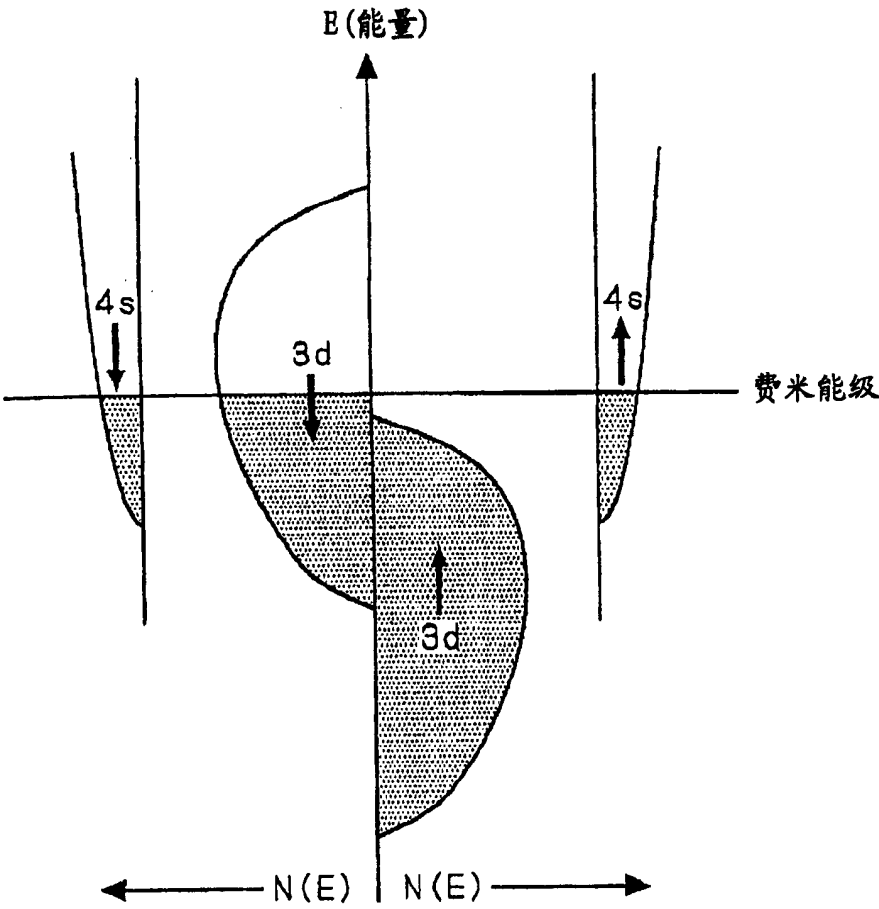


图 68

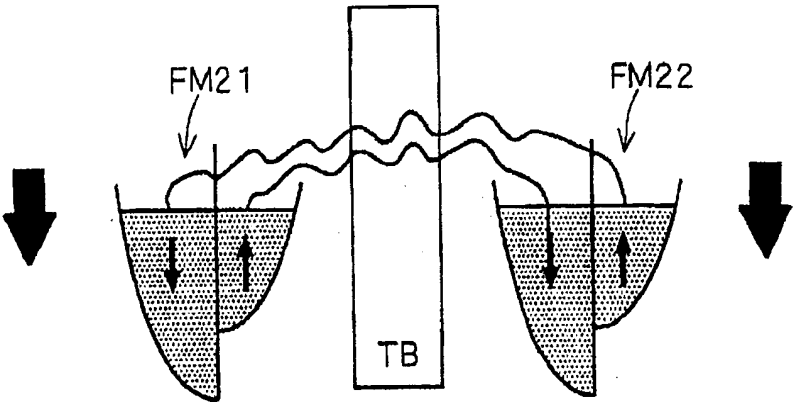


图 69

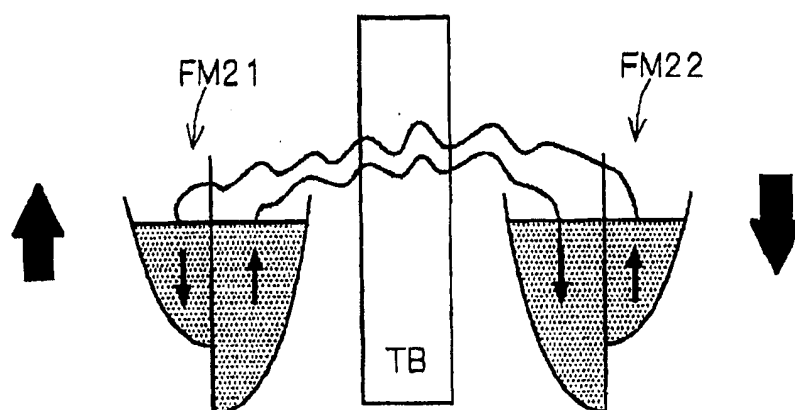


图 70

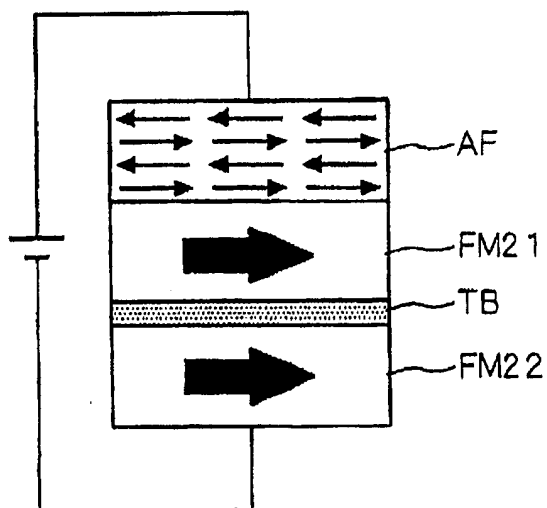


图 71

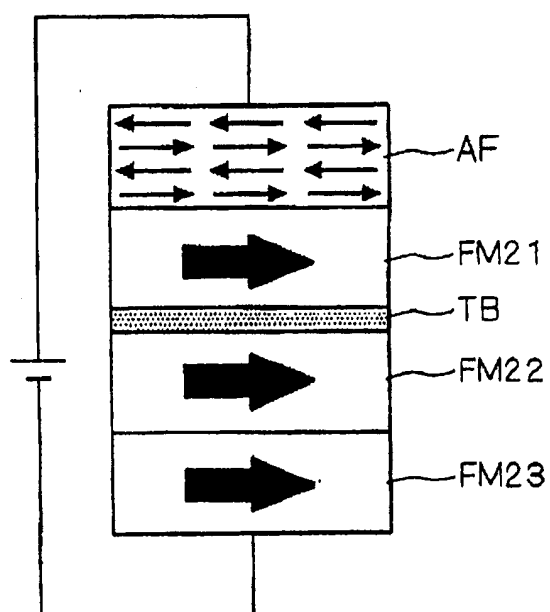


图 72

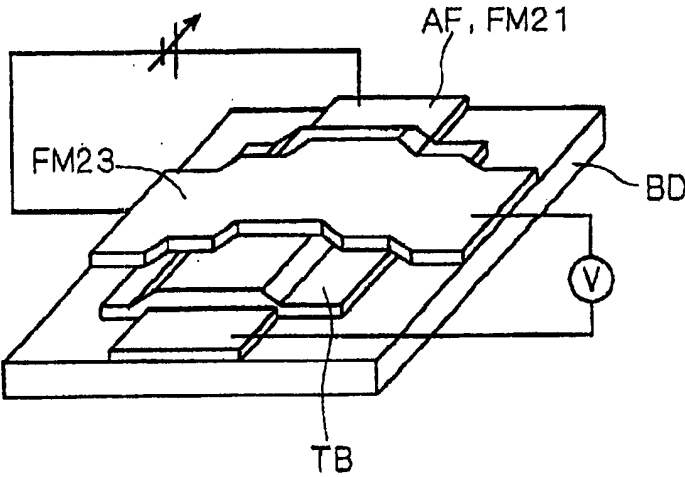


图 73

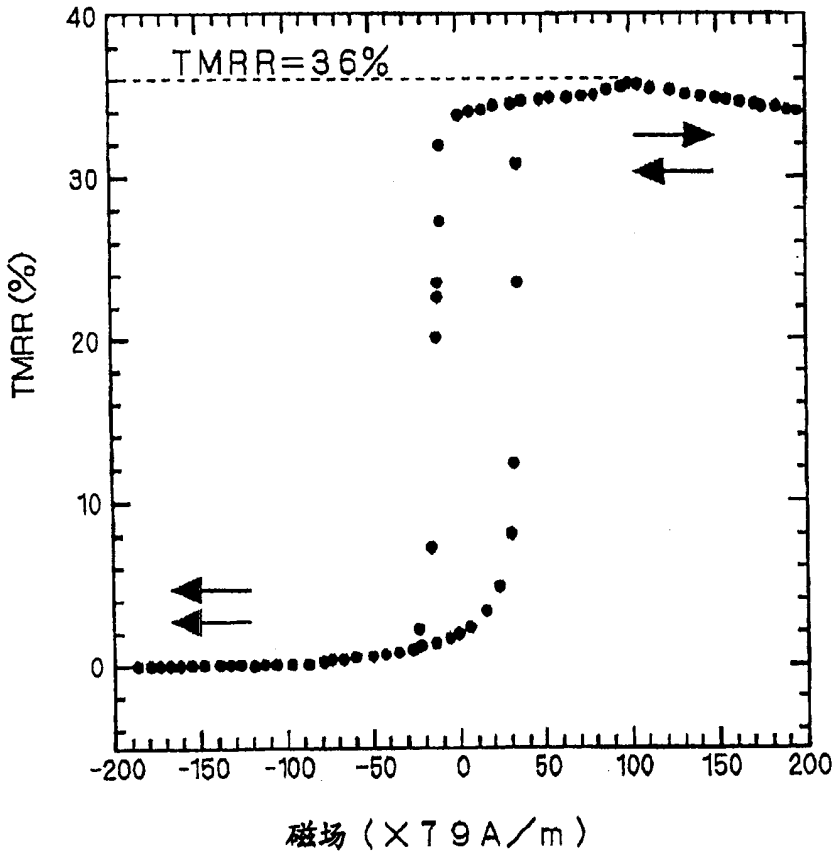


图 74

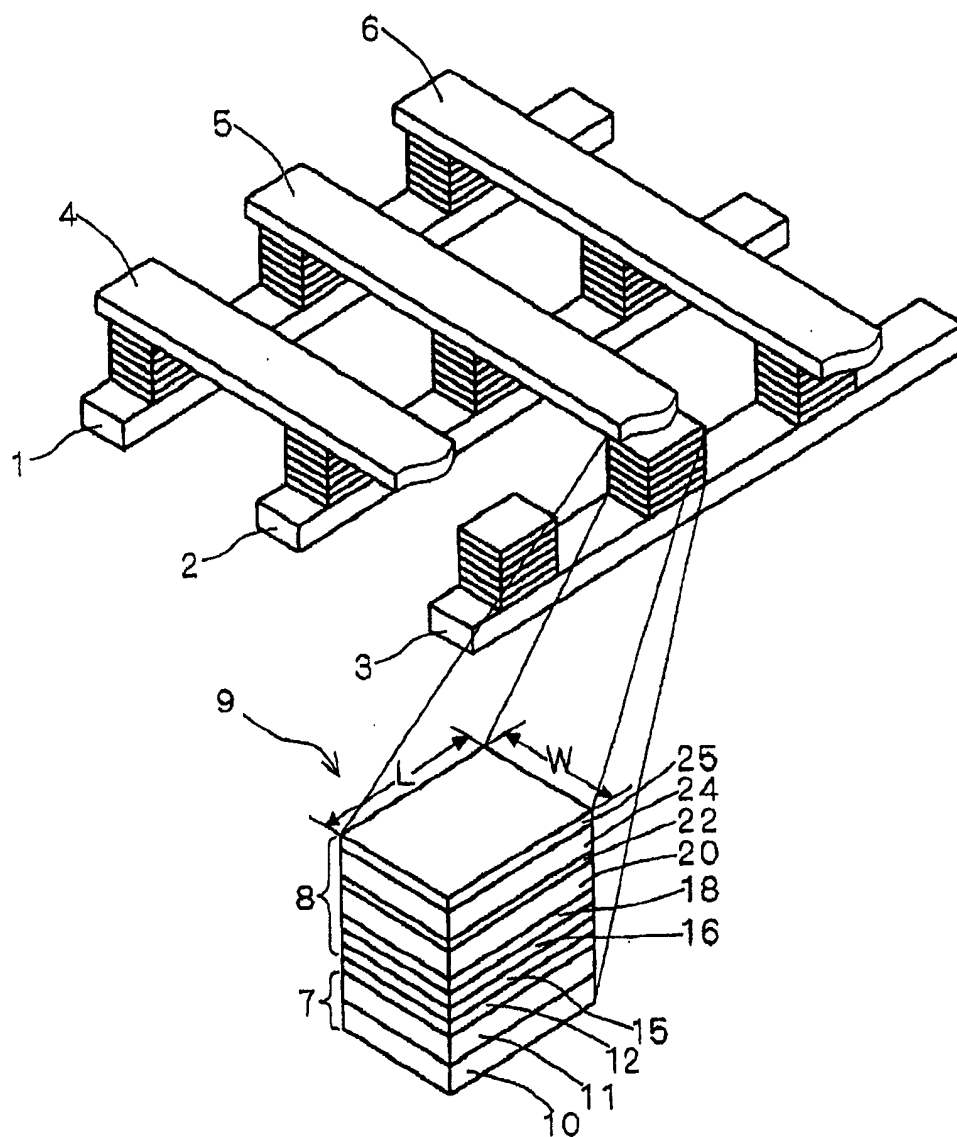


图 75

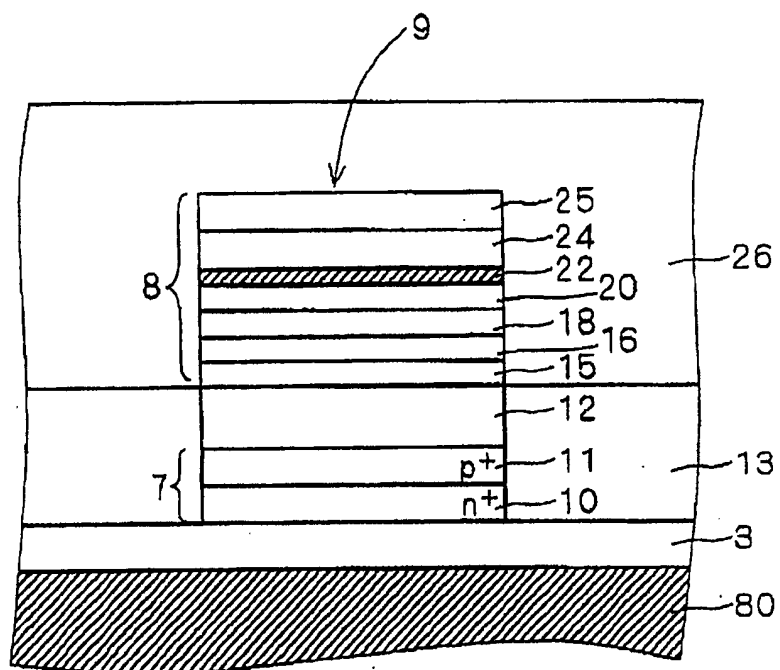


图 76

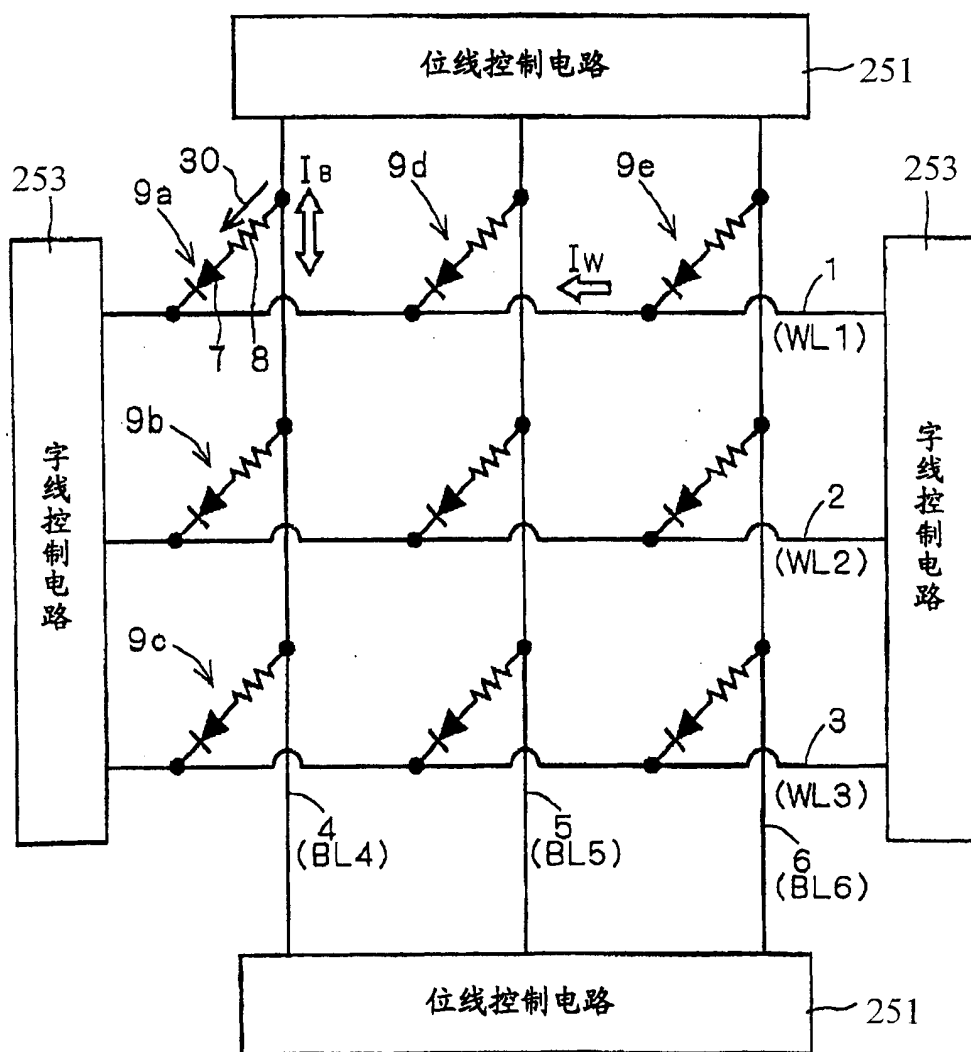


图 77

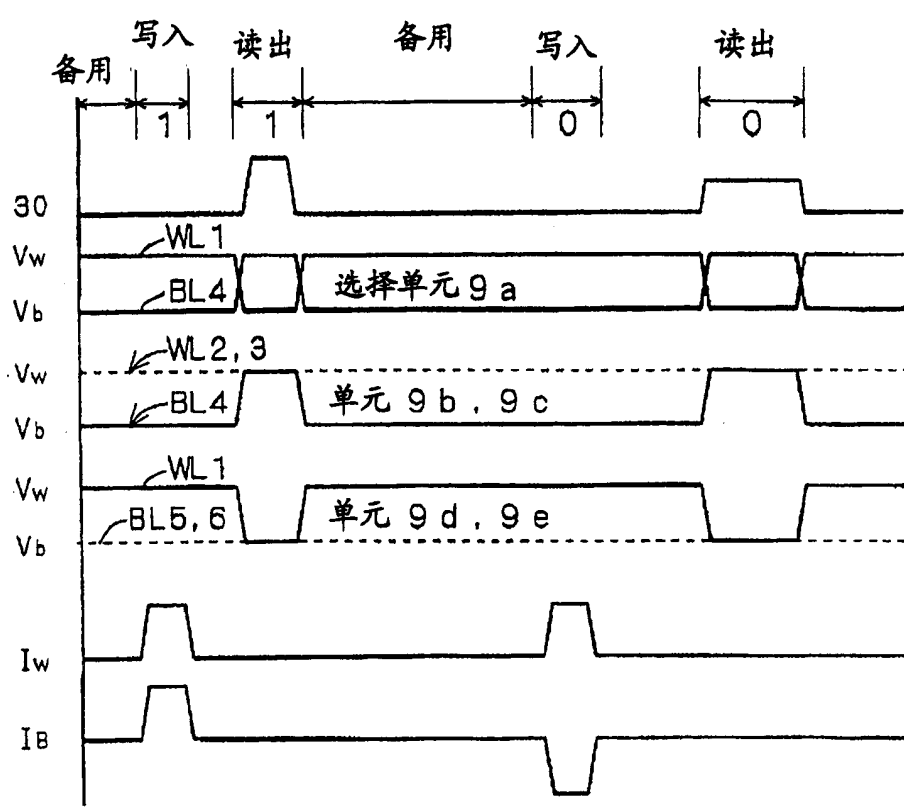


图 78