



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월18일
(11) 등록번호 10-0810554
(24) 등록일자 2008년02월28일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2002-7017929

(22) 출원일자 2002년12월28일

심사청구일자 2006년06월27일

번역문제출일자 2002년12월28일

(65) 공개번호 10-2003-0017575

(43) 공개일자 2003년03월03일

(86) 국제출원번호 PCT/US2001/020409

국제출원일자 2001년06월27일

(87) 국제공개번호 WO 2002/01608

국제공개일자 2002년01월03일

(30) 우선권주장

09/605,195 2000년06월28일 미국(US)

(56) 선행기술조사문헌

US 6086673 A

전체 청구항 수 : 총 70 항

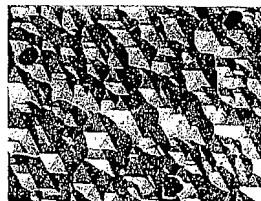
심사관 : 이시근

(54) 광전자 및 전자 디바이스용 자립형 (알루미늄, 인듐,갈륨) 질화물 기재 상의 에피택시 품질(표면 조직 및 결함밀도)을 향상시키는 방법

(57) 요약

III-V 질화물 호모에피택셜 미세 전자 디바이스 구조는, 예컨대 자립형 특성을 갖는 III-V 질화물 재료 기재 상의 III-V 질화물 호모에피택셜 에피층을 포함한다. 개시되는 다양한 처리 기법에는, V/III비가 약 1 내지 약 10^5 범 위이고, 질소 소스 재료의 분압은 대략 1 내지 대략 10^3 torr의 범위에 있으며, 성장 온도는 대략 500 내지 대략 1250 °C의 범위에 있고, 성장 속도는 대략 0.1 내지 대략 500 미크론/시의 범위에 있는 것을 포함하는 공정 조건 하에, III족 소스 재료 및 질소 소스 재료를 사용하여 VPE 공정에 의해 III-V 질화물 호모에피택셜층을 침적함으로써, III-V 질화물 호모에피택셜층을 상응하는 III-V 질화물 재료 기재 상에 형성하는 방법이 포함된다. 상기 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조는 UV LED, 전자 가동성이 높은 트랜지스터 등의 디바이스 용례에 유용하다.

대표도 - 도1



(72) 발명자

바우도로버트피

미국커네티컷주06776뉴밀포드폴레전트뷰로드19

커프데이비드엠

미국캘리포니아주92122샌디에고빌라노바애버뉴3544

수수예펑

미국커네티컷주06906스탬포드셴츄얼스트리트15

란디니바바라이

미국매사추세츠주01757밀포드웍-오-윌레인33

(81) 지정국

국내특허 : 세르비아 앤 몬테네그로, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 모잠비크, 탄자니아

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니

특허청구의 범위

청구항 1

대응하는 III-V 질화물 재료 기재 상에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, 1 내지 10^5 범위의 V/III 비, 1 내지 10^3 Torr 범위의 질소 소스 재료 분압, 500 내지 1250 °C 범위의 성장 온도 및 시간당 0.1 미크론 내지 500 미크론 범위의 성장 속도를 포함하는 침적 조건 하에서 III족 소스 재료 및 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적하는 침적 단계를 포함하는 것인 방법.

청구항 2

제1항에 있어서, III-V 질화물 호모에피택셜층은 AlN, AlInN, AlGaIn, AlInGaIn, InN, InGaIn 및 GaN으로 이루어지는 그룹으로부터 선택된 질화합물을 포함하는 것인 방법.

청구항 3

제1항에 있어서, III-V 질화물 호모에피택셜층은 GaN을 포함하는 것인 방법.

청구항 4

제1항에 있어서, III-V 질화물 재료 기재는 자립형 기재인 것인 방법.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, III-V 질화물 재료 기재는 자립형의 마무리된 기재인 것인 방법.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, III-V 질화물 재료 기재는 자립형의 마무리되지 않은 기재인 것인 방법.

청구항 7

제1항에 있어서, III-V 질화물 재료 기재는 자립형의 화학·기계적으로 연마된 기재인 것인 방법.

청구항 8

제1항에 있어서, 기재는 침적 단계 전에 소정 분위기 중에서 상기 성장 온도 범위로 가열되고, 상기 분위기는 수소, 질소, 아르곤, 헬륨, 네온, 염화수소 및 이들 중 2 이상의 혼합물로 이루어지는 그룹으로부터 선택되는 1 이상의 종을 포함하는 것인 방법.

청구항 9

제1항에 있어서, 상기 성장 온도는 1000 내지 1250 °C 범위 내에 있는 것인 방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 성장 온도는 1050 °C보다 높은 것인 방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 성장 온도는 1050 °C인 것인 방법.

청구항 12

제1항에 있어서, 상기 호모에피택셜층은 두께가 0.5 미크론 이상인 것인 방법.

청구항 13

제1항에 있어서, 상기 호모에피택셜층은 두께가 3.0 미크론 이상인 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서, 상기 III-V 질화물 재료 기제는 자립형의 마무리되지 않은 기체인 것인 방법.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 공정 조건은 10^1 내지 10^5 의 V/III 비를 포함하는 것인 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 공정 조건은 10^4 보다 큰 V/III 비를 포함하는 것인 방법.

청구항 17

제1항에 있어서, 상기 공정 조건은 10^3 내지 5×10^4 의 V/III 비, 20 내지 400 Torr의 질소 소스 재료 분압, 1000 내지 1150 °C의 성장 온도 및 시간당 0.5 내지 10 미크론의 성장 속도를 포함하는 것인 방법.

청구항 18

제1항에 있어서, 상기 VPE 공정은 MOVPE 공정을 포함하는 것인 방법.

청구항 19

제1항에 있어서, 상기 기제는 $\{0001\}$, $\{000\bar{1}\}$ 및 이들의 오프컷(offcuts)으로 구성되는 그룹으로부터 선택되는 결정학적 배향을 갖는 것인 방법.

청구항 20

제1항에 있어서, 상기 기제는 $\{0001\}$, $\{11\bar{2}0\}$, $\{1\bar{1}00\}$ 및 이들의 오프컷으로 이루어지는 그룹으로부터 선택된 결정학적 배향을 갖는 것인 방법.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 기제는 GaN이고, 상기 에피택셜층은 기제의 Ga면상에 침적되는 것인 방법.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 기제는 GaN이고, 상기 에피택셜층은 기제의 N면상에 침적되는 것인 방법.

청구항 23

제1항에 있어서, 상기 VPE 공정은 HVPE 공정을 포함하는 것인 방법.

청구항 24

제1항에 있어서, 상기 III-V 질화물 재료 기제는 하기 단계 중 하나 이상의 단계를 수행하는 가열 공정(heat-

up)에 있어서 성장 온도까지 가열되는 것인 방법.

(a) 기재의 침적 표면을 평활화하는 단계와;

(b) 기재의 침적 표면상의 손상을 제거하는 단계와;

(c) 기재의 침적 표면상의 오염물을 제거하는 단계와;

(d) 상기 침적 단계에 있어서 상기 III-V 질화물 호모에피택셜층과 기재의 계면에서의 결함의 전파를 감소시키는 단계와;

(e) 상기 침적 단계에 있어서 상기 III-V 질화물 호모에피택셜층과 기재의 계면에서의 새로운 결함 형성을 배제시키는 단계와;

(f) 상기 III-V 질화물 호모에피택셜층 또는 기재에서의 전기적으로 활성인 결함을 감소시키는 단계와;

(g) 상기 침적 단계에서 기재 불순물의 가스 제거를 감소시키는 단계; 그리고

(h) 호모에피택셜층/기재 계면에서의 전하를 보상하는 단계.

청구항 25

제24항에 있어서, 상기 가열 공정은 1 내지 1000 torr 범위의 질소 소스 재료 분압과, 1 내지 1000 분 범위의 램프 시간(ramp time), 분당 10 내지 1000 °C 범위의 램프 속도(ramp rate) 및 수소, 질소, 아르곤, 헬륨, 네온, 염화수소 및 이들 중 2 이상의 혼합물로 이루어지는 그룹으로부터 선택된 분위기를 포함하는 공정 조건을 포함하는 것인 방법.

청구항 26

제24항에 있어서, 상기 가열 공정은 10 내지 400 torr 범위의 질소 소스 재료 분압과, 1 내지 100 분 범위의 램프 시간, 분당 10 내지 400 °C 범위의 램프 속도 및 수소, 질소, 아르곤, 헬륨, 네온, 염화수소 및 이들 중 2 이상의 혼합물로 이루어지는 그룹으로부터 선택된 분위기를 포함하는 공정 조건을 포함하는 것인 방법.

청구항 27

청구항 27은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층은, 상기 침적 단계에서, (0001)로부터 오프컷되는 결정학적 배향을 갖는 기재의 침적 표면 상에 침적되는 것인 방법.

청구항 28

제27항에 있어서, 상기 오프컷은 (0001)로부터 0.1 내지 10도의 범위의 오프컷 각도를 한정하는 것인 방법.

청구항 29

제28항에 있어서, 상기 III-V 질화물 호모에피택셜층은, 상기 침적 단계에서, $\langle 11\bar{2}0 \rangle$ 방향을 향하여 오프컷 방향을 갖는 기재의 침적 표면에 침적되는 것인 방법.

청구항 30

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층은, 상기 침적 단계에서, $\langle 10\bar{1}0 \rangle$ 방향을 향하여 오프컷 방향을 갖는 기재의 침적 표면 상에 침적되는 것인 방법.

청구항 31

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층은, 상기 침적 단계에서, $\langle 11\bar{2}0 \rangle$ 과 $\langle 10\bar{1}0 \rangle$ 사이의 오프컷 방향을 갖는 기재의 침적 표면 상에 침적되는 것인 방법.

청구항 32

제1항에 있어서, 상기 III-V 질화물 재료 기체는 상기 침적 단계 전에 수성의 산성 세정 조성물로 세정되는 것인 방법.

청구항 33

제1항에 있어서, 상기 III-V 질화물 재료 기체는 상기 침적 단계 전에 수성의 염기성 세정 조성물로 세정되는 것인 방법.

청구항 34

청구항 34은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 III-V 질화물 재료 기체는 상기 침적 단계 전에 세정되어 기체으로부터 NH_4Cl 이 제거되는 것인 방법.

청구항 35

제1항에 있어서, 상기 III-V 질화물 재료 기체는, 상기 침적 단계 전에, 침적 표면상에서 부동(不同) 화합물로 변질되고, 이 부동 화합물이 탈거되는 것인 방법.

청구항 36

제1항에 있어서, 상기 III-V 질화물 재료 기체는, 상기 침적 단계 전에, 침적 표면 상에서 산화되고, 이에 따른 산화물 선택적으로 탈거되는 것인 방법.

청구항 37

청구항 37은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 III-V 질화물 재료 기체는 상기 침적 단계 전에 기체의 평탄화를 위하여 산화되는 것인 방법.

청구항 38

제1항에 있어서, 상기 III-V 질화물 재료 기체는 상기 침적 단계 전에 RIE에 의하여 세정되는 것인 방법.

청구항 39

청구항 39은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층은 상기 침적 단계에서 침적되며, 상기 침적 단계 전에 RIE 또는 습식 에칭에 의하여 노출된 침적 표면 상에 침적되는 것인 방법.

청구항 40

청구항 40은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 침적 단계에서 불순물을 부가하는 것을 더 포함하는 것인 방법.

청구항 41

청구항 41은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 다단계 평활화 공정을 더 포함하는 것인 방법.

청구항 42

제1항에 있어서, 이면측 증발 보호 공정을 더 포함하는 것인 방법.

청구항 43

제42항에 있어서, 상기 이면측 증발 보호 공정은 기체의 이면측의 표면을 증발로부터 보호하는 물질을 기체에 도포하는 단계를 포함하는 것인 방법.

청구항 44

제42항에 있어서, 상기 이면측 증발 보호 공정은 기재의 이면측 표면을 연마하는 단계를 포함하는 것인 방법.

청구항 45

청구항 45은(는) 설정등록료 납부시 포기되었습니다.

제42항에 있어서, 상기 이면측 증발 보호 공정은 화학적 에칭 단계를 포함하는 것인 방법.

청구항 46

청구항 46은(는) 설정등록료 납부시 포기되었습니다.

제45항에 있어서, 상기 화학적 에칭은 기재의 이면측 표면을 상온 이상의 온도를 갖는 산 또는 상온 이상의 온도를 갖는 염기에 노출시키는 단계를 포함하는 것인 방법.

청구항 47

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층을 침적하기 전에 기재의 침적 표면에 에피 중간층을 도포하는 단계를 더 포함하는 것인 방법.

청구항 48

제47항에 있어서, 상기 에피 중간층은 다른 격자 일치형 또는 격자 불일치형 (Al, In, Ga)N 화합물을 포함하는 것인 방법.

청구항 49

청구항 49은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층을 침적하기 전에 에피 중간층을 도포함으로써, 침적 표면에 상기 에피 중간층을 적용하는 단계가 없는 대응하는 공정과 관련하여, 호모에피택셜층의 형태가 개선되고, 전위 결함이 감소되는 것인 방법.

청구항 50

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층을 침적하기 전에 기재를 어닐링하는 단계를 포함하는 것인 방법.

청구항 51

제1항에 있어서, 상기 기재의 침적 표면 상에서의 상기 III-V 질화물 호모에피택셜층의 핵형성을 위하여 이 침적 표면에 계면활성제를 도포하는 단계를 더 포함하는 것인 방법.

청구항 52

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층의 평활화된 형태를 생성하기 위하여 물질 이동 공정을 수행하는 단계를 더 포함하는 것인 방법.

청구항 53

청구항 53은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 침적 단계 전의 상기 III-V 질화물 호모에피택셜층은 연마와 에칭으로 구성되는 그룹으로부터 선택된 처리를 받는 것인 방법.

청구항 54

제1항에 있어서, 상기 침적 단계 전의 상기 III-V 질화물 호모에피택셜층은 기재의 결함을 차폐하는 마스크 처리를 받으며, 상기 침적 단계는 결함 과성장 및 제거에 영향을 주는 것인 방법.

청구항 55

청구항 55은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 침적 단계는 성장 환경에서 수행되고, 상기 침적 단계중에 상기 성장 환경에 계면활성제가 첨가되는 것인 방법.

청구항 56

제1항에 있어서, 상기 침적 단계 전에 상기 상기 III-V 질화물 기재 내에 메사(mesa)를 형성하는 단계와 상기 메사 상에 또는 이 메사로부터 측방에 상기 III-V 질화물 호모에피택셜층을 침적하는 단계를 더 포함하는 것인 방법.

청구항 57

청구항 57은(는) 설정등록료 납부시 포기되었습니다.

제56항에 있어서, 상기 메사는 상기 침적 단계에서 결정학적 전파의 종료 및 전위의 종료를 가능하게 할 수 있을 만큼 충분한 면적인 것인 방법.

청구항 58

청구항 58은(는) 설정등록료 납부시 포기되었습니다.

제56항에 있어서, 상기 침적 단계 중에 메사 상에서의 성장을 방지하기 위하여 상기 메사 둘레의 부위를 마스크하는 단계를 더 포함하는 것인 방법.

청구항 59

청구항 59은(는) 설정등록료 납부시 포기되었습니다.

제56항에 있어서, 상기 침적 단계 중에 상기 메사 둘레의 부위 내에서 성장을 수용하도록 상기 메사 둘레 부위를 에칭하는 단계를 더 포함하는 것인 방법.

청구항 60

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층과 대응하는 상기 III-V 질화물 재료 기제는 각각 GaN을 포함하는 것인 방법.

청구항 61

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층과 대응하는 상기 III-V 질화물 재료 기제는 각각 AlGaIn을 포함하는 것인 방법.

청구항 62

제1항에 있어서, 상기 III-V 질화물 호모에피택셜층과 대응하는 상기 III-V 질화물 재료 기제는 각각 AlInGaIn을 포함하는 것인 방법.

청구항 63

청구항 63은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 기제는 자립형 GaN을 포함하고, 상기 호모에피택셜층은 HVPE에 의하여 침적되는 것인 방법.

청구항 64

제1항에 있어서, 상기 에피택셜층은 n형, p형 또는 반절연으로 도핑되는 것인 방법.

청구항 65

제1항에 있어서, 상기 기제는 마무리되거나 마무리되지 않은 특성을 갖는 자립형 GaN이고, 상기 호모에피택셜층

은 AlGa_N, InGa_N, AlInGa_N, InN, GaN 및 AlN으로 이루어지는 그룹으로부터 선택되는 것인 방법.

청구항 66

제1항에 있어서, 상기 층과 기재는 $1E5 \text{ } \Omega/\text{cm}^2$ 보다 큰 시트 저항(sheet resistance)을 갖는 것인 방법.

청구항 67

청구항 67은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 층과 기재는 $1E4 \text{ } \Omega/\text{cm}^2$ 보다 큰 시트 저항을 갖는 것인 방법.

청구항 68

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하며, 이 침적 단계 중에 상기 기재는 서셉터 표면 상에 안장되고, 상기 방법은 상기 침적 단계를 위하여 상기 서셉터 표면 위에 기재를 안장시키기 전에 상기 서셉터 표면에 대응하는 III-V 질화물 재료를 피복하는 단계를 더 포함하는 것인 방법.

청구항 69

청구항 69은(는) 설정등록료 납부시 포기되었습니다.

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하고, 상기 호모에피택셜층 내의 변형을 완화시키기 위하여 상기 침적 단계 전에 600°C 보다 높은 온도의 분위기에서의 어닐링 단계를 포함하며, 상기 기재의 표면을 보호하고, 기재의 변형을 완화시키기 위하여, 상기 어닐링 단계의 분위기는 상기 침적 단계의 분위기와는 상이한 것인 방법.

청구항 70

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하며, 이 침적 단계 중에 상기 기재는 그것의 성장 표면이 물질 이동에 의하여 평활화되고, 상기 물질 이동에 의한 평활화는,

(i) 질소중 전구체를 포함하는 과압 가스 내에서 기재를 어닐링하는 단계,

(ii) 기재로부터 불순물을 회석시키기 위해 $1000 \text{ } \text{\AA}$ 이하의 에피택셜층을 성장시키는 단계,

(iii) 질소중 전구체를 포함하는 과압 가스 내에서 기재를 어닐링하는 단계로서, 상기 어닐링 중에 계면활성제 및 불순물을 상쇄하는 전하 중 하나 이상을 첨가하는 단계 및

(iv) 기재로부터 불순물을 회석시키기 위해 $1000 \text{ } \text{\AA}$ 이하의 에피택셜층을 성장시키는 단계로서, 상기 에피택셜층을 성장시키는 단계 중에 계면활성제 및 불순물을 상쇄하는 전하 중 하나 이상을 첨가하는 단계

중 한 가지 단계를 포함하는 것인 방법.

청구항 71

청구항 71은(는) 설정등록료 납부시 포기되었습니다.

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하며, 기재의 평활화를 촉진 및 향상시키기 위하여, 상기 침적 단계 중에는 반응기의 성장 분위기 내로 계면활성제가 첨가되는 것인 방법.

청구항 72

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하며, 상기 기

재는 FS (Al, In, Ga)N을 포함하고, 상기 기재는 산화물층을 형성하도록 O₂, 공기, 공기/불활성 가스 혼합물 또는 습윤 혼합물 중에서 FS (Al, In, Ga)N을 산화시킴으로써, 상기 침적을 위하여 조절되며, 상기 방법은 기재로부터 잠재적인 불순물을 제거하기 위하여 알칼리 용액 중에서 산화물을 탈거시키거나 또는 에칭으로 제거하는 단계를 더 포함하는 것인 방법.

청구항 73

대응하는 III-V 질화물 기재 위에 III-V 질화물 호모에피택셜층을 형성하는 방법으로서, III족 소스 재료와 질소 소스 재료를 사용하여 VPE 공정으로 III-V 질화물 호모에피택셜층을 침적시키는 침적 단계를 포함하며, 상기 기재는 FS (Al, In, Ga)N을 포함하고, 상기 호모에피택셜층 성장에 있어서 중단된 형태를 배제시키기에 충분한 두께의 호모에피택셜층에 소정 두께의 도핑되지 않은 박막을 형성하도록, 상기 호모에피택셜층은 도핑되지만 상기 침적 단계의 일부 동안에는 도핑이 중지되는 것인 방법.

청구항 74

제1항에 따른 방법에 의하여 제조되는 III-V 질화물 호모에피택셜 재료.

청구항 75

제곱 센티미터 당 1E6 미만의 전위를 갖는 청구항 1에 따른 방법에 의하여 제조되는 III-V 질화물 호모에피택셜 재료.

청구항 76

청구항 76은(는) 설정등록료 납부시 포기되었습니다.

제1항에 따른 방법에 의해 형성된 FS III-V 질화물 재료 기재 상의 III-V 질화물 호모에피택셜층을 포함하고, 제곱 센티미터 당 1E6 미만의 전위를 갖는 호모에피택셜 III-V 질화물 물품.

청구항 77

제76항에 있어서, 상기 호모에피택셜층과 기재는 각각 AlGaIn을 포함하는 것인 물품.

청구항 78

제76항에 있어서, 상기 호모에피택셜층과 상기 기재 사이의 계면에 오염이 없는 것인 물품.

청구항 79

제1항에 따른 방법에 의해 형성된 FS III-V 질화물 재료 기재 상의 III-V 질화물 호모에피택셜층을 포함하는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 80

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 (⁰⁰⁰¹)이 아닌 호모에피택셜 단계 유동 결정 성장을 포함하는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 81

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 <¹¹²⁰> 오프컷 방향을 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 82

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 <¹⁰¹⁰> 오프컷 방향을 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 83

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 $\langle 11\bar{2}0 \rangle$ 와 $\langle 10\bar{1}0 \rangle$ 사이의 오프컷 방향을 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 84

제79항에 있어서, 상기 기제는 마무리되어 있는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 85

제79항에 있어서, 상기 기제는 마무리되어 있지 않은 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 86

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 격자 불일치형 AlInGaN 에피층을 포함하는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 87

제79항에 있어서, 상기 기제는 그레이딩된 AlGaIn층이 위에 형성되어 있는 FS GaN을 포함하는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 88

제79항에 있어서, $5E8/\text{cm}^2$ 미만의 전위 밀도를 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 89

제79항에 있어서, $5E7/\text{cm}^2$ 미만의 전위 밀도를 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 90

제79항에 있어서, $5E6/\text{cm}^2$ 미만의 전위 밀도를 갖는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 91

제79항에 있어서, 상기 기제는 GaN을 포함하고, 상기 III-V 질화물 호모에피택셜 에피층은 상기 기제의 Ga면 위에 침적되는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 92

제79항에 있어서, 상기 III-V 질화물 호모에피택셜 에피층은 상기 기제의 N면 위에 침적되는 것인 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조.

청구항 93

제79항에 따른 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조를 포함하는 것인 미세 전자 디바이스.

청구항 94

제93항에 있어서, UV LED를 포함하는 것인 미세 전자 디바이스.

청구항 95

제93항에 있어서, AlGaIn/GaN의 높은 전자 가동성의 트랜지스터(HEMT)를 포함하는 것인 미세 전자 디바이스.

청구항 96

제93항에 있어서, 레이저 다이오드를 포함하는 것인 미세 전자 디바이스.

청구항 97

제93항의 미세 전자 디바이스를 구비하는 시스템.

청구항 98

서셉터의 동작 수명을 연장시키기 위하여 위에 CTE 정합 피막을 갖는 서셉터를 포함하는 것인, 제1항에 따른 방법을 실행하기 위한 에피택셜 성장 반응기.

명세서

기술분야

- <1> 본 발명은 광전자 및 전자 디바이스 및 디바이스 선구체 구조의 제조를 위하여 대응하는 자립형 기재 상의 (Al, In, Ga)N 박막의 에피택시 품질을 향상시키는 방법에 관한 것이다.

배경기술

- <2> (Al, In, Ga)N[본 명세서에서 사용되는 이 용어는 Al, In 및 Ga 중 1 이상을 함유하는 각 개별적인 질화물을 포괄적으로, 그리고 택일적으로 표현하고 있는 것으로서, 이에 따라 AlN, $Al_xIn_{1-x}N$ (또는 AlInN), $Al_xGa_{1-x}N$ (또는 AlGaN), $Al_xIn_yGa_{1-x-y}N$ (또는 AlInGaN), InN, $In_yGa_{1-y}N$ (또는 InGaN) 및 GaN (식중, $0 \leq x \leq 1$ 및 $0 \leq y \leq 1$), 이들의 혼합물과 도핑된 층(n형 또는 p형) 또는 도핑되지 않은 나머지]는 가령 사파이어 및 SiC와 같은 격자 불일치가 큰(heavily lattice-mismatched) 기재 상에서 에피택셜층을 성장시키는 것과 관련하여 광범위하게 연구되어 왔다.
- <3> 그러한 연구가 확산되는 주된 이유는 품질 및 치수에 있어서 안정적인 자립형(free-standing: FS), 열팽창 계수(coefficient of thermal expansion: CTE) 일치형 및 격자 일치형 GaN 기재를 이용할 수 없다는 데에 있다.
- <4> 호모에피택셜 또는 천연 기재가 없으면, 에피택시-기재 계면에서의 격자 불일치로 인하여 부정합 전위(轉位)(misfit dislocations)가 형성되고, CTE 불일치로 인하여 균열 및 굴곡이 발생하게 되며, 이에 따라 에피(epi) 및 디바이스층의 품질을 제한하게 된다. 최적 상태가 아닌 이들 기재(예컨대, 사파이어 또는 SiC) 상에서의 에피택셜층의 품질은 복잡한 중간층(interlayer) 기술을 사용하면 단순한 전자 디바이스용으로는 적합한 품질을 나타낸다.
- <5> 대개, 보다 높은 품질의 디바이스를 제조하기 위해서는 매우 어렵고 복잡한 과성장(overgrowth) 기술, 가령 ELOG(epitaxial lateral overgrowth: 에피택셜 측방향 과성장) 또는 LEO(lateral epitaxial overgrowth: 측방향 에피택셜 과성장) 또는 펜데오-에피택시(Pendeo-epitaxy)가 사용되고 있으나 결과적인 재료는 형태(morphology) 및 결정 품질에 있어서 불균일하다. 또한, 결과적인 재료는 통상 마스크잉 재료로부터의 불순물의 혼입으로 인하여 높은 캐리어 농도를 갖는다. 그러한 과성장 기술은 기재 재료상의 특정 부위에서의 성장을 억제하기 위하여 SiO_2 와 같은 마스크잉 재료를 채용하고 있다. 그러면, 에피택셜 재료가 마스크잉 영역과 마스크잉 재료와의 사이에서 성장한 후에 측면으로 마스크잉 재료 위로 성장함으로써, 측면으로 성장된 부위에서의 전위(dislocation)의 전파를 감소시킨다.
- <6> 적절한 품질의 격자 불일치 (Al, In, Ga)N 기재의 부족은 (Al, In, Ga)N 디바이스 개발자들이 (Al, In, Ga)N 디바이스 성능의 충분한 잠재성을 실현시키는 것을 방해해왔고, 이러한 재료계(material system)의 개발을 지연시켜왔다. 측면 과성장 기술에 부수되는 복잡성과 곤란성은 그러한 접근이 상업적으로 만족스럽게 이용될 수 없게 하였다.
- <7> 질화물 기재를 생산하기 위하여 소규모의 작업이 행해져왔으며, 제조되는 제한된 양의 GaN 상에서 훨씬 더 적은 양의 에피택셜층의 성장이 행하여져 왔다.
- <8> FS GaN 상에서의 GaN 에피층의 성장에 따른 문제를 논의하기 위한 배경으로, 이하에서는 자립형 GaN을 제조하기 위한 기술들에 대하여 설명한다. 후술되는 논의는 또한 몇몇 종류의 기재의 특성이 적절한 에피택셜 공정의 개발을 억제해온 이유를 강조한다.
- <9> 기재의 제조
- <10> 사파이어 및 SiC보다 우수한, 오늘날까지 개발된 격자 일치형 또는 준(準) 격자 일치형 기재를 생산할 가능성이

있는 방법은, 아래에서 보다 충분히 논의되겠지만, 고압 GaN 결정 성장, AlN 벌크 성장, 리튬 알루미늄에이트(lithium aluminate: LAO), 리튬 갈레이트(lithium gallate: LGO), 후막(> 100 마이크론) HVPE GaN 및 리프트-오프(lift-off), 그리고 HVPE GaN 부울 성장(boule growth)을 포함한다.

<11> 고압 결정 성장

<12> 단결정 GaN의 300 mm² 미만의 면적을 갖는 작은 플레이트릿(platelets)(직경 < 20 mm 및 두께 < 1~2 mm)을 제조회에 있어서는 고압 결정 성장(high pressure crystal growth)이 성공적이었으나 GaN 결정은 몇 가지 문제를 가지고 있다. 이 기술은 작은 플레이트릿을 생산하며, 범위성(範圍性)(scalability)이 곤란하고 공정 비용이 다른 대안적인 것에 비하여 매우 비싸다. 또한, 기술적인 관점에서 결정의 도펀트 및 도전성의 제어가 매우 어렵다. 다른 한 가지 단점은, 기재를 도전성으로 만드는, 산소를 비롯하여 예기치 못한 높은 수준의 불순물이 결정 중에 존재한다는 것이다. 이들 높은 수준의 불순물은 디바이스 층과 기재 내의 전하 사이의 기생 용량 때문에 그 기재로 제조된 디바이스의 주파수 범위를 제한하며 불순물의 농도가 충분히 높으면 기재상에서의 에피택시 핵형성을 억제할 수 있다.

<13> 승화 및 재응축을 매개로 한 AlN(또는 GaN) 기재의 형성

<14> GaN 에피택셜 성장을 위한 적절한 고품질의 준 격자 일치형(GaN과 2.5% 다름) 기재를 제조하기 위하여, 승화 및 재응축 기술에 의한 벌크 AlN의 제조가 행하여지고 있다. 현재, 부울 직경(boule diameter)은 13 mm로 제한되어 디바이스를 저가로 대량 생산하는 것을 심각하게 제한하고 있다.

<15> 이들 기재와 관련된 다른 한 가지 문제는 ppm(parts per million) 수준의 극히 높은 산소 수준으로서, 이는 기재의 열전도율을 감소시켜 이들 기재가 고주파, 고전력 디바이스에 불리하게 만든다.

<16> 기재에 높은 농도의 불순물이 혼입되면, 열전도율에 영향을 미치는 데에 추가하여, 제어된 도전형 기재, 즉 p형 기재의 제조를 방해한다. 이들 기재는 종래의 기술로는 고도로 도핑하기가 어려워, 수직형 광전자 디바이스 기재용으로 불리하다. AlN 기재의 경우, 기재 및 관련 디바이스는 GaN 기재에 비하여 결정에 있어서의 억셉터와 도너의 이온화 및 활성화 에너지가 높다고 하는 단점이 있다.

<17> 리튬 알루미늄에이트(LAO) 및 리튬 갈레이트(LGO)

<18> LAO와 LGO는 (SiC 및 사파이어에 비하여) 밀접한 격자 일치형 기재로서 적절한 품질 및 치수로서 사용 가능하지만 GaN 재료계에 대한 이들의 이용 가능성(applicability)을 가로막는 몇 가지 문제가 존재한다. 가장 중요한 것은 LAO와 LGO 재료가 분해 온도가 낮아서 전형적인 성장 온도에서 GaN을 성장시키는 데 사용되기 어렵다는 것이다. 기재로부터 에피택셜 박막 내로의 Li 및 Ga의 탈착 및 확산과 성장 환경은 핵형성 및 불순물 없는 고품질의 성장을 매우 어렵게 하여 이들 기재의 이용 가능성을 제한한다. 이들 기재는 H₂ 하에서 분해되기가 매우 쉽기 때문에, 이들 기재에서의 성장을 위하여 제한된 공정 조건이 채용되어 왔다. 기재 표면의 불균일한 극성 또한 문제로서, 대개는 GaN 에피택셜 박막에 혼합된 극성 영역(mixed polarity domains)을 초래하게 된다. 그러한 기재상에 수직형 디바이스 구조를 만드는 데에는 도핑 및 분해 억제의 문제가 있다.

<19> LILO(레이저 유도 리프트-오프: laser induced lift-off)를 매개로 한 HVPE(할로젠화물 기상 에피택시: Halide Vapor Phase Epitaxy) GaN 기재 및 부울 성장(boule growth)을 매개로 한 HVPE GaN계 FS GaN 기재

<20> HVPE GaN 법은 오늘날까지는 FS GaN 기재를 제조하기 위한 가장 바람직한 방법이다. 이 방법에 의하면, 큰 면적의 자립형 GaN 웨이퍼를 고품질, 낮은 전위 농도 ρ (dislocation density)로서 제조할 수 있으며, 그러한 고품질을 바탕으로 평활한 박막 및 고품질의 디바이스를 제조할 수 있다. 이 공정은 웨이퍼의 원하는 치수에 대한 용이한 범위성이 있고, 기재의 도전형이 쉽게 제어될 수 있다. 선구체 및 성장 공정의 설정(precursor and growth process set-up)은 다른 기술(예컨대, 고압 결정 성장)에 비하여 비교적 저렴하고, 종래의 공정 제어로서 용이하게 제어될 수 있다. 불순물의 혼입이 미미하고 선구체 순도 및 기상 분위기 순도, 그리고 반응기 누출 완전성(leak integrity) 및 구조를 통해서 억제될 수 있다.

<21> 고품질 FS HVPE GaN 기재 상에서의 호모에피택셜 성장

<22> 면적이 큰 자립형 GaN 웨이퍼가 상업적으로 용이하게 입수할 수 없었기 때문에, FS GaN 상에서 고품질의 에피택셜층의 성장을 유발할 수 있는 조건을 개발할 기회가 제한되었었다.

<23> 아래에서 보다 자세히 논의되겠지만, 본 발명은 기재의 그것만큼 양호한 결정 품질의 에피택셜 박막의 성장을 가능하게 하여 FS GaN 및 다른 (Al, In, Ga)N FS 기재상에서 에피택시를 성장시키는 것과 관련된 새로운 문제를

해결하고, 사파이어와 같은 다른 종래의 기재상의 것보다 우수한 에피택시 및 디바이스 특성으로 현저히 개선된 디바이스 성능을 제공한다.

<24> 후술하는 논의는 본 발명에 의하여 해결되기는 하였지만 본 발명자들이 처음 에피택시 성장을 연구하면서 발견한 문제를 포함하여 FS GaN 기재 상의 호모에피택시와 관련된 몇 가지 문제에 중점을 두고 있다.

<25> 1) 형태 평활화 및 피트 메우기

<26> 사파이어 상에서의 성장 조건을 이용한 도 1에 도시된 "성장되는" 또는 마무리되지 않은 기재로서의 FS GaN에 대한 초기의 연구에서는 2~3 미크론의 성장 후 평활한 에피택셜 박막을 생성하지 못하였다(도 2 참조). (사파이어 또는 SiC 기재상에서의 에피 성장에 이용되는 바와 같은) 표준 성장 조건으로 표면 형태의 평활화 및 피트 메우기(pit filling)에 있어서 어떤 개량을 이루기 위해서는 증대된 두께의 에피가 필요한 것으로 판단되었다. "성장되는" 또는 마무리되지 않은 기재로서의 FS GaN 상에서의 중요한 문제는 HVPE GaN으로부터 힐록 형태(hillock morphology)를 평활화하기 위해서는 인식할 수 있는 정도의 두께의 MOVPE(금속 유기 기상 에피택시: Metal Organic Vapor Phase Epitaxy)가 침적되어야 한다는 것이다. 이에 대해서는 도 1 내지 도 3에 실례가 도시되어 있다.

<27> 심지어, 7.5 μm 로 침적된 에피에서조차도, 도 3에 도시되어 있는 바와 같이 그 박막이 MOVPE계 디바이스 구조를 위해서는 여전히 다소 거칠다. 기재 표면의 피트는 표준 성장 조건 하에서는 쉽게 메워지지 않으며, 표면의 "평활화(smooth-out)"를 시작하기 위해서는 수 미크론의 박막 성장을 비롯한 수회의 확장된 성장 회수를 필요로 한다. FS GaN 기재상의 에피택시층이 두껍게 성장할수록 "성장되는" 또는 마무리되지 않은 FS GaN 형태는 평활화되지만, 소정 디바이스 구조를 위하여 증대된 비용과 더 긴 성장 시간이 소요되며, 이는 다시 디바이스 구조를 성장시키는 비용을 증가시키고 기상 에피택시(VPE) 반응기 운전의 처리량 및 적합성을 저하시킨다.

<28> 2) FS GaN 기재 상에서의 연마 문제

<29> SiC와 같은 다른 많은 경질의 취성이 있는 반도체 결정의 경우에서처럼, 에피택셜 성장 전의 GaN 웨이퍼 표면을 연마하는 것이 간단치가 않다. FS GaN의 연마 및 후속의 MOVPE GaN 성장을 포함한 초기의 시험은 제1 연마 절삭 조건(cut conditions for polishing)을 사용하였을 때, 도 4에 도시된 연마 스크래치와 조악하게 형성된 표면의 발생을 드러냈다.

<30> 도 5는 기재 상에서 성장된 2.5 미크론 GaN 에피택셜 박막에서의 연마에 의하여 유발된 손상을 보여주고 있다. 연마 손상 또는 스크래치로 보이는 결맞는 성장(coherent growth) 및 병합 데코레이팅(coalescence decorating)이 감소되어 있다. 약간 더 평활한 성장은 도 6의 더 높은 배율(255X)에서, 2.5 미크론의 GaN 에피택셜 박막이 성장한 부위에서 드러나 있는 바, 이는 박막이 2차원적인 형태로서 성장하여 하부의 GaN 기재 재료를 모사하려 한다는 것을 나타낸다.

<31> 3) FS GaN 이면측 증발 생성물

<32> FS GaN 상의 호모에피택셜 성장과 관련된 다른 한 가지 문제는 GaN 웨이퍼의 이면측(backside)(N-면)이 성장 중에 분해되려는 경향이 있다는 것이다. 이러한 분해는 에피 성장 표면을 중단시키는 경향이 있다. 웨이퍼의 이면측으로부터 탈출하는 분해 생성물은 성장 부위로 운반되어 성장 조건을 교란시키고 중단된 형태(interrupted morphology)를 초래한다.

<33> 도 7은 FS GaN상의 GaN PIN/10 μm GaN 에피의 정규적인 형태를 보여주는 한편, 도 8은 이면측 증발(backside evaporative)이 에피택셜층의 성장을 억제한 부위의 형태적인 퇴화(morphology degradation)를 보여주고 있다. 그러나, 형태를 퇴화시키기 위하여 이면측 증발 생성물이 반드시 에피 표면에 도달할 필요는 없는데, 그 이유는 서셉터와 기재 재료 사이에 포획된 퇴화 생성물이 열접촉 성질 및 범위를 변형시켜 열에 민감한 에피택셜층과 디바이스 구조의 형태적인 균일성을 퇴화시킬 수 있는 변화를 유발할 수 있기 때문이다.

<34> 이면측 분해(backside decomposition)는 또한 표면의 화학적 성질을 변화시키고, 이에 따라 갈륨 질화물 기재의 이면측에 형성된 전기적 접점의 성질을 변화시킨다.

<35> 4) X-레이 FWHM 증가와 DCXRD 슬릿의 폭

<36> GaN 기재 및 그 위의 에피와 관련된 다른 한 가지 문제는 도 9에 도시되어 있는 바와 같이 X-레이 슬릿 치수를 증가시키에 따라 GaN 에피 FWHM이 증가한다는 것이다.

<37> 기재의 DCXRD FWHM은 X-레이 슬릿의 폭을 증가시키에 따라 10 μm 에피택셜층 및 그 위의 디바이스 구조보다는

낮은 비율로 증가된다. 슬릿의 폭이 클수록 증가되는 이 FWHM은 기재 이면층의 증발에 기인한 굴곡, 열 응력 관련 문제, 에피 경사(epi tilt) 및 기재에 있어서의 결정 영역에 그 원인이 있다. 보다 좁은 슬릿 폭에 있어서는, "성장되는" FS GaN 기재 및 에피택셜층은 유사한 DCXRD FWHM을 갖는다.

<38> 5) 에피택셜 박막에 있어서의 형태의 중단

<39> 기재의 준비, 가열시의 계면 형성(interface preparation upon heat-up) 및 기재 세정은 또한 FS GaN 기재상에서의 MOVPE GaN 성장의 문제를 발생시킨다. 또한, 일반적인 반응기 조건도 FS GaN상에서의 에피택셜 형태에 영향을 주어 조악한 중단 형태(interrupted morphologies)를 초래할 수도 있다. 서셉터 상의 적절한 피복 및 반응기 부품의 세정은 기재 에피 계면에서의 오염을 감소시키기 위해서는 필수적이다. 사파이어 및 SiC와 같은 다른 기재의 경우, 에피택셜 성장 시스템의 청결은 에피층과 기재 사이의 격자 불일치 및 변형을 감소시키기 위하여 통상적으로 그러한 기재상에서 성장되는 매우 결함이 있는 중간층 때문에 문제가 덜하다.

<40> 6) 기재-에피 계면에서의 오염 및 전하

<41> 호모에피택셜 계면에서의 오염이라 함은 본 명세서에서는 어떤 원하지 않은 불순물 결함 또는 호모에피택셜 에피의 1000 Å 내의 다른 흠집으로 정의되며, 계면으로부터 1000 Å 이상의 거리에 있는 에피층 또는 기재보다 2 배의 농도를 갖는다.

<42> 기재-에피 계면의 전하 축적을 초래하는 계면에서의 잠재적인 불순물 및 구조적인 손상은 고주파 전자 디바이스에서의 FS(Al,Ga,In)N의 사용을 위한 잠재적인 문제이다. 호모에피택셜 기재-에피 계면은 세정, 기재 마련 및 반응기 준비 조건에서 파생되는 상당한 불순물 농도를 갖는다. 에피-기재 계면에서 발견될 수 있는 것과 유사한 농도의 (Si, O, C, S 등과 같은 종의) 높은 불순물 농도는 대개 에피 디바이스의 제조 및 고품질 디바이스의 생산에는 적합하지 않은 중단된 에피택셜 형태를 초래한다. 도 10은 계면에서의 S의 증가($1E16cm^{-3}$)로 계면에서의 $Si=3E18cm^{-3}$ 및 $O=3.5E18cm^{-3}$ 이라는 것을 보여주고 있다.

<43> 기재-에피 계면에서의 오염 및 전하와 관련된 모든 문제(즉, 6) 항에서 논의된 것)는 HVPE GaN 기재 재료상에서 10 미크론 HVPE GaN/사파이어 구조의 에피택셜 성장으로부터 확인되었으며 실험적으로 입증되었다. 또한, 이들 문제는 보다 일반적으로는 모든 자립형 GaN 및 격자 불일치 기재 발생에 영향을 미치며, 이하에서 HVPE GaN 기재를 특별히 참고로 하여 구체적으로 설명되겠지만, 후술되는 바와 같은 본 발명의 방법에 의한 그러한 문제의 해결책은 모든 FS GaN((Al,In,Ga)N) 또는 격자 일치형 기재 발생에 적용할 수 있다.

<44> 그러므로, HVPE FS GaN 상의 GaN 에피택시 성장("성장되는" 또는 마무리되지 않은 것과, 성장 형성에 후속되는 연마 또는 마무리된 것 모두)에 대한 초기의 연구는 후술되는 바와 같은 많은 문제를 제기한다.

<45> (1) GaN 기재를 입수할 수 없다면, 높은 결정질 품질의(즉, 디바이스용으로 적합한) GaN은 어떻게 제조할 수 있을까?

<46> (2) 전위(저밀도) 및 개선된 재료 품질(평활도, 불순물 수준)에 민감한 고성능 광전자 및 전자 디바이스, 예컨대 자외선 발광 다이오드(UV LEDs), 초고휘도 청색 LEDs, HEMTs (high electron mobility transistors: 높은 전자 가동성 트랜지스터), LDs (laser diodes: 레이저 다이오드) 또는 PIN 광기전성 검출기를 FS GaN 상에서 상업적으로 신뢰성 있고 재현 가능한 방법으로 어떻게 제조할 수 있을까?

<47> (3) 양호한 에피택시를 형성하기 위하여 GaN 기재는 (예컨대, 에칭, 연마, 추가적인 처리 공정 등에 의하여) 어떻게 마무리될 수 있을까?

<48> (4) 성장 중의 이면층 증발[또는 좀더 일반적으로 말해서, 웨이퍼의 이면층상에서의(으로부터의) 증발 생성물]을 어떻게 억제할 수 있을까?

<49> (5) 연마되지 않은 FS GaN 상에서의 디바이스용의 에피택시의 성장은 가능한 것인가?

<50> (6) 성장되는 또는 마무리되지 않은 GaN 표면은 어떻게 평활화될 수 있나?

<51> (7) FS GaN 기재가 모든 GaN 에피택셜 용도에 선택되는 바람직한 기재가 될 수 있도록 하기 위해서 GaN 기재 표면은 어떻게 가장 효율적으로, 그리고 비용 효과적으로 평활화될 수 있나?

<52> (8) FS GaN 상에 양호한 에피택시를 형성하기 위한 최적의 기재 세정 조건, 가열 조건 및 반응기 준비 조건은 무엇인가?

- <53> (9) 에피택셜 성장을 위하여 적합한 표면을 형성하기 위해서는 HVPE 기재를 어떻게 세정할 수 있을까?
- <54> (10) 어떤 결정학적 배향이 디바이스용으로 최적인 에피택시를 형성하며, 이러한 에피택시를 형성하기 위한 성장 조건은 무엇인가?
- <55> (11) FS GaN 상에서의 고품질의 에피택셜 성장을 성취하기 위해서, 잠재적인 경사, 오배향 결정 입자(mis-oriented crystal grains), 역전 영역(inversion domains) 및 기타의 결정학적 결함을 어떻게 극복할 수 있나?
- <56> (12) 기재-에피 계면 오염 및 원하지 않은 전하 축적(build up)(n 또는 p)은 (결과적으로 의도되지 않은 전하를 생성시키지 않기 위하여) 어떻게 회피, 제거 또는 취소될 수 있을까?
- <57> (13) GaN 기재 재료 및 그 위의 고품질의 변형없는 에피는 다른 기재 상에서는 덜 바람직한 것으로 간주되는 신규한 디바이스 구조를 어떻게 가능하게 할 수 있을까?
- <58> 당해 기술 분야에서는 이들 문제를 만족스럽게 해결하지 못하였는 바, 이들 문제는 본 발명에 의하여 해결된다.

발명의 상세한 설명

- <59> 본 발명은 우수한 저결함 밀도 및 표면 조직 특성을 갖는 III-V 질화물 호모에피택셜 재료 및 그 제조 방법에 관한 것이다.
- <60> 본 명세서에서 재료, 조직 또는 디바이스와 관련하여 "호모에피택셜(homoepitaxial)"이라 함은 (Al,In,Ga)N 기재에 (Al,In,Ga)N층이 침적된 재료, 조직 또는 디바이스를 의미한다. 따라서, (Al,In,Ga)N의 넓은 정의와 일관된 맥락에서, 그러한 호모에피택셜 재료, 조직 또는 디바이스는 GaN 기재 상의 AlN층, $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) 기재 상의 InN층, InN 기재 상의 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$ 그리고 $0 \leq y \leq 1$)층 등을 포함할 수 있다. 따라서, 그러한 호모에피택셜 재료, 조직 또는 디바이스는 개별 화합물의 (Al,In,Ga)N기에 대해 호모에피택셜 특성을 갖는다.
- <61> 본 명세서에서 "III-V 질화물"이라는 용어는 질소를 포함하는 III-V족 화합물 반도체 재료를 의미한다.
- <62> 본 명세서에서 "마무리되지 않은 기재"라 함은 시드(seed) 또는 핵형성 공정을 통해 성장한, 그리고 선택적으로 (예를 들면, 단일 벽개, 와이어 튕 절단에 의해 웨이퍼 등으로) 분할된, 그리고/또는 (Al,In,Ga)N는 제거하지 않으면서 (벌크 형태 또는 분할된 형태로) 세정하는 세정 공정을 실시한 (Al,In,Ga)N 재료를 가리킨다.
- <63> 본 명세서에서 "마무리된 기재"라 함은 (Al,In,Ga)N의 제거를 포함한 (벌크 형태 또는 분할된 형태로 이루어지는) 추가 처리를 실시한 마무리되지 않은 기재를 가리키며, 그러한 추가 처리의 예로는 래핑, 다이아몬드 연마, 에칭, 화학·기계적 연마(polishing), 표면 형태 개질, 표면 결함 개질, 이온 스퍼터링, 표면 수차 감소 또는 제거, 피트 메우기, 기계적 연마(abrading) 등이 있다.
- <64> 본 명세서에서 침적 공정과 관련하여 "저압"이라 함은 공정 환경의 압력이 대략 50 내지 500 torr임을 의미한다. "저압 가열 조건"의 경우 질소 분압은 대략 1 torr 내지 대략 500 torr인 것이 바람직하고, 대략 10 내지 대략 400 torr인 것이 더욱 바람직하다.
- <65> 본 명세서에서 침적 공정과 관련하여 "대기압"이라 함은 공정 환경의 압력이 대략 500 내지 대략 1000 torr임을 의미한다. (Al,In,Ga)N의 침적을 위한 저압 침적 공정과 대기압 침적 공정의 차이점은 대개 공정 환경에서의 질소 분압 뿐이다. "대기압 가열 조건"의 경우 질소 분압은 대략 1 torr 내지 대략 1000 torr의 범위인 것이 바람직하고, 대략 100 내지 대략 800 torr인 것이 더욱 바람직하다.
- <66> 본 명세서에서 침적 공정과 관련하여 "고압"이라 함은 공정 환경의 압력이 대략 1000 torr를 초과함을 의미한다.
- <67> 이하의 설명에서, 여러 경우에 GaN 기재 및 GaN 에피(epi)를 언급하는데, 이들은 대체로 (Al,In,Ga)N 기재 및 (Al,In,Ga)N 에피를 각각 나타낸다.
- <68> 기재에 에피를 침적하는 호모에피택셜 침적을 위한 침적 처리 조건은 본 명세서에서 주로 금속 유기 증기상 에피택시(MOVPE) 공정과 관련하여 논의되지만, 본 발명은 수소화물 증기상 에피택시(HVPE), 분자 빔 에피택시(MBE)와 같은 다른 형태의 증기상 에피택시를 포함하는 (Al,In,Ga)N의 에피택셜 박막을 기재에 형성하기 위한 다른 방법, 예컨대 스퍼터링 증착 공정도 폭넓게 고려하고 있다.
- <69> 한 가지 양태에 있어서, 본 발명은 본 출원인이 "III-V 질화물 기재 볼레(boule) 및 그 제조 방법"이라는 제목으로 2000년 5월 13일에 출원하여 공동 계속 중인 로버트 피. 바우도 등의 명의의 미국 특허 출원 제09/524,062호

의 개시 내용과 비견될 수 있는 품질로 III-V 질화물 호모에피택셜층을 상응하는 III-V 질화물 재료 기저에 형성하는 것에 관한 것이다.

<70> 그러한 방법에 있어서, III-V 질화물 호모에피택셜층은 III족 소스 재료 및 질소 소스 재료를 사용하여 VPE 공정에 의해 침적되며, 이 때의 공정 조건에는 V/III 비(V족 플럭스/III족 플럭스)가 대략 1 내지 대략 10^5 의 범위일 것, 질소 소스 재료의 분압이 대략 1 내지 대략 10^3 torr의 범위일 것, GaN에 대한 성장 온도가 대략 900 내지 대략 1250 °C의 범위일 것, InGaN에 대한 성장 온도가 대략 1100 내지 대략 1250 °C의 범위일 것, AlInGaN에 대한 성장 온도가 대략 600 내지 대략 1250 °C의 범위일 것, 그리고 성장 속도가 대략 0.1 내지 대략 500 미크론/시의 범위일 것이 포함된다.

<71> 또 다른 양태에 있어서, 본 발명은 전위 밀도가 $5E8$ 개/cm² 이고 DCXRD FWHM이 200 아크초 미만인 III-V 질화물 기저의 재료 품질을 복제 또는 개선하는 에피택셜층에 관한 것이다.

<72> 또 다른 양태에 있어서, 본 발명은 실온에서 시트 저항(sheet resistance)이 10^4 Ω/cm²를 초과하거나 더욱 바람직하게는 10^5 Ω/cm²를 초과하는 III-V 질화물 기저 시스템 상의 에피택셜층 및 그 제조 방법에 관한 것이다.

<73> 또 다른 양태에 있어서, 본 발명은 마무리되지 않은 또는 마무리된 FS GaN에서의 형태 및 결함 불일치를 감소시키는 에피택셜층과 성장 시퀀스(sequence) 및 그 제조 방법에 관한 것이다.

<74> 또 다른 양태에 있어서, 본 발명은 III-V 질화물 호모에피택셜층을 상응하는 III-V 질화물 재료 기저에 형성하는 방법에 관한 것으로, 이 방법은 III족 소스 재료 및 질소 소스 재료를 사용하여 VPE 공정에 의해 III-V 질화물 호모에피택셜층을 침적하는 단계를 포함하며, 그 침적 단계 중에 기저는 서셉터 표면에 놓여 있다. 한 가지 실시 형태에 있어서, 상기 방법은 상기 침적 단계를 위해 기저를 서셉터 표면에 놓기 전에 서셉터 표면을 상응하는 III-V 질화물 재료로 피복하는 단계 및/또는 탄화금속(TaC, NbC 등)과 같은 휘발성이 낮고 불활성인 피막으로 서셉터 및 반응기 부품을 준비하는 단계를 더 포함한다.

<75> 본 발명의 또 다른 양태는 전술한 방법으로 다양하게 제조되는 III-V 질화물 호모에피택셜 재료 및 조직에 관한 것이다.

<76> 또 다른 양태에 있어서, 본 발명은 FS III-V 질화물 재료 기저 상의 III-V 질화물 호모에피택셜 에피층을 포함하는 III-V 질화물 호모에피택셜 미세 전자 디바이스 구조에 관한 것이다.

<77> 본 발명의 또 다른 양태로서, 기저로부터 전파된 결정 입자 사이에서의 경사 감소, 불순물 제거를 위한 웨이퍼 세정, 에피 재료의 품질을 향상시키는 기저 가열 조건, 바람직한 에피층을 생성하는 여러 배향에 있어서의 성장 조건, c 평면이 아닌 다른 결정학적 평면에서의 전체적인 에피, 에피택셜 중단을 방지하기 위해 기저의 이면층을 증발로부터 보호하는 것, 기저와 에피 사이의 중간층, 변형 완화층, 핵형성에 있어서 도펀트(dopant) 흐름의 중지 및 핵형성 계획, 평활화 방법, 마무리 및 마무리된 FS GaN 상에서의 성장, 성장 메커니즘 변경을 위한 계면활성제 첨가, 그리고 마무리되지 않은 FS GaN 및 마무리된 FS GaN의 평활화 촉진 방법이 포함된다.

<78> 본 발명의 다른 양태, 특징 및 실시 형태는 이하의 상세한 설명 및 청구범위로부터 보다 명확해질 것이다.

실시예

<125> 하기 미국 특허 및 특허 출원의 개시 내용을 모두 본 명세서에 참고로 인용한다.

<126> 1994년 1월 27일에 마이클 에이. 티슬러 등의 명의로 출원된 미국 특허 출원 제08/188,469호(현재 미국 특허 제 5,679,152호).

<127> 1997년 10월 21일에 마이클 에이. 티슬러 등의 명의로 출원된 미국 특허 출원 제08/955,168호.

<128> 1997년 12월 3일에 로버트 피. 바우도 등의 명의로 출원된 미국 특허 출원 제08/984,473호.

<129> 1998년 10월 26일에 로버트 피. 바우도 등의 명의로 출원된 미국 특허 출원 제09/179,049호.

<130> 2000년 3월 13일에 로버트 피. 바우도 등의 명의로 출원된 미국 특허 출원 제09/524,062호.

<131> 1999년 6월 24일에 바바라 에이. 란디니 등의 명의로 출원된 "<1100>"을 향해 오픈된 기저 상에 성장된 탄화실리콘 에피택셜층"이라는 제목의 미국 특허 출원 제09/339,510호.

- <132> 본 명세서에서 (Al,In,Ga)N 또는 기타 III-V 질화물 재료의 기재와 관련하여 "자립 상태(free-standing, FS)"라고 함은 그러한 기재가, 예컨대 웨이퍼 또는 플레이트 형태의 자기 지지 구조임을 의미한다.
- <133> 적절한 성장 조건 또는 성장 조건 파라미터를 식별하게 되면 FS GaN 상의 고품질 에피택시의 성장 및 고성능 디바이스의 제조가 가능하다. 성장 조건 파라미터는 다른 기재 상의 성장을 위해 이용되는 범위와 중복되지만, 성장의 최적 조건은 사파이어 또는 SiC 상의 성장에 이용되는 것과 상이하다.
- <134> 이하에서는 본 발명의 방법 및 기법의 다양한 구체적인 양태 및 특징을 참조하면서 본 발명을 설명한다.
- <135> FS GaN 웨이퍼의 마무리되지 않은 또는 마무리된 공정(연마, 리프트오프 등)으로부터 얻은 FS GaN 기재로부터 표면 오염물을 제거하기 위한 세정 방법에 대해 먼저 설명한다.
- <136> 마무리되지 않은 HVPE GaN 표면의 세정
- <137> 다른 호모에피택셜 GaN 기재의 세정에 이용되는 것과는 상이한 GaN 기재를 위한 수용성 산(HCl, HNO₃ 등)과 염기(NH₄OH, KOH 등)의 세정 방법을 채택한다. 이들 상이한 방법은 GaN 기재의 형성에 관련된 공정 차이로부터 비롯된 것이고, 예컨대 HVPE GaN계 기재는 통상적으로 반응기 침적 산물, 즉 웨이퍼의 제거 중에 침적되는 웨이퍼 표면 상의 NH₄Cl을 구비하며, 이것은 고품질 호모에피택셜 성장을 달성하기 위하여 제거되는 데 필요하다. HCl은 상기 기재 표면으로부터 기본적인 GaN을 제거하는 데에 이용된다.
- <138> 마무리된 HVPE GaN 표면의 세정
- <139> 성장 직전에 스트립(KOH, NH₄OH, HCl, HF 등)에 의하여 후속되는 FS 마무리된 GaN 기재의 산화를 채용하여 에피택셜 표면 근처의 불순물을 감소시키거나 제거를 이루게 되는데, 이것에 대하여 실온 세정은 불충분하다. 결함이 있는 웨이퍼는 결함 영역(피트, 스크래치, 표면 손상)에 의하여 식별되고 이러한 결함은 산화에 의하여 제거되거나 상기 웨이퍼는 재가공되게 된다. 한 가지 실시 형태에서, 산화를 유용하게 채용하여 더 높은 표면 에너지 영역을 우선적으로 및/또는 완전히 장식하게 된다.
- <140> HVPE 성장 표면 내의 구조적 불일치 제거
- <141> 표면의 힐록의 더 높은 표면 에너지와 상이한 결정면 때문에 FS GaN 표면의 산화를 채용하여 표면의 힐록을 우선적으로 산화시키므로, 산화물은 벗겨져서 더 매끄러운 표면 또는 헥스 힐록의 감소된 중형비를 생성하게 된다. 이 기술은 가공 장치로부터 발생하는 상기 표면에서의 불일치를 제거, 예컨대 반응 이온 에칭(RIE) 단계에서 마이크로 마스크로부터 생기는 거친 표면을 제거[그래스잉(grassing)]하는 데에도 역시 이용될 수 있다. 산화물과 스트립의 반복된 처리는 최선의 결과물을 위하여 채용될 수 있다.
- <142> 파손되기 쉬운 웨이퍼를 보호하기 위한 RIE 세정
- <143> 몇 가지 실시 형태에서의 RIE는 FS GaN 기재의 양호한 세정 방법이다. 격렬한 자외선 세정이 웨이퍼의 파손되기 쉬운 속성 때문에 상기 웨이퍼를 파손 또는 파괴시킬 수 있는 경우에, 처리 시에 혼입되는 몇몇 마무리용 매체 또는 기타 오염물 재료를 포함하여 RIE는 마무리 또는 취급으로부터 고착된 표면 오염물의 제거를 가능하게 한다.
- <144> 선에피택셜 성장 처리
- <145> FS GaN 기재를 위한 가열 조건
- <146> 가열은 성장 온도를 달성할 수 있을 뿐만 아니라, 1) 기재 표면의 평활화, 2) 기재 표면의 손상의 제거, 3) 가공 처리로부터 발생하는 에피택셜 기재 표면에서의 오염물의 제거, 4) 경계면에서의 결함[작은 피트 또는 전위 위로의 성장] 전파의 감소, 5) 상기 경계면에서의 [공백, 전위, 역 영역 등과 같은] 새로운 결함 형성의 제거 또는 감소, 6) 전기적 능동 전위의 감소[즉, H가 일종의 전위를 패시베이트(passivate)함], 7) 기체 제거에 있어서의 기재 불순물(예컨대, 기재 재료에서의 황, 웨이퍼 이면에서의 산소 등)에서의 감소 또는 수정도 용이하게 할 수 있어서 유리하다. 당업계에서는 호모에피택셜 경계면을 제조하는 GaN 상의 성장에 있어서의 이들 이점을 달성하기 위한 가열 조건과 기술의 이용을 도모하지 않았다.
- <147> 가열중 오염 방지를 위한 서셉터 피복
- <148> 서셉터계 오염물은 FS GaN 기재 위에서의 성장 전에 에피 침적으로 상기 서셉터를 피복함으로써 압박된다. 그 결과, 형태가 개선된다. GaN 에피-GaN 기재 경계에서의 불순물 감소는 SIMS 기술을 통하여 용이하게 입증 가능

하고, 공정 특성(예컨대, GaN 에피-HVPE GaN 경계에서 $0 < 3 \times 10^{18} \text{ cm}^{-3}$, $\text{Si} < 3 \times 10^{18} \text{ cm}^{-3}$ 및 $\text{S} < 5 \times 10^{16} \text{ cm}^{-3}$ 인 농도는 용이하게 달성 가능하고, 이것은 고품질의 호모에피택셜층을 가능하게 함)을 위하여 채용할 수 있다. 양호한 탄화금속 피막은 SiC 피막 또는 SiC보다 더 불활성인 것들을 구비하며, TaC 또는 NbC와 같은 N 피막은 가열 중에 오염물의 가능성을 감소시킨다.

<149> 가열 조건

<150> 양호한 가열 조건과 연관된 공정 파라미터는 분압이 약 1 torr 내지 약 1000 torr의 범위 내에 있는 질소종(NH_3 , 아민, N_2 등)과, 약 1분 내지 약 1000분의 램프 시간과, 분당 약 10°C 내지 분당 약 1000°C 의 범위의 온도 기울기와, H_2 , N_2 , Ar, He, Ne 및 HCl과 전술한 것들 중에 둘 이상의 혼합물의 종류를 포함하는 분위기의 이용을 포함한다.

<151> 한 가지 실시 형태에 있어서, 저압 침적과 관련된 공정 파라미터를 위하여 특히 양호한 가열 조건은 분압이 약 10 torr 내지 약 400 torr의 범위 내에 있는 질소종(아민, N_2 등)과, 약 1분 내지 약 100분의 램프 시간과, 분당 약 100°C 내지 분당 약 400°C 의 범위의 온도 기울기와, H_2 , N_2 , Ar, He, Ne 및 HCl과 이들의 혼합물을 포함하는 분위기의 이용을 포함한다.

<152> 최적 가열 조건은 10 마이크로 HVPE GaN/사파이어 또는 사파이어에서의 GaN 또는 SiC 중간층에서의 GaN의 성장에 이용되는 기재들보다는 오히려 HVPE GaN FS GaN 기재들에서 고품질 호모에피택셜 성장을 위해 이용되는 경우에 크게 상이하다는 것을 이해할 것이다. 또한, 최적 가열 조건은 에피택셜 박막이 있는 FS GaN 웨이퍼의 출발점과 원하는 종결점 조건에 종속적일 수 있다는 것도 역시 이해할 것이다.

<153> 저압 공정, 대기압 공정과 고압 공정 또는 복수 개의 웨이퍼 또는 단일의 웨이퍼 시스템을 위한 공정을 포함하는 본 발명의 광범위한 실시에 있어서 다양한 종류의 침적 공정을 유용하게 채용하고, 특징의 양호한 그리고 최적의 공정 조건이 이에 대응하여 변하는 것이지만 당업자들은 과도한 실험을 행하는 일이 없이 본 명세서에 개시된 것에 기초하여 전술한 공정 조건을 결정할 수 있다는 것도 역시 이해할 것이다.

<154> 표면 준비를 용이하게 하기 위한 분위기 가스의 변화

<155> 조절된 주위 환경을 채용하여 불순물 제거 또는 결합이 있는 표면 재료의 제거를 용이하게 하고, 기재 온도와 성장 템플릿(template)의 온도의 균일성을 유지한다. 상기 분위기는 Ar, N_2 , H_2 , HCl, He, Ne 등과 이들 중 둘 이상의 임의의 조합을 포함하는 임의의 적절한 가스 또는 단일 성분 또는 복수 종의 성분을 포함하는 것이 유리하다.

<156> 가열 중에 불순물 첨가

<157> 가열 중에 불순물을 첨가함으로써 인한 계면에서의 장입에 대한 보상이 고도로 저항성이 있는 에피택셜층 기재 계면을 가능하게 한다. 이들 장입 보상 구조를 이용하여, 고주파 디바이스를 성장시키고 제작할 수 있고, 표면 결함을 위한 보상을 이용하여 상기 표면에서 비동질적 장입을 극복하게 한다.

<158> 다양한 결정 평면에서의 에피

<159> FS HVPE GaN에서의 에피

<160> 본 발명에 따른 FS GaN 기재에서의 에피의 성장은 독특하고, 종래 기술은 이러한 에피택셜 성장을 위한 FS GaN 기재를 제공하지 않았다.

<161> 결정 배향을 상이하게 하는 것은 상이한 결과를 낳게 된다.

<162> 결정학적인 배향은 성장 메커니즘, 형태, 결정 품질, 박막 정량, 원하는 그리고 원하지 않는 불순물의 함유, 변형, 캐리어 전달, 광학적 특성, 마무리, RIE 및 기타 디바이스 제작 특징에 영향을 미칠 수 있다. AFM 연구는 중요한 번칭(bunching) 단계 또는 에피에서 결정 배향 또는 GaN 기재의 면을 상이하게 하는 기타 에피택셜 결함을 나타내지 않는다.

<163> 국부적인 표면 성장

<164> 기타 결정학적인 배향 성장 뿐만 아니라 (0001)로부터의 오프컷이 용이하게 달성된다. AFM 연구는 여러 오프컷에서의 중요한 번칭 단계도 역시 나타내지 않는다.

- <165> 주요 결정 배향(0001)으로부터의 오프컷
- <166> 예컨대 $\langle 11\bar{2}0 \rangle$ 또는 $\langle 10\bar{1}0 \rangle$ 또는 그 사이와 같은 오프컷 방향을 채용할 수 있다. 결정 배향에 있어서, (0001)보다 오히려 상이한 오프컷 방향이 여러 실시 형태에서 바람직하다.
- <167> Ga 및 N면의 성장
- <168> 상이한 성장 극성의 면을 채용하여, 이에 대응하여 성장 메카니즘, 형태, 결정 품질, 박막 정량, 원하는 그리고 원하지 않는 불순물의 함유, 변형, 캐리어 전달, 광학적 특성, 마무리, RIE 및 기타 디바이스 제작 효과를 바꿀 수 있다.
- <169> 에피 성장 조건
- <170> 에피 성장 조건은 선택적으로 변하고 이에 대응하여 에피택셜 품질과 표면 형태를 바꿀 수 있다. 이 측면에서, FS HVPE GaN에서의 성장은 LiGaO, LiAlO, SiC, 사파이어 등과 같은 기타 기재 재료와 비교할 때 불순물 함유량 면에서 감소 효과가 있다는 것을 인식해야 한다.
- <171> 성장 조건은 마무리되지 않은 HVPE GaN 표면의 평활화를 위해 용이하게 최적화될 수 있다.
- <172> V/III, P_{NH_3} (NH_3 의 분압), T(섭씨 온도), 에피택셜 재료의 GR(미크론 단위의 시간당 성장 속도)을 포함하는 성장 조건을 선택하여 벌크 헥스 마운드(bulk hex mound)형 직물을 매끄럽게 하고 역전된 헥스 피트(더 높은 V/III 및 반응 압력)를 충전시키는 효과가 있다. 이하에서는 성장 속도에 대해 설명할 것이며, 이것은 주로 주어진 반응기, 온도 및 압력에 대한 가스 유동에 좌우된다. 본 발명에 따른 수직 형상의 연구용 반응기(10cm 직경)에서, 예컨대 1100°C의 성장 온도로 대략 시간당 2 미크론의 GaN 성장 속도를 달성하기 위하여, 우리는 TMG 버블러(TMG 버블러 온도는 -10°C이고 버블러 압력은 760 torr와 같음)를 통하여 약 40 내지 50 sccm H_2 의 흐름과 100 torr의 반응기 압력에서 10 내지 12 slm의 수소 캐리어 가스 흐름에 있는 약 2.0 내지 2.4 slm의 NH_3 흐름을 이용한다. 당업자들은 이들 조건과 이러한 개시에서 제공되는 정보를 이용함으로써 과도한 실험을 행하는 일이 없이 다양한 에피택셜 AlInGaN 박막을 성장시킬 수 있다는 것을 인식한다. 이러한 평활화 능력은 FS GaN 위에서의 성장에 있어서 예상치 못한 이점이다. 양호한 성장 조건의 범위는 1 내지 100,000의 V/III 비와, 약 1 torr 내지 약 500 torr의 범위에 있는 NH_3 분압과, 약 500°C 내지 약 1250°C 범위에 있는 성장 온도와, 약 0.1 $\mu m/hr$ 내지 500 $\mu m/hr$ 의 성장 속도로 이루어진다. 저압 GaN MOVPE에 있어서 가장 양호한 성장 조건은 약 10 내지 약 50,000의 V/III 비와, 약 20 torr 내지 약 400 torr의 범위에 있는 NH_3 분압과, 약 1000°C 내지 약 1150°C 범위에 있는 성장 온도와, 약 0.5 $\mu m/hr$ 내지 10 $\mu m/hr$ 의 성장 속도로 이루어진다.
- <173> 이에 대응하여 대기압 조건은 용이하게 결정 가능하고, 이러한 조건은 바람직한 그리고 최적의 실시를 위하여 용이하게 정해진다는 것을 인식할 것이다.
- <174> 전술한 것은 MOVPE를 위한 것이지만, 다른 공정 기술, 예컨대 MBE, 스퍼터링 등에서도 기타 그리고 이에 대응하여 수정된 공정 조건이 그것으로부터 용이하게 결정 가능하다면 용이하게 이용된다는 것을 인식할 것이다.
- <175> 전위 감소
- <176> 성장 조건의 수정 조작은 유용하게 적용되어 전위 감소 효과가 있게 된다.
- <177> 경사 감소
- <178> 배향 선택과 성장 조건의 수정은 용이하게 선택적으로 적용되어 FS GaN 기재에서의 그레인 또는 도메인 사이의 결정학적 에피택셜 경사 감소를 달성하게 된다.
- <179> 단계 흐름 및 거시 단계 형성
- <180> 성장 조건을 선택하여 원하는 단계 흐름 성장, 변형 단계의 정도 등을 선택적으로 달성할 수 있다.
- <181> 에피택시 성장을 위한 표면 형성
- <182> RIE 조건을 조정하여 표면을 우선적으로 노출시킬 수 있고, 상기 성장 표면과 같이 일정한 표면 노출을 선택할 수 있다. 표면 선택적인 습식 에칭으로 이에 대응하는 조정을 행할 수 있다.
- <183> 불순물 첨가

- <184> 성장에 불순물을 첨가하는 것은, 평활화 작용을 개선하거나 폴리타입 픽싱(polytype fixing)을 조절하기 위하여 이용된다. 여러 불순물(n-도펀트, p-도펀트 등)을 첨가하여 전기적 특성을 조정하고 도핑되지 않은 (Al, In, Ga)N 박막에 비하여 그 표면 형태를 변경시킬 수 있다. 불순물을 첨가하여 기재 상에서 에피의 성장 중에 다형(polytype)과 결정학적 구조를 유지할 수 있다. 계면활성제를 첨가하여 기재 표면의 일정한 영역을 우선적으로 성장시키거나 평활화할 수 있다.
- <185> 정적이지 않은 성장 조건
- <186> FS GaN 호모에피택셜 박막을 위한 복수 단계의 평활화는 본 발명의 특정한 적용에 유리하게 채용된다. 예컨대, 제1 세트의 조건은 평활화하고, 전위 밀도 결합 생성을 감소시키며, 경사를 감소시키는 등에 이용될 수 있고, 이어서 제2 세트의 조건은 전자 또는 광전자 디바이스 구조를 위한 에피택셜 층을 형성하는 데에 유용하게 채용할 수 있다.
- <187> 성장 전에 불순물을 선택적으로 제거하는 RIE
- <188> RIE는 에피택셜 성장 전에 화학적 불순물의 표면을 세정하는 본 발명의 여러 실시 형태에서 유용하게 채용된다.
- <189> 기재 이면측 증발 보호
- <190> 전술한 바와 같이, 기재 이면측의 증발 보호는 중요하다. 더 높은 성장 온도에서는 이면측 증발 산물로부터 형태가 중단는 결과가 된다.
- <191> 기재 이면측 증발 보호가 필요한 경우의 온도 범위
- <192> 기재 이면측 증발 보호가 요망되는 바람직한 온도는 약 900℃ 내지 약 1200℃의 범위에 있고, 가장 바람직한 온도는 약 1000℃ 내지 약 1200℃의 범위에 있으며, 더 바람직한 온도는 1050℃보다 높다. In 함유 기재의 경우에, 기재 이면측 보호가 요망되는 바람직한 온도는 500℃보다 높다.
- <193> 증발로부터 이면측을 보호하는 재료
- <194> 이러한 목적을 위한 유리한 재료는 적절한 특징, 예컨대 기재에 대한 CTE 일치, 기재에 대한 접착, 가스 제거, 낮은 증기압, 높은 열전도율, 성장 온도에서 용융되지 않음, 광학적 반사 또는 광학적 투과, 전기 전도율, 특정한 종류의 조절된 진도성, 비활성, 특정 방향(예컨대, 측방향 또는 수직 방향)의 진도성, 가공 처리된 좁은 반사 대역 등이 있는 것으로 유용하게 확인된다. 불필요한 실험을 행하는 일이 없이 특정 재료의 CTE, 가스 제거, 증기압, 열전도율, 전기 전도율 및 기타 특징들에 대하여 적절한 재료, 예컨대 SiN, SiO₂, (Al, In, Ga)N, Pd, Ti, Si, Ru, Tu, 유전체의 스택 재료, Pt, 반도체 산화물 등을 경험적으로 용이하게 결정할 수 있다.
- <195> 이면측을 보호하고 n형 또는 p형인 저항 재료
- <196> 이러한 목적을 위한 재료는 선행하는 단락에서 설명한 재료를 포함하지만, 역시 웨이퍼에 대한 저항 접촉이 될 수 있다.
- <197> 낮은 FS GaN 기재를 위한 구조적 지지를 제공하는 재료
- <198> 이들은 선행하는 두 단락에서 기술한 종류의 재료들이다. 이 재료들은 (일시적으로 또는 항구적으로) 지지하고 디바이스 제작(예컨대, 레이저 먼 가공)을 용이하게 하기 위하여 쉽게 제거 가능하도록 선택할 수 있다.
- <199> 재료의 다중층
- <200> 이들은 마지막 세 단락에서의 재료를 포함한다. 예컨대, 제1층은 GaN층에 저항 접촉을 제공할 수 있고 제2층은 저항 접촉에 대하여 전기 접촉을 이루고 와이어 결합을 이루는 데에 적합할 수 있다.
- <201> 성장 환경에 불활성이지는 않지만, 나중에 제거할 불활성 재료로 피복될 수 있는 재료
- <202> 이들 재료들은 선행 단락에서 제시된 재료들을 포함한다.
- <203> 이면측 웨이퍼의 표면 에너지 조정
- <204> 이것은 이면측으로부터 높은 표면 에너지 재료의 제거, 예컨대 마무리함으로써 이면측 재료의 퍼텐셜을 감소시켜 증발시키는 것과 관련되어 있다. 이면측 증발을 방지하기 위하여 웨이퍼의 이면측을 상이한 배향으로 마무리하는 것도 역시 본 발명의 여러 실시 형태에서 유용하다. 웨이퍼의 이면측을 화학적으로 반응 또는 합금하여 그것을 더 높은 온도에서 더 불활성이 되게 하거나 표면 에너지를 감소시키는 것은 이러한 표면 에너지 조정 접

근법의 또 다른 실시 형태이다. 예컨대, 한 가지 실시 형태에서 (Al,In,Ga)N 기재의 이면층이 산화된다. 기타 공정 단계들도 이에 대응하는 방식으로 상기 표면을 패시베이트하거나 개질하는 데에 유용하다.

<205> 웨이퍼의 보우를 감소시키는 재료

<206> 이하, 웨이퍼를 더 편평한 웨이퍼 구성으로 다시 만족시키는 기능을 함으로써, 웨이퍼의 보우를 감소시키고 서셉터와의 열접촉을 개선하는 이들 재료를 더 충분히 설명한다.

<207> 서셉터와 기재 사이의 열접촉을 개선하는 재료

<208> 이들 재료는 가열시 변형하는 기능을 하고 서셉터와 기재 사이의 간격을 채우며, 그렇지 않은 경우에는 서셉터와 기재 사이의 간격을 채우는 환경과 반응하는, 선행하는 단락에서 언급한 재료들을 포함할 수 있다. 일반적으로, 이러한 재료들은 열전도율이 높고 기재와 서셉터 사이의 양호하고 균일한 열접촉을 가능하게 한다. 기재와 서셉터의 접하는 한쪽 표면 또는 양쪽 표면에서의 표면 불일치를 보상하기 위하여 변형되는 변형 가능한 재료를 포함하는 임의의 적절한 재료도 이 목적을 위하여 이용할 수 있다.

<209> 이면층 증발을 제거하는 반응기 설계

<210> 이 반응기 설계는 상기 목적을 위하여 여러 가지 방식으로 적합할 수 있다. 예컨대, NH₃가 웨이퍼 뒤에서 흐를 수 있거나, 반응기가 증발 산물을 회색시키기 위하여 반응기의 내부 용적을 퍼지하는 데에 효과적으로 되도록 설계할 수 있다.

<211> FS (Al,In,Ga)N 에서의 낮은 T (Al,In,Ga)N 중간층

<212> 표면 형태 개선

<213> 재결정화에 의하여 후속되는 저온 FS (Al,In,Ga)N 성장은 평활화 효율(헥스 힐록 및 역전 헥스 피트)을 개선하고 더 신속한 평활화 시간[즉, 더 작은 성장 시간 및 선구체 용례]을 달성하기 위하여 본 발명의 여러 실시 형태에서 유용하게 채용된다.

<214> 균일하거나 불균일한 결정 배향 및 극성 결합 교정

<215> 이것은 기재에서의 입자의 경사, 모자이크 또는 역전 영역의 불균일성을 감소시키는 달성하는 본 발명의 양태에 해당한다.

<216> 전위 감소

<217> 이것은 전위를 더 신속하게 감소시키고, 일정한 종류의 전위를 감소시키며, 재료의 품질을 개선하는 본 발명의 양태에 해당한다.

<218> 변형 완화 중간층

<219> FS (Al,In,Ga)N에서 변형을 완화시키는 에피 중간층

<220> 생산 또는 공급된 대로의 FS (Al,In,Ga)N는 잔류 변형, 상이한 격자 일치 또는 불일치 특징이 있을 수 있다. (Al,In,Ga)N 화합물은 에피택셜 디바이스 구조 내부로 변형 전파를 방해하는 에피택셜층들에 채용될 수 있다. 이하에서 더 상세히 설명하는 바와 같이, 고온 어닐링이 상기 변형을 감소시키기 위하여 채용될 수 있다.

<221> 기타 중간층

<222> FS (Al,In,Ga)N 기재와 에피택셜층(이 에피택셜층에는 그 위에 디바이스 구조가 있음) 사이에 배치된 (Al,In,Ga)N 중간층이 에피층 또는 디바이스 특징에 개선을 이루기 위하여 채용될 수 있다. 이들 중간층들은 호모에피택셜 조성, 도핑 및 비(非)호모에피택셜 조성(SiC, BN 등과 같은 기타 재료로 등급이 정해짐)에서 등급이 정해질 수 있다. 초격자들은(하나 이상의 층), 예컨대 전위 만곡을 달성하는 데에 채용할 수 있다.

<223> FS (Al,In,Ga)N 상의 핵형성을 위한 도펀트 중지

<224> 박막 두께

<225> 1500Å보다 작은 도핑되지 않은 GaN 에피의 박막 두께는 에피 성장에서의 중단된 형태를 제거하고 FS GaN 기재 상의 GaN의 초기 고품질 핵형성을 가능하게 하는 데에 필요하다. 더 바람직한 GaN의 도핑되지 않은 에피 두께는 전자 또는 정공이 도핑되지 않은 층을 가로질러 운반되도록 충분히 얇을 것이다. 기타 (Al,In,Ga)N 재료에

이에 대응하는 고려가 적용된다.

<226> N형 도펀트

<227> 실란, 디실란, 게르만, 산소, 황 등은 해당하는 N형의 에피 박막을 형성하는데 유용하게 채용된다.

<228> P형 도펀트

<229> Cp_2Mg (고체 및 액체, 여기에서 Cp는 bis-시클로펜타디에닐), 디에틸베릴륨, 아연, Ca 등이 P형 에피 박막을 형성하는데 유용하게 채용된다.

<230> 형태 평활화 능력 개선을 위한 물질 이동

<231> 물질 이동 방법 1

<232> 이것은 FS GaN 재료의 높은 표면 에너지 영역을 이용하여 FS GaN 표면을 평활화하기 위하여 특정 환경을 선택하는 것에 관한 것이다. NH_3 및 H_2 분위기 또는 H_2 분위기가 이러한 목적을 위하여 유용하게 채용된다.

<233> 물질 이동 방법 2

<234> 물질 이동 중에 기재 내에서의 불순물 때문에, 물질 이동 전이나 그 도중에서의 회석은 형태를 매끄럽게 하는데 유리하게 이용될 수 있다. III-V 질화물 성장 선구체의 첨가는 평활화가 발생하는 방법을 바꿀 수 있고 물질 이동 구동력 또는 메커니즘을 수정할 수 있다.

<235> 물질 이동 방법 3

<236> 방법 1)과 2)는 계면활성제를 함께 사용하여 그 효과가 평활화를 더 용이하게 이루어지도록 채용될 수 있다.

<237> 방법 1, 2 또는 3에서의 분위기 조절

<238> 일련의 선행하는 하나 이상의 방법을 용이하게 하기 위하여 분위기가 조절될 수 있다.

<239> 마무리된 기재에서의 성장

<240> 원위치 마무리 손상 제거 또는 감소; 성장 후의 기재 재료의 에칭백; 성장 이전의 RIE 에칭 또는 KOH 에칭

<241> 이들 기법은 본 발명의 여러 실시 형태에 유리하게 채용되어 마무리된 기재에서 성장이 이루어진다.

<242> 결함 과성장 및 제거를 위한 결함의 선택적인 마스크

<243> 전해질 마스크

<244> 이 접근법은 기재 내에서의 전위과 결함의 전기적 능동 속성을 이용하여 마스크 재료를 선택적으로 침적하는 것과 관련되어 있는데, 여기에서 상기 마스크 재료는 우선적으로 전기적인 활성(즉, 전위, 결함)의 영역 내에서 침적된다. 또한, 일정한 결정학적 면은 전기적인 활성이 상이하여, 바람직한 FS (Al, In, Ga)N 결정면 또는 형태에서 마스크의 침적을 선택적으로 가능하게 할 수 있다. 전기적으로 활성인 결함에 의하여 완화되는 선택적인 제거에 의하여 후속되는 블랭킷 마스크 층의 침적도 역시 채용될 수 있다.

<245> 피트 또는 전위에서의 선택적인 산화물

<246> 이것은 표면 에너지와 환경에 대한 반응도가 상이한 피트 또는 전위에서의 선택적이거나 우선적인 산화 또는 마스크에 관한 것이다.

<247> 스퍼터 및 선택적인 제거

<248> 이 접근법은 전체 웨이퍼에서의 마스크를 스퍼터링하거나 침적한 뒤에 화학적 기계적 연마(CMP) 또는 표면 에칭을 이용하여 피트, 전위 또는 잔여 형태상 특징(예컨대, 육방면 사이의 트렌치)을 남기는 것에 관한 것이다.

<249> 성장에 계면활성제 첨가

<250> 에피 성장 메커니즘 조정

<251> 계면활성제를 결정학적 배향 전과 개질제로서 성장 환경에 첨가하는 것은 마무리되지 않은 FS (Al, In, Ga)N 불일치와 마무리된 FS (Al, In, Ga)N 불일치의 평활화를 개선하는 데에 유용하게 채용된다.

<252> 재성장과 평활화 및 결함 감소를 위한 메사 에칭된 FS GaN 층

- <253> 호모에피택셜(GaN 상의 GaN) 성장
- <254> 단부 디바이스 구조의 성장을 수용하기 위하여 충분히 넓은 면적을 이용하여 균질한 재료(III-V 질화물 상의 III-V 질화물) 기법이 채택된다. 메사의 엣지는 전위의 종단 뿐만 아니라 결정학적 평면 전파의 종단도 가능하게 한다.
- <255> 마스크 대 비(非)마스크
- <256> 성장을 방지하기 위하여 메사 주위의 마스크 영역을 이용하거나, 큰 경계층 확산 시간을 가능하게 하기 위하여 비마스크 구조를 충분한 깊이로 에칭한다.
- <257> 본 발명의 구체적 양태 및 특징의 상세한 설명
- <258> 이하, 본 발명의 기술한 양태 및 특징을 보다 상세히 설명한다.
- <259> 도면을 다시 참조하면, 도 11은 통상적인 에피택셜 성장 공정 단계의 세트를 보여주는 것으로, 수직 축선은 대략적인 온도를 나타내고 수평 축선은 대략적인 시간을 나타낸다. 이러한 공정 흐름은 웨이퍼 세정 단계와, 반응기 퍼징 단계와, 기체 가열 단계와, 성장 표면의 원위치 세정 단계와, 성장 표면에서의 에피 성장 단계와, 냉각 단계를 포함한다. 이하에서 이들 단계에 대해 상세히 설명한다.
- <260> FS GaN 기체의 세정
- <261> SiC 및 사파이어 등에 대한 GaN의 헤테로에피택시에 사용하기 위해, 다양한 기체에 대한 다양한 세정 절차가 개발되었다. FS (Al, In, Ga)N은 고품질의 호모에피택셜 성장을 가능하게 하는 특유한 웨이퍼 세정 공정을 통해 이익을 얻는다. HVPE GaN계 기체 재료의 성장에서는, 고품질의 호모에피택셜 성장에 소정 타입의 세정이 필요함을 알아내었다.
- <262> 구체적으로 말하면, 본 발명자는 10 미크론의 HVPE GaN/사파이어 층의 바람직한 세정 방법은 적절한 에피택셜 성장을 위해 매우 중요하다는 것을 먼저 알아내었다. 소정 기간 동안, 10 미크론의 HVPE GaN/사파이어 기층에 고품질의 에피택셜 재료를 성장시키는 데에 곤란을 겪었다. 그 원인은 언로딩시에 HVPE 반응기에서 성장 기체의 표면으로 증발하는 반응기 생성물인 것으로 밝혀졌다. HVPE 등에 의해 생성되며 잔류물(예컨대, NH_4Cl , Ga가 풍부한 부산물, 산화 생성물 또는 분해된 GaN 표면 재료)이 존재하는 GaN 기체 표면을 세정하기 위하여, 표준 사파이어 웨이퍼를 세정하는 데에 이용되는 세정 수단을 능가하는 추가의 세정 수단이 필요하다.
- <263> 표준 사파이어 세정 공정은 에피택셜 기체 표면으로부터 상기 생성물을 충분한 정도로 세정하지 못하는데, 이는 일정 부분 존재하고 고온에서 재결정화하여 기체의 에피택셜 계면에서 상기 불순물 중 일부를 흡수하는 저온의 중간층으로 인해서 사파이어에 대한 세정 공정이 보다 덜 철저할 필요가 있기 때문이다. 경험상, 사파이어와 GaN의 계면, 즉 중간층 부근에 O, Si, 및 C가 존재할 수 있으며, 이러한 오염은 GaN의 호모에피택셜 성장을 방해할 수 있다.
- <264> 처음에 경험하였던 불량 품질의 에피택셜 문제를 개선한 10 미크론 HVPE GaN/사파이어용 세정 공정을 개발하였다. 예전의 세정 공정은 폭넓은 X-선 반치폭(FWHM)을 갖는 거친 에피택셜 표면(도 12에 도시)을 초래한다. FS GaN에 적용 가능한 본 발명의 신규한 세정 공정은 개선된 재료 품질을 갖는 평활한 재료를 초래한다.
- <265> 본원의 바람직한 방법이 이하에 기술되지만, 언로딩시 기체 표면으로 증발하는 반응기 생성물을 제거하는 그 밖의 방법도 대안으로서 이용될 수 있다.
- <266> 예시적 절차:
- <267> 5분간 탈이온수(DIH_2O)에 담그기;
- <268> 5분간 $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ 에 담그기;
- <269> 탈이온수(DIH_2O)로 행구기;
- <270> 5분간 $\text{HCl}:\text{H}_2\text{O}(1:10)$ 에 담그기;
- <271> 탈이온수(DIH_2O)로 행구기.
- <272> 선택적으로, 이 공정은 기술한 산/염기 수성 처리 이전에, 염화 메틸렌(MeCl_2), 아세톤, 및 이소프로필 알코올

(IPA) 세정을 포함하도록 수정된다.

- <273> 전술한 공정은 자립 상태인, 마무리되지 않은 또는 마무리된 GaN 및 10 미크론의 HVPE GaN/사파이어 기재를 모두 포함하는 HVPE GaN계 기재 재료를 세정하는 데에 유용하게 이용된다.
- <274> 도 13에 도시된 10 미크론의 HVPE GaN/사파이어에서의 에피택셜 성장 공정이 본 발명의 세정 방법에 의해 개선될 수 있게 된 요인은, HVPE GaN 반응기의 엔로딩 동안에 표면의 분해로부터 형성되거나 기재로 증발되는 NH_4Cl 또는 에피택셜 기재 상의 기타 반응기 생성물을 제거하였기 때문이라고 생각된다.
- <275> 또한, 상기 세정 공정은 에피택셜 표면으로부터 떨어져 나간 산화물 또는 그 밖의 비(非)GaN 생성물을 세정하는 데에 유용하게 이용된다. 또한, 이러한 세정 공정은 FS GaN과 10 미크론의 HVPE GaN/사파이어의 마무리되지 않은 표면에 노출되는 에피택셜 평면(c-평면 이외의 것)에서 불순물 또는 표면 오염물을 세정하는 용례가 있다.
- <276> 마무리되지 않은 FS (Al, In, Ga)N 또는 마무리된 FS (Al, In, Ga)N 표면을 세정하는 데에 그 밖의 세정 방법이 유용하게 이용된다.
- <277> (Al, In, Ga)N 기재를 O_2 , 공기, 공기/비활성 가스 혼합물, 또는 습식 혼합물에서 산화시켜 얇은 산화물층을 형성함으로써 Fs (Al, In, Ga)N의 에피가 용이한 표면이 생성될 수 있으며, 상기 얇은 산화물층은 이후에 알칼리 용액에서 탈거되거나 성장 바로 직전에 그 밖의 적절한 방식으로 에칭되어 분리된다. 상기 얇은 산화물층은 잠재적인 불순물을 기재로부터 게터(getter)로 없애거나 제거하여 기재 표면의 제1의 소수의 단일층에 호모에피택셜층 차단 불순물(C, Si, S 또는 O 등) 및/또는 그 밖의 불순물이 없게 하는 것을 그 목적으로 한다.
- <278> 이러한 공정은 고온에서 불순물의 제거를 용이하게 하도록 이동성이 있는 생성물(CO , CO_2 , SO_2 , O_2)을 쉽게 생성할 수 있게 한다. 예컨대, S가 HVPE (Al, In, Ga)N 기재에서 완전한 호모에피택셜 성장을 하지 못하게 하는 잔류 수준으로 존재할 수 있다. 산화제 또는 산소를 첨가하여 기재를 처리함으로써, 황은 SO_2 가스로 형성되어 기재로부터 제거될 수 있고, 이에 의해 에피 성장 이전에 탈거될 수 있는 얇은 산화물층을 남긴 채 기재 표면을 떠난다.
- <279> (Al, In, Ga)N 기재 표면의 산화는 결함 위치 발견, 품질의 정성화 및 정량화, 및/또는 에피 웨이퍼의 유효 기간 향상을 가능하게 하는 데 이용될 수 있으며, 산화물 표면은 주변 환경으로부터 탄화수소 및 불순물을 흡수한 후 성장 이전에 쉽게 탈거되고 선택적인 에칭에 의해 언더컷된다.
- <280> 이러한 FS GaN 표면의 산화는 표면에서 힐록을 바람직하게 산화하는 데에 이용될 수 있는데, 이는 힐록의 표면 에너지가 크고 상이한 결정면이 노출되기 때문이다. 따라서, 산화물이 평활한 표면으로부터 탈거되거나 육각 힐록의 중첩비가 감소되는 경우, 표면의 형태를 보다 용이하게 평활화할 수 있다.
- <281> 또한, FS (Al, In, Ga)N의 마무리되지 않은 또는 연마된 표면을 준비하기 위한 전술한 산화 중 어느 것도 변경될 수 있으며, 또는 표면에서 상이한 재료를 선택적으로 에칭 또는 제거하는 것을 촉진하기 위해 그 밖의 (상이한) 질화물을 이용할 수 있고, 황화물, 비화물, 안티몬화물, 인화물 및 셀렌화물(이에 한정되는 것은 아님)을 이용할 수 있다.
- <282> RIE는 마무리되지 않은 기재 또는 마무리된 기재로부터 에피택셜 표면을 준비하는 다른 방법이다. RIE는 기재 표면에 매입되는 오염물, 예컨대 기재의 가열 및 성장 중에 가스 제거하는 잠재 에너지를 갖는 마무리용 매체 및 그 밖의 재료 등을 제거할 수 있다. 전술한 바와 같이, RIE는 초음파 세정 등과 같은 격렬한 세정 방법이 손상되기 쉬운 기재를 깨뜨리거나 파괴시키는 경향이 있는 예에 유익하게 이용된다.
- <283> HVPE GaN 기재용 가열 조건
- <284> 고품질의 GaN 에피택셜 성장을 위해서는 세정 및 표면 준비가 중요한 것과 마찬가지로, 기체가 성장 온도로 가열되는 시간 동안에 반응기의 분위기 조건도 중요하다.
- <285> 상기 분위기 조건에 관련된 문제점은 GaN 기재의 경우 GaN의 에피택시에 사용되는 SiC 및 사파이어 등과 같은 그 밖의 기재에 비해 특히 더 복잡하다. 이는 GaN이 높은 온도에서 높은 N 증기 압력을 갖고 충분한 NH_3 과압 또는 적절한 가열 조건 없이 분해될 수 있다는 사실에 기인한다. 적절한 성장 조건이 이용되지 않는 경우, GaN 에피와 FS GaN 기재 사이의 호모에피택셜 계면은 오염되고, 분해되며, 새로운 결함 또는 전위가 초래되는 경향이 있다. 바람직하고 이상적인 가열 조건은 1) 기재 표면의 평활화, 2) 기재 표면에서 손상 제거, 3) 기재 표면에서 오염물 제거, 4) 계면에서 결함 전파의 감소, 5) 계면에서 새로운 결함 형성(틈, 전위, 역전 영역 반전

등)의 배제, 6) 전기적으로 활성인 전위의 감소, 7) 기체 불순물의 가스 제거 감소, 8) 계면에 보상 불순물을 혼합하는 것 중 하나 이상을 행하여야 한다.

- <286> 이와 관련하여, 하나 이상의 전술한 사항 없이도 (Al, In, Ga)N 에서 에피 성장을 허용하여 호모에피택셜 계면을 생성하는 가열 조건은 해당 분야에서 다루지 않았다.
- <287> GaAs 등과 같은 그 밖의 III-IV족 재료에서도, 기체의 가열 조건은 디바이스의 불량한 고립과 불량한 고주파 디바이스 특성을 초래할 수 있는 에피 구조 하부의 잠재적 전도성의 감소 및 기체의 에피 계면의 오염 감소에 있어서 중요하다.
- <288> GaAs 재료에서, Si, C 및 O 등과 같은 불순물은 계면의 전도성에 영향을 미칠 수 있고, 온도, 수소화물의 흐름 및 시간 등과 같은 파라미터는 전도성 계면 또는 오염물에 영향을 미친다. 또한, 호모에피택셜 계면에서 잠재적 전도성은 FS (Al, In, Ga)N과 10 미크론의 HVPE GaN/사파이어 기층에도 존재한다. 불순물은 에피택셜 박막 및 HVPE GaN 기체 계면에서 종종 관찰된다. 반응기 구성 요소는 이러한 GaN 에피택셜 성장의 오염에 대해 부분적으로 책임이 있다. 또한, 성장 조건은 성장 반응기 구성 요소로부터 불순물을 추출하는 것에 영향을 미친다(예컨대, NH₃는 소정 부분을 부식시킬 수 있고, 불순물을 기상으로 변화시켜 박막에 포함되게 할 수 있다).
- <289> 도 14 및 도 10은 GaN 생성물(도 14에서의 결과)로 피복되거나 또는 GaN 생성물(도 10에서의 결과)로 피복되지 않은 서셉터의 조건이 GaN의 호모에피택셜 계면의 표면과 HVPE GaN 기체에 있는 불순물에 어떻게 영향을 미치는가를 보여준다.
- <290> 웨이퍼 포켓을 포함하여, 충분하고 적절하게 피복되지 않은 서셉터를 사용하는 경우, 계면에서 높은 농도의 O, Si 및 S(각각 $3.5 \times 10^{18} \text{ cm}^{-3}$, $3.0 \times 10^{18} \text{ cm}^{-3}$, $3 \times 10^{16} \text{ cm}^{-3}$)를 얻는 경향이 있다. 이와 같이 호모에피택셜 계면에서 불순물의 농도가 높으면 호모에피택셜 성장 및 표면 형태가 불량해진다.
- <291> 사파이어 또는 SiC에서의 GaN의 성장은 노출된 서셉터 구성품에 민감하지 않고 GaN 및 사파이어의 계면은 대개 하나 이상이 Si, O, 및 C를 포함하기 때문에, 전술한 발견은 놀라운 것이다. 이는 격자 불일치 기체에 사용되는 중간층 기법과, 불순물 및 결함을 수용하고 이들이 이후에 형성되는 에피층에 영향을 미치지 못하게 하는 상기 중간층의 순종성에 기인한 것일 수 있다. 또한, (Al, In, Ga)N 표면은 이러한 타입의 불순물 또는 그 밖의 것에 대해 보다 큰 친화성 또는 점착 계수를 가질 수도 있다. 고품질의 GaN 호모에피택셜을 생성하기 위해서는 전술한 것보다 낮은 농도가 필요하다는 것을 알아내었다.
- <292> 또한, 양호한 품질의 호모에피택셜 재료에서도 $1 \times 10^{18} \text{ cm}^{-3}$ 의 Si가 여전히 계면에 존재하므로, 이러한 오염을 감소시키는 가열 조건이 이용된다.
- <293> 일반적으로, 가열 회수 및/또는 성장 개시 이전의 온도에서의 시간이 더 길면, 마무리되지 않은 FS GaN에 성장되는 호모에피택셜 박막이 더 평활화되는 데에 유익한 것이 발견되었다. 예컨대, NH₃ 흐름($P_{\text{NH}_3}=37 \text{ torr}$)을 더 많이 흐르게 하고, 성장까지의 가열 시간을 길게 하면(8분), 0.16 nm의 우수한 원자간력 현미경(AFM) 표면 거칠기가 초래된다. NH₃ 흐름을 더 크게 하면, 전체 웨이퍼 표면에 걸쳐서 가장 균일한 AFM 단계의 조직이 초래된다(2 미크론 길이당 12~14 AFM 단계, 또는 단계당 1600 Å이 바람직함).
- <294> 저압 MOVPE 성장의 경우 바람직한 가열 조건은, 분압이 약 1 내지 500 torr이고 램프 시간이 약 1 내지 1000분이며 온도 기울기가 분당 약 10 내지 1000°C이고 H₂, N₂, Ar, He, Ne, HCl 및 그 혼합물 등과 같은 종을 포함하는 환경을 이용하는 상태에서 질소종(NH₃, 아민, N₂)을 사용하는 것을 포함한다. 가장 바람직한 가열 조건 파라미터는, 분압이 약 1 내지 400 torr이고 램프 시간이 약 1 내지 100분이며 온도 기울기가 분당 약 100 내지 400°C이고 H₂, N₂, Ar, He, Ne, HCl 중 하나 이상을 포함하는 환경에 있는 질소종(NH₃, 아민, N₂)을 포함한다.
- <295> 대기압 MOVPE 반응기 시스템에 대해서는, 큰 노력을 들일 필요 없이 경험적으로 해당 조건을 결정할 수 있다.
- <296> Fs GaN 기체에 대해 최적화된 가열 조건은 10 미크론의 HVPE GaN/사파이어에 대한 가열 조건과 동일하지 않다는 것이 중요하다. FS (Al, In, Ga)N 기체의 경우, NH₃ 흐름을 더 크게 하고 가열을 더 길게 하면, 그 위에 성장되는 에피의 형태가 평활해진다. 이는 마무리되지 않은 FS GaN 웨이퍼를 소정 온도까지 가열하도록 선택된 조건과 10 미크론의 HVPE GaN/사파이어 기체에 대한 최적 조건이 별개이며 서로 다르다는 것을 명백히 보여준다. 이는 10 미크론의 HVPE GaN/사파이어 층과는 다른 마무리되지 않은 FS GaN 웨이퍼에서 노출되는 상이한 결정 평

면 또는 결정 오프컷(offcut)에 기인한 것일 수 있다.

- <297> FS GaN 기재에 보다 적합한 최적 조건을 10 미크론의 HVPE GaN/사파이어에 대해 이용하면, 도 15에 도시된 바와 같이 10 미크론의 HVPE GaN/사파이어에 피쉬 스케일과 거친 표면 형상이 더 형성된다. 이러한 형태 변이는 2개의 상이한 HVPE GaN 기재 재료의 표면 형상의 차이와 일치하고, 10 미크론의 HVPE GaN/사파이어 기재 재료와 비교했을 때 상이한 결정면 또는 결정 오프컷의 비율 및 타입과 상이한 형태학적 중형비(높이, 폭, 높이에 대한 상대적인 폭)가 FS GaN 기재에 나타난다.
- <298> 그 밖에 FS GaN 가열 조건으로 고려할 사항은, S 및 O와 같이 FS GaN에 본래 존재하는 불순물의 가스 제거를 억제하고 양호한 호모에피택셜 성장이 시작되지 못하게 하는 것이다. 이후에 생각되는 기재 재료를 성장 온도까지 가열하는 데 표준 가열 조건이 이용되는 경우, 오거 분광 분석(Auger spectroscopy)과 이차 이온 질량 분광 분석(SIMS)를 이용하여 HVPE GaN/사파이어 웨이퍼에서 황을 발견하였다. 이 황 재료는 기재에서 기원한 것으로 여겨진다. Li 불순물과 기재 분해가 에피택셜 및 계면의 품질에 큰 영향을 미치는 LGO 및 LAO의 경우와 마찬가지로, 그 밖의 격자 불일치 기재에서 유사한 사항에 부닥치게 된다. 또한, 사파이어 및 SiC 기재는 Si, C 및 O 등과 같은 화학종이 계면을 오염시키는 경우, 이들 화학종과 관련된 잠재적인 문제점을 갖는다.
- <299> FS GaN 및 에피택셜 GaN 계면에 존재하며 전기적으로 활성이고 전도성인 상기 잠재적 불순물을 처리하기 위한 다른 방법으로는, 계면 품질에 영향을 미치지 않는 전하 중성을 발생시키기 위해 Mg, Be, C, Si, Ge, O, S, Ca, Fe, Ta, V 및 Ba 등과 같은 디프 보상(deep compensating) 도너 또는 억셉터로 보상하는 것이 있다.
- <300> 가열 조건은 에피 핵형성 방식에 영향을 미칠 수 있고, 전위 또는 결함의 전파 방식을 바꿀 수 있다.
- <301> FS GaN의 여러 결정 평면에서의 에피(배향)
- <302> FS GaN 기재의 축선상의 c 평면에서의 에피택셜 성장이 사파이어와, SiC, 그리고 LEO(lateral epitaxial overgrowth, 측방향 에피택셜 과성장) 또는 ELOG(epitaxial lateral overgrowth, 에피택셜 측방향 과성장) 재료 등과 같은 대체 기재에서의 성장보다 우수하다는 것을 알아내었다. 일반적으로, 상기 대체 기재 상에 있는 GaN 에피의 AFM 구조는 다수의 스텝 종결부가 있고 평행하지 않으며 불규칙한 스텝 구조를 갖지만, 도 16에 도시된 바와 같이 FS GaN 상의 GaN 에피에는 잘 형성된 스텝 구조, 낮은 전위 밀도 및 평행한 스텝이 나타난다.
- <303> 상기 웨이퍼의 에피택셜 스텝 구조는 현재 널리 알려진 임의의 다른 기재에 형성된 임의의 다른 GaN 박막의 스텝 구조보다 우수하며, 이는 그 평행한 단자 구조가 개선되고 스텝 종결부와 피트가 감소되는 것에 기인한다. 일반적으로, 기타 기재 상의 GaN 에피택시의 경우, AFM 스텝 구조는 불규칙적이거나 잘 형성되어 있지 않으며, 결함 부위를 명백히 볼 수 있다.
- <304> FS GaN 상의 GaN 에피는 X선 특징이 우수하여, 도 17에 도시된 FS GaN 상의 GaN PIN의 DCXRD 스펙트럼에 보여지는 바와 같이, 73 아크초의 (0004) 반사 반치폭(FWHM)을 나타낸다.
- <305> FS GaN 상의 GaN 에피는 X선 특징이 우수하여, 도 17에 도시된 FS GaN 상의 GaN PIN의 DCXRD 스펙트럼에 보여지는 바와 같이, 73 아크초의 (004)(어느 것이어도 좋음) 반사 FWHM을 나타낸다.
- <306> HVPE GaN 상에 성장된 에피택셜 층으로부터 얻은 최상의 표면 형상의 일부가 도 18(마무리되지 않은 FS GaN 기재를 130배율로 확대한 도면) 및 도 19(도 18에 도시된 마무리되지 않은 FS GaN 기재 상에 있는 10 μm 의 GaN 에피택셜 MOVPE 층을 130배율로 확대한 도면)에 도시된 기재에 나타나 있다. 도시된 표면은 에피택셜 성장 공정이 표면을 평활화할 수 있는 능력을 보여준다.
- <307> 본 발명에는 마무리되지 않은 FS (Al, In, Ga)N 기재 표면을 바람직하게 평활하는 경향이 있고 마무리된 기재의 불균등부를 평활하는 데에 광범위하게 적용 가능한 성장 조건이 구체적으로 제시된다. 기재의 표면을 평활화하는 경향이 있는 상기 마무리되지 않은 FS GaN 기재에서의 성장 조건과, 10 미크론의 HVPE GaN/사파이어 웨이퍼 또는 SiC 웨이퍼에서 양호하고 평활한 호모에피택셜 성장을 일으키는 성장 조건은 서로 다르다. 상기 타입의 기재에 있어서 최적 성장 조건 사이에 차이가 있다는 것은, FS GaN 기재에 평활한 에피를 생성하는 성장 메커니즘이 10 μm 의 HVPE GaN/사파이어에 성장을 일으키는 성장 메커니즘과 적어도 부분적으로 서로 다르다는 것을 나타낸다. 예컨대, FS GaN에서의 성장 중에 NH_3 흐름을 더 크게 하거나 V/III비를 높이면 FS GaN 기재의 피트 메우기가 가능하지만, 이와 동일한 성장 조건은 10 미크론의 HVPE GaN/사파이어 기재에 비연속성 피쉬 스케일 형상이 생기게 한다. 또한, 이러한 피쉬 스케일 형상은 MOVPE GaN/사파이어 기재 또는 SiC 기재 상의 GaN에서도 생길 것으로 예상된다.

- <308> 본 발명의 실시에서 FS (Al, In, Ga)N에 생기는 얇은 호모에피택셜 박막은 에피층의 낮은 전위 밀도와 균일성 때문에 그 밖의 기재에 비해 더 높은 이동성 및 시트 전하(sheet charge)를 갖는다. 또한, p-GaN 보상 복합물이 전위 또는 그 밖의 구조적 결함과 관련이 있다면, 낮은 전위 밀도는 깊은 준위의 보상없이 보다 많은 도펀트(예컨대, Mg)의 혼입을 가능케 한다. 소정의 최종 표면 또는 재료의 품질에 있어서 에피 및 기재의 품질이 높기 때문에, 사파이어에 생성되는 에피택시에 비해 더 높은 캐리어 농도(도펀트 혼입)가 얻어질 수 있다. 실내 온도에서 캐리어의 농도(예컨대, Mg 억셉터의 농도)가 용해도에 의해 부분적으로 제한되므로, 재료의 품질이 보다 높아지면 예컨대, 용해성의 향상 등과 같은 개질이 가능해진다. 또한, 이는 다른 도펀트에 대해서도 마찬가지이다.
- <309> 배향
- <310> 본 발명의 실시에 있어서, GaN의 에피 성장의 경우 가능한 기재의 배향은 오프컷 각도 크기 및 방향이 중요한 (0001) 또는 $(000\bar{1})$ 에서의 오프컷과, $\{11\bar{2}0\}$ 및 $\{1\bar{2}00\}$ 등과 같은 축선 상의 평탄한 면의 집합과, 이들 면에서의 오프컷과, 그리고 상기 면 자체(Ga 및 N)를 포함한다. GaAs의 경우, 전자 디바이스 및 광전자 디바이스는 모두 기재(결정 평면 및 극성) 및 디바이스의 배향에 크게 의존하는 것으로 드러났으며, GaN도 이와 유사한 고려 사항과 관련이 있다. 다양한 실시 형태에서 가장 바람직한 GaN 기재의 배향은, MBE를 이용하는지 MOVPE를 이용하는지에 따라, 재료, 합금, 전도성 타입 및 성장되는 구조에 따라 디바이스마다 다른, 특정 용도에 좌우된다.
- <311> (0001)로부터의 오프컷
- <312> (0001)면, 즉 Ga면은 통상적으로 GaN 기재에 GaN계 MOVPE 성장을 일으키는 데에 이용된다. 다수의 c축 기재과, 이 c축에서 약간 오배향되어 있는 면을 포함한 영역이 마련된 기재 상의 GaN 에피 박막의 스텝 구조는 $4 \mu\text{m}^2$ 의 면적을 AFM을 통해 검사함으로써 평가된다. 비처리 AFM 데이터는 탐침 선단의 효과를 고려하지 않고 비교된다. 탐침 선단의 1 nm 측방향 변위로 인해(탐침 선단 효과), 원데이터 분석은 몇 개의 Ga-N 이중 스텝이 누락되고 c축으로부터의 오프컷 각도가 과소 평가되게 한다. 그러나, LAUD 또는 RHEED 등과 같은 기술을 이용하여 GaN 결정의 배향을 정확하게 결정하지 않고도, 원래의 AFM 데이터에서 유용한 데이터를 얻을 수 있다. 원래의 AFM 데이터를 이용하면, "마무리된" FS GaN 기재 및 "마무리되지 않은" FS GaN 기재 상의 GaN 에피의 새롭고 자명하지 않은 특성을 알 수 있으며, 전술한 방법으로 얻어지고 분석된 AFM 데이터에 기초하는 관찰이 다음과 같이 체계화된다.
- <313> 1) "마무리된" GaN 기재 및 "마무리되지 않은" GaN 기재 상의 GaN 에피는 SiC 및 사파이어 등과 같은 이중 기재 상의 에피에 비해, 일반적으로 평행하고 규칙적이며 결함에서 스텝 종결부가 보다 적은 스텝을 갖는다.
- <314> 2) "마무리된" GaN 기재 및 "마무리되지 않은" GaN 기재 상에 성장되는 에피택셜 GaN층은 일반적으로 AFM 스캔으로부터 얻은 스텝 높이 데이터 및 테라스(terrace) 폭 데이터의 계산에 기초하여 c축에서 수 도($^{\circ}$) 이하로 오배향되어 있다. 이러한 오배향을 고려하지 않으면, 일반적으로 규칙적이고 평행한 스텝이 관찰된다. 사파이어 및 SiC 등과 같은 이중 기재 상에 성장되는 GaN 에피택시에서는 불규칙한 스텝이 나타나며, AFM 스캔으로부터 결정되는 바와 같이 일반적으로 c축에서 오배향이 더 적다.
- <315> 3) "마무리된" GaN 기재 및 "마무리되지 않은" GaN 기재 상의 GaN 에피의 경우, 스텝의 높이는 일반적으로 1.2 내지 12.0 Å이지만, 사파이어 및 SiC 등과 같은 이중 기재 상의 GaN 에피층에서 스텝의 높이는 일반적으로 2.5 내지 6.0 Å를 나타낸다. 마무리되지 않은 GaN 기재에는 일반적으로 보다 거친 표면이 나타나므로, c축에 대한 국부적인 오배향이 보다 크다. 이와 같이 c축에 대한 오배향 각도가 큰 표면에서 성장되는 에피택시에서는 보다 큰 스텝 높이가 나타나지만, 스텝의 번침은 나타나지 않는다(즉, 5.0 nm를 초과하는 스텝은 없음).
- <316> 4) "마무리된" GaN 기재 및 "마무리되지 않은" GaN 기재 상의 GaN 에피의 경우, 테라스 폭은 일반적으로 300 내지 2400 Å이지만, 사파이어 및 SiC 등과 같은 이중 기재 상의 GaN 에피층에서는 테라스 폭이 700 내지 2400 Å이다. 마무리되지 않은 GaN 기재에는 일반적으로 보다 거친 면이 나타나므로, c축에 대한 국부적인 오배향이 더 크다. 이와 같이 오배향 각도가 큰 표면에서 성장되는 에피택시에서는 테라스 폭이 더 작다.
- <317> 5) AFM 원데이터 분석으로부터 얻은 테라스 폭 및 스텝 높이 데이터를 이용하면, "마무리된" GaN 기재 및 "마무리되지 않은" GaN 기재 상의 GaN 에피층의 경우 Ga면(c축) 부근의 오프컷이 일반적으로 0 내지 1.5° 이다. SiC 및 사파이어 등과 같은 이중 기재 상의 GaN 에피층의 경우 오프컷은 일반적으로 0.5° 의 c축에서의 오프컷 미만이다.

- <318> <0001>에서의 오프컷 방향을 이용하는 것이 유익할 수 있다는 것은, 예컨대 SiC 및 GaAs의 에피택셜 성장 고려 사항에 기초한다. 예컨대, SiC의 경우 오프컷은 그 이상 높이와 폭이 오프컷의 각도 등급과 다형과 관련이 있는 표면 스텝을 형성한다. 이 표면 스텝은 호모에피택셜 성장, 즉 단계 흐름 성장을 촉진하며, 이들 성장에서 에피층은 기재의 적층 순서를 계승한다.
- <319> 이러한 방식에서는, SiC 기재의 축선 상에서의 성장에 비해 낮은 기재 온도(대략 300 °C까지)에서 고품질의 박막이 성장된다. GaAs에서, 오프컷의 배향은 에피택셜 성장을 위한 공정 조건 및 에피택셜 층의 품질에 있어서 중요한 역할을 한다. 예컨대, In 함유 화합물에 있는 In과 N의 기본 증기 압력이 높기 때문에 일반적으로 고온의 GaN 성장에 비해 낮은 성장 온도 및 상이한 환경을 필요로 하는 In-함유 화합물의 성장은, 오프컷 및 배향을 고려함으로써 고온의 인듐 조성물에서 높은 품질의 재료를 생성할 수 있게 되는 성장 조건을 가질 수 있다. 또한, 오프컷의 배향은 박막의 품질, 도핑, 에칭, 반응성 및 그 밖의 특성을 결정하는 데에 중요하다. 또한, 오프컷의 크기도 고려 사항이며, 예컨대 4H SiC의 경우 삼각형 혼입 결함을 감소시키기 위해서는 8°의 오프컷이 4°의 오프컷에 비해 바람직하다. 오프컷 크기가 커지면 그에 상응하게 GaN의 전위가 줄어들 수 있지만, 등방성도 고려 사항이다.
- <320> 비(非)(0001)축상의 경우
- <321> 전술한 바와 같이, 이들 배향에 대한 동일한 고려가 다수 존재한다. 예컨대, SiC에서, 마이크로파이프의 효과는 a축 방향을 따라 속이 빈 재료에서 무시될 수 있다. 피트와 전위가 GaN에서 발견되고, GaN의 경우 결정 배향의 선택을 통한 이들 효과의 저감도 중요할 수 있다. SiC에 있어서, a면 기재를 사용하면 n형 도핑이 10배 증가한다. 이러한 상당한 도핑 증가는 GaN에서 p형 도핑을 증가시키는 의미가 강하다. SiC에서, 전자와 정공 이온화 계수는 일반적으로 a면 재료 상에서 보다 균일한 것으로 결정되며, 유사한 고려가 GaN에 대해 의도된다. 다른 디바이스 설계의 고려도 분열성, RIE, 마무리 및 기타 디바이스 제작 문제의 관점에서 중요하다.
- <322> Ga 또는 N면
- <323> GaN에서, 상당히 다른 형태는 동일한 성장 변수를 사용하는 N면과 Ga면 상의 성장으로부터 기인된다. SiC에서, 에피택셜 성장 공정 윈도우는 Si면에서 다소 넓은 것으로 생각되며, 보다 넓은 범위의 도핑은 통상 Si면이 사용될 때 동일한 파라미터에 대해 달성된다. 전술한 대부분의 고려 사항은 또한 상이한 2개의 GaN면 상의 성장과 관련된다. 최적의 성장 변수가 FS GaN 기재의 Ga면과 N면 양자에 대해 결정될 수 있다.
- <324> 보다 일반적으로, 상이한 GaN 기재 오프컷을 사용하면, 여러 용례에서 배향 또는 면이 성장 온도를 저감시킬 수 있어, InGaN이 상이한 온도에서 성장될 수 있다. 단계 유동 성장이 달성될 수 있고 3원 균일성이 선택적으로 향상되거나 변경될 수 있다. 본 발명의 여러 양태에서 상이한 GaN 기재 오프컷, 배향 또는 면의 사용은 향상된 전위 제거, 증가된 임계 두께, 크래킹의 감소나 크래킹 전체의 방지, 성장 속도의 변경; 상이한 다형의 성장; 오프컷된 GaN 기재 상에서 상이한 성장 전구체의 사용; 성장 효율의 개선; 및 최적으로 상이하거나 간단하게 형성되는 중간층 설계 및 GaN 기재 상에서 성장을 위한 중간층을 가능하게 한다.
- <325> 형성용 중간층(중간층의 사용)을 참조하면, 형성용 중간층은 전반적으로 본 발명의 실시 형태에는 바람직하지 않지만, 일부 실시 형태에서는 특정한 유형의 결함을 선택적으로 제거하여 마무리되지 않은 기재 표면의 평활화 시간을 줄이거나 포괄적인 연마 단계의 필요성을 제거하기 위해 유용하게 사용되는데, 이것은 이하에서 보다 상세히 설명된다.
- <326> 일반적으로, Mg 또는 p형 도핑의 증가는 변경된 배향, 면 또는 오프컷된 GaN 기재가 사용되면 달성될 수도 있다. 일반적으로, Si 또는 n형 도핑이 또한 변경될 수 있다. 산소 또는 탄소 오염물(이것으로 한정되지 않음)과 같은 불순물이 감소될 수 있어 H와 같은 다른 혼입이 달성될 수 있다. 다른 배향, 면 또는 오프컷의 사용은 또한 간극, 전위, 결함 합성 및 도펀트의 패시베이션을 비롯하여 결함 형성에 영향을 줄 수 있다. 불순물 확산은 고의적으로 또는 우연히 변경될 수 있어 다른 도펀트가 사용될 수 있다.
- <327> 다른 배향, 면 또는 오프컷된 GaN 기재가 사용되면 압전 효과가 변경될 수 있어, HFETS 및 기타 디바이스들에 대해 유용하게 활용되는 선택적으로 변경 가능한 효과를 산출한다. 마찬가지로, 특히 전위 형성 및/또는 불필요한 불순물의 감소와 관련될 때 이동 특성이 변경될 수 있다. 양호한 계면, 감소된 불필요한 불순물, 개선된 결정 품질 또는 다른 효과로 인해 최적의 특성이 향상될 수 있다. InGaN 오더링(ordering)이 변경될 수 있고, 합금 분리가 달성되어 활용될 수 있다. AlInGaN이 더욱 균질한 처리 조건 세트에 의해 더 쉽게 제어되어 달성될 수도 있다. 보다 매끄러운 면이 분열되어 상이한 오프컷, 면 또는 배향에 의해 기재 상의 최적의 디바이스를 개선시킬 수 있다. 특정한 배향, 면, 오프컷은 또한 상이한 표면에서 밀도의 변경 및 현수된 접착제의 배향

으로 인해 패시베이션 코팅(passivation coating)에 잇점을 제공한다. 저항 및 쇼트키 접촉 화학량론과 형태(ohmic and Schottky contact stoichiometry and morphology)도 또한 변경될 수 있다.

- <328> 헥스 힐록의 에피 또는 측벽의 c축상 배향에 상당량의 스텝 번칭(step bunching)은 없다. 이것은 헥스 힐록 상에서 에피택셜 성장의 원자력 현미경(AFM)의 현미경 사진인 도 20 내지 도 22에 도시되어 있으며, 낮은 범위의 스텝 번칭에 의한 인접한 또는 비(非)(0001) 에피택셜 성장을 증명한다. 도 20은 2 미크론 × 2 미크론 도면을 보여주고, 도 21은 10 미크론 × 10 미크론 도면을 보여주며, 도 22는 20 미크론 × 20 미크론 도면을 보여준다.
- <329> 이것은 자립형 GaN상에서 비(非)(0001) 또는 0.5 도보다 큰 오프컷 호모에피택셜 단계 유동 결정 성장으로 알고 있는 최초의 보고이다.
- <330> 에피택셜층을 FS GaN 상에 증착시킬 때 에피 성장 조건의 변경은 표면 형태를 변화시키고 웨이퍼의 평활화에 영향을 미칠 수 있다. FS GaN 상에서 고품질의 재료 성장에 이르는 뜻밖의 경로이다. HVPE FS GaN 기재를 사용하는 경우, 마무리되지 않은 시작 FS GaN 웨이퍼는 다른 시작 기재 재료에 비해 독특한 표면 특성을 갖는다는 것을 알았다.
- <331> 이것은 도 23에 도시되어 있는데, 도 23은 일반적으로 마무리되지 않은 130배 확대한 FS GaN 기재의 현미경 사진을 보여준다. 헥스 힐록과 역전된 피트는 기재 표면에 존재하며 Si, 기타 III-V족 재료 및 WBG 반도체에서 호모에피택셜 성장 표면에 불규칙적인 표면 특성이다. 이들 헥스 힐록과 역전된 피트 특성은 항상 동일한 개수나 크기로 모든 기재 상에 나타나지는 않고, 기재으로부터 제거되거나 최소화되는 것이 바람직하다. 이들 헥스 힐록과 역전된 피트 특성은 마무리 공정을 통해 제거하는 것이 가능하지만 정도와 취성으로 인해 GaN 재료를 마무리하는 것은 문제가 있다. 따라서, 마무리되지 않은 기재 재료상에 직접 고품질의 평활한 호모에피택셜 박막을 제조함으로써, 기재의 가격을 낮추고 한계 수익점의 가격이 더 낮은 용례에서 기재의 유용성과 범용성을 향상시키는 것은 매우 유리하고 신규한 것이다.
- <332> 신규하고 예기치 않은 에피택셜 평활화는 도 24 내지 도 27에 도시된 바와 같이 여러 GaN MOVPE 성장 조건에 의해 입증된다.
- <333> 도 24 내지 도 27은 에피택셜 성장 조건이 어떻게 FS GaN 기재 표면의 평활화에 영향을 미치는지를 증명한다.
- <334> 한 가지 실시 형태에서, 100 torr 반응기 압력과 4.4 slm의 NH₃를 비롯하여 GaN 성장 조건은 AFM(2 미크론 길이의 웨이퍼 표면당 10~15 단계)을 통해 3개의 영역에 의해 측정된 바와 같이 웨이퍼 표면을 가로질러 균일한 AFM 단계 구조를 생산한다.
- <335> 에피택셜 성장 조건을 조정하면, 에피택셜 박막의 단부 평활화와 형태에 탁월한 효과를 갖는다. 일반적으로, NH₃ 유속, 반응기 압력, 성장 온도 및 성장 속도는 마무리되지 않은 FS GaN 표면의 평활화에 영향을 미쳐 마무리된 기재에 대응하는 결과에도 영향을 미친다. 바람직한 저압 성장 조건 범위는 1 내지 100,000의 V/III 비와, 약 1 torr 내지 약 500 torr의 NH₃ 분압과, 약 500℃ 내지 1250℃의 성장 온도와, 시간당 약 0.1 미크론 내지 500 미크론의 성장 속도를 포함한다. 가장 바람직한 저압 성장용 성장 조건은 약 10 내지 50,000의 V/III 비와, 약 20 torr 내지 약 400 torr의 NH₃ 분압과, 약 1000℃ 내지 1150℃의 성장 온도와, 시간당 약 0.5 미크론 내지 10 미크론의 성장 속도를 포함한다. 인듐 함유 복합물의 경우, 매우 다르고 더 낮은 성장 온도가 일반적으로 용이하다. In-함유 에피층의 경우, 바람직한 성장을 위한 바람직한 온도는 500℃ 이상이다. 대기압 공정은 불필요한 실험 없이도 전술한 성장 조건으로부터 알 수 있다.
- <336> 반응기 압력 및 NH₃ 유동과 같은 에피택셜 성장 조건은 또한 마무리되지 않은 FS GaN 기재 재료 상에서의 피트의 충전 정도에 영향을 미칠 수도 있다. 바람직한 성장 조건은 전술한 바와 동일하다. 도 28과 도 29에 도시된 바와 같이, 특정한 성장 조건으로, 더 큰 V/III 피트가 완벽하게 충전될 수 있다.
- <337> 도 28과 도 29는 피트 메우기 공정에 유리한 영향을 주는 더 높은 NH₃ 유동을 사용한 성장 형태 전과 후를 각각 보여주고 있는데, 피트 메우기가 성장 조건에 따라 좌우된다는 것을 증명한다.
- <338> (시간당 5 미크론 이상의) 보다 큰 성장 속도는 더 작은 성장 속도보다 형태 평활화에 상당한 영향을 미친다. 보다 큰 성장 속도는 웨이퍼 표면의 평활화를 더 작은 성장 속도보다 매우 신속하게 할 수 있어 공정 생산량을 향상시키고 공정 비용을 절감시킬 수 있다. FS GaN 기재 상에서의 에피층의 성장 조건을 변화시킴으로써, 에피택셜 성장을 위해 제한된 성장 단계 기구가 변경되어, 여러 결정 배향과 FS GaN 기재 상에 상이한 성장 속도, 불순물 조합, 전위 전과 및 일반적인 에피택셜 품질이 달성된다. FS GaN 상에 성장의 평활화 공정은 마스크 세

트를 요하지 않아, LEO, 펜데오(pendeo) 또는 ELOG 성장 공정보다 주위 도핑 오염물이 적게 되는 것 같다. 또한, 마무리되지 않은 HVPE GaN 기재를 평활화하는 성장 조건은 더 평활한 10 미크론 HVPE GaN/사파이어 층에 평활한 에피택셜 박막을 성장시키는 데 사용되는 성장 조건과 상이하다. 이것은 도 30과 도 31에 도시되어 있는데, 여기에서 FS GaN을 평활화하는 최적의 성장 조건은 FS GaN 기재 상에 그리고 HVPE GaN/사파이어 기층 기재 상에 GaN 에피를 성장하는 데에 사용된다.

- <339> 도 30과 도 31은 FS GaN 상의 바람직한 평활화 조건을 10 미크론 HVPE GaN/사파이어 기층 상의 동일 조건과 비교한 것을 보여주고 있는데, 상이한 기재들에는 상이한 성장 기구 및/또는 평활화 조건이 필요하다는 것을 증명하고 있다. 보다 구체적으로, 이들 마이크로그래프는 더 큰 NH_3 유동과 반응기 압력이 더 거친 원형 결함의 형태를 HVPE GaN/사파이어 상에 생성하지만, FS GaN 기재 성장과 평활한 형태에 확실하게 영향을 미친다는 것을 보여준다.
- <340> 마무리되지 않은 FS GaN 기재 상의 성장은 더 큰 NH_3 유동에 의해 HVPE GaN/사파이어 상의 동일한 성장보다 더욱 평활하다. GaN MOVPE 박막의 성장 조건을 조정하면, 박막의 전위 전파에 영향을 미쳐 에피택셜 박막의 전위 개수를 저감시킬 수 있다. 따라서, 마무리되지 않은 FS GaN 웨이퍼에 노출된 상이한 결정 평면 상에서 간단히 성장시키고, 최종적으로 전체 에피 표면을 평활화시켜 특정한 유형의 결함을 제거할 수 있다.
- <341> 성장 속도, NH_3 유동, 반응기 압력, 성장 온도, V/III 및 P_{NH_3} (이것들로 한정되지 않음)을 비롯한 성장 조건은 어떤 유형의 전위가 에피택셜층과 기재의 계면에서 어떻게 시작하는지에 영향을 미친다. 표면 평활화 또는 전위 저감을 용이하게 하는 성장 조건, V/III , P_{NH_3} , 온도 및 성장 속도를 변화시키면, 에피택셜층의 단계 유동 성장을 변경하는 데 유용하게 사용될 수 있다.
- <342> 서로 관련된 HVPE GaN 결정 또는 모자이크 패턴의 경사는 또한 FS GaN 상에 GaN의 에피택셜 성장에 문제가 될 수 있고, 성장 조건의 조정은 잘못 배향된 입자 상의 성장에 영향을 미칠 수 있다. GaN 결정의 X선 FWHM은 X선 비임의 경사 크기 및 폭과 상관한다. 또한, FS GaN 상의 에피의 FWHM은 마무리되지 않은 원래의 FS GaN 기재보다 더 넓은 FWHM을 가질 수 있다. 이것은 에피택셜 성장 중 웨이퍼의 굽힘 또는 결정 결함(이것들로 한정되지 않음)을 비롯한 에피택셜 박막 또는 기재의 문제로 인한 것일 수 있다. 성장 조건의 변경은 이러한 경사나 서로에 대한 상대적인 오배향을 조정하는 데 사용될 수도 있다.
- <343> 동일한 세트의 성장 조건에 대한 HVPE GaN/사파이어와 비교하여 FS GaN 상에 성장을 위해 생성된 상당히 다른 형태와 일치하여, 상이한 성장 조건이 다른 크기의 일반적인 힐록, 헥스 피트 또는 기재 불일치를 평활화하는 데 사용될 수 있다. 이는 결정의 c평면을 전파하는 표준 성장 공정에 비해 헥스 힐록 또는 헥스 피트의 평면은 다른 성장 조건을 사용하여 전파하고 평활화한다는 점에 기인한다.
- <344> 본 발명은 다단계 성장 공정을 계획하며, 이 공정에 의해 제1층은 마무리되지 않은 재료에서 발견되거나 불완전한 마무리에 도입되는 결정 헥스 면 또는 결함을 평활화하고, 이후 추가 성장 공정이 c평면 축선에서 연속되어 평활화를 계속하여 디바이스 층들을 형성한다. 양 공정 단계의 두께 및 성장 변수를 최적화하면, 마무리되지 않은 표면의 FS GaN을 최적으로 평활화할 수 있다. 도 32는 마무리되지 않은 FS GaN 표면을 평활화하는 다단계 공정 중 2단계 공정 실시 형태를 보여주고 있다. 도 32의 왼쪽 패널(도 32A)은 NH_3 및 H_2 의 분위기에서의 GaN 기재를 보여주고 있다. 도면의 중간 패널(도 32B)은 GaN 기재를 평활화하기 위해 형성된 에피층을 보여주고 있다. 도면의 오른쪽 패널(도 32C)은 GaN 에피택시를 전파하여 디바이스 구조를 형성하기 위해 더 성장된 에피층을 보여주고 있다.
- <345> 따라서, 한 가지 실시 형태에서, 본 발명은 기재 처리의 불완전성을 감소시키는 제1 세트의 공정 조건과, 기재 상에 디바이스 구조를 성장시키는 제2 세트의 (일반적인) 처리 조건을 포함하는, 마무리되거나 마무리되지 않은 재료 상에 2단계 공정을 안출한다.
- <346> 에피택셜 박막의 도핑은 또한 웨이퍼의 표면을 평활화하는 데에 사용될 수 있다. 일반적으로, GaN:Si를 성장시키는 경우에, 형태가 더욱 평활화되는 경향이 있고 이 특성은 또한 에피택시에서 FS GaN의 평활화에 사용될 수 있다.
- <347> 성장 표면을 더 양호하게 형성하도록 (RIE, KOH 등의) 피트를 에칭 가공한 후에 그들을 성장시키는 것이 피트를 제거하는 다른 방법이다. 이 형태는 피트의 원인인 결함 또는 미립자와 상관없이 유용하며, 적절한 성장 조건이 피트를 충전하는 데 사용된다.

- <348> (FS GaN의 S와 O와 같은) 천연 결정의 불순물로 에피택셜 박막의 오염물을 억제하는 성장 조건이 유리하며, 이는 낮은 배경 에피택셜 박막이 성장될 수 있게 한다.
- <349> 고온과 같은 성장 조건을 사용하여 상이한 다형의 GaN 결정을 가압할 수 있고, 이에 의해 재료 및 디바이스 특성에 대응하는 이점을 제공한다.
- <350> 마무리되지 않은 FS (Al, In, Ga)N 상에 성장 조건을 사용하여 FS (Al, In, Ga)N 헥스 마운드의 평활화가 발생하는 기구를 변화시킬 수 있다. 상이한 2가지의 방법이 유용하게 적용되는데, 그 중 한 방법에서는 헥스 마운드의 기존의 결정 평면이 계곡의 핵형성 c평면보다 느린 속도로 전파되고, 다른 방법에서는 결정 헥스 마운드의 기존의 결정 평면이 소정 범위의 인접면을 통해 전파되어 측상 또는 인접한 c평면에서 종결된다. 이들 방법들은 (Al, In, Ga)N 결정에 있는 다른 결정 평면에 적용될 수 있다.
- <351> 이면측 증발 억제
- <352> 천연 (Al, In, Ga)N 기재 상의 MOVPE (Al, In, Ga)N의 성장은 기재의 이면측(예컨대, N면)이 증발하는 경향을 갖는다는 점에서 복잡하다. 이러한 증발 또는 분해 생성물은 반응기 환경으로 운반되기 쉬워, 에피 표면 상에 증착되어 에피택셜층의 품질을 손상시키는 표면 손상 또는 성장 분위기 변화를 야기할 가능성이 있다. 이러한 생성물의 확산은 도 33에 개략적으로 도시된 바와 같이 에피 표면 형태를 방해하는데, 이 도면은 이면측의 증발 생성물이 이동하여 표면을 차단하는 것을 보여주고 있다.
- <353> 웨이퍼 표면 상에서 증발/분해 생성물에 의해 에피택셜 표면의 차단이 일어나는 것은 성장 환경에서 NH_3 또는 질소종이 그러한 생성물의 분해를 억제하는 것으로 예상되기 때문에 예기치 않은 일이다.
- <354> 이러한 10 미크론 HVPE GaN/사파이어의 웨이퍼 이면측 상에서 증발/분해 생성물에 의한 에피택셜 표면 차단 발생은 웨이퍼의 이면측을 연마하거나 마무리함으로써, 이면측 증착 생성물을 제거하여 그 표면 에너지를 감소시키고/감소시키거나 폴리 결정 재료를 제거하여 최소화될 수 있음을 발견하였다. 웨이퍼 이면측의 마무리는 또한 서셉터와 더욱 균일한 접촉을 제공하여 핫스팟의 발생을 최소화하므로, 마무리는 보다 쉽게 분해하는 결함을 제거하는 데에 유리하다.
- <355> 이러한 증발 생성물은 FS GaN 웨이퍼의 이면측에서 증발되어 고온에서 GaN 중 N의 높은 원소 증기 압력으로 인해 성장 환경으로 누출되는 GaN인 것으로 추측된다. 이러한 증발 생성물은 성장 환경과 혼합되어 에피면으로 운반되고, 그 결과 에피택셜 성장을 방해한다. GaN 기재의 이면측은 실험에서 약 1050℃까지 안정적이지만 1050℃보다 높은 온도에서는 이면측(N면)이 매우 쉽게 분해되기 시작한다. 장치에서 측정된 온도는 서셉터 내로 삽입된 석영 외장부 내측이 아니라 성장 환경 외측에 위치한 (R/S형의) 열전대에 의해 측정된다. 이러한 온도 측정 기법은 서셉터의 정확한 온도를 연산하는 데에 약간의 오차를 허용한다.
- <356> In을 함유하지 않은 질화물(예컨대, GaN, AlGaN, AlN)의 경우, 이면측 증발이 없는 바람직한 성장 온도 범위는 900℃ 미만이고, 이면측 보호를 위한 바람직한 성장 온도 범위는 900℃ 이상이다. In-함유 기재의 경우, 이면측 보호를 위한 온도는 500℃가 바람직하다.
- <357> 웨이퍼를 평활화하고 특히 Al-함유 조성물로 고품질의 재료 성장을 달성하기 위해 사용될 때, 이면측 증발은 고온에서 성장된 III-V족 질화물과, FS GaN 상에 1130℃보다 높은 잠재적으로 유리한 성장 조건(성장 조건에 따라, GaN은 더 낮은 온도에서 분해되지만 NH_3 의 과압에 의해 좌우됨)의 경우 문제가 된다.
- <358> 이상적으로, FS GaN 기재의 우수한 결정 재료 품질은 보다 높은 전력, 짧은 파장의 청색, 녹색 및 UV 레이저 및 LED 뿐만 아니라 더 높은 주파수와 전력의 전자 부품을 가능하게 하며, 보다 높은 온도의 성장 조건은 에피택셜 재료 품질을 기재의 품질에 대해 상당한 재료 품질이 될 수 있게 하는 데 필요할 수도 있다.
- <359> 이러한 이면측 증발 생성물 문제를 제거하는 바람직한 방법은 서셉터와 접촉된 상태로 기재의 이면측에 이면측 보호층을 부착하는 것이다. 이러한 보호층은 기재 온도 안정화층의 역할을 하며, 또한, 사용되는 층 및 요구에 따라, 지지 박막, 접촉 금속 및/또는 이면측 보호, 열접촉 향상층, 및/또는 열접촉 균일성 향상층의 기능을 할 수도 있다.
- <360> 이면측 보호층은 성장 환경에 대해 명목상 불활성이어야 하며, 성장 온도에서 매우 낮은 증기 온도를 가져 에피택셜 박막에서 배경 불순물에 기여하지 않는다. 이면측 보호는 또한 기재가 약간 휘어지거나 다른 비평면일 때 기재에 대한 열접촉층으로서의 역할을 할 수도 있고, 이에 의해 보다 높은 온도에서 웨이퍼에 걸쳐 보다 양호한 에피택셜 성장과 온도 균일성이 가능하게 된다. 재료는 광학적으로 반사성이거나 광전자 용례의 경우 투명할

수도 있다.

- <361> 이면층 보호층은 또한 성장된 디바이스 기재에 대한 저항 접촉층의 역할을 할 수 있는데, p층, n층 또는 도핑되지 않은 층의 접촉만을 필요로 한다. 한 가지 실시 형태에서, W의 스퍼터링된 박막이나 웨이퍼의 이면층 상에 기타 재료를 구비할 수 있다. 사용될 수 있는 기타 재료는 귀금속을 포함한다. 절연층을 원한다면, SiO₂, AlN 또는 Si₃N₄가 사용될 수도 있다. 이상적으로, 선택된 재료는 사용되는 (Al,In,Ga)N 재료와 유사한 열팽창 계수를 가질 것이다. 보다 적은 반응 재료가 사용되면 부착을 촉진하도록 얇은 "접착(glue)"층, 예컨대 Ti를 사용하는 것이 유리한 것으로 입증되었다.
- <362> Pd, Ti 또는 기타 재료 또는 금속은, 예컨대 전도성인 다층 유전체 스택의 디바이스 제작에서 성장전 공정 단계를 제거하는 접촉층 뿐만 아니라 보호층으로서의 역할을 하며, 특정 파장에서 반사성으로 설계된다.
- <363> 다수의 재료는 여러 재료(예컨대, 기재 증발을 보호하는 하나의 층과 기재 증발 억제층을 보호하는 다른 층과 접착용 제3층)로부터 유도되는 집적 특성을 제공하도록 웨이퍼의 이면층에 부착될 필요가 있다. 원하는 에피택셜 웨이퍼 특성을 제공하기 위해 추가의 이면층 보호층(들)은 성장 후에 제거할 수도 있다.
- <364> 다수의 재료를 부착하여 디바이스의 가공을 향상시킬 수 있다(예컨대, 하나의 층은 기재에 대한 저항 접촉을 향상시키는 데 사용되고, 제2층은 저항층에 대한 접촉을 가능하게 하고 와이어 본딩을 향상시키거나 더욱 확고하게 한다).
- <365> 증발 생성물은 전체 성장 중에 형성을 계속하여 표면 영역에 증착되는 경향이 있음을 알았다. 이러한 관찰은 이면층 퇴보의 원인이 특히 FS GaN의 N면 상에서 GaN 재료의 높은 N-증기 압력일 가능성이 높다는 것을 암시한다.
- <366> 그럼에도 불구하고, 표면의 거칠기가 발생된 증발 생성물의 양에 영향을 미치면, 특정한 마무리에 대한 웨이퍼 이면층의 마무리 공정이 증발 생성물을 감소시키는 데에 유리하다. 유사하게, 이면층의 결함 수준을 감소시키면, 이면층의 증발 생성물이 감소할 것이다. 마무리 공정은 기재 이면층의 표면 에너지를 감소시켜 증발 가능성을 저감시킨다. 또한, 특정한 배향으로 웨이퍼 이면층을 마무리하는 것은 이면층 증발 생성물을 변경시킨다. 이면층의 변경은 또한 이면층이 성장 환경에 불활성이 되게 할 수 있는 다른 화학종과의 환원을 포함한다.
- <367> 여러 배향의 GaN은 보다 높은 성장 온도에서 분해에 대한 민감성이 낮을 수도 있다. 이는 웨이퍼의 이면층을 위한 미스컷(miscut) 또는 상이한 배향의 웨이퍼를 사용하여 분해 문제의 해법을 가능하게 한다. 그러나, Ga면 기재의 이면층에 대해 문제가 되는 이면층의 증발 생성물은 전술한 이면층 보호 방법에 의해 해결되는 것이 바람직하다.
- <368> 이면층 증발은 또한 기재가 서셉터에 고착되게 하여 기재가 서셉터 포켓에서 분리되게 하는 것을 필요로 하고, 그 결과 크래킹 또는 스크래칭에 의해 에피층과 기재에 손상 가능성이 있다. 서셉터에 남겨진 증착물도 또한 고품질의 재료의 형성과 그 서셉터 포켓을 사용하여 행해지는 다음 공정의 양호한 균일성 달성을 상당히 방해할 가능성이 있다. 또한, 기재가 서셉터에 너무 강하게 부착되면, TCE 차이로 인해 냉각)시 기재에 대한 손상이 발생할 가능성이 있다.
- <369> 이면층 보호는 또한 기재의 만곡을 감소시키기 위해 사용될 수 있다. 임의의 X선 데이터는 X선 피크의 폭이 MOVPE 에피에 의해 증가하지만, 이러한 증가가 이면층 증발 생성물의 불균일한 생성으로부터 일어나는 만곡에 기여할 수 있다는 것을 암시한다. 기재의 만곡을 감소시키는 데 유리한 재료는 복합 GaN 기재과 이면층 보호의 쿨다운이 기재 웨이퍼를 평탄한 형상으로 당기고, 및/또는 이면층 증발 증착물의 균일성을 감소시키거나 향상시킴으로써 웨이퍼에 걸쳐 더 균일한 긴장을 가능하게 하여 만곡을 감소시키도록 상이한 CTE를 갖는 재료를 포함한다.
- <370> 반응기 설계는 다양한 방식으로 증발로부터 웨이퍼 이면층을 보호하는 데에 적합하게 될 수 있다. 예컨대, NH₃ 또는 질소종은 웨이퍼를 지나 유동될 수 있거나, 반응기는 반응기의 내부 체적을 정화하여 증발 생성물을 회식하는 데 유효한 방식으로 설계될 수 있다.
- <371> 기재과 에피택셜층 사이의 중간층
- <372> FS GaN 상의 낮은 T GaN 중간층
- <373> 본 발명은 낮은 T GaN 중간층의 제작과, FS GaN의 성장 표면 형태를 향상시키는 재결정화 단계를 안출한다. 이 방법은, 그렇지 않으면 에피택셜 표면을 활성화시키는 것이 필요한 반응기에서 성장 시간을 감소시킴으로써 우

수한 가치가 추가된 FS GaN 생성물이 가능하게 한다. 동시에, 뜻밖에도 온도가 낮은 중간층을 사용하여 전위와, 역전된 헥스 피트, 입자 한도 및 역전 영역을 비롯하여 특정 유형의 결함을 감소시킬 수 있다. 일부 실시 형태에서 중간층은 불순물을 흡수하고/흡수하거나 재결정화된 중간층에서 천연 결함을 보상하는 데 사용될 수 있다.

<374> 본 발명은 또한 호모에피택셜 성장 중 FS GaN 박막에서 영역과 결정 입자 간에 경사를 감소시킬 뿐만 아니라 모자이크를 감소시키고, 역전 영역을 감소시키고/감소시키거나 N면과 Ga면 결정을 서로 근처에 위치시킴으로써 큰 결함을 감소키는 친화층이 전위와 결정 불완전성을 제거하게 하여 균일한 극성의 에피택셜 표면을 생성한다.

<375> 변형 완화층

<376> 상당한 변형, 즉 인장이나 압축이 FS (Al,In,Ga)N 웨이퍼의 처리로 인해 에피택셜 성장 전에 FS (Al,In,Ga)N 기재 재료에 나타날 수도 있다. 이러한 변형은 성장 중 기체가 변형되게 할 가능성이 있고, 이에 의해 열접촉과 고품질의 균일한 에피택셜층의 달성을 방해할 뿐만 아니라, FS (Al,In,Ga)N 상에 영구적인 에피택셜층의 크래킹을 야기할 수 있다.

<377> 다른 양태에 있어서, 본 발명은 성장 전에 바람직하게는 600°C 이상의 온도에서 고온의 어닐링 단계를 고려하거나, 원위치에서 층의 긴장을 경감시키는 것을 고려하는데, 어닐링 환경은 기재 표면을 보호하고 기체의 변형 완화를 촉진하도록 변화된다. 임의의 환경 하에서는 에피택셜 성장 후 완전히 제작된 웨이퍼를 절삭하거나 분할하기 전에 어닐링하여 변형을 완화시키는 것이 유리하다.

<378> 다른 방법에 따르면, 본 발명은 기체의 변형을 완화하여 기재 상에 변형이 없는 디바이스 성장을 가능하게 하도록 (Al,In,Ga)N 화합물의 기재 표면과 상이한 격자 일정 (Al,In,Ga)N 합금의 초격자 상에서의 성장을 의도한다.

<379> 기재로부터 변형을 완화시켜 변형이 에피택셜층으로 전파되는 것을 방지하는 다른 방법은 에피층의 합금과 기재 사이에 완만한 천이부를 사용하는 것이다. 또한, 변형된 박막이나 초격자를 두께가 임계 두께보다 작은 층과 함께 사용하여 에피택셜 디바이스 구조에서 변형을 완화할 수 있다.

<380> 기타 중간층

<381> 기관과 에피택셜층 사이의 중간층, 또는 기관과 그 기관 상의 에피택셜층 및 디바이스 구조 사이의 중간층은, 한정하려는 의도는 아니지만, 변형 조정, 전위 감소 및 광학 반사 중 하나를 행하기 위해 이용될 수 있다. 상기 중간층은 저온, 고온, 초격자 형상(하나 이상의 층)으로 침적될 수 있고, 조성에서의 그레이딩(grading), 도핑 레벨에서의 그레이딩, 델타 도핑(얇고 심하게 도핑된 층) 및 III족 질화물, SiC, B-N 등에서 선택될 수 있다.

<382> 이하의 설명은 본 발명의 범위를 제한하려는 의도는 아니다.

<383> 호모에피택셜 중간층의 그레이딩은 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$ 의 범위)의 조성의 그레이딩으로서 규정된다. 그레이딩은 기관에서 에피택스로 높은 파라미터 대 낮은 파라미터의 컨벤션(convention) 각각에서, 또는 기관에서 에피택스로 낮은 파라미터 대 높은 파라미터의 컨벤션 각각에서 생길 수 있으며, 여기서, 파라미터의 호칭은 밴드갭(bandgap), 격자 파라미터 또는 도핑으로 언급된다. 그레이딩은 구조에 따라 선형, 포물선, 지수적 또는 다른 형태로 생길 수 있다. 중간층의 침적을 통해 도입된 변형은 밴드갭 및/또는 격자 파라미터에 영향을 줄 수 있다. 그레이딩은 연속적이거나 복수 개의 개별층들로 구성될 수 있다. 도핑 전이(transition), 복층의 그레이딩 층 및 전술한 치환(permutation)이 이용될 수 있다.

<384> 중간층은 조성, 밴드갭 또는 도핑에 있어서 균일할 수 있다.

<385> 중간층은 특정한 반사성 또는 흡착 밴드가 처리될 수 있도록, 전위가 위로 굽어 성장 방향으로 전파(propagation)를 중식시킬 수 있도록 초격자 형상에 또는 다른 적절한 용례에 이용될 수 있다.

<386> 표준 침적 프로세스보다 높은 또는 낮은 다양한 온도는, 중간층이 결과로서 생긴 중간층 또는 에피택셜 층에 결함 감소, 크랙(crack) 감소, 평활한 표면 등의 영향을 부여할 수 있도록 이용될 수 있다.

<387> 패터닝된 중간층은 결함 감소, 크랙 감소 또는 그 중간층으로부터의 패터닝 방향 대 패터닝 방향에서의 측방향 성장을 위해 사용될 수 있다.

<388> 전술한 바와 같은 복층의 중간층 형태는 소망하는 마지막 결과에 사용될 수 있다.

<389> 본 발명은 또한, 상이한 기관 및 에피 (Al,In,Ga)N 재료를 사용하는, "비슷하지 않은" 호모에피택셜 제품의 제조에서 헤테로에피택셜 기법의 사용에 관한 것이다.

- <390> 성장 핵형성을 위한 도펀트 중지
- <391> n형 또는 p형 도전성 기판을 사용할 때, FS GaN 기판 상에서 에피택셜 GaN 층의 성장의 핵형성 중에 너무 조기에 도펀트 종(種)을 개시하는 것은, 일반적으로 계면에서 고농도의 Si 및 Mg 또는 도펀트의 도입에 의해, 또는 다른 결함의 편성에 의해 고품질의 호모에피택셜 성장을 방해할 수 있다.
- <392> 예컨대, LED 구조의 호모에피택셜 성장에서 도펀트의 조기 개시는, 도 34 및 도 35에 도시된 바와 같이, 에피택셜 층의 형태 및 에피택셜 품질에 부적절한 영향을 미칠 수 있다. 이들 도면은 도핑되지 않은 GaN 핵형성층을 구비 및 구비하지 않은 n-GaN(층 $1E19cm^{-3}$)과 LED 구조의 표면 형태와의 비교를 제공한다. 도 34는 100Å 두께의 도핑되지 않은 GaN 핵형성 층을 갖는 LED 구조를 도시한 것이다. 도 35는 전술한 도핑되지 않은 핵형성층이 없는 대응하는 LED 구조를 도시한 것이다. 얇은 도핑되지 않은 층을 삽입함으로써, 기판의 핵형성과 전파를 허용하여 고품질의 호모에피택셜 성장이 이루어지게 한다.
- <393> 본 발명은 1500 Å 미만 두께의 도핑되지 않은 GaN 박막이 임의의 도펀트 종의 도입 이전에 기판 상에 침적되도록 하는 것에 관한 것이다. 이러한 두께의 도핑되지 않은 박막에 있어서, 수직 전기 이동(vertical electrical transport) 저항이 최소화되고 계면을 횡단하는 전자 또는 정공 이동을 달성할 수 있다.
- <394> 개선된 형태 평활화를 위한 물질 이동
- <395> FS GaN 형태론의 평활화는 고품질의 호모에피택셜 성장에 필요하다. 마무리되지 않은 HVPE FS GaN 기판의 바람직하지 못한 표면 조직은 고품질의 호모에피택셜 GaN 성장에 있어서 문제를 야기한다. 에피택셜 성장 이전에 평활화 처리를 필요로 하는 통상적으로 큰 언덕 모양의 힐록 조직 또는 평활화 처리를 필요로 하는 마무리된 기판의 제조로부터 유발되는 다른 기판 프로세싱 손상이 존재한다.
- <396> 전술한 바와 같이, 다른 것보다 더 유리하게 상기 방법을 실행하기 위해 소정의 성장 조건이 필요할 수 있지만, 표면을 평활화 처리하기 위해 다른 방법을 이용할 수 있다. 통상적으로, 수 마이크론의 MOVPE 성장은 에피를 위한 표면 평활화 처리를 위해 필요하지만, 이는 선구체의 사용[트리메틸갈륨(TMG) 및 NH_3 양자] 및 반응기에서의 체류 시간에 의해 고비용이 된다.
- <397> 본 발명의 다른 양태는 FS GaN 박막의 표면 조직을 평활화 처리하기 위해 물질 이동을 이용하는 것에 관한 것이다. 물질 이동이 기판 평활화 처리의 다른 방법보다 유리한 점은 다음과 같다. 즉, 1) 물질 이동은 MOVPE 과 성장에 비해 소량의 선구체를 사용하는 점, 2) 물질 이동을 행하는 시간은 이동 조건(낮은 P, 대기 및 온도)을 조정함으로써 극적으로 감소되는 점, 3) 물질 이동은 웨이퍼를 마무리하는 어려운 작업과 기판에 손상을 입히는 부수적인 영향을 없애거나, 또는 최종의 마무리 단계를 생략한다는 점, 4) 물질 이동은 반응기의 처리량을 높일 수 있도록 외부 위치(ex-situ)에서 행할 수 있다는 점, 5) 물질 이동은 에피택셜 성장 또는 웨이퍼의 수송 이전에 재료 내의 결함을 특징지우는 데 사용할 수 있는 제어 가능한 프로세스라는 점, 6) 물질 이동은 전위 어닐링(annealing) 및 에피택셜 계면 근처의 기판 재료를 감소할 수 있다는 점, 7) 물질 이동은 기판 재료 내의 불순물의 감소 또는 재분배를 달성하여 계면에서 더 양호한 에피택셜 성장을 용이하게 할 수 있다는 점.
- <398> 방법 1 - GaN 기판의 물질 이동
- <399> 마무리되지 않은 또는 마무리된 기판 표면의 물질 이동 평활화 처리의 한 가지 실시 형태에 따르면, 기판은 과압 상태의 암모니아 또는 다른 N종 선구체 및 H_2 또는 N_2 중 하나의 몇몇 환경에서 고온으로 어닐링 처리된다. 높은 표면 에너지 결정학 특징[헥스 힐록, 피트]은 변질되고 그 재료는 골 또는 반전된 헥스 힐록 내에서 침적 또는 성장한다. 물질 이동 조건은 물질 이동된 재료의 품질(결함 레벨, 전도성 등)을 제어하기 위해 변경될 수 있다.
- <400> 상기 방법은 도 36 내지 도 38을 참조하여 예시되어 있다. 도 36에 있어서, GaN 기판은 NH_3 및 H_2 의 주위 분위기에서 물질 이동 조건으로 가열된다. 도 37은 물질 이동이 상기 분위기에서 평활화 처리를 시작할 때의 기판을 도시한 것이다. 도 38은 물질 이동이 전체의 표면을 평활화 처리했을 시점에서의 기판을 도시한 것이다.
- <401> 물질 이동 조건 및 시간은 물질 이동에 의한 최적의 평활화 처리 및 평활화 처리 속도가 용이해지도록 조정된다. 더욱이, 기판의 물질 이동 평활화 처리 특징을 최적화하기 위해 다중 프로세스 물질 이동을 이용할 수 있다.
- <402> 방법 2 - GaN 기판의 물질 이동 및 에피 성장

- <403> S, Si, C, O 등의 기판 내의 불순물 또는 반응기 본래의 불순물에 의해, 물질 이동의 발생이 억제될 수 있고, 그 결과 기판 표면의 평활화 처리가 억제될 수 있다.
- <404> 본 발명의 또 다른 실시 형태는 에피택셜 질의 MOVPE층을 갖는 물질 이동을 사용함으로써 물질 이동 평활화 처리를 쉽게 행하여, 기판 재료로부터의 불순물을 회식시켜 고품질의 물질 이동을 얻기 위해 1,000 Å 이하의 두께를 지닌 얇은 층의 성장에 관한 것이다.
- <405> 기판에서의 불순물로부터 유발하는 물질 이동 문제점을 줄이기 위해 물질 이동 및 에피 성장의 전술한 방법은, Ga로부터의 기상 및 기판으로부터의 불순물을 회식시키기 위해 물질 이동을 행하는 동안 소량의 트리메틸갈륨(TMG)을 도입시킴으로써 실시될 수 있다.
- <406> 또한, 임의의 (Al, In, Ga)N 조성의 에피층을 사용함으로써 기판의 마무리되지 않은 표면의 소정의 패킷(facet)을 용이하게 우선적인 평활화 처리를 실행할 수 있다. 이러한 접근법은, 임의의 원자(예컨대, Al, Ga, In)가 GaN 내의 임의의 결정면, 오프컷 또는 면과의 친화력이 있어 후속 에피를 위한 더 신속한 평활화 처리를 허용한다는 장점이 있다. 초격자 에피 물질 이동뿐만 아니라 격자 일치 물질 이동 및 에피는, 에피택셜 기판 표면의 평활화 처리 및 결함 감소를 용이하게 하기 위해 사용될 수 있다.
- <407> 방법 3 - 물질 이동 및 계면활성제
- <408> 상기 방법 1 또는 방법 2에 의해 물질 이동은 에피 층의 표면을 고속으로 평활화 처리하기 위한 계면활성제의 추가에 의해 강화될 수 있다. 결정면, 양호하게는 다른 것 위로 임의의 (Al, In, Ga)N 의 전파를 보조하기 위해 비스무트 및 다른 화학물을 계면활성제로서 사용할 수 있다.
- <409> 방법 4 - 물질 이동 및 도펀트 혼입
- <410> 물질 이동은, 물질 이동 박막에 이미 침적되어 있는 원래의 전하 및 다른 불순물 관련 전하를 무효화할 수 있는 불순물 상채 전하를 첨가하는 중에 상기 방법 1, 방법 2 또는 방법 3 중 하나에 의해 실행된다. 계면에 의도적인 도핑 또는 불순물 혼입은 전기 특성(전하, 전도성, 전도성 형태, 전하 중성 등)을 개조시키기 위해 사용될 수 있다. 의도적인 도펀트 혼입은 Mg, Be, Ca, C, Si, O, Ge, V, Fe, S, Cr(이것에만 한정되지 않음) 중 하나 이상을 포함할 수 있다.
- <411> 마무리된 기판 상의 성장
- <412> GaN 및 SiC 등의 매우 경질이고 취약한 물질 상의 호모에피택셜 성장은 기판 표면에 충분한 평활성을 부여하기 위해 격렬한 마무리 공정을 사용하였다는 점에서 문제가 있다. 그러나, 이러한 격렬한 마무리 공정은 기판에 손상을 유발한다. 본 발명은 GaN의 원위치 성장 중에 행해지는 마무리 공정에서의 손상을 없애기 위한 각종 기법에 관한 것이다.
- <413> 제1의 접근법은 H₂ 또는 NH₃ 또는 이들 모두 내에서의 성장 온도에서 손상된 표면을 어닐링 처리하는 것이다.
- <414> 기판상의 표면 손상을 제거하기 위한 제2의 접근법은 H₂ 및 NH₃ 분위기에서 기판 재료에 배면 에칭을 행하여 기판 상의 손상된 영역 밑의 기판 물질을 제거하는 것이다.
- <415> 다른 접근법으로는, 에컨대 성장 이전에 웨이퍼의 에피택셜 표면의 RIE 또는 KOH 에칭에 의한 기판의 비원위치 표면 준비가 포함된다.
- <416> 측방향 과성장 또는 측방향 충전에 의한 마스크 FS GaN 결함
- <417> 본 발명의 또 다른 양태는 마무리되지 않은 기판 또는 마무리된 기판 재료 내의 기판 결함, 특히 피트 및 전위 결함을 없애는 방법에 관한 것이다. 이 방법은 성장을 억제하기 위해 SiO₂, Ga₂O₃, SiN 또는 다른 적합한 마스크 재료로 선택적으로 결함 영역을 마스킹하는 단계를 포함한다.
- <418> FS GaN 내에 존재하는 과성장 결함을 마스킹 처리하는 일반적인 프로세스가 도 39 내지 도 41을 통해 예시되어 있다.
- <419> 도 39는 전위 결함(A), 전위 및 반전된 헥스 피트(B), 반전된 헥스 피트(C)를 포함하는 결함으로 갖는 기판을 도시한 것이다. 도 41은 마스킹된 측방향 과성장을 갖는 기판을 도시한 도면이다.
- <420> 상기 마스크는 전해질 기법, 박막의 스퍼터링 또는 다른 적절한 기법을 사용하여 에컨대, RIE를 통해 마스크를 제거함으로써, 또는 마스크 처리된 결함을 노출시키도록 기판을 화학 기계적 연마(CMPing)에 의해, 또는 CMP에

의해 웨이퍼로부터 산화물의 탈거에 후속하여 기판을 산화시키도록 열 산화에 의해 또는 RIE 등의 다른 방법(결함 둘레의 산화물은 평평한 표면 상의 산화물보다 더 두껍게 성장하고 결함 내에 충전되어 과성장을 용이하게 하는 것으로 가정)에 의해 선택적으로 결함 내에 침적된다.

<421> 전해질 기법은 결함이 벌크 재료에 비해 상이한 전기 활동도를 가질 경우 사용할 수 있다. 결함 둘레에 마스크 재료의 선택적인 탈거에 후속하는 블랭킷 마스크는 더욱 달성하기 어렵고 따라서 바람직하지 못하다.

<422> 결함의 선택적인 마스크의 다른 방법이 사용될 수 있다. 마스크가 선택적으로 침적되면, 에피택셜 성장이 실행되고, 조건들은 결함 위로 평활화되거나 측방향 성장시켜 결함을 제거하기 위해 조정된다.

<423> 계면활성제 첨가

<424> 본 발명의 또 다른 양태는, HVPE GaN 마무리되지 않은 재료 또는 마무리된 재료의 평활화 처리를 용이하게 하고 증대시키기 위해 에피택셜 성장 중에 반응기의 성장 분위기로 계면활성제의 첨가에 관한 것이다. 계면활성제는 임의의 결정 패킷 상에 우선적인 성장을 가능하게 하고 다른 패킷 상에서의 성장을 억제한다. 계면활성제는 또한 폴리타입 픽싱(polytype fixing)을 보조하기 위해 사용될 수 있다.

<425> 성장 조건은 최적화될 수 있거나, 또는 다중 프로세스 단계는 마무리되지 않은 기판 또는 마무리된 기판 표면의 평활화 처리에 알맞도록 사용될 수 있다.

<426> 예시된 계면활성제는, 고온에서 높은 기본적인 증기압으로 인해 인듐, 그리고 높은 농도에서 GaN 내에 혼입되지 않는 비스무트를 포함한다.

<427> 양호한 계면활성제는 결정 배향의 선택적인 전파에 있어서 결정 전파의 성장 메커니즘을 개조하여 성장을 평활화하지만, 성장하는 에피택셜층으로 적절하게 혼입되지는 않는다.

<428> 계 성장과 평활화 및 결함 감소를 용이하기 위해 메사 에칭 처리된(패턴화된) FS GaN층

<429> 본 발명의 또 다른 양태는 FS GaN 기판 표면의 평활화 성장을 더 빠르게 행할 수 있도록 FS GaN 기판 상에 실시되는 메사(mesa) 에칭에 관한 것이다. 이 접근법은 메사 엣지로 전위, 평면 및 패킷의 전파를 허용하여 메사 엣지에서의 결함 및 결정면의 종식 및 전멸을 달성한다. 일반적인 공정이 도 42 내지 도 44에 도시되어 있다.

<430> 상기 메사 에칭 기법은 최종의 디바이스 구조보다 더 소형이거나 더 큰 메사 구조를 형성하는 호모에피택셜 또는 동질의 재료(III-V족 질화물) 기법을 포함하며, 이 메사는 최종의 디바이스 구조를 수용하도록 성장에 의해 더 크거나 더 작게 만들어진다.

<431> 한 가지 실시 형태에 따르면, 성장 억제 마스크는 메사 에칭 처리된 영역 상에 배치되어 성장이 발생하는 것을 방지한다. 이 기법은 기판으로부터 에피로에 감소된 변형 필드(strain field)를 허용하고, 예컨대, VCSEL 및 다른 디바이스 구조 등의 더 두꺼운 구조가 실현되게 할 뿐만 아니라 더 큰 미스매치 구성(mismatch compositions)이 이완 없이 일어날 수 있게 해준다.

<432> 또 다른 실시 형태에 따르면, 에피택시와, 에피택시 및 디바이스 구조는 에칭, 기계적 제거 및 다른 수단에 의해 기판 표면 내에 우선적으로 규정되었던 기판 표면 내의 포스트 또는 메사 상에 침적될 수 있다. 이러한 포스트 상의 에피택시는 감소된 전위 및 크랙 감소와 다른 유리한 효과를 달성하기 위해 실시될 수 있다. 마스크, 배향 수정, 상이하게 만든 원래의 물질, 산화물, 표면 에너지의 변화를 야기하는 기계적 손상 등 중의 하나에 의해 트렌치(trench) 내부의 에피택셜 재료의 성장의 핵형성에 의해 트렌치를 방해하거나 그렇지 않을 수 있다.

<433> 메사 또는 포스트의 형상은 원, 정사각형, 직사각형(줄무늬)의 다양한 기본 형상과 이들 기본 형상의 조합으로 변경될 수 있고, 바람직한 영향을 생성하도록 평면 내에 바람직한 소정의 배향로 기판 표면 상에 배향될 수 있다.

<434> 본 발명의 각종 구체적인 양태들이 이하에서 더욱 상세히 설명될 것이다.

<435> p형 GaN을 이용하는 본 발명의 응용에 있어서, 상기 재료의 바람직한 저항은 1.0 ohm-cm 미만, 양호하게는 0.4 ohm-cm 미만, 더욱 양호하게는 0.1 ohm-cm 미만이다.

<436> 본 발명의 하나의 구체적인 양태에 따른 GaN 재료는 $1E8 \text{ cm}^{-2}$ 미만, 양호하게는 $1E7 \text{ cm}^{-2}$ 미만의 전위 밀도를 갖는다. 낮은 전위 밀도는 더 높은 (도펀트) Mg 혼입을 가능하게 한다.

- <437> 양호한 특성을 갖는 p형 GaN 박막은 $1\text{E}7\text{ cm}^{-2}$ 미만, 양호하게는 $5\text{E}6\text{ cm}^{-2}$ 미만의 전위 밀도로, $>1\text{E}19\text{ cm}^{-3}\text{ Mg}$ 를 지닌다. 또 다른 양호한 p형 GaN 박막은 $5\text{E}7\text{ cm}^{-2}$ 미만, 양호하게는 $1\text{E}7\text{ cm}^{-2}$ 미만의 전위 밀도로, $>5\text{E}19\text{ cm}^{-3}\text{ Mg}$ 를 지닌다. 또 다른 양호한 p형 GaN 박막은 $5\text{E}8\text{ cm}^{-2}$ 미만, 양호하게는 $1\text{E}8\text{ cm}^{-2}$ 미만의 전위 밀도로, $>1\text{E}20\text{ cm}^{-3}\text{ Mg}$ 를 지닌다.
- <438> FS GaN 마무리되지 않은 표면상의 육각형 패킷의 평활화 처리 방법(메커니즘)을 고려하면, 하나의 방법은, 육각형의 절두된 영역이 <10 도의 인근 표면 전파 모드에서 육면의 전파에 의해 성장하는, 절두된 육각형 패킷의 구조를 형성하는 방법으로 육각형 패킷 전파를 포함한다.
- <439> 또 다른 평활화 처리 방법 또는 메커니즘은 원래 표면의 평면(그리고 잠재적으로 다른 평면 및 인근의 커트)을 벗어난 인접 표면의 범위에 걸쳐 육각형 패킷의 전파와, 절두된 방법으로 표면의 평활화 처리에 영향을 미친다.
- <440> 또 다른 평활화 처리 방법은 평활화 처리에서 새로운 c평면의 생성을 이용한다.
- <441> 전술한 접근법들 중 하나 이상을 조합하여 평활화 처리를 실시하기 위해 사용할 수 있다.
- <442> 본 발명의 광범위한 실시예에 있어 특히 바람직한 호모에피택셜 층은, 에피택셜 층 내의 1차수 미만의 크기의 전위, 예컨대, $1\text{E}8\text{ cm}^{-2}$ 미만의 에피 층, 양호하게 $1\text{E}7\text{ cm}^{-2}$ 미만의 에피 층을 갖게 함으로써, 그것의 부정규적인 두께 이상으로 성장하고 에피택셜 층 내에 100배 미만의 전위를 발생하는 층이다.
- <443> 이하에는 본 발명의 공정이 유용하게 적용되는 VPE 프로세스의 구체적인 일례를 예시한다.
- <444> 기판을 세정한 다음 반응기 용기 내의 서셉터에 장전한다. 이 반응기 용기는 반응기 분위기가 공기로 퍼지 처리될 때까지 불활성 기체로 퍼지 처리된다. 이 프로세스 기체 분위기는 성장 분위기로 변경되어, 가열 중에 GaN 기판 재료를 보호한다. 이 기판을 성장 온도까지 가열한다. 통상 1100°C 근처의 성장을 위한 온도에 도달하면, 기판 표면을 세정하기 위해 반응기 분위기 내에 세정 공정이 완료된다.
- <445> 다음에, TMG, TMA, TMI, GaCl_3 , NH_3 , 아민 등을 포함하는(그러나, 이에 제한되는 것은 아님) 선구체가 상기 반응기 속으로 도입되고, 기판에서 분해되어 에피택셜 박막 재료를 형성한다. p, n 또는 도핑되지 않은 전도성 종류의 AlInGa_n으로 된 상이한 층을 포함하는 구조가 디바이스 구조를 형성할 수 있도록 하기 위하여, 상기 성장 기간 동안 선구체와 분위기는 변형된다.
- <446> 일단 원하는 두께 및 개수의 층이 침적되면, 상기 선구체의 공급은 중단되고, 반응기는 냉각되기 시작한다. 냉각 중에 공정 가스를 사용하여 상기 에피택셜 층의 손상을 방지한다. 일단 웨이퍼가 냉각되면, 반응기를 불활성 가스로 퍼지 처리하고, 다음에 웨이퍼를 빼내어 다음의 원하는 공정[디바이스 성형, 특성화(characterization) 등]에 놓는다.
- <447> 광학적 광펌핑 측정계(optical photo-pumping measurements), 원자력 현미경, 위치 분석, 주사 전자 현미경, X선 분석, 2차 이온 질량 분광법 및 다른 기법 중 하나 이상의 것을 이용하여, GaN 기판 상의 고품질의 호모에피택셜 에피층을 검사할 수 있다.
- <448> 상기 성장 환경과 관련하여, 서셉터와 서셉터 피막의 CTE가 일치하면 서셉터의 수명을 더 길게 할 수 있고, 서셉터 피막에 균열이 생기는 잠재성 및 도펀트가 서셉터 코어(예컨대, 그래파이트)로부터 나올 잠재성이 제거된다. 본 발명의 방법의 실행시 상기 에피 공정의 서셉터 성분에 대한 민감성은 아주 놀라운데, 왜냐하면 AlN, 사파이어 및 SiC와 같은 다른 표면에서의 GaN 성장은 노출된 서셉터 성분에 민감하지 않기 때문이다.
- <449> 경우에 따라서는, 기판의 냉각 효과 때문에 기판의 온도 및 기판의 온도 균일성을 달성하기 위하여, 제어된 반응기 유량 및 분위기가 필요할 수도 있다.
- <450> FS GaN 상에서의 GaN 에피는 엄밀하게 규정된 스텝 구조를 나타내는데, 이 구조는 엄밀하게 규정되고 평행하며 균일한 스텝 폭을 갖고 있고 스텝 번침은 나타내지 않는다. 스텝 밀도는 결정 배향의 함수이다.
- <451> 도입부와 일관되게, 본 발명을 여러 가지 실시 형태에서 특별히 GaN을 참조하여 설명하였지만, 설명한 본 발명의 넓은 범위 내에서 모든 III-V족 질화물 재료를 고려할 수 있다는 것은 이해할 수 있을 것이다.
- <452> 이하에서는, 본 발명의 호모에피택셜 접근법을 이용하는 예시적인 디바이스를 설명한다.
- <453> GaN 기판 상의 디바이스

- <454> UV LED
- <455> 종래의 기판(예컨대, 사파이어 및 SiC)에서 성장시킨 디바이스는 잘 작동하지만, 기판 재료의 적합성(compatibility) 및 품질 문제 때문에 최종 사용자가 원하는 수준에서 기능을 수행하지는 못한다. 재료의 고품질, 저(低) 전위 밀도, 격자 일치성 및 CTE 일치성은 레이저, UV LED, AlGaIn/GaN 고(高) 전자 이동도 트랜지스터(HEMT) 등과 같은 GaN 분야에서 현재 개발되고 있거나 상업화되고 있는 많은 디바이스에 있어서 아주 중요한 것이다. 이들 품질은 개발되고 있는 기존의 디바이스 구조에서 중요할 뿐만 아니라, 기판과 에피 사이의 높은 변형 및 그로 인한 4원계 합금 조성 범위의 제한으로 인해 현재 가능할 것 같지 않은 다른 디바이스 구조(즉, 높은 Al% 디바이스 구조 또는 다른 높은 변형 디바이스 구조)를 가능하게 해준다.
- <456> 다양한 디바이스 특성들은 GaN 기판 및 이러한 기판에서 성장한 에피택셜의 고품질, 고품질 기판이 생성되는 디바이스층에 미치는 긍정적 영향을 보여준다.
- <457> 상기 동일한 디바이스 설계 및 성형 단계를 이용한 UV LED 및 FS GaN은 도 45에 나타낸 바와 같이 다른 기판 상의 디바이스와 비교하여 출력 특성 면에서 4배 내지 5배의 개선 효과를 나타내었다.
- <458> UV LED는 재료의 품질 증대와 함께 개선되는 것으로 알려져 있다. 예컨대, ELOG 또는 LEO GaN 상의 UV LED는 사파이어에 직접 성장시킨 것과 비교하여 20%의 개선을 보여준다. 본 발명에 따른 FS GaN 상에서의 성장은 사파이어 상에서의 동일한 디바이스 구조와 비교하여 4배 내지 5배 정도로 LED 출력을 증대시키는 것으로 밝혀졌다. 이것은 상기 디바이스가 몇몇 고저 전위 영역을 가로지르는 ELOG층보다 상당히 더 큰 수준의 개선인데, 본 발명에 따른 디바이스의 현저히 뛰어난 품질을 보여주는 사실이다. FS GaN은 상기 디바이스의 전 영역에 걸쳐 보다 균일한 전위 밀도와, 디바이스 내에 실질상 더 낮은 평균 전위 수를 갖고 있다.
- <459> 광기전성 검출기
- <460> 다른 기판 상의 GaN 광기전성 검출기(photo-voltaic detector)와 필적하거나 그보다 더 좋은 전기적 특성을 갖고 있는 본 발명에 따른 광기전성 검출기를 FS GaN 기판 상에 성형하였다. 이것을 도 46에 나타내었는데, 도 46은 FS GaN, SiC, 사파이어 및 HVPE GaN/사파이어 상의 0.25 미크론 I-두께 PIN에 대하여 디바이스 직경(마이크로미터)의 함수로서, -10V에서 최적의 역 누출 전류 밀도를 나타내는 그래프이다.
- <461> PIN 구조 및 LED와 같은 디바이스가 양호한 디바이스 특성을 갖고 있기는 하지만, 상기 기판은 그 기판에 MOVPE 성장을 하려고 할 때 약간의 새로운 문제를 나타낸다. 이러한 디바이스에서의 적용시 FS GaN에서의 GaN 에피택셜 층의 성장은 본 발명의 다른 양태를 구성한다.
- <462> 적당한 품질 및 치수의 FS GaN 기판이 부족하기 때문에, 에피 성장을 위한 여러 가지 결정학적 배향에 대한 연구는 제한되었다. 기판 배향이 에피택셜 성장에 미치는 몇몇 가능한 효과로는 성장 메커니즘, 형태론(morphology)[0도에서 4도까지, GaN 기판의 N-면에서의 $\langle 11\bar{2}0 \rangle$ 에의 오정향은 힐록 형성을 감소시켰음], 결정 품질, 박막의 화학양론, 원하는 도펀트 혼입 및 원하지 않는 도펀트 혼입, 변형(strain), 캐리어 이동[홀 질량은 비(非) (0001) 평면에서 더 가벼운 것으로 계산되었는데, 이는 GaN의 p형 도핑에 큰 영향을 미칠 수 있다. 또한, 배향은 압전계(piezoelectric field)에 영향을 미치고, 변형은 이동 특성에 영향을 미친다], 광학적 특성[비(非)-0001 배향은 더 큰 광학적 이득을 갖고 있는 것으로 계산되고, $\{1\bar{1}00\}$ 배향을 갖고 있는 GaN/AlGaIn 구조는 레이저에서 더 낮은 임계치 전류 밀도에 적용할 수 있다. 압전계는 변형 및 광학적 인터밴드 흡수 특성(optical interband absorption properties)에 영향을 미치며, 배향에 종속적이다], 연마, 마무리, RIE, 개선된 AlInGaIn 조성 제어 및 범위, 콘택트, 도펀트 혼입 및 다른 디바이스 성형 영향 등이 있다. 이러한 개시를 위해, 약간 잘못 잘리고(miscut) 약간의 스텝 구조를 나타내는 GaN 재료의 Ga-면과 N-면을 취한다.
- <463> FS GaN의 한 가지 중요한 이점은 중간층 구조 없이 성형할 수 있는 것이지만, 용례에 따라서, 예컨대 결함을 형태론적으로 평활화 처리하고 제거하기 위하여 중간층 구조가 유리할 수도 있다.
- <464> 본 발명을 예시적인 실시 형태 및 특징을 참조하여 설명하였지만, 전술한 실시 형태 및 특징은 본 발명을 제한하고자 하는 것이 아니며, 당업자라면 다른 변형례, 수정례 및 실시 형태를 제안할 수 있다는 것은 명백하다. 따라서, 본 발명은 이하의 청구의 범위와 일관되게, 넓게 구성된다.

도면의 간단한 설명

- <79> 도 1은 FS GaN 웨이퍼의 130 배율 현미경 사진.

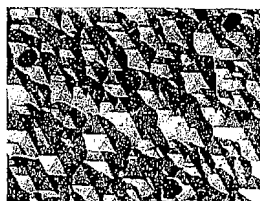
- <80> 도 2는 도 1의 FS GaN 기재의 일부에 형성된 2.5 미크론 GaN MOVPE 박막의 130 배율 현미경 사진.
- <81> 도 3은 도 1의 FS GaN 기재의 일부에 형성된 7.5 미크론 GaN MOVPE 박막의 130 배율 현미경 사진.
- <82> 도 4는 연마된 FS GaN 기재를 보여주고 있는 65 배율 현미경 사진.
- <83> 도 5는 도 4의 기재 상에서 성장된 2.5 미크론 두께의 GaN 에피택셜 박막에서의 연마로 인한 손상을 보여주고 있는 65 배율 현미경 사진.
- <84> 도 6은 도 5의 GaN 박막의 255 배율 확대도.
- <85> 도 7은 FS GaN 상의 GaN PIN/10 미크론 GaN 에피의 형태를 보여주고 있는 65 배율 현미경 사진.
- <86> 도 8은 이면층의 증발 생성물이 에피에 도달해 있는 도 7의 에피층의 성장면 구역의 65 배율 현미경 사진.
- <87> 도 9는 마무리되지 않은 HVPE GaN 기재 및 그 기재 상의 10 미크론 에피층 디바이스 구조에 대해, 증가하는 슬릿 폭의 함수인 DCXRD FWHM의 그래프.
- <88> 도 10은 10 미크론 HVPE GaN/사파이어 조직 상의 GaN MOVPE 에피에 대해, 깊이(미크론 단위)의 함수인 불순물 농도의 그래프이다. 이 그래프는 계면에서 실리콘(Si)= 3×10^{18} 원자/cm³, 산소(O)= 3.5×10^{18} 원자/cm³인 것과, 1×10^{16} /cm³의 계면에서 소량의 황(S) 증가를 보여주고 있다.
- <89> 도 11은 에피택셜 성장 공정 단계들의 전형적인 세트를 보여주고 있으며, 수직축은 대략적인 온도를 나타내고 수평축은 대략적인 시간을 나타낸다.
- <90> 도 12는 종래의 GaN 기재 세정법으로 얻은 더 거칠고, 미세하게 피팅된 에피택셜 형태의 65 배율 현미경 사진.
- <91> 도 13은 본 발명의 한 가지 양태에 따른 새로운 GaN 기재 세정법으로 얻은 더 매끄러운 에피택셜 형태의 65 배율 현미경 사진.
- <92> 도 14는 호모에피택셜 계면에서 Si= 1×10^{18} 원자/cm³이고 기재에서 5×10^{16} 원자/cm³이며, 따라서 양호한 에피택셜 형태를 생성하는 것을 보여주고 있는 농도 대 깊이 그래프.
- <93> 도 15는 박막 형성에 채용된 성장 조건으로부터 유래된 피쉬 스케일(fish-scale) 및 표면 형태를 보여주고 있는 10 미크론 HVPE GaN/사파이어 상의 에피층의 현미경 사진.
- <94> 도 16은 잘 정의된 스텝 구조, 낮은 전위 밀도 및 평행한 스텝을 보여주고 있는, 마무리되지 않은 FS GaN 상에 성장된 10 미크론 GaN 에피택셜층의 AFM 스캔 사진.
- <95> 도 17은 마무리되지 않은 FS GaN 상의 10 미크론 GaN 에피 상의 GaN PIN의 DCXRD 스펙트럼.
- <96> 도 18은 마무리되지 않은 FS GaN 기재의 130 배율 현미경 사진.
- <97> 도 19는 마무리되지 않은 FS GaN 상의 10 미크론 GaN 에피택셜 MOVPE층의 130 배율 현미경 사진.
- <98> 도 20은 헥스 힐록(hex hillock) 상에 성장된 에피택셜 성장의 2 미크론 x 2 미크론 원자력 현미경(AFM) 사진.
- <99> 도 21은 헥스 힐록 상에 성장된 에피택셜 성장의 10 미크론 x 10 미크론 원자력 현미경(AFM) 사진.
- <100> 도 22는 헥스 힐록 상에 성장된 에피택셜 성장의 20 미크론 x 20 미크론 원자력 현미경(AFM) 사진.
- <101> 도 23은 전형적인 마무리되지 않은 FS GaN 기재 형태의 130 배율 현미경 사진.
- <102> 도 24는 NH₃=표준(2.2slm)이고 반응기 압력=표준(100torr)인 경우 FS GaN 상의 10 미크론 GaN 에피의 130 배율 현미경 사진.
- <103> 도 25는 NH₃=2x표준(4.4slm)이고 반응기 압력=표준(100torr)인 경우 FS GaN 상의 10 미크론 GaN 에피의 130 배율 현미경 사진.
- <104> 도 26은 NH₃=표준(2.2slm)이고 반응기 압력=2x표준(200torr)인 경우 FS GaN 상의 10 미크론 GaN 에피의 130 배율 현미경 사진.
- <105> 도 27은 NH₃=2x표준(4.4slm)이고 반응기 압력=2x표준(200torr)인 경우 FS GaN 상의 10 미크론 GaN 에피의 130

배울 현미경 사진.

- <106> 도 28은 마무리되지 않은 FS GaN 형태의 130 배울 현미경 사진.
- <107> 도 29는 피트 메우기를 보여주고 있는, 도 28로부터의 기재 상의 10 마이크로 GaN 에피의 130 배울 현미경 사진.
- <108> 도 30은 형태 평활화를 보여주고 있는, FS GaN 상의 타겟 10 마이크로 GaN 에피 성장의 형태의 현미경 사진.
- <109> 도 31은 10 마이크로 HVPE GaN/사파이어 기층 상의 타겟 10 마이크로 GaN 에피 성장의 형태의 현미경 사진.
- <110> 도 32는 FS GaN 마무리되지 않은 표면을 평활화하기 위한 다단계 공정의 2 단계 공정 실시 형태를 도시한 도면.
- <111> 도 33은 이면층 생성물의 이동과 에피 표면 형태의 중단을 보여주고 있는, 에피가 성장하고 있는 기재의 개략도.
- <112> 도 34는 1000Å 두께의 도핑되지 않은 GaN 핵형성층을 구비한 10 마이크로 HVPE GaN/사파이어 기층 상의 LED 구조의 형태를 도시한 도면.
- <113> 도 35는 전술한 도핑되지 않은 핵형성층이 없는 10 마이크로 HVPE GaN/사파이어 기층 상의 상응하는 LED 구조를 도시한 도면.
- <114> 도 36은 NH₃ 및 H₂의 주위 대기 중에서 물질 이동 상태를 위해 가열되는 GaN 기재의 개략도.
- <115> 도 37은 물질 이동이 주위 중에 평활화를 시작한 기재를 도시한 도면.
- <116> 도 38은 물질 이동이 전체 표면을 평활화한 지점에서 기재를 도시한 도면.
- <117> 도 39는 전위 결함(A), 전위 및 역전 핵스 피트(B), 그리고 역전 핵스 피트(C)를 포함한 결함이 있는 기재를 도시한 도면.
- <118> 도 40은 결함 구역에 마스크를 부착한 상태의 기재를 도시한 도면.
- <119> 도 41은 마스크를 부착한 결함 구역이 측방향으로 성장하는 기재를 도시한 도면.
- <120> 도 42는 표면 정합성을 보여주고 있는 FS GaN 기재의 개략적인 입면도.
- <121> 도 43은 메사(mesa) 에칭된 FS GaN 기재 표면을 도시한 도면으로, 에칭된 기재의 주표면으로부터 메사가 상향 연장되고 있는 도면.
- <122> 도 44는 에피 표면의 평활화 향상을 위한 메사 상의 에피택셜 성장을 도시한 도면.
- <123> 도 45는 다양한 기재 상의 InGaN 이중 헤테로구조(DH) LED 디바이스의 정방향 전류(mA)의 함수로서의 평균 추정 파워 출력(mW 단위, 3개의 디바이스)의 그래프.
- <124> 도 46은 FS GaN, SiC 및 HVPE GaN/사파이어 상의 0.25 마이크로 I 두께 PIN에 대한, 디바이스 직경(mm)의 함수로서의 -10V에서 가장 양호한 역 누설 전류 밀도의 그래프.

도면

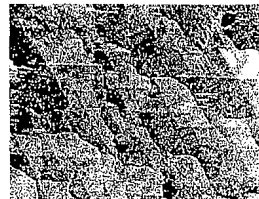
도면1



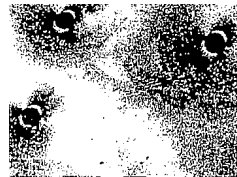
도면2



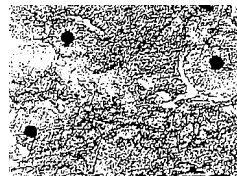
도면3



도면4



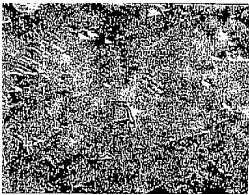
도면5



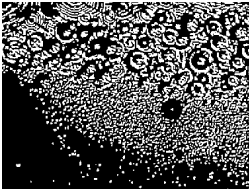
도면6



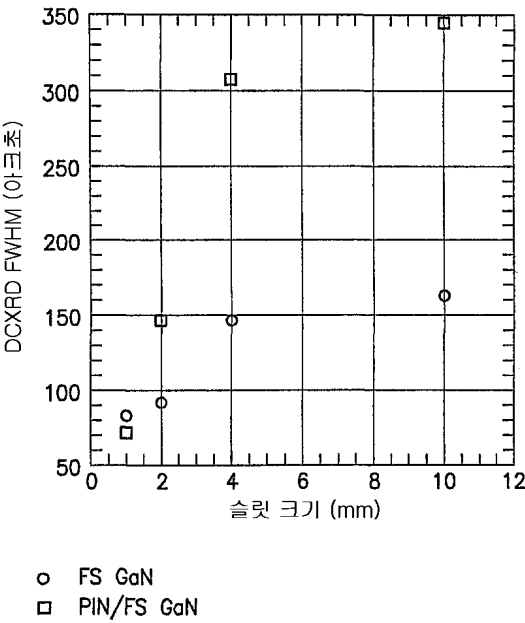
도면7



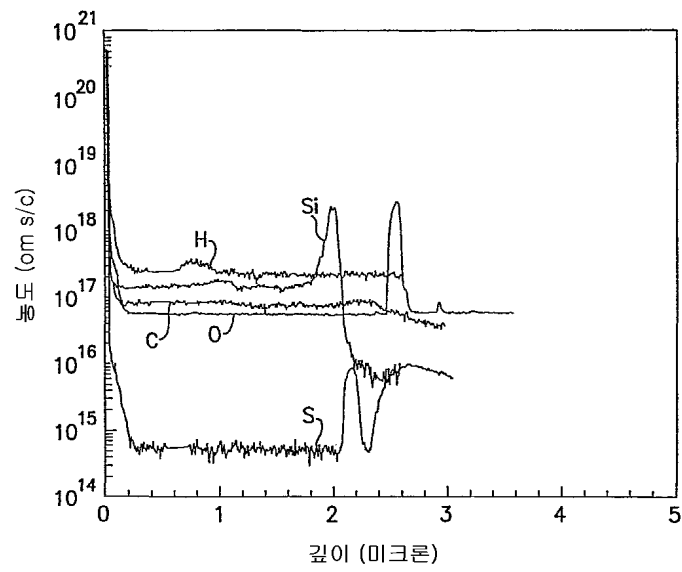
도면8



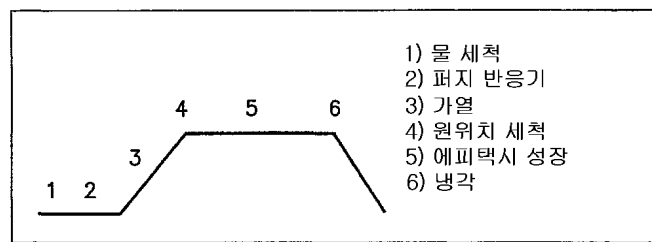
도면9



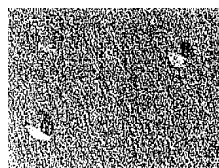
도면10



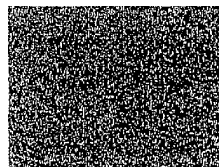
도면11



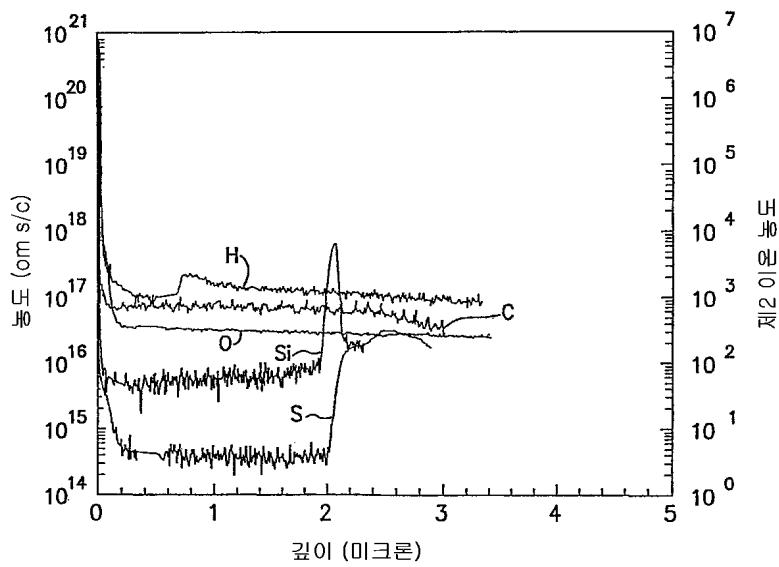
도면12



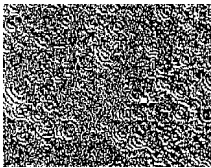
도면13



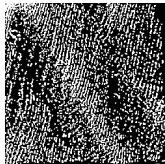
도면14



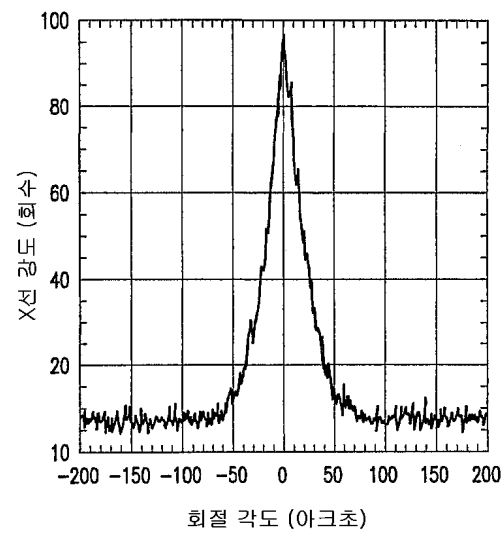
도면15



도면16



도면17



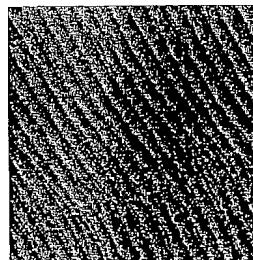
도면18



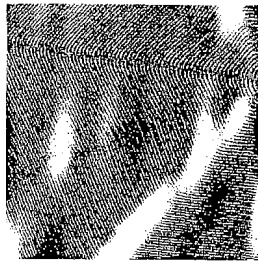
도면19



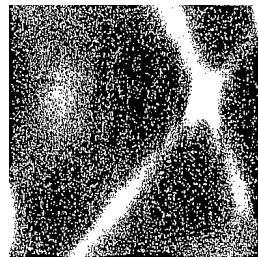
도면20



도면21



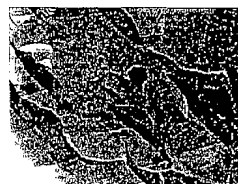
도면22



도면23



도면24



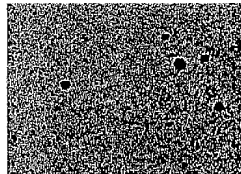
도면25



도면26



도면27



도면28



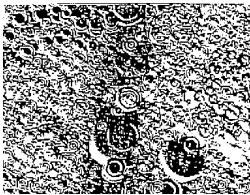
도면29



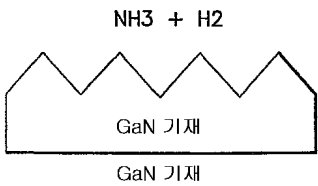
도면30



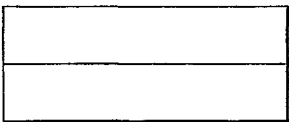
도면31



도면32a

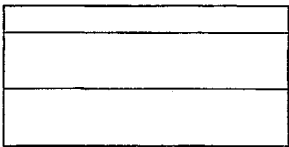


도면32b



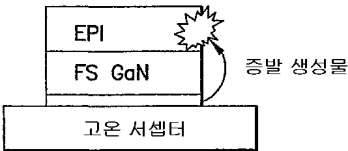
GaN 기재의 평활화를 위한
에피택셜 공정 1

도면32c

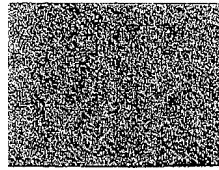


GaN 에피택시의 전파를 위한
에피택셜 공정 2

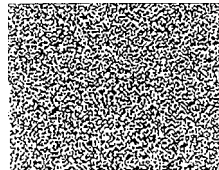
도면33



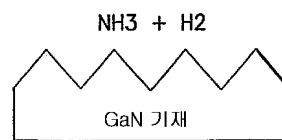
도면34



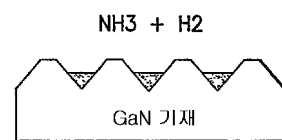
도면35



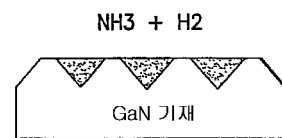
도면36



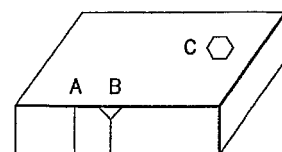
도면37



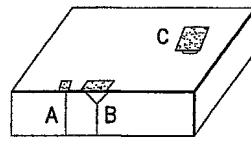
도면38



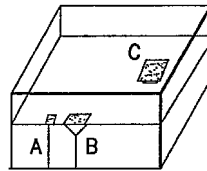
도면39



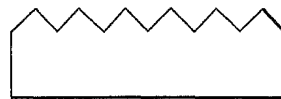
도면40



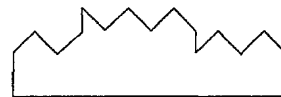
도면41



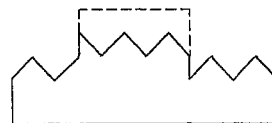
도면42



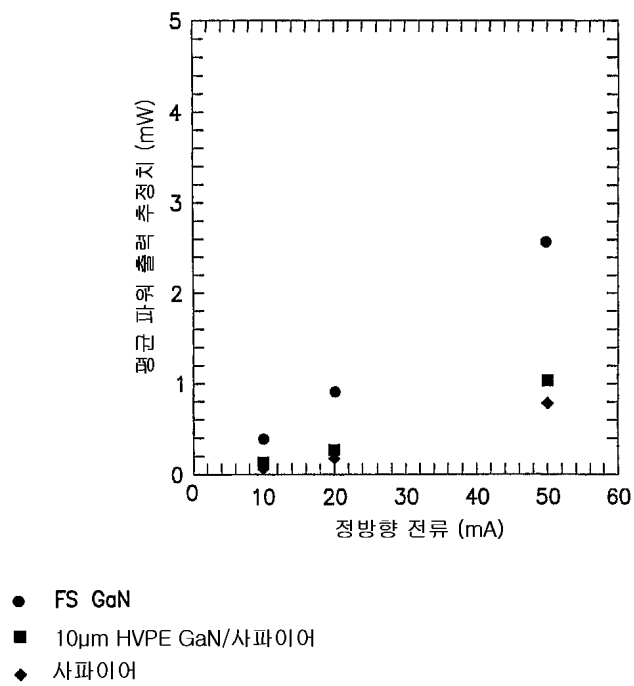
도면43



도면44



도면45



도면46

