

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 30 日 (30.01.2014)



(10) 国际公布号
WO 2014/015536 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/079694
- (22) 国际申请日: 2012 年 8 月 3 日 (03.08.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210258807.6 2012 年 7 月 24 日 (24.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克劳斯特街 11#, New York 12603 (US)。 张珂珂 (ZHANG, Keke) [CN/CN]; 中国山东省聊城市莘县莘亭镇蒋庄村 191 号, Shandong 252411 (CN)。
- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY

PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD OF FABRICATING SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件制造方法

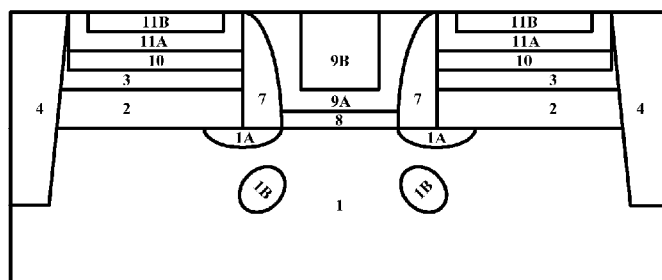


图 8 /Fig. 8

(57) Abstract: Disclosed is a method of fabricating a semiconductor device. The method comprises: forming contact sacrificial layers (2, 3) on a substrate (1), and etching the contact sacrificial layers (2, 3) to form contact sacrificial patterns, the contact sacrificial pattern covering a source region and a drain region and having a gate groove exposing the substrate (1); forming a gate sidewall (7) and gate stack structures (8, 9A, 9B) in the gate groove; partially or completely etching away the contact sacrificial pattern covering the source region and the drain region; forming a source/drain contact groove; and forming source/drain contacts (10, 11A, 11B) in the source/drain contact groove. By means of a double-layer contact sacrificial layer process, the method through effectively lowers a pitch between a gate sidewall and a contact region, and increases the area of a contact region, thereby effectively reducing the parasitic resistance of the device.

(57) 摘要: 公开了一种半导体器件制造方法。该方法包括: 在衬底(1)上形成接触牺牲层(2、3), 刻蚀接触牺牲层(2、3)形成接触牺牲图形, 其中接触牺牲图形覆盖源区与漏区并且具有暴露衬底(1)的栅极沟槽; 在栅极沟槽中形成栅极侧墙(7)和栅极堆叠结构(8、9A、9B); 部分或者完全刻蚀去除覆盖源区与漏区的接触牺牲图形; 形成源漏接触沟槽; 在源漏接触沟槽中形成源漏接触(10、11A、11B)。该方法通过双层接触牺牲层工艺有效降低了栅极侧墙与接触区域之间的间距, 并且增大了接触区域面积, 从而有效减小了器件寄生电阻。

WO 2014/015536 A1

半导体器件制造方法

[0001] 本申请要求了2012年7月24日提交的、申请号为201210258807.6、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体集成电路制造领域，更具体地，涉及一种具有增大接触区域的MOSFET的制造方法。

背景技术

[0003] 随着MOSFET的特征尺寸持续缩减，寄生电阻在器件的总电阻中占据的比重越来越大，严重制约了小尺寸器件性能的提升。现有的降低寄生电阻的结构/方法包括形成提升源漏、在源漏区中/上形成金属硅化物、提高接触面积等等。

[0004] 然而，无论采用何种结构/方法，源/漏区的接触区域（或接触孔，CA）与栅极侧墙之间仍然有较大的间距，电子/空穴的载流子从源区穿越沟道区达到漏区的距离仍然较大，因此寄生电阻依然无法有效的减小，器件性能提升程度有限。

发明内容

[0005] 有鉴于此，本发明的目的在于采用新的制造方法以接触牺牲层工艺代替传统的替代栅工艺，大幅减小接触区域与栅极之间的间距，从而有效地减小器件寄生电阻。

[0006] 实现本发明的上述目的，是通过提供一种半导体器件制造方法，包括：在衬底上形成接触牺牲层，刻蚀接触牺牲层形成接触牺牲图形，其中接触牺牲图形覆盖源区与漏区并且具有暴露衬底的栅极沟槽；在栅极沟槽中形成栅极侧墙和栅极堆叠结构；部分或者完全刻蚀去除覆盖源区与漏区的接触牺牲图形，形成源漏接触沟槽；在源漏接触沟槽中形成源漏接触。

[0007] 其中，接触牺牲层包括第一接触牺牲层和第二接触牺牲层。

[0008] 其中，第一接触牺牲层包括应变Si、SiGe、Si:C、多晶硅、非晶硅、微晶硅、非晶碳、氧化硅、氮化硅及其组合，第二接触牺牲层包括单晶硅、多晶硅、非晶硅、微晶硅、非晶碳、氧化硅、氮化硅及其组合。

5 [0009] 其中，形成源漏接触沟槽的步骤包括：部分刻蚀去除第二接触牺牲层；或者完全刻蚀去除第二接触牺牲层以及部分刻蚀去除第一接触牺牲层；或者完全刻蚀去除第二接触牺牲层和第一接触牺牲层；或者完全刻蚀去除第二接触牺牲层和第一接触牺牲层以及部分刻蚀衬底。

[0010] 其中，通过外延生长形成接触牺牲层并且掺杂具有第一导电类型。

10 [0011] 其中，形成接触牺牲层之后，刻蚀接触牺牲层以及衬底形成浅沟槽，在浅沟槽中填充绝缘材料形成浅沟槽隔离。

[0012] 其中，形成栅极沟槽之后，刻蚀浅沟槽隔离使其在有源区宽度方向上向隔离区倾斜。

15 [0013] 其中，刻蚀形成接触牺牲图形之后，在栅极沟槽两侧衬底中形成轻掺杂源漏区。

[0014] 其中，形成栅极堆叠结构包括在栅极沟槽中沉积高k材料的栅极绝缘层、金属氮化物的功函数调节层以及金属的电阻调节层。

20 [0015] 其中，形成源漏接触的步骤进一步包括：在源漏接触沟槽中形成金属硅化物；在金属硅化物上依次沉积衬垫层和填充层；平坦化填充层和衬垫层直至暴露栅极堆叠结构。

[0016] 依照本发明的半导体器件制造方法，通过双层接触牺牲层工艺有效降低了栅极侧墙与接触区域之间的间距，并且增大了接触区域面积，从而有效减小了器件寄生电阻。

25 附图说明

[0017] 以下参照附图来详细说明本发明的技术方案，其中：

[0018] 图1至图9为根据本发明的半导体器件制造方法各个步骤的剖视图；以及

[0019] 图10为根据本发明的半导体器件制造方法的流程图。

具体实施方式

[0020] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修

5 饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

[0021] 参照图10以及图1~图4，在衬底上形成接触牺牲图形，覆盖源区与漏区并且暴露栅极区域。

10 [0022] 如图1所示，在衬底1上依次形成第一接触牺牲层2和第二接触牺牲层3。提供衬底1，其材质可以是（体）Si（例如单晶Si晶片）、SOI、单晶Ge、GeOI（绝缘体上Ge），也可以是其他化合物半导体，例如GaAs、SiGe、GeSn、InP、InSb、GaN等等。优选地，衬底1选用体Si或SOI，以便与CMOS工艺兼容。

[0023] 采用LPCVD、PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等常规

15 方法并合理控制工艺参数，在衬底1上外延生长了第一接触牺牲层2。第一接触牺牲层2用于稍后器件的实际源漏区（作为提升源漏的一部分），其材质可以是应变Si、SiGe、Si:C及其组合，其厚度例如是10~100nm。由于第一接触牺牲层2的材质与衬底1的材质之间晶格常数不同，可以向沟道区引入应力，因此有助于提高载流子迁移率进而提高器件驱动能力。优选地，通过外

20 延生长同时原位掺杂或者外延生长后额外的离子注入工艺，使得第一接触牺牲层2具有第一导电类型，例如n或者p。此外，第一接触牺牲层2还可以是多晶硅、非晶硅、微晶硅、非晶碳、氧化硅、氮化硅等，此时第一接触牺牲层2将在稍后的图7所示形成源漏接触沟槽的过程中完全去除。

[0024] 随后，通过类似的外延工艺，在第一接触牺牲层2之上再外延形成第

25 二接触牺牲层3，用于限定稍后要形成源漏接触的区域，与后栅工艺中假栅极所起的作用类似，因此也可以称作假源漏接触区。第二接触牺牲层3材质可以与衬底1相同例如均为Si（可以是单晶硅，也可以是多晶硅、非晶硅、微晶硅，此时第二接触牺牲层3在后续工艺中不被完全刻蚀去除而是保留一部分用作提升源漏区的一部分），材质也可以不同，例如为非晶碳、氮化硅、

氧化硅、氮氧化硅（此时第二接触牺牲层3在后续工艺中将刻蚀完全去除而直至暴露第一接触牺牲层2）。第二接触牺牲层3厚度要大于第一接触牺牲层2，并且优选的是40~500nm。第一接触牺牲层2与第二接触牺牲层3的厚度之和要大于稍后要形成的栅极的高度，例如是50~500nm。优选地，当第二接

5 触牺牲层3材质包括Si时（也即稍后将要保留一部分用作提升源漏区的一部分时），通过外延生长同时原位掺杂或者外延生长后额外的离子注入工艺，使得第二接触牺牲层3也具有第一导电类型并且浓度更高，例如n+或者p+。

[0025] 如图2所示，形成浅沟槽隔离（STI）4。利用传统的光刻/刻蚀技术，依次刻蚀穿透第二接触牺牲层3、第一接触牺牲层2，以及部分刻蚀衬底1，

10 形成浅沟槽（未示出）。通过PECVD、HDPCVD、RTO（快速热氧化）、MBE、ALD等方法，在浅沟槽中沉积填充氧化硅或者氮氧化硅材质的绝缘膜，从而构成浅沟槽隔离（STI）4。此外优选地，STI 4的填充的隔离氧化物还可以是100K的温度下线性体积膨胀系数的绝对值大于 $10^{-4}/K$ 的巨热膨胀介质材料，例如包括 $\text{Bi}_{0.95}\text{La}_{0.05}\text{NiO}_3$ 、 BiNiO_3 、 ZrW_2O_8 等的钙钛矿型氧化物，或者诸如 $\text{Ag}_3[\text{Co}(\text{CN})_6]$

15 的框架材料。这些巨热膨胀介质材料可以向有源区施加应力，进一步增大载流子迁移率，提高器件性能。STI 4的剖面形状不限于图2中所示的上宽下窄的梯形，还可以是上下等宽的矩形、或者是上窄下宽的梯形（以增大有源区下部的应力）。

[0026] 如图3所示，刻蚀第二接触牺牲层3和第一接触牺牲层2通过栅极沟槽6

20 暴露栅极区域，而形成了接触牺牲图形。在整个器件上旋涂光刻胶层5并曝光显影形成光刻胶图形，仅暴露未来要形成栅极堆叠结构的区域。随后，采用各向异性的刻蚀，例如等离子刻蚀、反应离子刻蚀等干法刻蚀，或者TMAH（针对Si材料）、强酸（HF）与强氧化剂（硫酸、双氧水）组合（针对SiGe材料）等湿法刻蚀，刻蚀第二接触牺牲层3以及第一接触牺牲层2直至暴露衬

25 底1，形成了栅极沟槽6。其中，栅极沟槽6的宽度要等于稍后要形成的栅极堆叠结构（栅极绝缘层以及栅极导电层）的实际宽度与栅极侧墙的宽度之和。剩余的第三接触牺牲层3和第一接触牺牲层2继续覆盖了未来器件的源区和漏区。

[0027] 优选地，执行源漏轻掺杂工艺，在衬底中形成源漏轻掺杂区。例如以

光刻胶图形 5 及其下方的接触牺牲层 3/2 为掩模,采用低剂量、低能量的倾斜源漏离子注入,利用阴影效应(Shadow Effect)控制了掺杂剂注入位置而形成了轻掺杂的源漏延伸区 1A、以及源漏延伸区 1A 下方衬底中的晕状(Halo)源漏掺杂区 1B。随后快速退火(例如激光快速退火)以激活掺杂剂。

5 掺杂离子的种类、剂量、浓度依照器件电学性能需要而设定。此外,可选地,在栅极沟槽 6 中在接触牺牲层 3/2 两侧,形成含有扩散源的侧墙,通过离子扩散作用形成轻掺杂的源漏延伸区 1A,随后将该层侧墙去除。

[0028] 如图 4 所示,为图 3 去除顶部光刻胶图形 5 之后的顶视图。其中,执行 STI 刻蚀工艺,使得如图中所示的 STI 4 暴露于栅极沟槽 6 部分的侧面向浅沟槽隔离区倾斜而不是向栅极沟槽 6 倾斜,以避免在 STI 4 上形成栅极侧墙。

[0029] 参照图 10 以及图 5,在栅极沟槽 6 中形成栅极侧墙 7。通过 PECVD、HDPCVD、MBE、ALD、(磁控)溅射等方法沉积例如为氮化硅、氮氧化硅、类金刚石无定形碳(DLC)的绝缘材质并且随后刻蚀形成了栅极侧墙 7,位于栅极沟槽 6 中沿有源区长度方向(沟道区方向)的两个侧面上,并且与第一和第二接触牺牲层 2/3 接触。由于栅极沟槽 6 中沿有源区宽度方向(器件延伸方向)的 STI 4 向浅沟槽隔离区倾斜,两个侧面上的绝缘材质被完全刻蚀,而不会形成栅极侧墙。栅极侧墙 7 的厚度依照栅极绝缘隔离性能需要而设定,例如为 5 ~ 30 nm。

[0030] 参照图 10 以及图 6,在栅极沟槽 6 中形成栅极堆叠结构 8/9。通过 PECVD、HDPCVD、MOCVD、MBE、ALD 等方法,在栅极沟槽 6 底部与衬底 1 接触的面上沉积形成栅极绝缘层 8。栅极绝缘层 8 的材质为高 k 材料,包括但不限于氮化物(例如 SiN、AlN、TiN)、金属氧化物(主要为副族和镧系金属元素氧化物,例如 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3)、钙钛矿相氧化物(例如 $PbZr_xTi_{1-x}O_3$ (PZT)、 $Ba_xSr_{1-x}TiO_3$ (BST))。随后,通过 PECVD、MOCVD、MBE、ALD、蒸发、溅射等方法在第二接触牺牲层 3 上以及栅极沟槽 6 中沉积栅极导电层 9。栅极导电层 9 优选地包括材质为 TiN、TaN 等金属氮化物的功函数调节层 9A,以及材质为 Cu、Al、Ti、Mo、Ta、W 等金属的电阻调节层 9B。栅极绝缘层 8 与栅极导电层 9A/9B 共同构成栅极堆叠结构。随后采用回刻工艺或者 CMP 工艺,平坦化栅极导电层 9A/9B 直至暴露第二接触牺牲层 3。

[0031] 参照图10以及图7，部分或者完全去除接触牺牲图形，形成源漏接触沟槽，在源漏接触沟槽中形成金属硅化物。例如采用TMAH等各向异性的湿法腐蚀液，刻蚀去除单晶硅、多晶硅、非晶硅、微晶硅等硅基材质的第二接触牺牲层3，或者采用氧等离子刻蚀去除非晶碳材质的第二接触牺牲层3。由此，
5 部分（或者完全）去除了第二接触牺牲层3之后，留下了源漏接触沟槽3A，暴露了剩余的第二接触牺牲层以及栅极侧墙7。根据本发明一个实施例的如图7所示的源漏接触沟槽3A深度小于第二接触牺牲层3的原始厚度，也即仅部分去除了第二接触牺牲层3（此时剩余的部分第二接触牺牲层3将要作为未来源漏区的一部分或者作为源漏接触之一，因此其材质优选的为硅基材质）。

10 但是在本发明其他实施例中，源漏接触沟槽3A的深度可以大于第二接触牺牲层3的原始厚度。具体地，可以完全去除第二接触牺牲层3（未示出，此时第二接触牺牲层3可以是非晶碳等其他材质，甚至可以是氮化硅），还可以继续刻蚀去除部分或者全部的第一接触牺牲层2（未示出，此时第一接触牺牲层2将不再用于源漏区一部分，因此材质不必为SiGe、SiC等），甚至可以进一步
15 刻蚀去除部分衬底1，形成的源漏接触沟槽3A深入衬底（此时可以在深沟槽中外延形成SiGe、SiC并且进一步形成提升源漏）。

[0032] 特别地，若完全去除第二接触牺牲层3及第一接触牺牲层2（或外延生长接触牺牲层2/3过程中没有进行原位掺杂并且外延生长后没有进行额外的离子注入），对源漏接触沟槽3A中暴露的衬底（或第二接触牺牲层3和/或第一接触牺牲层2）进行重掺杂，使其形成n+或者p+型的重掺杂区，以作为源漏重掺杂区。
20

[0033] 此后，在源漏接触沟槽3A中溅射、蒸发形成金属薄层（未示出），例如是Ni、Pt、Co、Ti及其组合，然后快速退火或者低温退火（400~600℃），使得金属薄层与源漏区中的Si反应形成金属硅化物10，用于进一步降低接触
25 电阻。剥除未反应的金属薄层。此时由于氧化物材料的STI4、氮化硅材质的栅极侧墙7与金属薄层不反应，因此金属硅化物10仅形成在源漏区中。

[0034] 参照图10和图8，在源漏接触沟槽3A中金属硅化物10上依次沉积TiN、TaN的材质的阻挡层11A（衬垫层）以及W、Al、Mo、Ti等材质的填充层11B，以形成了源漏接触11。优选地，采用CMP等工艺平坦化阻挡层11A/填充层11B，

直至暴露栅极堆叠结构的栅极导电层9（电阻调节层9B）。此时，源漏接触11与栅极堆叠结构之间的间距仅为栅极侧墙7的厚度，该间距大幅减小了；此外，源漏接触11覆盖了整个源漏区，其面积较之现有技术大幅提升。因此，依照本发明的这种大面积源漏接触有效降低了寄生电阻。

5 [0035] 参照图10和图9，完成后续工艺。例如在整个器件上沉积氧化硅、氮化硅、低k材质的层间介质层（ILD）12，刻蚀ILD 12形成源漏接触孔，在源漏接触孔中填充金属材料形成第二源漏接触11C，在整个器件上沉积例如为氧化硅、氮化硅或者其他低k材料并且与ILD 12材质不同的第二ILD 13，刻蚀形成互连孔，在互连孔中沉积Al、Ti等金属形成互连线14。

10 [0036] 依照本发明的半导体器件制造方法，通过双层接触牺牲层工艺有效降低了栅极侧墙与接触区域之间的间距，并且增大了接触区域面积，从而有效减小了器件寄生电阻。

15 [0037] 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件制造方法, 包括:

在衬底上形成接触牺牲层, 刻蚀接触牺牲层形成接触牺牲图形, 其中接
5 触牺牲图形覆盖源区与漏区并且具有暴露衬底的栅极沟槽;

在栅极沟槽中形成栅极侧墙和栅极堆叠结构;

部分或者完全刻蚀去除覆盖源区与漏区的接触牺牲图形, 形成源漏接触
沟槽;

在源漏接触沟槽中形成源漏接触。

10 2. 如权利要求1的半导体器件制造方法, 其中, 接触牺牲层包括第一
接触牺牲层和第二接触牺牲层。

3. 如权利要求2的半导体器件制造方法, 其中, 第一接触牺牲层包括
应变Si、SiGe、Si:C、多晶硅、非晶硅、微晶硅、非晶碳、氧化硅、氮化硅
及其组合, 第二接触牺牲层包括单晶硅、多晶硅、非晶硅、微晶硅、非晶碳、
15 氧化硅、氮化硅及其组合。

4. 如权利要求2的半导体器件制造方法, 其中, 形成源漏接触沟槽的
步骤包括: 部分刻蚀去除第二接触牺牲层; 或者完全刻蚀去除第二接触牺牲
层以及部分刻蚀去除第一接触牺牲层; 或者完全刻蚀去除第二接触牺牲层和
第一接触牺牲层; 或者完全刻蚀去除第二接触牺牲层和第一接触牺牲层以及
20 部分刻蚀衬底。

5. 如权利要求1的半导体器件制造方法, 其中, 通过外延生长形成接
触牺牲层并且掺杂具有第一导电类型。

6. 如权利要求1的半导体器件制造方法, 其中, 形成接触牺牲层之后,
刻蚀接触牺牲层以及衬底形成浅沟槽, 在浅沟槽中填充绝缘材料形成浅沟槽
25 隔离。

7. 如权利要求6的半导体器件制造方法, 其中, 形成栅极沟槽之后,
刻蚀浅沟槽隔离使其在有源区宽度方向上向隔离区倾斜。

8. 如权利要求1的半导体器件制造方法, 其中, 刻蚀形成接触牺牲图
形之后, 在栅极沟槽两侧衬底中形成轻掺杂源漏区。

9. 如权利要求1的半导体器件制造方法,其中,形成栅极堆叠结构包括在栅极沟槽中沉积高k材料的栅极绝缘层、金属氮化物的功函数调节层以及金属的电阻调节层。

10. 如权利要求1的半导体器件制造方法,其中,形成源漏接触的步骤
5 进一步包括:

在源漏接触沟槽中形成金属硅化物;

在金属硅化物上依次沉积衬垫层和填充层;

平坦化填充层和衬垫层直至暴露栅极堆叠结构。

附 图

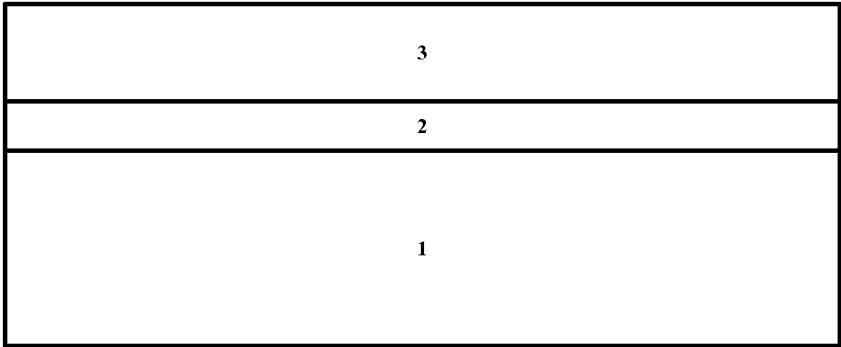


图1

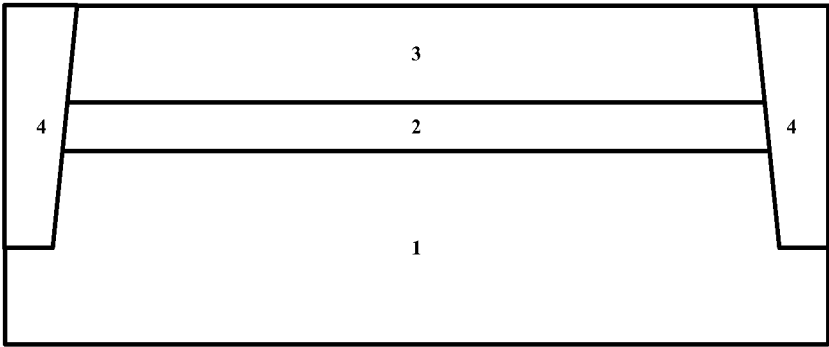


图2

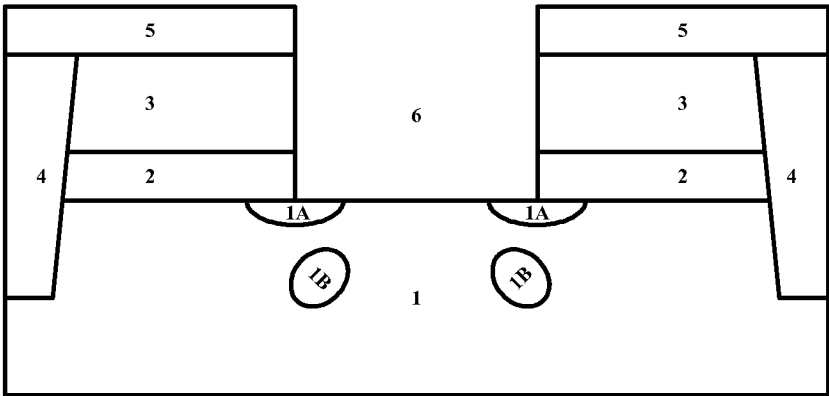


图3

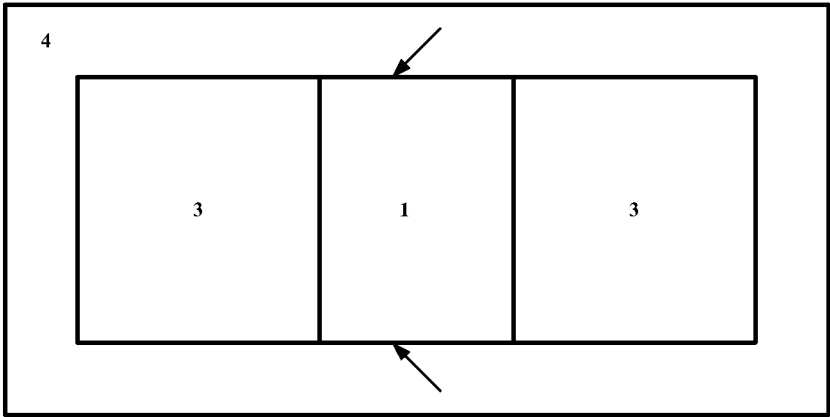


图4

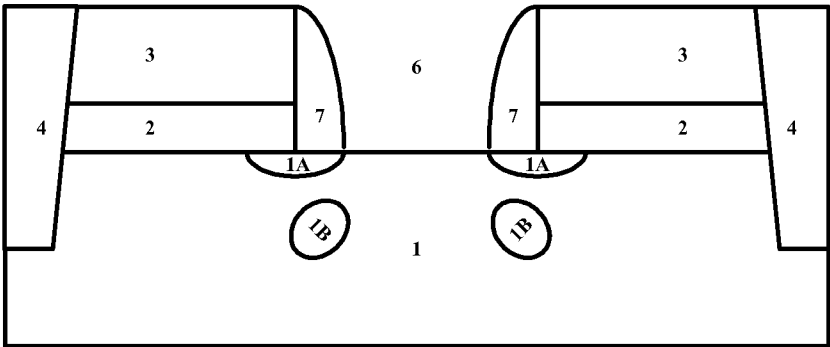


图5

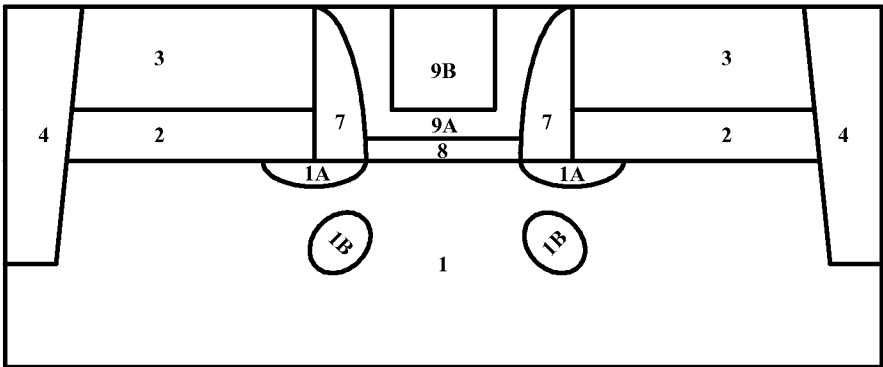


图6

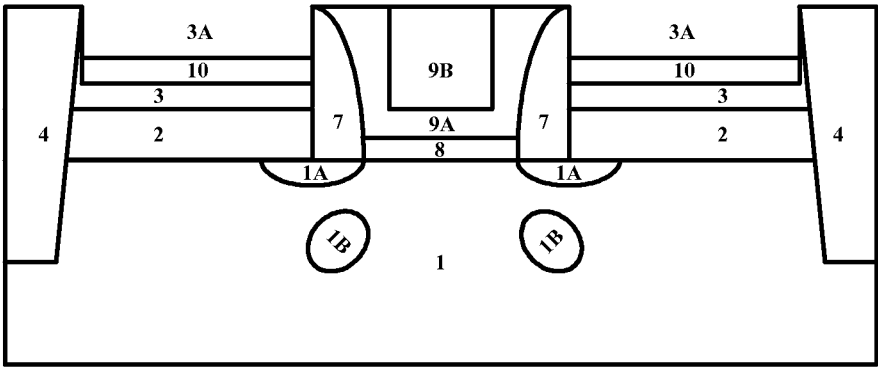


图7

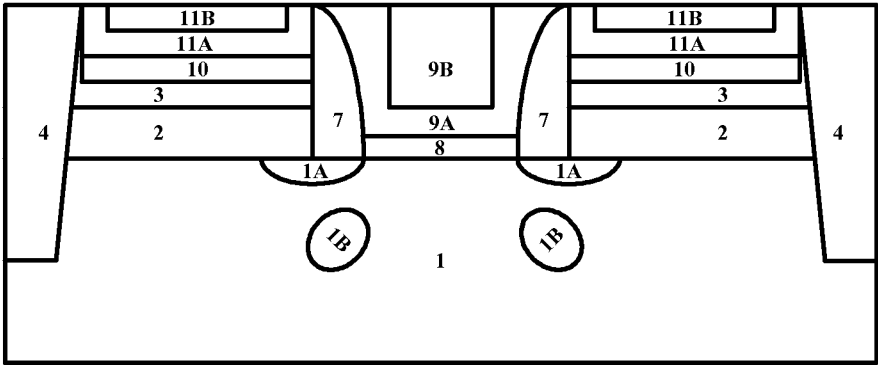


图8

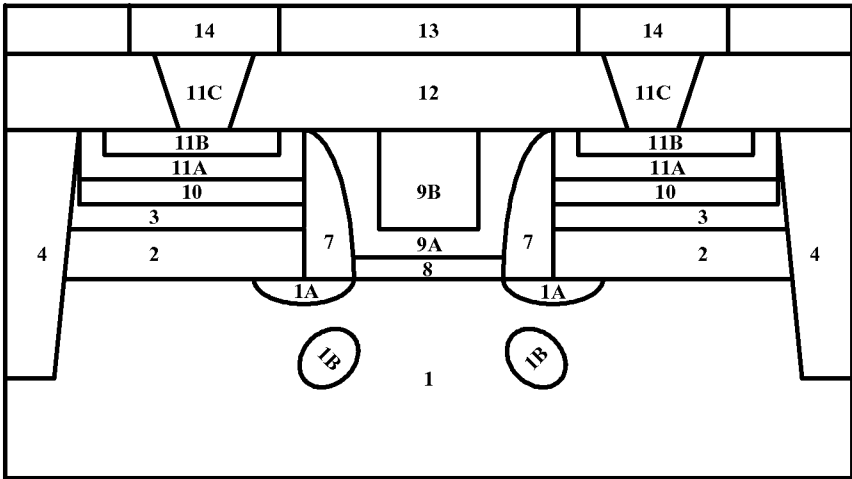


图9

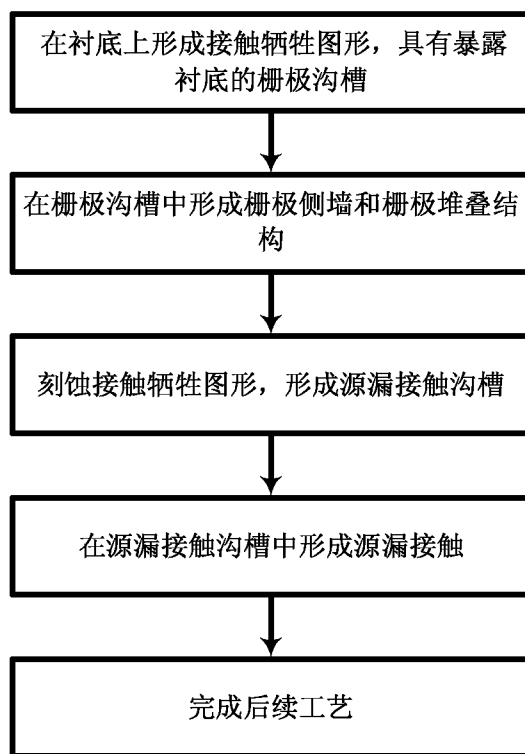


图10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079694

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN: gate, sidewall, spacer, opening, hole

CNABS, CNKI: opening, groove, gate, sacrifice, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004175907 A1 (TSENG et al.), 09 September 2004 (09.09.2004), paragraphs [0044]-[0072], and figures 5-11	1-10
Y	CN 102339852 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES), 01 February 2012 (01.02.2012), paragraphs [0027]-[0053], and figures 1-14	1-10
Y	US 2002115289 A1 (WU), 22 August 2002 (22.08.2002), paragraph [0027], and figures 3-10	5
Y	US 2002168823 A1 (TSENG), 14 November 2002 (14.11.2002), paragraphs [0025]-[0038], and figures 2A-2F	8
Y	US 2002072181 A1 (TSENG), 13 June 2002 (13.06.2002), paragraphs [0039]-[0040], and figure 5C	10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 March 2013 (19.03.2013)	Date of mailing of the international search report 18 April 2013 (18.04.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Xin Telephone No.: (86-10) 62411567

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079694

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2004175907 A1	09.09.2004	TW 200418132 A	16.09.2004
		TW 314350 B1	01.09.2009
CN 102339852 A	01.02.2012	US 20120146103 A1	14.06.2012
		WO 2012013036 A1	02.02.2012
US 2002115289 A1	22.08.2002	None	
US 2002168823 A1	14.11.2002	None	
US 2002072181 A1	13.06.2002	US 6531781 B2	11.03.2003
		TW 459312 B	11.10.2001

国际检索报告

国际申请号
PCT/CN2012/079694

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

VEN: gate, sidewall, spacer, opening, hole

CNABS, CNKI: 开口, 沟槽, 栅, 牺牲, 源, 漏

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2004175907 A1 (TSENG 等) 09.9 月 2004 (09.09.2004) 第[0044]-[0072]段; 附图 5-11	1-10
Y	CN102339852 A (中国科学院微电子研究所) 01.2 月 2012 (01.02.2012) 第[0027]-[0053]段; 附图 1-14	1-10
Y	US2002115289 A1 (WU) 22.8 月 2002 (22.08.2002) 第[0027]段; 附图 3-10	5
Y	US2002168823 A1 (TSENG) 14.11 月 2002 (14.11.2002) 第[0025]-[0038]段; 附图 2A-2F	8
Y	US2002072181 A1 (TSENG) 13.6 月 2002 (13.06.2002) 第[0039]-[0040]段; 附图 5C	10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

19.3 月 2013 (19.03.2013)

国际检索报告邮寄日期

18.4 月 2013 (18.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王欣

电话号码: (86-10) **62411567**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079694

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2004175907 A1	09.09.2004	TW200418132 A	16.09.2004
		TW314350 B1	01.09.2009
CN102339852 A	01.02.2012	US20120146103 A1	14.06.2012
		WO2012013036 A1	02.02.2012
US2002115289 A1	22.08.2002	无	
US2002168823 A1	14.11.2002	无	
US2002072181 A1	13.06.2002	US6531781 B2	11.03.2003
		TW459312 B	11.10.2001