

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96117233

※申請日期：96.5.15

※IPC 分類：H01L ^{21/}334, ^{21/}60

一、發明名稱：(中文/英文)

(2005.01)

具有自我對準耐高溫接點之半導體元件及其製造方法

SEMICONDUCTOR DEVICES INCLUDING SELF ALIGNED

REFRACTORY CONTACTS AND METHODS OF FABRICATING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商克立公司

CREE, INC.

代表人：(中文/英文)

亞當 H 布魯

BROOME, ADAM H.

住居所或營業所地址：(中文/英文)

美國北卡羅萊納州德罕市斯里康路4600號

4600 SILICON DRIVE, DURHAM, NC 27703, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 亞當 威廉 莎克瑟勒
SAXLER, ADAM WILLIAM
2. 史考特 雪帕
SHEPPARD, SCOTT

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年05月16日；11/434,853

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種藉由在一半導體基板上形成一半導體層而形成半導體元件之方法。在該半導體層上形成一遮罩。根據該遮罩將具有一第一導電型之離子植入該半導體層中以在該半導體層上形成植入區。根據該遮罩在該等植入區上形成金屬層。該等植入區及該等金屬層係在一單一步驟中經退火以分別活化該等植入區中之該等植入離子並在該等植入區上提供歐姆接點。本發明亦提供一種相關元件。

六、英文發明摘要：

Methods of forming semiconductor devices are provided by forming a semiconductor layer on a semiconductor substrate. A mask is formed on the semiconductor layer. Ions having a first conductivity type are implanted into the semiconductor layer according to the mask to form implanted regions on the semiconductor layer. Metal layers are formed on the implanted regions according to the mask. The implanted regions and the metal layers are annealed in a single step to respectively activate the implanted ions in the implanted regions and provide ohmic contacts on the implanted regions. Related devices are also provided.

七、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

10	基板
20	通道層
22	障壁層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件及製造半導體元件之相關方法，且詳言之，係關於一種具有耐高溫金屬接點之半導體元件及相關製造方法。

【先前技術】

存在對用於高功率、高溫及/或高頻率應用的諸如碳化矽(SiC)(室溫下之阿發SiC的2.996 eV)及第III族氮化物(諸如室溫下之GaN的3.36 eV)之寬帶隙半導體材料之較高度度的關注。此等材料通常具有相對於砷化鎵(GaAs)及矽(Si)之較高電場崩潰強度及較高電子飽和速度。

對高功率及/或高頻率應用尤其關注之元件為高電子遷移率電晶體(HEMT)在一些情況下，其亦稱為調變摻雜場效電晶體(MODFET)。因為二維電子氣(2DEG)形成於具有不同帶隙能量之兩種半導體材料之異質接面處，且其中較小帶隙材料具有較高電子親和力，所以此等元件可在若干情況下提供操作上之優點。2DEG為非摻雜("非特意摻雜")較小帶隙材料之累積層且可含有超過(例如) 10^{13} 載流子/平方公分之極高薄層電子濃度。此外，較寬帶隙半導體中產生之電子轉移成2DEG，由於離子化雜質散射減少而允許高電子遷移率。

高載流子濃度與高載流子遷移率之組合可給予HEMT極大跨導性，且可為高頻率應用提供優於金屬半導體場效電晶體(MESFET)之強勁效能優點。

因為包括前述高崩潰場、其寬帶隙、大導電帶偏移及/或高飽和電子漂移速度之材料特徵之組合，所以，以氮化鎵/氮化鋁鎵(GaN/AlGa_N)材料系統製造之高電子遷移率電晶體具有產生大量RF功率之勢能。另外，2DEG中之電子的主要部分歸因於AlGa_N中之極化。

GaN/AlGa_N系統中之HEMT已經證明。舉例而言，美國專利第5,192,987號及第5,296,395號討論AlGa_N/GaN HEMT結構及相關製造方法。此外，目前共同讓渡於本申請案之受讓人且揭示內容以如同本文完全陳述之引用的方式併入本文中之Sheppard等人的美國專利第6,316,793號討論了具有半絕緣碳化矽基板、基板上之氮化鋁緩衝層、緩衝層上之絕緣氮化鎵層、氮化鎵層上之氮化鋁鎵障壁層及氮化鋁鎵活性結構上之鈍化層的HEMT元件。

為提供所要半導體特性，需要以雜質原子(亦即摻雜劑)摻雜半導體層。可在材料成長期間及/或之後執行半導體材料之摻雜。雜質原子可視植入離子在摻雜材料中分別充當供體(其增加電子數目)還是受體(其增加電洞數目)而分為n型或p型。所得材料之特徵可視材料中之摻雜劑的主要類型而為n型或p型。

離子植入為以雜質摻雜半導體層之熟知方法。在離子植入過程中，使離子化雜質原子在高真空下通過電場朝向目標層加速，該等原子被植入該目標層中。被引向目標層之離子的數目被稱為劑量，其通常以離子/平方公分表示。使離子在一能階下加速，該能階通常以電子伏特(eV)表

示。離子在植入層中之分布視有時被稱為植入條件的植入之劑量及能量以及植入離子之類型、離子所植入之材料的類型、植入角度及其他因素而定。植入離子通常形成在特定深度處具有峰值濃度(亦即，"植入範圍")的濃度分布。

離子植入用於結晶材料之選擇性摻雜用以形成材料中之所要區，諸如 p-n 接面、高導電接點區、場展布區(field spreading region)及其類似物。通常，在將雜質植入半導體層之後，可在高溫下退火植入雜質，此可被稱為活化退火(activation anneal)。活化退火可修復由高能離子植入於半導體晶格中所引起的損壞。植入損壞可包括(例如)半導體晶格內之斷裂及/或重排化學鍵。活化退火亦可輔助植入雜質離子找到離子可適當地充當受體及/或供體的晶格中之合適部位。

對於一些半導體材料，可發生顯著晶格損壞修復之溫度高於材料將在正常環境壓力下解離之溫度。由於彼原因，已知於活化退火期間在植入半導體層上提供穩定保護層。保護層之材料在高溫下可為穩定的。在植入層被退火之後此保護層之移除可能存在問題。

【發明內容】

本發明之一些實施例提供形成一半導體元件之方法，該方法包括在一半導體基板上形成一半導體層。在該半導體層上形成一遮罩。根據該遮罩將具有一第一導電型之離子植入該半導體層以在該半導體層上形成植入區。根據該遮罩在該等植入區上形成金屬層。該等植入區及該等金屬層

在一單一步驟中經退火以分別活化該等植入區中之該等植入離子並在該等植入區上提供歐姆接點。

在本發明之另外的實施例中，形成該半導體層可包括在該半導體基板上形成一通道層，在該通道層上形成一障壁層及在該障壁層上形成一保護層。此外，該遮罩可形成於該保護層上。

在本發明之其他實施例中，可根據該遮罩蝕刻該保護層以暴露該障壁層之一表面的至少一部分。可根據該遮罩將該等離子植入該障壁層以在該障壁層上形成植入區。該等植入區至少部分延伸進入該通道層。

在本發明之一些實施例中，可根據該遮罩將離子植入該保護層及該障壁層以在該保護層及該障壁層中形成植入區。可根據該遮罩蝕刻該保護層以暴露該障壁層之該等植入區的至少一部分。該等植入區可至少部分延伸進入該通道層。

在本發明之另外的實施例中，該等歐姆接點可包括至少一耐高溫金屬。該耐高溫金屬可包括Ti、TiW、Mo、Ta、W、WSi、Re、Nb、TiWN、NiSi及/或TiSi。該等歐姆接點可與該等植入區自我對準。

在本發明之其他實施例中，該第一導電型可為一n型導電性。該等植入離子可為矽離子。可在至少約950°C之一溫度下退火該等植入區及該金屬層。該半導體元件可為一第III族氮化物半導體元件。

在本發明之一些實施例中，該保護層可為一高純度氮

(HPN)層。該HPN層具有自約50 nm至約150 nm之一厚度。在本發明之一些實施例中，該HPN層可為一具有自約50 nm至約150 nm之一厚度的HPN及一在該HPN層上之具有自約100 nm至約250 nm之一厚度的二氧化矽(SiO₂)層。

儘管以上關於方法實施例討論本發明之實施例，但本文中亦提供元件實施例。

【實施方式】

將在下文中參考展示本發明之實施例的所附圖式來更全面地描述本發明之實施例。然而，本發明可以許多不同形式體現且不應視作限制於本文中所陳述之實施例；相反，提供此等實施例以使此揭示內容將為全面且完整的，且將本發明之範疇充分傳達給熟習此項技術者。全文中相同的數字涉及相同的零件。此外，示意地說明諸圖中所說明之各個層及區。相應地，本發明不限於所附圖式中所說明之相對尺寸、間距及對準。如熟習此項技術者亦應瞭解的，本文中涉及形成於一基板或另一層"上"之層可涉及直接形成於該基板或另一層上或於形成於該基板或另一層上之一或多個介入層上的層。熟習此項技術者亦應瞭解，涉及與另一特徵"相鄰"安置之一結構或特徵可具有與該相鄰特徵重疊或在其下之部分。

諸如"以下"或"以上"或"上部"或"下部"或"水平"或"垂直"之關係術語本文中可用於描述如圖式中所說明之零件、層或區與另一零件、層或區的關係。應瞭解，此等術語意欲涵蓋除圖中所描繪之方位之外之元件的不同方位。

本文中參看作為本發明之理想化實施例(及中間結構)之圖解說明的橫截面圖解說明來描述本發明之實施例。為了清楚起見可能放大了圖式中層及區之厚度。另外，將可預期作為例如製造技術及/或容限之結果的圖解說明之形狀的變化。因此，本發明之實施例不應理解為限於本文中所說明之區的特定形狀，而包括(例如)製造所造成之形狀偏差。舉例而言，說明為一矩形之植入區將(通常)具有圓的或曲線特徵，及/或在其邊緣處之植入濃度之梯度而非自植入區至非植入區的不連續變化。同樣，由植入所形成之內埋區可在內埋區與植入經由其所發生之表面之間的區中產生一些植入。因此，圖式中所說明之區本質上係示意性的且其形狀不意欲說明元件之區的實際形狀且不意欲限制本發明之範疇。

本文所使用之術語僅係出於描述特定實施例之目的，且不意欲限制本發明。如本文中所使用，單數形式"一"或"該"亦意欲包括複數形式，除非本文另外清楚指出。應進一步瞭解，當本文使用術語"包含"及/或"包括"時，其指定存在所陳述之特徵、整體、步驟、操作、零件及/或組件，但並未排除存在或添加一或多個其它特徵、整體、步驟、操作、零件、組件及/或其中之群。

除非另外定義，否則本文所使用之所有術語(包括技術性及科學性術語)具有一般熟習本發明所屬領域之技術者普遍理解之相同含義。應進一步理解，本文中所使用之術語應解釋為具有與其在本說明書之內容及相關技術中的含

義一致之含義且將不應以理想化或過於正式之意義解釋，除非本文如此明確界定。

本發明之實施例可尤其良好適用於諸如第III族氮化物基元件之氮化物基HEMT。如本文中所使用，術語"第III族氮化物"係指形成在氮與週期表之第III族中之元素之間的彼等半導體化合物，該等元素通常為鋁(Al)、鎵(Ga)及/或銦(In)。該術語亦意指諸如AlGa_N及AlInGa_N之三元或四元化合物。如此項技術者所熟知，第三族元素可與氮結合而形成二元化合物(例如Ga_N)、三元化合物(例如AlGa_N、AlIn_N)及四元化合物(例如AlInGa_N)。此等化合物均具有經驗式，其中一莫耳氮與總共一莫耳第三族元素結合。因此，諸如Al_xGa_{1-x}N(0≤x≤1)之式常用來對其進行描述。

在以下各案中描述可利用本發明之實施例的Ga_N基HEMT之適合結構，例如，於2001年7月12日申請並於2002年6月6日公開的目前共同讓渡的美國專利第6,316,793號及美國專利公開案第2002/0066908A1號"ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"、於2001年5月11日申請的美國臨時申請案第60/290,195號"GROUP III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"、於2002年11月14日公開之Smorchkova等人的美國專利公開案第2002/

0167023A1號(標題為"GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER")，及於2003年7月11日申請的美國專利申請案第10/617,843號"NITRIDE-BASED TRANSISTORS AND METHODS OF FABRICATION THEREOF USING NON-ETCHED CONTACT RECESSES"，該等案之揭示內容全部以引用之方式併入本文中。

然而，儘管結合GaN HEMT元件描述本發明之實施例，但可結合其他類型之元件及/或材料使用本發明。舉例而言，本發明之實施例亦可尤其適合用於碳化矽MESFET元件，諸如標題為"SILICON CARBIDE METAL-SEMICONDUCTOR FIELD EFFECT TRANSISTORS"之美國專利第6,686,616號中所描述之元件，該案之揭示內容全部以引用之方式併入本文中。同樣，本發明之一些實施例可有利地用於GaN基發光元件(LED)以及用於諸如GaAs/AlGaAs pHEMT元件之GaAs基元件。

現將於以下參看圖1A至圖1F討論本發明之實施例。如本文中所討論的，本發明之一些實施例提供半導體元件及形成具有耐高溫金屬接點之半導體元件的方法，該等耐高溫金屬接點與在其上提供該等耐高溫金屬接點之植入區自我對準。根據本發明之一些實施例的方法提供植入區與耐高溫金屬接點之同時退火，此可簡化半導體元件之製造過程。此外，根據本發明之一些實施例的高度摻雜植入區上之耐高溫金屬接點的提供可提供如本文中將進一步討論之

改良接點電阻率。

如本文中所使用的，"自我對準"係指植入區與歐姆金屬均由如本文中將進一步討論之一個光微影步驟界定的方法及元件。因此，根據本發明之一些實施例，可避免隨後光微影步驟及伴隨之對齊不良的可能性。

在圖1A至圖1F中示意地說明根據本發明之實施例的結構之製造。如圖1A中可見，提供一基板10，在其上可形成氮化物基元件。在本發明之特定實施例中，基板10可為半絕緣碳化矽(SiC)基板，其可為(例如)碳化矽之4H多型體。其他碳化矽候選多型體包括3C、6H及15R多型體。在相對而非絕對意義上使用術語"半絕緣"。在本發明之特定實施例中，碳化矽塊晶具有在室溫下等於或高於約 $1 \times 10^5 \text{ } \Omega\text{-cm}$ 之電阻率。

可選之緩衝、長晶及/或過渡層(未圖示)可提供於基板10上。舉例而言，可提供一AlN緩衝層以提供碳化矽基板與元件之剩餘部分間之適當晶體結構過渡。此外，亦可如(例如)目前共同讓渡的標題為"STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS"之美國專利公開案第2003/0102482A1號及2001年12月3日標題為"STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTOR"之美國臨時專利申請案第60/337,687號中所描述的提供一或多個應力平衡過渡層，該等案之揭示內容以如同本文完

全陳述之引用的方式併入本文中。

與為用於第III族氮化物元件之非常通用之基板材料的藍寶石(Al_2O_3)相比，碳化矽具有與第III族氮化物接近得多的晶格匹配。較接近之晶格匹配可產生與普遍可用於藍寶石上之第III族氮化物薄膜相比更高品質的第III族氮化物薄膜。碳化矽亦具有非常高之熱導率使得碳化矽上之第III族氮化物元件之總輸出功率通常不與在形成於藍寶石上之相同元件之狀況下一樣受基板之熱耗散限制。又，半絕緣碳化矽基板之可用性可提供元件隔離及減小之寄生電容。適當的SiC基板係由(例如)本發明之當前受讓人Cree公司(Durham, N.C.)製造，且生產方法在(例如)美國再公開案專利第34,861號、美國專利第4,946,547號、第5,200,022號及第6,218,680號中描述，其內容全部以引用之方式併入本文中。類似地，第III族氮化物之磊晶成長的技術已在(例如)美國專利第5,210,051號、第5,393,993號、第5,523,589號及第5,292,501號中描述，該等案之揭示內容亦全部以引用的方式併入本文中。

儘管碳化矽可用作基板材料，但本發明之實施例可利用任何適合的基板，諸如藍寶石、氮化鋁、氮化鋁鎳、氮化鎳、矽、GaAs、LGO、ZnO、LAO、InP及其類似物。在一些實施例中，亦可形成一適當的緩衝層。

再次參看圖1A，一通道層20提供於基板10上。利用如上所述之緩衝層、過渡層及/或長晶層可將通道層20沈積於基板10上。通道層20可處於壓縮應變下。此外，可藉由使

用(例如)MOCVD或熟習此項技術者已知之其它技術(諸如MBE或HVPE)來沈積通道層及/或緩衝長晶層及/或過渡層。

在本發明之一些實施例中，通道層20為第III族氮化物，諸如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (其中 $0 \leq x < 1$)，假定在通道層與障壁層之間的界面處，通道層20之導電帶邊緣之能量小於障壁層22之導電帶邊緣之能量。在本發明之一些實施例中， $x=0$ ，表明通道層20為GaN。通道層20亦可為其它第III族氮化物，諸如InGaN、AlInGaN或其類似物。通道層20可為未摻雜的("非故意摻雜")且可成長至大於約20 Å之厚度。通道層20亦可為多個層結構，諸如超晶格或GaN、AlGaIn或其類似物之組合。

障壁層22提供於通道層20上。通道層20可具有小於障壁層22之帶隙的帶隙，且通道層20亦可具有大於障壁層22之電子親和力。障壁層22可沈積於通道層20上。在本發明之一些實施例中，障壁層22為AlN、AlInN、AlGaIn或AlInGaIn，其具有介於約0.1 nm與約10 nm之間的厚度。根據本發明之一些實施例的層之實例在標題為"GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"之Smorchkova等人的美國專利公開案第2002/0167023 A1號中描述，該案之揭示內容以如同本文完全陳述之引用的方式併入本文中。在本發明之特定實施例中，障壁層22足夠厚並具有足夠高之Al組份及摻雜以在障壁層22被埋於歐姆接點金屬下

時經由極化效應誘發通道層20與障壁層22之間的界面處之顯著載流子濃度。而且，障壁層22應足夠厚以減少或最小化由於沈積於障壁層22與保護層24(圖1B)之間的界面處之離子化雜質所導致的通道中電子之散射。

如上所述，障壁層22可具有大於通道層20之帶隙的帶隙及小於通道層20之電子親和力的電子親和力。因此，在本發明之一些實施例中，障壁層22可包括AlGa_xN、AlInGa_{1-x}N及/或AlN或其層的組合。障壁層22可(例如)為約0.1 nm至約200 nm厚，但不應太厚而導致其中裂化或實質缺陷形成。在本發明之一些實施例中，障壁層22為未摻雜的或摻雜n型摻雜物至小於約 $1 \times 10^{19} \text{ cm}^{-3}$ 之濃度。在本發明之一些實施例中，障壁層22為Al_xGa_{1-x}N，其中 $0 < x < 1$ 。在特定實施例中，鋁濃度為約25%。然而，在本發明之其它實施例中，障壁層22包含AlGa_xN，其中鋁濃度介於約5%與約100%之間。在本發明之特定實施例中，鋁濃度大於約10%。

如圖1B中所展示的，一保護層24形成於障壁層22上。保護層24可為氮化矽(Si_xN_y)、二氧化矽(SiO₂)及/或諸如氧氮化矽(SiON)之另一適合保護性材料。應瞭解，本文中互換地使用術語"Si_xN_y"、"SiN"及"氮化矽"，以指示按化學計量與非按化學計量的氮化矽。其他材料亦可用於保護層24。舉例而言，保護層24亦可包括氧化鎂、氧化銦、氧化鋁及/或氧氮化鋁。此外，保護層24可為均勻及/或非均勻組份之單一層或多個層。保護層24之材料應具有適當界面

特性，應能夠承受相對較高溫度，且應能夠在不顯著損壞下方障壁層 22 之情況下被移除。

一般地，保護層 24 可為具有相對較高崩潰場強度並提供與諸如障壁層 22 之下方第 III 族氮化物層之界面處的相對較低界面陷阱密度之介電層。保護層 24 可具有關於障壁層 22 之材料的高蝕刻選擇性，且可為不對障壁層 22 之材料起反應的。此外，保護層 24 可具有其中的相對較低含量之雜質。舉例而言，保護層 24 可具有相對較低含量之氮及包括氧、碳、氟及氯的其他雜質。此外，保護層 24 在相對較高溫度(例如大於 1000°C)下可為穩定的，以承受用於隨後處理步驟之較高退火溫度。

在本發明之特定實施例中，保護層 24 為 SiN。SiN 可(例如)藉由低壓化學氣相沈積(LPCVD)及/或金屬有機化學氣相沈積(MOCVD)形成。SiN 層可為按化學計量的(亦即材料中之矽與氮的比例為約 3:4)。可(例如)藉由在 CVD 製程中調整 SiH_4 與 NH_3 源氣體之相對流動速率來調整 SiN 層之按化學計量性。此外，當在相對較高溫度下形成時，CVD 生長之 SiN 易於為按化學計量的。

SiN 層之按化學計量性亦可影響該層之折射率。在本發明之一些實施例中，一 SiN 保護層 24 可具有 633 nm 波長下之自約 1.6 至約 2.2 的折射率。在特定實施例中，一 SiN 保護層 24 之折射率為如藉由橢圓計量測所量測之 1.98 ± 0.05 。按化學計量之 SiN 的特徵亦可為其在緩衝氧化物蝕刻(BOE)中之蝕刻速率。舉例而言，BOE 中之按化學計量之 SiN 的蝕

刻速率接近零。

在一些實施例中，保護層 24 可為 SiO_2 。 SiO_2 可藉由 LPCVD 及 / 或 MOCVD 形成並可為按化學計量的。在本發明之一些實施例中， SiO_2 保護層可具有 633 nm 波長下之自約 1.36 至約 1.56 的折射率。在特定實施例中，一 SiO_2 保護層之折射率為如藉由橢圓計量測所量測之 1.46 ± 0.03 。

當保護層 24 包括氮化矽時，如由藉由 Cs 離子束之次級離子質譜分析 (SIMS) 所量測的，保護層 24 應具有等於或低於表 1 中所展示之含量的雜質含量。

表 1

元素	濃度(cm^{-3})
H	4×10^{21}
O	3×10^{18}
C	1×10^{18}
F	1×10^{17}
Cl	1×10^{17}

保護層 24 可為形成於障壁層 22 上之包覆層。通常，保護層 24 可具有範圍為約 100 nm 之厚度，然而，亦可利用其他厚度層。舉例而言，保護層應充分厚以便在隨後歐姆接點之退火期間保護下方層。出於此等目的，與兩個或三個單層一樣薄的層可為足夠的。然而，保護層 24 一般可具有約 10 nm 至約 500 nm 之厚度。

保護層可包含如標題為 "GROUP III NITRIDE SEMICONDUCTOR DEVICES WITH SILICON NITRIDE LAYERS AND METHODS OF MANUFACTURING SUCH DEVICES" 之於 2005 年 11 月 23 日申請的美國專利申請案第

11/286,805號中所描述之高純度SiN層，該案之揭示內容如同本文完全陳述之引用的方式併入本文中。詳言之，根據本發明之一些實施例，一原位生長之SiN保護層24可在相對較高溫度(例如，約700°C以上)下生長。在特定實施例中，SiN層可在範圍為約900°C至1000°C之溫度下生長。此高溫生長亦可有助於減少SiN層中及第III族氮化物層與SiN層之間的界面處之雜質含量。此外，可使用高成長速率，此可有助於減少併入SiN層之背景反應器雜質的含量。舉例而言，在本發明之一些實施例中，一或多個SiN層可以至少約0.2微米/小時之成長速率成長。在一些實施例中，成長速率可為約2微米/小時。

原位形成SiN層亦可減少併入最上方第III族氮化物層之頂部表面及/或併入SiN層自身之雜質的含量。詳言之，當自反應器移除元件且經由諸如濺鍍或PECVD之後MOCVD成長製程形成SiN層時，許多不同機構可能引入雜質。舉例而言，如美國專利第6,498,111號中所詳細討論的，若氮在第III族氮化物層之成長期間存在於MOCVD反應器中，則氮可能易於在成長之後在反應器之冷卻期間併入第III族氮化物層。同樣，元件一經自反應器移除即暴露於大氣可為氧原子之併入作準備，且作為元件之處理及/或元件之化學清潔的結果，尤其在相鄰於元件之外表面處，可引入各種其他雜質。若在沈積SiN保護/鈍化層之前執行諸如濕式蝕刻、電極沈積、退火步驟等後成長處理，則亦可添加雜質。此等雜質可以不良地及/或難以控制/再生的方式改

變第III族氮化物層與SiN層之間的界面處之表面狀態。舉例而言，雜質的存在可增加SiN層與下方第III族氮化物層之間的界面處之陷獲，進而增加通道之薄層電阻。

在本發明之一些實施例中，高純度矽烷(SiH_4)可用作SiN層之成長中的源氣體。如熟習此項技術者已知的，矽烷通常用作n型摻雜第III族氮化物層之成長中之矽摻雜劑的來源。通常，稀釋矽烷氣體用於與可為高度可燃之純矽烷相比較不昂貴且較容易使用的應用。此純矽烷之使用可有助於減少第III族氮化物層與SiN層之間的界面處及/或SiN層內之雜質之含量，此在一些情況下可改良元件之效能及/或再生性。詳言之，較高品質(亦即較純)SiN層可幫助減少或最小化絕緣層之主體內的陷獲，進而提供較高崩潰臨界場。當此純矽烷氣源被包括於反應器中時，可能仍希望亦包括稀釋矽烷來源，使得稀釋矽烷氣體可在(例如)n型摻雜或co型摻雜第III族氮化物層之成長期間用作摻雜劑氣源。

仍參看圖1B，一遮罩25形成於保護層24上。遮罩25可包括光阻劑或諸如SiN及/或 SiO_2 之任一其他適合遮罩材料。遮罩可具有經選擇以阻斷植入離子之厚度。舉例而言，當保護層包含SiN時，遮罩25可包括諸如 SiO_2 之氧化物，且當保護層包含諸如 SiO_2 之氧化物時，遮罩25可包括SiN。遮罩25(光阻劑)可經圖案化用於如圖1B中所說明之歐姆區域。可在保護層24中打開窗口用以形成歐姆接點。詳言之，可根據遮罩25蝕刻保護層24直至障壁層22之表面被暴

露。窗口可藉由利用關於障壁層22之低損壞蝕刻來形成以暴露下方障壁層22。低損壞蝕刻技術之實例包括除反應性離子蝕刻之外的蝕刻技術，諸如感應耦合電漿或電子回旋加速器共振(ECR)或無DC分量到達電漿之下流電漿蝕刻。對於一SiO₂保護層24，低損壞蝕刻可為利用緩衝氫氟酸之濕式蝕刻。亦可執行SiN及/或SiO₂至蝕刻終止層之選擇性蝕刻，繼之以蝕刻終止層之低損壞移除。對於SiN而言，SiO₂可用作蝕刻終止層。在此等實施例中，保護層24可包括SiN及/或SiO₂層以及蝕刻終止層。因此，在本發明之一些實施例中，保護層24可包括多個層。

如圖1B中所進一步說明的，雜質離子27經植入而通過窗口進入障壁層22。舉例而言，可將諸如Si之n型雜質離子植入障壁層22。在本發明之一些實施例中，一些植入離子可達到停置於通道層20內。相應地，如圖1C中所展示的，一植入區31可形成於障壁層22及/或通道層20內。

應瞭解，在本發明之一些實施例中，可在保護層24經蝕刻以暴露障壁層22之前植入雜質離子27。在此等實施例中，植入區31可部分形成於保護層24、障壁層22及/或通道層20內。接著，包括植入離子之保護層24可經移除以暴露障壁層22之植入區。

植入條件可經選擇以提供具有 $1 \times 10^{18} \text{ cm}^{-3}$ 或更大之峰值摻雜劑濃度的一植入區31。舉例而言，在一些實施例中，植入物之劑量及能量可經選擇以提供約 $5 \times 10^{19} \text{ cm}^{-3}$ 之峰值摻雜劑濃度。植入過程可包括用以提供植入摻雜劑之淨分

布之多個植入步驟。舉例而言，植入過程可包括在第一組植入條件下執行之第一植入步驟及在第二組植入條件下執行之隨後植入步驟。可執行兩個以上的植入步驟。

在一些實施例中，植入可在室溫下執行。植入物能量及劑量可經選擇以提供達成所要薄層電阻率且/或允許製造如以下所提供之至障壁層22之低電阻率歐姆接點的植入分布。為在氮化物基層中形成n型植入區31，植入離子可包括矽、硫、鍺及/或氧離子。

本發明之一些實施例可使用與本發明同時申請之標題為 "METHODS AND APPARATUS FOR FABRICATING SEMICONDUCTOR DEVICES HAVING REDUCED IMPLANT CONTAMINATION AND RELATED DEVICES" 的目前共同讓渡之美國專利申請案第__號(代理人案號第5308-639號)中所討論之植入方法，該案之揭示內容以如同本文完全陳述之引用的方式併入本文中。

如圖1D中所說明的，可(例如)藉由植入區31上之蒸鍍將金屬沈積於窗口中以提供歐姆接點30。適合金屬可包括耐高溫金屬，諸如鈦(Ti)、鎢(W)、鈦鎢(TiW)、Si、TiWN、矽化鎢(WSi)、銠(Re)、鈮(Nb)、鎳(Ni)、金(Au)、鋁(Al)、鉭(Ta)、鉬(Mo)、矽化鎳(NiSi)、矽化鈦(TiSi)、氮化鈦(TiN)、氮化鎢矽(WSiN)、鉑(Pt)及其類似物。可使用(例如)溶劑移除不期望之金屬。因此，根據本發明之一些實施例，歐姆接點30如圖1D中所說明地與植入區31自我對準。

可在單一步驟中退火植入區31及接點30。詳言之，可在至少約950°C之溫度下退火接點30，此亦可活化植入區31中之植入摻雜劑。可在諸如N₂或Ar之惰性氣體之氣氛中執行退火。此外，可(例如)在保護層24為SiN且接點30為諸如TiWN、WSiN或TiN之金屬氮化物的本發明之實施例中，於NH₃之氣氛中執行退火。經由使用歐姆接點退火，可將歐姆接點之電阻自相對較高電阻降低至約1 Ω-mm或更低。因此，如本文中所使用的，術語"歐姆接點"係指具有約1 Ω-mm或更低之接點電阻的非整流接點。高溫處理步驟期間的保護層24之存在可抑制對於障壁層22的損壞，否則可由此等步驟引起損壞。因此，(例如)高溫歐姆接點/植入物退火之後的閘極區之薄層電阻可與成長狀態(亦即接點退火之前)之閘極區的薄層電阻大體相同。

在本發明之一些實施例中，可(例如)藉由光阻劑去除及/或蝕刻製程在退火之前移除遮罩25。然而，可在適當地藉由保護層24執行活化退火。詳言之，保護層24可在退火期間保護障壁層22之表面。

在本發明之一些實施例中，可在包括(例如)N₂及/或Ar之惰性氣氛中執行活化退火。在一些實施例中，可在植入退火期間提供SiH₄連同NH₃，在該種狀況下，可在退火期間將SiN沈積於保護層上。可原位地及/或在獨立退火腔室中執行活化退火。可視退火溫度而執行活化退火至少約30秒或更長時間。舉例而言，可執行約1300°C下之快速高熱退火(RTA)約30秒，而可執行約1000°C下之爐退火約30分

鐘。活化時間及溫度之特定選擇可視所涉及之材料之類型及所使用之特定植入條件而改變。在特定實施例中，退火時間之範圍可為約30秒至約30分鐘。

應瞭解，由於歐姆接點30形成於植入區31上，因而該等歐姆接點可具有低於形成於非植入區上之歐姆接點的電阻率。因此，可降低根據本發明之一些實施例所形成之元件的導通電阻。

應進一步瞭解，在本發明之一些實施例中，歐姆接點30可在退火後被其他金屬(例如Au)覆蓋。

GaN HEMT中之改良歐姆接點的形成可幫助改良毫米波頻率下之功率放大器以及包括(例如)RF電源開關、限制器及共射共基放大器單元(cascode cell)之要求低導通電阻之其他應用的效能。對於典型電晶體應用，減小元件之接點電阻可允許增加汲極-源極間距，而不增加元件之導通電阻。

現參看圖1E，可移除遮罩25。圖1E進一步說明一閘極接點32之形成。一遮罩(未圖示)形成於歐姆接點及保護層24上並經圖案化以形成暴露保護層24之一部分的窗口。接著形成一凹槽穿過保護層24而暴露障壁層22之一部分。藉由使用如上所述之低損壞蝕刻製程來形成該凹槽。在歐姆接點30提供源極及汲極接點之特定實施例中，凹槽可在源極接點與汲極接點間存在偏移，從而使得凹槽及隨後閘極接點32與源極接點間的距離比與汲極接點間的距離小。

在本發明之一些實施例中，保護層可包括一高純度氮

(HPN)層、HPN及二氧化矽(SiO_2)之多個層、HPN及/或在頂部上的電漿增強化學氣相沈積(PECVD)氮化矽(SiN)。然而，本發明之實施例不受此等實例限制，例如，任一HPN可用作原位高品質介電質，而在不脫離本發明之範疇的情況下於底部上使用任一移位可濕式蝕刻之介電質。

在本發明之一些實施例中，HPN可指在 Si_3N_4 中及在 Si_3N_4 與下方層之間的界面處同時具有低雜質濃度的接近按化學計量的 Si_3N_4 。此可藉由將HPN層沈積於與下方層相同之反應器中並使用本文中進一步描述之條件來達成。

如圖1E中所見，一閘極接點32形成於凹槽中並與障壁層22之暴露部分接觸。閘極接點可為如圖1E中所說明之"T"型閘極並可藉由使用習知製造技術來製造。適當之閘極材料可視障壁層之組份而定，然而，在一些實施例中，可使用能夠形成與氮化物基半導體材料肖特基接觸之習知材料，諸如Ni、Pt、 NiSi_x 、Cu、Pd、Cr、W及/或 WSiN 。

圖1F說明一鈍化層34之形成。鈍化層可為沈積於圖1E之結構上之包覆層。在特定實施例中，鈍化層34經沈積用以大體填充保護層24與歐姆接點30之間的間隙以及保護層24與閘極接點32之間的間隙(若此(等)間隙存在)。在本發明之一些實施例中，鈍化層34可包括(例如)氮化矽、氮化鋁、二氧化矽及/或氮氧化物。此外，在不脫離本發明之範疇的情況下，鈍化層34可為均勻及/或非均勻組份之單一層或多個層。

雖然本文已參考特定HEMT結構描述了本發明之實施

例，但本發明不應解釋為限於此等結構。舉例而言，HEMT元件中可包括額外層，同時仍受益於本發明之教示。此等額外層可包括GaN頂蓋層，例如描述於1998年應用物理期刊(Applied Physics Letters)第13期第73卷中Yu等人的"Schottky barrier engineering in III-V nitrides via the piezoelectric effect"中，或描述於美國專利公開案第2002/0066908A1號"ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"中，其揭示內容以如同本文完全陳述之引用的方式併入本文中。在一些實施例中，可沈積諸如SiN或相對高品質AlN之絕緣層來製造MISHEMT及/或鈍化表面。額外層亦可包括組份分級之過渡層。

此外，障壁層22亦可具有多個層，如描述於Smorchkova等人的題為"GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"之美國專利公開案第2002/0167023A1號中，該案之揭示內容以如同本文完全陳述之引用的方式併入本文中。因此，不應將本發明之實施例解釋為限制該障壁層為單一層，而應可包括(例如)具有GaN、AlGaIn及/或AlN層之組合之障壁層。舉例而言，可使用GaN、AlN結構以減少或防止合金散射。因此，本發

明之實施例可包括氮化物基障壁層，此等氮化物基障壁層可包括 AlGa_N基障壁層、AlN基障壁層及其組合。

在該等圖式及說明書中，已揭示本發明之典型實施例，且儘管已使用了特定術語，但是該等術語僅以通用及描述之意義來使用且並非用於限制之目的。

【圖式簡單說明】

圖 1A-1F 為說明根據本發明之實施例的電晶體之製造的橫截面視圖。

【主要元件符號說明】

10	基板
20	通道層
22	障壁層
24	保護層
25	遮罩
27	雜質離子
30	歐姆接點
31	植入區
32	閘極接點
34	鈍化層

102年7月23日修正本

十、申請專利範圍：

1. 一種形成一半導體元件之方法，該方法包含：

提供一半導體層；

在該半導體層上形成一遮罩；

根據該遮罩將具有一第一導電型之離子植入該半導體層以在該半導體層上形成數個植入區；

根據該遮罩在該等植入區上形成數個金屬層；及

在一單一步驟中退火該等植入區及該等金屬層以分別活化該等植入區中之該等植入離子並在該等植入區上提供歐姆接點。

2. 如請求項1之方法：

其中提供該半導體層包含：

在該半導體基板上形成一通道層；

在該通道層上形成一障壁層；及

在該障壁層上形成一保護層；且

其中形成該遮罩包含在該保護層上形成該遮罩。

3. 如請求項2之方法：

其中在根據該遮罩蝕刻該保護層以暴露該障壁層之一表面的至少一部分之後植入離子；且

其中植入離子進一步包含根據該遮罩將具有該第一導電型之離子植入該障壁層中以在該障壁層上形成植入區。

4. 如請求項3之方法，其中該等植入區至少部分延伸進入該通道層。

5. 如請求項2之方法，其中植入離子包含根據該遮罩將具有該第一導電型之離子植入該保護層及該障壁層中以及在該保護層及該障壁層中形成植入區，該方法進一步包含：

根據該遮罩蝕刻該保護層以暴露該障壁層之該等植入區的至少一部分。

6. 如請求項5之方法，其中該等植入區至少部分延伸進入該通道層。
7. 如請求項2之方法，其中該保護層包含一高純度氮(HPN)層。
8. 如請求項7之方法，其中該HPN層具有自約50 nm至約150 nm之一厚度。
9. 如請求項7之方法，其中該HPN層包含一具有自約50 nm至約150 nm之一厚度的HPN層及一在該HPN層上之具有自約100 nm至約250 nm之一厚度的二氧化矽(SiO_2)層。
10. 如請求項1之方法，其中該等歐姆接點包括至少一耐高溫金屬。
11. 如請求項10之方法，其中該耐高溫金屬包括Ti、TiW、Mo、Ta、W、WSi、Re、Nb、TiWN、NiSi及/或TiSi。
12. 如請求項1之方法，其中該等歐姆接點與該等植入區自我對準。
13. 如請求項1之方法，其中該第一導電型包含一n型導電性。
14. 如請求項13之方法，其中植入離子包含植入矽離子。

15. 如請求項1之方法，其中退火包含在至少約950°C之一溫度下退火該等植入區及該金屬層。
16. 如請求項1之方法，其中該半導體元件包含一第III族氮化物半導體元件。
17. 如請求項1之方法：
 - 其中提供該半導體層包含形成一保護層；及
 - 其中藉由根據該遮罩蝕刻該保護層後才植入該等離子。
18. 如請求項1之方法，其中該半導體元件為一氮化鎵(GaN)半導體元件。
19. 如請求項18之方法，其中該氮化鎵半導體元件包含一高電子遷移率電晶體(HEMT)。
20. 一種形成一第III族氮化物半導體元件之方法，該方法包含：
 - 提供一半導體層；
 - 將離子選擇性地植入該半導體層以在該半導體層中提供數個高度摻雜植入區；
 - 在該半導體層中之該等高度摻雜植入區上形成一耐高溫金屬層；及
 - 在一單一步驟中退火該等高度摻雜植入區及該耐高溫金屬層，以分別活化該等高度摻雜植入區中之該等植入離子，並在該等植入區上形成與該等植入區自我對準之歐姆接點。
21. 如請求項20之方法，其中提供該半導體層包含：

在該半導體基板上形成一通道層；

在該通道層上形成一障壁層；及

在該障壁層上形成一保護層。

22. 如請求項21之方法，其進一步包含在該保護層上形成一遮罩，其中選擇性地植入包含根據該遮罩將離子選擇性地植入該半導體層中，且其中形成一耐高溫金屬層進一步包含根據該遮罩在該半導體層中之該等高度摻雜植入區上形成一耐高溫金屬層。

23. 如請求項22之方法：

其中在根據該遮罩蝕刻該保護層以暴露該障壁層之一表面的至少一部分之後選擇性地植入離子；且

其中選擇性地植入離子進一步包含根據該遮罩將具有第一導電型之離子選擇性地植入該障壁層中以在該障壁層上形成植入區。

24. 如請求項23之方法，其中該等植入區至少部分延伸進入該通道層。

25. 如請求項22之方法，其中選擇性地植入離子包含根據該遮罩將具有第一導電型之離子選擇性地植入該保護層及該障壁層中，以在該保護層及該障壁層中形成植入區，該方法進一步包含：

根據該遮罩蝕刻該保護層以暴露該障壁層之該等植入區的至少一部分。

26. 如請求項25之方法，其中該等植入區至少部分延伸進入該通道層。

27. 如請求項 21 之方法，其中該保護層包含一高純度氮 (HPN) 層。
28. 如請求項 27 之方法，其中該 HPN 層具有自約 50 nm 至約 150 nm 之一厚度。
29. 如請求項 27 之方法，其中該 HPN 層包含一具有自約 50 nm 至約 150 nm 之一厚度的 HPN 層及一在該 HPN 層上之具有自約 100 nm 至約 250 nm 之一厚度的二氧化矽 (SiO₂) 層。
30. 如請求項 20 之方法，其中該耐高溫金屬包括 Ti、TiW、Mo、Ta、W、WSi、Re、Nb、TiWN、NiSi 及 / 或 TiSi。
31. 如請求項 20 之方法，其中該等植入離子包含 n 型導電性離子。
32. 如請求項 31 之方法，其中該等 n 型導電性離子包含矽離子。
33. 如請求項 20 之方法，其中退火包含在至少約 950°C 之一溫度下退火該等植入區及該耐高溫金屬層。
34. 一種電晶體元件，包含：
 - 一第 III 族氮化物半導體層；
 - 該第 III 族氮化物半導體層中之經間隔開的數個高度摻雜植入區；及
 - 該等高度摻雜植入區上之數個耐高溫金屬歐姆接點，該等歐姆接點與該等高度摻雜植入區自我對準，
 - 其中該第 III 族氮化物半導體層包含：
 - 該半導體基板上之一通道層；
 - 該通道層上之一障壁層；及

該障壁層上之一保護層，其中該保護層包含一高純度氮(HPN)層。

35. 如請求項34之電晶體元件，其中該等間隔開的高度摻雜植入區分別界定該電晶體之源極區及汲極區。

36. 如請求項34之電晶體元件：

其中該保護層在其中界定暴露該障壁層之一表面之至少一部分的窗口；且

其中該等植入區係提供於該障壁層中。

37. 如請求項36之電晶體元件，其中該等植入區至少部分延伸進入該通道層。

38. 如請求項34之電晶體元件，其中該HPN層具有自約50 nm至約150 nm之一厚度。

39. 如請求項34之電晶體元件，其中該HPN層包含一具有自約50 nm至約150 nm之一厚度的HPN層及一在該HPN層上之具有自約100 nm至約250 nm之一厚度的二氧化矽(SiO_2)層。

40. 如請求項34之電晶體元件，其中該耐高溫金屬包括Ti、TiW、Mo、Ta、W、WSi、Re、Nb、TiWN、NiSi及/或TiSi。

41. 如請求項34之電晶體元件，其中該等高度摻雜植入區包含n型導電性植入區。

42. 一種形成一半導體元件之方法，該方法包含：

提供一半導體層；

在該半導體層上提供一保護層；

在該保護層上提供一單一遮罩；

根據該遮罩蝕刻該保護層；

根據該遮罩將具有一第一導電類型之離子植入該半導體層中，以在該半導體層上形成數個植入區；及

根據該遮罩在該等植入區上提供金屬層。

43. 如請求項42之方法，進一步包含在一單一步驟中退火該等植入區及該等金屬層以分別活化該等植入區中之該等植入離子並在該等植入區上提供歐姆接點。

十一、圖式：

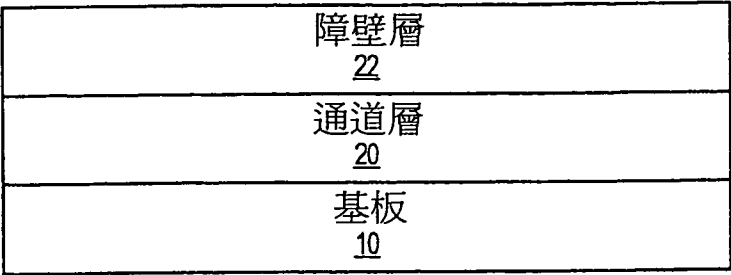


圖1A

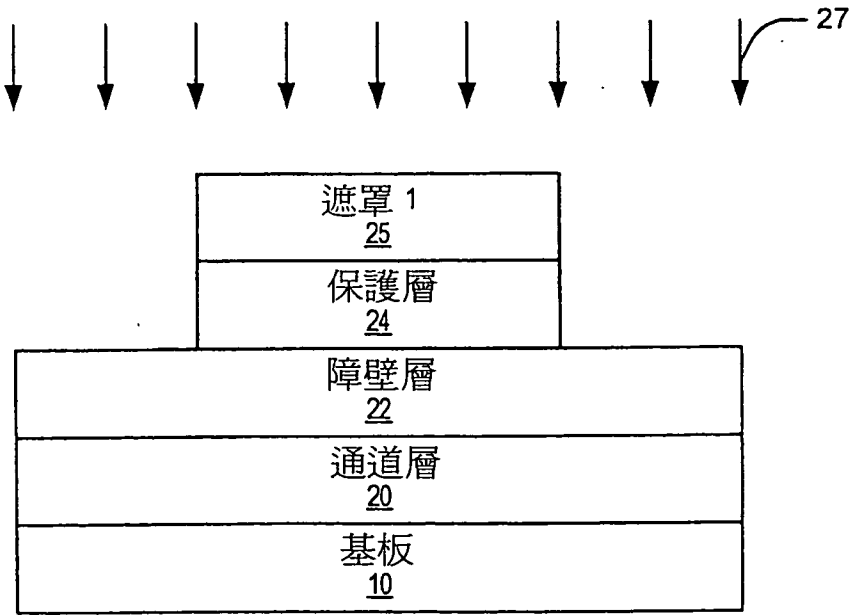


圖1B

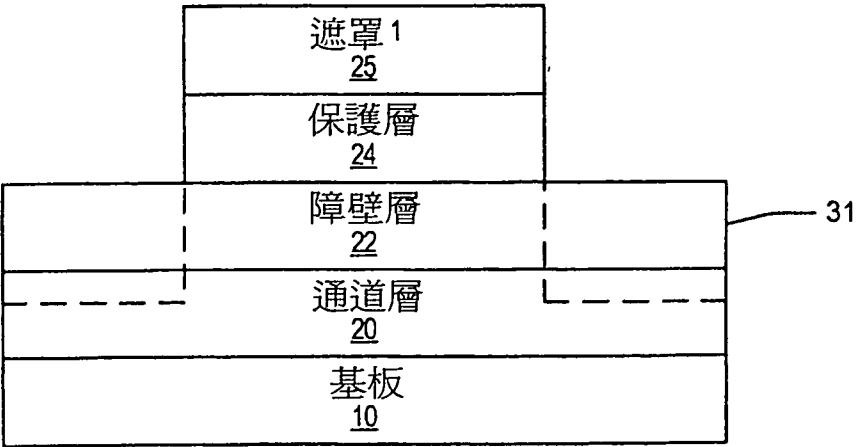


圖1C

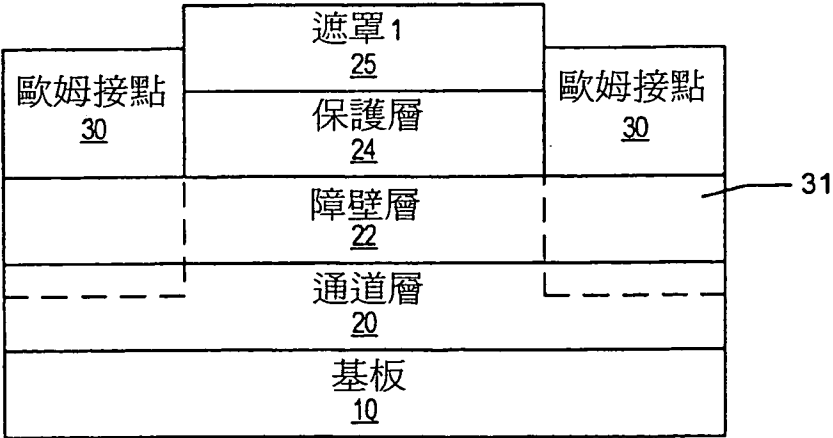


圖1D

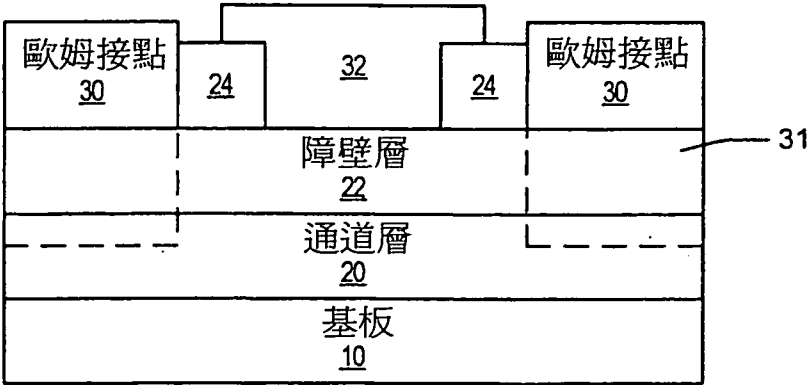


圖1E

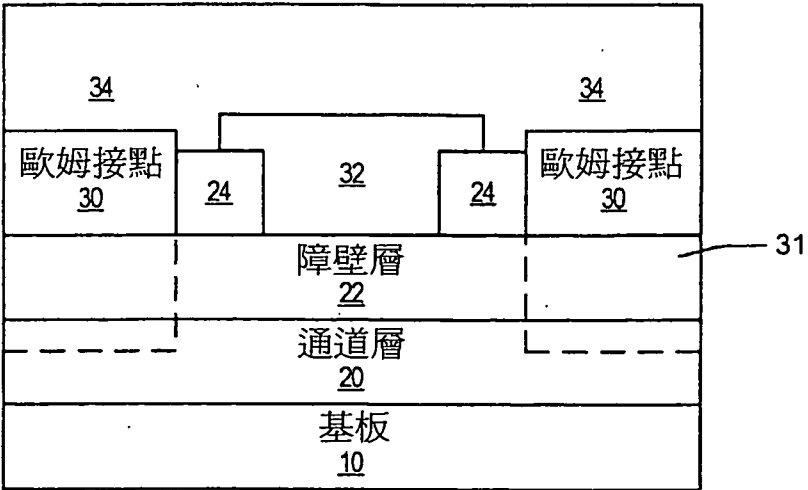


圖1F