(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-526794
(P2024-526794A)
(43)公表日　令和6年7月19日(2024.7.19)

(51)国際特許分類		FI		
H01L 29/78 (2006.01)		H01L	29/78	652K
H01L 29/739 (2006.01)		H01L	29/78	653A
H01L 29/12 (2006.01)		H01L	29/78	652J
		H01L	29/78	655B
		H01L	29/78	652T

審査請求　未請求　予備審査請求　未請求　（全27頁）

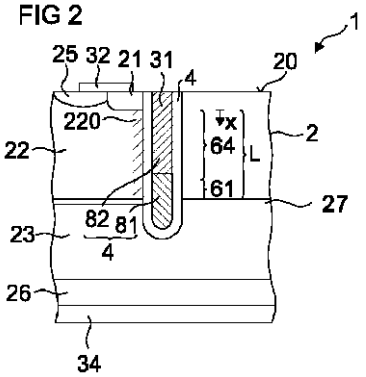
(21)出願番号　特願2024-502186(P2024-502186)
(86)(22)出願日　令和4年7月13日(2022.7.13)
(85)翻訳文提出日　令和6年3月12日(2024.3.12)
(86)国際出願番号　PCT/EP2022/069636
(87)国際公開番号　WO2023/285549
(87)国際公開日　令和5年1月19日(2023.1.19)
(31)優先権主張番号　21186101.8
(32)優先日　令和3年7月16日(2021.7.16)
(33)優先権主張国・地域又は機関
欧州特許庁(EP)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
最終頁に続く

(71)出願人　523380173
ヒタチ・エナジー・リミテッド
ＨＩＴＡＣＨＩ　ＥＮＥＲＧＹ　ＬＴＤ
スイス、８０５０　チューリッヒ、ブロ－ボベリ－シュトラーセ、５
(74)代理人　110001195
弁理士法人深見特許事務所
(72)発明者　グプタ，ガウラブ
スイス、５６００　レンツブルク、マルター－リンギアーシュトラーセ、７
(72)発明者　デーミキエリス，ルカ
スイス、５０００　アーラウ、ブクサーシュトラーセ、１０
(72)発明者　ビターレ，ボルフガング・アマデウス
スイス、５０００　アーラウ、アエッシ
最終頁に続く

(54)【発明の名称】　パワー半導体デバイスおよび製造方法

(57)【要約】
少なくとも１つの実施形態では、パワー半導体デバイス（１）は、
－第１の導電型のソース領域（２１）および第１の導電型とは異なる第２の導電型のウェル領域（２２）を有する半導体本体（２）であって、ウェル領域（２２）がソース領域（２１）から直接始まるチャネル領域（２２０）を含む、半導体本体（２）と、
－半導体本体（２）とゲート電極（３１）との間に直接あるゲート絶縁体（４）とを備え、
ゲート電極（４）は、閾値電圧（V_{th}）がソース領域（２１）から離れた第１のセクション（６１）において最も高くなるように、チャネル領域（２２０）に沿って不均一な仕事関数プロファイル（６）を有する。

FIG 2



【特許請求の範囲】
【請求項１】
－第１の導電型のソース領域（２１）および前記第１の導電型とは異なる第２の導電型のウェル領域（２２）を有する半導体本体（２）であって、前記ウェル領域（２２）が前記ソース領域（２１）から直接始まるチャネル領域（２２０）を含み、前記第１の導電型がｎ導電性であり、前記第２の導電型がｐ導電性である、半導体本体（２）と、
－前記半導体本体（２）とゲート電極（３１）との間に直接あるゲート絶縁体（４）と
を備える、パワー半導体デバイス（１）であって、
－前記ゲート電極（３１）が、前記半導体本体内に形成されたトレンチ内に部分的にまたは完全に配置され、
－前記半導体本体（２）が、前記第１の導電型であるドリフト領域（２３）をさらに備え、前記ドリフト領域（２３）が、前記ゲート絶縁体（４）と直接接触し、前記チャネル領域（２２０）に直接あり、前記トレンチが前記ドリフト領域（２３）内で終端し、
－前記ゲート電極（３１）の閾値電圧（V_{th}）および仕事関数Φ_mが、前記ソース領域（２１）から離れた前記チャネル領域（２２０）の第１のセクション（６１）において最大となるように、前記ゲート電極（３１）が前記チャネル領域（２２０）に沿って不均一な仕事関数プロファイル（６）を有する、
パワー半導体デバイス（１）。
【請求項２】
前記半導体本体（２）が、前記ソース領域（２１）から離れた前記ウェル領域（２２）の側に直接ある前記第１の導電型の強化層（２７）をさらに備え、
以下の
－前記チャネル領域（２２０）に沿って、前記ゲート絶縁体（４）が前記第１のセクション（６１）において最も厚くなるように、前記ゲート絶縁体（４）が前記チャネル領域（２２０）に沿って不均一な厚さプロファイルを有すること、
－前記チャネル領域（２２０）内のドーピング濃度N_Aが前記第１のセクション（６１）において最大になるように、前記チャネル領域（２２０）が前記ゲート絶縁体（４）に沿って不均一なチャネルドーピングプロファイルを有すること、または
－前記ゲート絶縁体（４）の比誘電率が前記ソース領域（２１）から離れた前記チャネル領域（２２０）の前記第１のセクション（６１）において最も低くなるように、前記ゲート絶縁体（４）が前記チャネル領域（２２０）に沿って不均一なゲート誘電率プロファイルを有すること
のうちの少なくとも１つが真である、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項３】
前記チャネル領域（２２０）に沿った前記ゲート電極（３１）の仕事関数差が、少なくとも１．０ｅＶである、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項４】
前記ゲート電極（３１）が、前記第１のセクション（６１）内の第１の材料（８１）と、前記ソース領域（２１）に隣接する第２のセクション（６４）内の第２の材料（８２）とを含み、
前記チャネル領域（２２０）がｐ型ドープされている場合、前記第１の材料（８１）が前記第２の材料（８２）よりも高い仕事関数Φ_mを有し、または前記チャネル領域（２２）がｎ型ドープされた領域である場合、前記第１の材料（８１）が前記第２の材料（８２）よりも低い仕事関数Φ_mを有する、先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項５】
前記第１の材料（８１）がｐドープポリシリコンであり、前記第２の材料（８２）がｎドープポリシリコンである、

先行する請求項に記載のパワー半導体デバイス（１）。
【請求項６】
前記チャネル領域（２２０）の長さ方向（ｘ）に垂直に、前記ゲート電極（３１）が、前記第１の材料（８１）または前記第２の材料（８２）のいずれかを含む、
請求項４または５のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項７】
前記チャネル領域（２２０）の長さ方向（ｘ）に垂直に、少なくとも前記第１のセクション（６１）内で、前記ゲート電極（３１）が前記第１の材料（８１）および前記第２の材料（８２）を含む、
請求項４および５のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項８】
前記第１のセクション（６１）の長さが、前記ゲート絶縁体（４）に沿った前記チャネル領域（２２０）の全長（Ｌ）の少なくとも１０％および多くとも４０％である、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項９】
前記チャネル領域（２２０）に沿って、前記ゲート絶縁体（４）の最小厚さが、前記ゲート絶縁体（４）の最大厚さの多くとも７０％である、
先行する請求項に記載のパワー半導体デバイス（１）。
【請求項１０】
前記ゲート絶縁体（４）に沿って、前記チャネル領域（２２０）の最小ドーピング濃度が、前記チャネル領域（２２０）の最大ドーピング濃度の多くとも５０％である、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１１】
前記不均一な厚さプロファイルおよび前記不均一なチャネルドーピングプロファイルのうちの少なくとも１つが、連続的に階段なしで延びる、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１２】
前記不均一な仕事関数プロファイル（６）、ならびに前記不均一な厚さプロファイルおよび前記不均一なチャネルドーピングプロファイルおよび前記不均一なゲート誘電率プロファイルのうちの少なくとも１つが、少なくとも１つの階段を有し、
前記不均一な仕事関数プロファイル（６）内の前記階段、ならびに前記不均一な厚さプロファイルおよび前記不均一なチャネルドーピングプロファイルおよび前記不均一なゲート誘電率プロファイルのうちの少なくとも１つの中の前記階段が、前記チャネル領域（２２０）に沿って同じ位置に配置される、
請求項２～１０のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１３】
前記不均一な仕事関数プロファイル（６）、ならびに前記不均一な厚さプロファイルおよび前記不均一なチャネルドーピングプロファイルおよび前記不均一なゲート誘電率プロファイルのうちの少なくとも１つが、少なくとも１つの階段を有し、
前記不均一な仕事関数プロファイル（６）内の前記階段、ならびに前記不均一な厚さプロファイルおよび前記不均一なチャネルドーピングプロファイルおよび前記不均一なゲート誘電率プロファイルのうちの少なくとも１つの中の前記階段が、前記チャネル領域（２２０）に沿って異なる位置に配置される、
請求項２～１０のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１４】
前記不均一な仕事関数プロファイル（６）、前記不均一な厚さプロファイル、前記不均一なチャネルドーピングプロファイル、または前記不均一なゲート誘電率プロファイルのうちの少なくとも２つが直線状である、
請求項１１に記載のパワー半導体デバイス（１）。
【請求項１５】

前記不均一な仕事関数プロファイル（６）、および前記不均一な厚さプロファイル、前記不均一なチャネルドーピングプロファイル、または前記不均一なゲート誘電率プロファイルのうちの少なくとも１つが異なる形状で延びる、
請求項１～１４のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１６】
－前記ソース領域（２１）が、前記ゲート絶縁体（４）および前記チャネル領域（２２０）と直接接触し、
－前記パワー半導体デバイス（１）が、金属－絶縁体－半導体電界効果トランジスタ、ＭＩＳＦＥＴ、金属－酸化物－半導体電界効果トランジスタ、ＭＯＳＦＥＴ、絶縁ゲートバイポーラトランジスタ、ＩＧＢＴ、または逆導通絶縁ゲートバイポーラトランジスタ、ＲＣ－ＩＧＢＴである、
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）。
【請求項１７】
先行する請求項のいずれか１項に記載のパワー半導体デバイス（１）を製造するための方法であって、
－半導体基板を設けることと、
－前記半導体基板上に少なくとも１つの半導体層をエピタキシャル成長させることと
を含む、方法。
【請求項１８】
請求項１６に記載の前記パワー半導体デバイス（１）が製造され、
前記半導体基板が、前記ドリフト領域（２３）の少なくとも一部を含み、
前記少なくとも１つのエピタキシャル成長半導体層が、前記ウェル領域（２２）および前記ソース領域（２１）を含む、
先行する請求項に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
パワー半導体デバイスが提供される。さらに、そのようなパワー半導体デバイスのための製造方法が提供される。
【背景技術】
【０００２】
文献米国特許第１０４６８４０７Ｂ２号は、平坦でないゲート構造を有するフィン電界効果トランジスタ（ＦｉｎＦＥＴ）デバイス構造に言及している。
【０００３】
文献米国特許第７１４１８５８Ｂ２号は、金属相互拡散に基づく二重仕事関数ＣＭＯＳゲート技術に言及している。
【０００４】
文献米国特許第６６５３６９８Ｂ２号は、二重仕事関数金属ゲートＣＭＯＳデバイスの集積化を説明している。
【０００５】
文献米国特許出願公開第２０１６／００６４５５０Ａ１号は、パワーデバイスに言及している。
【０００６】
文献米国特許出願公開第２０１２／０２５８７４Ａ１号、米国特許出願公開第２０１５／０２１４３６２Ａ１号、欧州特許第１２４８３００Ａ２号、および米国特許出願公開第２０１６／０１０４７９４Ａ１号は、電子デバイスに言及している。
【発明の概要】
【発明が解決しようとする課題】
【０００７】
本開示の実施形態は、改善された電気的挙動を示すパワー半導体デバイスに関する。

【課題を解決するための手段】
【０００８】
これは、とりわけ、独立請求項に定義されたパワー半導体デバイスおよびそのようなパワー半導体デバイスのための製造方法によって実現される。例示的なさらなる発展形態は、従属請求項の主題を構成する。
【０００９】
少なくとも１つの実施形態では、パワー半導体デバイスは、
－第１の導電型のソース領域および第１の導電型とは異なる第２の導電型のウェル領域を有する半導体本体であって、ウェル領域がソース領域から直接始まるチャネル領域を含む、半導体本体と、
－半導体本体とゲート電極との間に直接あるゲート絶縁体と
を備え、
ゲート電極は、ゲート電極の閾値電圧がソース領域から離れたチャネル領域の第１のセクションにおいて最も高くなるように、チャネル領域に沿って不均一な仕事関数プロファイルを有する。
【００１０】
したがって、ソース領域から離れた第１のセクション内のゲート電極の仕事関数Φ_mは、ｐ型ドープチャネル領域を有するｐ型ドープウェル領域を有するデバイスの場合最大であり、ｎ型ドープチャネル領域を有するｎ型ドープウェル領域を有するデバイスの場合最小である。
【００１１】
以下では、別段の指示がない限り、仕事関数Φ_mは、ｐドープウェル領域、したがってｐドープチャネル領域を有するデバイスについて記載されるが、逆に、ｎドープウェル領域を有するデバイスの場合にも当てはまる。
【００１２】
ゲート電極は、ゲート絶縁体によって半導体本体から絶縁されている。
例えば、少なくとも１つのソース領域は、割り当てられたゲート絶縁体と直接接触し、かつ／または割り当てられたチャネル領域に直接存在する。第１の導電型は、例えばｎ導電型であり、したがって、少なくとも１つのソース領域はｎドープされる。
【００１３】
少なくとも１つのウェル領域、その結果少なくとも１つのチャネル領域は、第１の導電型とは異なる第２の導電型である。第２の導電型は、例えばｐ導電型であり、したがって、少なくとも１つのチャネル領域はｐドープされる。少なくとも１つのウェル領域および／または少なくとも１つのチャネル領域の最大ドーピング濃度は、少なくとも１つのソース領域の最大ドーピング濃度よりも低いことが可能である。
【００１４】
少なくとも１つの実施形態によれば、半導体本体は、第１の導電型であり得るドリフト領域もさらに備える。例えば、ドリフト領域は、ゲート絶縁体と直接接触し、かつ／またはチャネル領域に直接存在する。ドリフト領域は、例えば、半導体本体の上面に垂直な方向で、半導体本体のチャネル領域とドレイン領域またはコレクタ領域との間に位置する場合がある。例えば、オプションのトレンチは、ドリフト領域内で終端することができる。
【００１５】
オプションとして、半導体本体は強化層を備えることができる。例えば、強化層は、ウェル領域とドリフト領域との間に直接位置し、ドリフト領域よりも高い最大ドーピング濃度を有する場合がある。強化層も、第１の導電型であり得る。強化層は、正孔阻止層として機能することができ、すなわち、E_{off}を過度に増加させることなく、ソース側近くのプラズマ濃度を高め、改善されたV_{ce-sat}をもたらす。さらに、強化層はまた、チャネル領域の長さを制御するのに役立ち、製造プロセスに起因するばらつきを最小化する。
【００１６】

例えば、強化層の最大ドーピング濃度は、少なくとも$10^{15}cm^{-3}$であり、かつ／または多くとも$10^{18}cm^{-3}$である。代替または追加として、強化層の厚さは、少なくとも１μｍおよび／または多くとも５μｍである。

【００１７】

少なくとも１つの実施形態によれば、パワー半導体デバイスは、金属－絶縁体－半導体電界効果トランジスタ、ＭＩＳＦＥＴ、金属－酸化物－半導体電界効果トランジスタ、ＭＯＳＦＥＴ、または絶縁ゲートバイポーラトランジスタ、ＩＧＢＴもしくは逆導通絶縁ゲートバイポーラトランジスタ、ＲＣ－ＩＧＢＴである。

【００１８】

少なくとも１つの実施形態によれば、ウェル領域は、半導体本体の上面からドリフト領域まで延在する。チャネル領域はウェル領域の一部であり、同じドーピング濃度を有することができる。動作中、電子は、ゲート絶縁体に沿ってソース領域からドリフト領域までチャネル領域内を流れる。チャネル領域は、ゲート絶縁体とウェル領域との間の界面に垂直な方向に、例えばナノメートルの範囲で、例示的に１ｎｍ～５０ｎｍの厚さを有する。

【００１９】

例えば、半導体本体は、シリコン、略してＳｉ製である。しかしながら、半導体本体は、代替として、ＳｉＣ、Ga_2O_3、またはＧａＮのようなワイドバンドギャップ半導体材料製であり得る。

【００２０】

ゲート絶縁体は、酸化物であり得る任意の絶縁材料から作られる。例えば、ゲート絶縁体は、以下の材料：SiO_2、Si_3N_4、Al_2O_3、Y_2O_3、ZrO_2、HfO_2、La_2O_3、Ta_2O_5、TiO_2のうちの少なくとも１つから作られる。したがって、ゲート絶縁体はゲート酸化物と呼ばれる場合もある。

【００２１】

少なくとも１つの実施形態によれば、パワー半導体デバイスはパワーデバイスである。例えば、パワー半導体デバイスは、少なくとも０．２ｋＶまたは少なくとも０．６ｋＶまたは少なくとも１．２ｋＶの最大電圧向けに構成される。

【００２２】

パワー半導体デバイスは、例えば、ハイブリッド自動車またはプラグイン電気自動車において、バッテリまたは燃料電池からの直流電流を電動機用の交流電流に変換する車両内のパワーモジュール向けである。その上、パワー半導体デバイスは、例えば自動車のような車両内のヒューズであり得る。

【００２３】

簡略化のために、以下では、ただ１つのチャネル領域および割り当てられた構成要素が言及される。複数のチャネル領域および割り当てられた構成要素が存在する場合、以下に記載される特徴は、ただ１つ、複数、またはすべてのチャネル領域および割り当てられた構成要素に当てはまる場合がある。

【００２４】

少なくとも１つの実施形態によれば、チャネル領域に沿ったゲート電極の仕事関数差は、少なくとも０．７ｅＶであるか、または少なくとも１．０ｅＶであるか、または少なくとも１．１ｅＶである。これは、例えば、ゲート電極がポリシリコンに基づくときに当てはまる。低い仕事関数のためのＬｉ、Ｚｎ、Ｈｆのような金属、または高い仕事関数のためのＰｔ、Ｐｄ、もしくはＡｕのような金属も考慮される場合、仕事関数差は、少なくとも１．３ｅＶまたは少なくとも１．４ｅＶであり得る。例えば、仕事関数差は、多くとも２．０ｅＶまたは多くとも１．５ｅＶである。ここで、および以下では、「チャネル領域に沿って」という用語は、パワー半導体デバイスの意図された使用におけるチャネル領域内の電流の方向を指す場合がある。

【００２５】

少なくとも１つの実施形態によれば、ゲート電極は、第１のセクション内の第１の材料と、ソース領域に隣接する第２のセクション内の第２の材料とを含む。第１の材料は、ｐ

ドープウェル領域を有するデバイスの場合は第２の材料よりも高い仕事関数Φ_mを有し、ｎドープウェル領域を有するデバイスの場合はその逆である。

【００２６】

ゲート電極は、第１のセクションおよび第２のセクションから構成されることが可能である。そうでない場合、チャネル領域に沿って見ると、第１のセクションと第３のセクションとの間に位置する、中間セクションのような少なくとも１つの追加セクションが存在する可能性がある。少なくとも１つの追加セクションが存在する場合、第１の材料および第２の材料の仕事関数とは異なる仕事関数Φ_mを有する少なくとも１つの追加の材料が存在する可能性がある。

【００２７】

少なくとも１つの実施形態によれば、第１の材料はｐドープポリシリコンであり、第２の材料はｎドープポリシリコンである。これは、例えば、ｎ型のチャネル領域に当てはまる。

【００２８】

少なくとも１つの実施形態によれば、第１のセクションの長さは、ゲート絶縁体に沿ったチャネル領域の全長の少なくとも５％であるか、または少なくとも１０％であるか、または少なくとも１５％である。代替または追加として、前記長さは、前記全長の多くとも４０％であるか、または多くとも３０％であるか、または多くとも２５％である。存在する場合、少なくとも１つの追加のセクションに同じことが当てはまる場合がある。

【００２９】

少なくとも１つの実施形態によれば、ゲート絶縁体は、チャネル領域に沿って不均一な厚さプロファイルを有する。例えば、チャネル領域に沿って、ゲート絶縁体は第１のセクションで最も厚く、その結果、第２のセクションで最も薄くなり得る。

【００３０】

少なくとも１つの実施形態によれば、チャネル領域は、ゲート絶縁体に沿って不均一なチャネルドーピングプロファイルを有する。例えば、チャネル領域内のドーピング濃度N_Aは、第１のセクションで最も大きく、その結果、第２のセクションで最も小さくなり得る。

【００３１】

少なくとも１つの実施形態によれば、不均一な厚さプロファイルならびに不均一なチャネルドーピングプロファイルが存在する。したがって、ゲート電極の仕事関数、ならびにゲート絶縁体の厚さおよびチャネル領域内のドーピング濃度N_Aは、チャネル領域に沿って変化する場合がある。例えば、チャネル領域内のドーピング濃度N_Aは、少なくとも０．５μｍまたは少なくとも１．５μｍの半導体本体の上面からの深さにおいて最大である。前記最大ドーピング濃度N_Aはまた、ゲート絶縁体に沿って見ると、ソース領域から少なくとも０．５μｍまたは少なくとも１．５μｍの距離にあり得る。前記最大値は、ウェル領域内に位置する場合がある。したがって、前記最大値は、イオン注入ではなくエピタキシャル成長によって実現される。

【００３２】

少なくとも１つの実施形態によれば、ゲート絶縁体の厚さは、チャネル領域に沿って著しく変化する。これは、例えば、ゲート絶縁体の最小厚さが、ゲート絶縁体の最大厚さの多くとも７０％、または多くとも５０％であることを意味する。この点において、チャネル領域に沿ったゲート絶縁体のみが関係があり得る。

【００３３】

少なくとも１つの実施形態によれば、ゲート絶縁体に沿って、チャネル領域の最小ドーピング濃度は、チャネル領域の最大ドーピング濃度の多くとも５０％であるか、または多くとも２０％であるか、または多くとも１０％である。

【００３４】

少なくとも１つの実施形態によれば、不均一な厚さプロファイル、不均一なチャネルドーピングプロファイル、および不均一な仕事関数プロファイルのうちの少なくとも１つは

、連続的に階段なしで延びる。したがって、少なくとも１つのそれぞれのプロファイルは、微分可能関数によって表されてもよい。

【００３５】

少なくとも１つの実施形態によれば、不均一な厚さプロファイル、不均一なチャネルドーピングプロファイル、および不均一な仕事関数プロファイルのうちの少なくとも１つは、階段状に延びる。したがって、少なくとも１つのそれぞれのプロファイルは、１つまたは複数の階段を含み、微分可能関数によって表されなくてもよい。

【００３６】

階段状の不均一な厚さプロファイル、不均一なチャネルドーピングプロファイル、および／または不均一な仕事関数プロファイルは、非階段状の不均一な厚さプロファイル、不均一なチャネルドーピングプロファイル、および／または不均一な仕事関数プロファイルと組み合わされることが可能である。

【００３７】

少なくとも１つの実施形態によれば、不均一な仕事関数プロファイル、ならびに不均一な厚さプロファイルおよび不均一なチャネルドーピングプロファイルのうちの少なくとも１つは、不均一な仕事関数プロファイルと同じように延びる。例えば、不均一な仕事関数プロファイル内の少なくとも１つの階段、ならびに不均一な厚さプロファイルおよび不均一なチャネルドーピングプロファイルのうちの少なくとも１つの中の少なくとも１つの階段は、チャネル領域に沿った同じ位置にある。

【００３８】

少なくとも１つの実施形態によれば、ゲート電極は、半導体本体内に形成された少なくとも１つのトレンチ内に部分的または完全に配置される。少なくとも１つのトレンチ、したがって割り当てられたゲート電極は、例えば、半導体本体の上面から離れる方向に、ウェル領域を通ってドリフト領域内に延在する。その結果、ゲート絶縁体も、割り当てられたトレンチ内に部分的または完全に位置する。したがって、パワー半導体デバイスは、トレンチベースのデバイスであり得る。

【００３９】

そうでない場合、ゲート電極およびゲート絶縁体は、半導体本体の上面に塗布される。したがって、上面は平面であり得る。

【００４０】

少なくとも１つの実施形態によれば、ゲート絶縁体は、ゲート絶縁体の比誘電率がソース領域から離れたチャネル領域の第１の部分において最も低くなるように、チャネル領域に沿って不均一なゲート誘電率プロファイルを有する。

【００４１】

少なくとも１つの実施形態によれば、不均一な厚さプロファイル、ならびに不均一なチャネルドーピングプロファイルおよび／または不均一なゲート電極仕事関数プロファイルおよび／または不均一なゲート誘電率プロファイルが存在する。すなわち、不均一なゲート絶縁体厚さプロファイルは、不均一なチャネルドーピングプロファイル、不均一なゲート電極仕事関数プロファイル、もしくは不均一なゲート誘電率プロファイルと組み合わせることができるか、または不均一なチャネルドーピングプロファイル、不均一なゲート電極仕事関数プロファイル、および不均一なゲート誘電率プロファイルのうちの２つと組み合わせることができるか、または３つの他の不均一なプロファイルすべてと組み合わせることができる。

【００４２】

少なくとも１つの実施形態によれば、パワー半導体デバイスは、例えば、コレクタ－エミッタ飽和電圧Ｖｃｅ－ｓａｔ、したがってオン状態損失が影響を受けないままであり得る間に、飽和電流および短絡電流の両方が減少するように構成される。これは、不均一な厚さプロファイルおよび不均一なチャネルドーピングプロファイルのうちの少なくとも１つによって任意選択的に支持され、ゲート絶縁体に沿って均一なゲート電極仕事関数プロファイルを有する同様にセットアップされた基準半導体デバイスと比較される、不均一な

仕事関数プロファイルの故に当てはまる場合、真である。
【００４３】
パワー半導体デバイスを製造するための方法がさらに提供される。方法によって、上述された実施形態の少なくとも１つに関連して示されたように、パワー半導体デバイスが製造される。したがって、パワー半導体デバイスの特徴も方法について開示され、逆もまた同様である。
【００４４】
少なくとも１つの実施形態では、パワー半導体デバイスを製造するための方法は、以下のステップを、特に記載された順序で含む。
－半導体基板を設けること、
－半導体基板上に少なくとも１つの半導体層をエピタキシャル成長させること。
【００４５】
例えば、半導体基板は、ドリフト領域の少なくとも一部を備える。
例えば、少なくとも１つのエピタキシャル成長半導体層は、ウェル領域およびソース領域を備える。
【００４６】
パワー半導体デバイスおよび製造方法は、図面を参照して例示的な実施形態によって、以下でより詳細に説明される。個々の図の中の同じ要素は、同じ参照番号で示されている。しかしながら、要素間の関係は縮尺通りには示されず、むしろ個々の要素は、理解を助けるために誇張して大きく示されている場合がある。
【図面の簡単な説明】
【００４７】
【図１】基準半導体デバイスの概略断面図である。
【図２】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図３】図２のパワー半導体デバイスの上面図である。
【図４】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図５】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図６】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図７】本明細書に記載されたパワー半導体デバイスおよび基準半導体デバイスの電気データの概略図である。
【図８】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図９】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１０】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１１】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１２】本明細書に記載されたパワー半導体デバイスの不均一なドーピングプロファイルおよび不均一な仕事関数プロファイルの概略図である。
【図１３】本明細書に記載されたパワー半導体デバイスの不均一なドーピングプロファイルおよび不均一な仕事関数プロファイルの概略図である。
【図１４】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【図１５】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。

【図１６】本明細書に記載されたパワー半導体デバイスの例示的な実施形態の概略断面図である。
【発明を実施するための形態】
【００４８】
図１は、ウェル領域２２に含まれるチャネル領域２２０内のゲート電極仕事関数プロファイルを除き、本明細書に記載されたパワー半導体デバイス１の例示的な実施形態に対応する基準半導体デバイス９を示す。パワー半導体デバイス１と同様に、基準半導体デバイス９は、例えばＳｉ製である半導体本体２を備える。
【００４９】
半導体本体２はまた、半導体本体２の上面２０にソース領域２１を備える。トレンチは、ウェル領域２２およびソース領域２１の両方を貫通する。ソース領域２１は、ｎ導電性のような第１の導電型であり、ウェル領域２２、その結果、ウェル領域２２によって含まれるチャネル領域２２０は、ｐ導電性のような第２の異なる導電型である。トレンチ内には、電気絶縁ゲート絶縁体４によって半導体本体２から分離されたゲート電極３１が存在する。トレンチ、したがってゲート電極３１は、半導体本体２のドリフト領域２３内で終端する。ドリフト領域２３も第１の導電型である。
【００５０】
基準半導体デバイス９内で、ゲート電極３１は、ウェル領域２２に面するゲート電極３１の領域において、チャネル領域２２０全体にわたって一定の仕事関数Φ_mを有するただ１つの材料からなる。すなわち、ソース領域２１から離れてドリフト領域２３に向かうチャネル領域２２０の長さ方向ｘに沿って、均一な仕事関数プロファイルが存在する。
【００５１】
例えば、ゲート絶縁体４に隣接して、ソース領域２１とチャネル領域２２０が直接接する場所、ｘ＝０である。例えば、ゲート絶縁体４に隣接して、チャネル領域２２０とドリフト領域２３が直接接する場所、ｘ＝Ｌである。すなわち、Ｌはチャネル領域２２０のチャネル長に相当する。チャネル領域２２０の形状は非常に概略的に描かれているにすぎないことに留意されたい。
【００５２】
例えば、ｘは、半導体層本体２の上面２０に対して垂直に延びる。したがって、長さＬは、ゲート絶縁体４において直接ソース領域２１とドリフト領域２３との間の距離に相当する場合がある。したがって、長さＬは、第１の導電型の層、すなわちソース領域２１とドリフト領域２３との間の第２の導電型の層の長さとして定義される場合があり、ドリフト領域２３は、図示されていない高いドーピング濃度の強化層および低いドーピング濃度の層を含む場合がある。ｘは、基準半導体デバイス９の意図された使用における現在の方向として見なされる場合がある。
【００５３】
図２および図３に示されたパワー半導体デバイス１の例示的な実施形態によれば、ゲート電極３１は、第１の材料８１と第２の材料８２とを含む。長さ方向ｘに沿って、第１の材料８１は第２の材料８２に直接続く。その結果、ゲート電極３１は、チャネル領域２２０に沿って不均一な仕事関数プロファイルを有する。
【００５４】
図２および図３に記載された半導体パワーデバイス１はｎチャネルデバイス、すなわちｐドープウェル領域を有するデバイスなので、第１の材料８１の仕事関数は第２の材料８２の仕事関数よりも高く、それに対応して、ｎドープウェル領域を有するｐチャネルデバイスの場合、第１の材料８１の仕事関数は第２の材料８２の仕事関数よりも低いはずである。したがって、ソース領域２１から離れた第１のセクション６１では、不均一な仕事関数プロファイルの最小値が存在する。チャネル領域２２０の残りは、第２のセクション６４と呼ばれる。それぞれ、第１のセクション６１内では、第２のセクション６４内でも、仕事関数Φ_mは一定である。したがって、チャネル領域２２０に沿って、ゲート電極３１は、それぞれ、第２の材料８２および第１の材料８１を有する、第２のセクション６４お

よび第１のセクション６１から構成される場合がある。長さ方向ｘに垂直な方向において、ゲート電極３１は、ただ１つの材料、すなわち、第１の材料８１または第２の材料８２のいずれかを含むことが可能である。

【００５５】

例えば、第１の材料８１は、約５．２２ｅＶの仕事関数を有するｐ$^{+}$ドープポリシリコンである。例えば、第２の材料８２は、約４．１ｅＶの仕事関数を有するｎ$^{+}$ドープポリシリコンである。シリコンをベースとしているが、これらの第１の材料８１および第２の材料８２は、金属と呼ばれる場合がある。

【００５６】

オプションとして、チャネル領域２２０に電気的に接触するために、半導体本体２の上面２０に少なくとも１つのプラグ２５が存在することができる。プラグ２５は、プラグ２５がウェル領域２２よりも深くまたは浅く半導体本体２内に延在することができるように、ウェル領域２２とは異なる厚さを有する場合がある。さらに、ソース領域２１とプラグ２５の厚さは、同じであってもよく、異なっていてもよい。

【００５７】

ソース領域２１と少なくとも１つのプラグ２５の両方は、例えば、上面２０に位置する少なくとも１つのソース電極３２によって電気的に接続される場合がある。例示的に、プラグ２５は、ウェル領域２２またはチャネル領域２２０よりも高い最大ドーピング濃度を有する。プラグの深さは、ウェル領域２２およびチャネル領域２２０の深さよりも低いか、深いか、または同じであり得る。

【００５８】

例えば、パワー半導体デバイス１は、絶縁ゲートバイポーラトランジスタ、略してＩＧＢＴである。したがって、ウェル領域２２から離れたドリフト領域２３の側には、第２の導電型のコレクタ領域２６も存在する。コレクタ領域２６には、コレクタ電極３４が存在する。さらに、ドリフト領域２３とコレクタ領域２６との間に第１の導電型のバッファ領域が存在する可能性がある。バッファ領域のドーピング濃度は、ドリフト領域２３のドーピング濃度よりも高い可能性がある。

【００５９】

例えば、半導体本体２は、少なくとも部分的にエピタキシャル成長によって製造される。すなわち、半導体本体２のそれぞれの層のドーピング濃度は、成長中に生成される場合があり、成長後に、例えばイオン注入によって生成されない場合がある。これは、例えば、少なくとも強化層２７およびウェル領域２２に当てはまり、それらは、このようにエピタキシャル成長によってドープすることができる。オプションとして、ドリフト領域２３は、部分的または完全に成長基板の一部であり得る。すべての他の例に同じことが当てはまる。

【００６０】

上面２０の上面図で見ると、ゲート電極３１およびゲート絶縁体４を収容するトレンチは引き伸ばされた形状であり得る。ソース領域２１、少なくとも１つのプラグ２５、ならびにチャネル領域２２０は、トレンチの両側に対称的に配置される場合がある、図３参照。

【００６１】

例えば、ソース領域２１、コレクタ領域２６またはドレイン領域２４の代わりに、および少なくとも１つのプラグ２５の最大ドーピング濃度は、少なくとも$1\times10^{18}cm^{-3}$もしくは少なくとも$5\times10^{18}cm^{-3}$もしくは少なくとも$1\times10^{19}cm^{-3}$および／または多くとも$5\times10^{20}cm^{-3}$もしくは多くとも$2\times10^{20}cm^{-3}$もしくは多くとも$1\times10^{20}cm^{-3}$である。さらに、ウェル領域２２、したがってチャネル領域２２０の最大ドーピング濃度は、少なくとも$5\times10^{16}cm^{-3}$もしくは少なくとも$1\times10^{17}cm^{-3}$および／または多くとも$5\times10^{19}cm^{-3}$もしくは多くとも$5\times10^{18}cm^{-3}$であり得る。例えば、強化層２７の最大ドーピング濃度は、少なくとも$10^{15}cm^{-3}$であり、かつ／または多くとも$10^{18}cm^{-3}$である。

【００６２】
パワー半導体デバイス１の電圧クラスに応じて、ドリフト領域２３の最大ドーピング濃度は、少なくとも１×１０^{11}ｃｍ$^{-3}$もしくは少なくとも１×１０^{12}ｃｍ$^{-3}$もしくは少なくとも１×１０^{13}ｃｍ$^{-3}$および／または多くとも１×１０^{17}ｃｍ$^{-3}$もしくは多くとも５×１０^{16}ｃｍ$^{-3}$もしくは多くとも１×１０^{16}ｃｍ$^{-3}$であり得る。
【００６３】
図２および図３では、ソース領域２１および少なくとも１つのプラグ２５は、ゲート電極３１の片側のみに沿って配置され、その結果、ゲート絶縁体４の１つの外側４２のみに沿ってチャネル領域２２０が存在する。しかしながら、ソース領域２１ならびに少なくとも１つのプラグ２５は、例えば図９と比較して、ゲート電極３１の２つの側面に沿って、または上面図で見ると、すべてゲート電極３１の周りに配置することもできる。
【００６４】
そうでない場合、図１に関して同じことが図２および図３にも当てはまる場合がある。
不均一な仕事関数プロファイルを有するゲート電極３１の背後にある概念が、以下である程度詳細に説明される。
【００６５】
パワー半導体デバイス１の場合、例示的には低周波数用途の場合、総電気損失を最小化するために、オン状態損失を可能な限り低くすることが望ましい場合がある。さらに、デバイスの信頼性の観点から、低い短絡電流を有することが有利であり得る。したがって、オン状態損失を最小化し、短絡能力を向上させたパワー半導体デバイス１が望まれる場合がある。
【００６６】
しかしながら、例えば、チャネル長Ｌを減少させるかまたはチャネル幅Ｗを増加させることによってオン状態電圧降下Ｖ$_{ce-sat}$を低下させるいくつかの手段は、出力特性Ｉ$_{c}$対Ｖ$_{ce}$を使用して概略的に示されたように、望ましくないより高い飽和電流Ｉ$_{sat}$をもたらすことが多い、図４参照。高いＩ$_{sat}$は高い短絡電流Ｉ$_{sc}$に直接関係し、パワー半導体デバイス１の短絡能力に悪影響を及ぼす。一方、例えばチャネルドーピング濃度を増加させることによってＩ$_{sat}$を低下させるために、パワー半導体デバイス１の閾値電圧Ｖ$_{th}$を上昇させると、図５に示されたようにＶ$_{ce-sat}$が高くなる。したがって、図４および図５は、チャネル領域全体に沿って均一な閾値プロファイルを有するＩＧＢＴの典型的な出力特性の概略図であり、図４では、同じＶ$_{th}$および異なるチャネル抵抗の場合であり、図５では、異なる閾値電圧Ｖ$_{th}$の場合である。
【００６７】
ａ）チャネル長Ｌを増加させること、
ｂ）アノードインプラントドーズを低減することによってアノード注入効率を低減すること、
ｃ）トレンチに沿ってソースカバレッジを減少させることによってチャネル幅を低減すること、および
ｄ）セルピッチを増加させることによってチャネル幅を低減すること
などの、短絡電流を低減するための他の技法はまた、望ましくないことに、より高いオン状態損失をもたらす。その上、ｄ）などの技法も、パワー半導体デバイス１の絶縁破壊能力に悪影響を及ぼす可能性がある。短絡電流を低減するためにゲートバイアスを低減することはまた、不安定な動的挙動につながり、さらに、主に用途の要件によって規定されるので、望ましくない場合がある。
【００６８】
したがって、従来のＭＩＳＦＥＴデバイスまたはＩＧＢＴデバイスでは、オン状態損失を最小化することと短絡電流を低減することとの間にはトレードオフが存在する。改善された短絡能力を必要とする用途の場合、Ｖ$_{ce-sat}$に影響を与えることなく短絡電流Ｉ$_{sc}$を減少させることができることが望ましい場合がある。
【００６９】

本明細書に記載されたパワー半導体デバイス１では、オン状態損失と短絡電流との間のトレードオフは、前者に悪影響を及ぼすことなく後者を改善することによって改善される。他の手法とは異なり、記載された設計は、所与のV_{ce-sat}に対する飽和電流を低下させるために、ゲート絶縁体４に隣接するチャネル領域２２０に沿った不均一な閾値電圧プロファイルを特徴とする。

【００７０】

本明細書に記載されたパワー半導体デバイス１において提案された不均一なV_{th}は、チャネル領域２２０に沿ったゲート電極３１の不均一な仕事関数プロファイル６を実装することによって実現される。加えて、記載された概念は、パワーＭＯＳＦＥＴまたはＩＧＢＴまたは逆導通ＩＧＢＴなどの一般に任意のＭＯＳデバイスに適用可能であり、平面アーキテクチャとトレンチアーキテクチャの両方との互換性さえある。

【００７１】

本明細書に記載されたパワー半導体デバイス１では、オン状態損失に有害な影響を及ぼすことなく、短絡能力が向上した改良されたＭＩＳＦＥＴ、ＭＯＳＦＥＴ、またはＩＧＢＴデバイスが導入される。改善された設計はまた、ＩＧＢＴの設計制約を緩和し、それぞれのデバイスの短絡能力によって通常制限されるオン状態損失を最小化するために、上述された他の方法を独立して探索する可能性を可能にする。

【００７２】

以下では、本明細書に記載された半導体デバイス１の着想に対するいくつかの理論的背景が提示される。

【００７３】

基準のロングチャネルＭＯＳデバイスの場合、高V_{ce}でのチャネルピンチオフが出力特性における電流飽和の原因となり、それが最終的に短絡電流を決定することが知られている。チャネルピンチオフ電圧$V_{pinch-off}$は、閾値電圧V_{th}によって決定される。例示的には、印加されたバイアスV_{ce}がピンチオフ電圧$V_{pinch-off}$（$V_g - V_{th}$）を超えると、チャネルは、$x = L$においてそのドレイン端付近でピンチオフを開始する、ここで、V_gは印加されたゲート電圧であり、Ｌはチャネル長である。そのように印加されたV_{ce}において、チャネルに垂直な電圧降下はV_{th}より小さく、したがって、チャネルはドレイン端付近でもはや持続することができない。

【００７４】

しかしながら、デバイスのより詳細な理解のために、チャネルピンチオフは、どちらかというと局所的な現象であり、具体的にチャネルのドレイン端付近で起こると考えられるべきである。したがって、より正確には、ピンチオフ点、したがって飽和電流を決定するのは、局所閾値電圧$V_{th}(x)$である。これは、チャネル端部、すなわちドリフト領域２３付近の第１のセクション６１において、$V_{th}(L)$を局所的に増加させることによって$V_{pinch-off}$を低減することが可能であることを意味する。

【００７５】

さらに、全体的なチャネル抵抗を保持し、それによってV_{ce-sat}に影響を与えないようにするために、チャネルの残りの部分で$V_{th}(x)$を減少させることができる。

【００７６】

これは、基準半導体デバイス９を指す曲線がチャネル全体に沿って均一な閾値電圧V_{th-1}プロファイルを含む図６に概略的に示されている。一方、パワー半導体デバイス１の曲線は、チャネルに沿った不均一なV_{th}プロファイルから構成され、V_{th}は、ピンチオフ点を下げるために$V_{th-2}(L) > V_{th-1}$となるようにチャネル端部付近、すなわち第１のセクション６１内で局所的に上昇し、チャネルの残りでは、全体のチャネル抵抗を同じに保つために$V_{th-2}' < V_{th-1}$となる。このようにして、図７の概略出力に示されたように、オン状態損失に影響を及ぼすことなく、飽和電流、それによって短絡電流を大幅に低減することができる。したがって、局所的なV_{th}変動は、ＭＩＳＦＥＴまたはＭＯＳＦＥＴまたはＩＧＢＴデバイスの短絡能力を改善するための鍵を保持する。

【００７７】
チャネルのV_{th}は、以下の式に示されたような様々な他のＭＯＳセル設計パラメータの関数である。
【００７８】
【数１】

$$V_{th} = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_A 2\varepsilon_S 2\Phi_B}}{C_{ox}}$$

【００７９】
ここで、V_{th}は閾値電圧であり、V_{fb}はフラットバンド電圧であり、$V_{fb}=(\Phi_m-\Phi_s)$であり、ここで、Φ_mおよびΦ_sは、それぞれ、ゲート電極仕事関数および半導体仕事関数である。N_Aはチャネル本体のドーピングであり、ε_sは半導体の誘電率であり、C_{ox}はゲート絶縁体容量であり、Φ_Bは半導体表面電位であり、
【００８０】
【数２】

$$\Phi_B = kt \ln \frac{N_A}{n_i}$$

【００８１】
であり、ここで、ｋはボルツマン定数であり、Ｔは温度であり、n_iは半導体の真性キャリア濃度である。
【００８２】
したがって、第１のセクション６１内の比較的高いV_{th}を有するチャネルにわたって必要とされる不均一なV_{th}プロファイルは、以下のＭＯＳ設計パラメータのうちの１つまたは任意の組合せにおいて不均一性を導入することによって実現することができる。
【００８３】
１．本明細書で詳述されたチャネルドーピングプロファイル、$N_A(x)$、
２．ゲート酸化膜厚、$Tox(x)$、
３．ゲート誘電率、$\varepsilon_{ox}(y)$、および／または
４．$V_{fb}=(\Phi_m-\Phi_s)$なので、ゲート金属仕事関数$\Phi_m(x)$。
【００８４】
以下では、ゲート電極仕事関数プロファイルの変化に焦点を合わせているが、前記仕事関数の変化は、当然ながら、変化するゲート絶縁体厚さ、変化するゲート誘電率、および／または変化するチャネルドーピング濃度と組み合わせることができる。
【００８５】
$\Phi_m(x)$の２つ以上の組合せが同じ目的を実現できることに留意されたい。その上、より高い$\Phi_m(x)$領域およびより低い$\Phi_m(x)$領域の物理的長さ、すなわち、長さ方向ｘに沿った第１のセクション６１の長ささえ目的に合わせて調整され、製造上の課題を克服することができる。
【００８６】
したがって、チャネル領域２２０に沿ったV_{th}プロファイルの不均一性は、例えば、図２に概略的に示されたように、異なる仕事関数を有するゲート電極材料を導入することによって実現することができる。仕事関数Φ_mは、上述されたように、フラットバンド電圧$V_{fb}=(\Phi_m-\Phi_s)$を介してV_{th}に関係する。したがって、Φ_mのいかなる変化も、V_{th}の対応する変化を直接もたらす。
【００８７】
図８によれば、図２のように、不均一な仕事関数プロファイルにも階段が存在するが、第１の材料８１および第２の材料８２は、長さ方向ｘに垂直な平面界面をもたない。代わりに、界面は、球状またはメニスカス様の形状を有する場合がある。したがって、遷移セ

クション６２が形成される。

【００８８】

チャネル全長Ｌと比較して、長さ方向ｘに沿った遷移セクション６２の長さは小さく、例えば、チャネル全長Ｌの多くとも２％または多くとも５％になる。同じことがすべての他の例示的な実施形態に当てはまる場合がある。

【００８９】

したがって、第１のセクション６１と第２のセクション６４との間の界面で不均一な仕事関数プロファイルに階段が存在する。しかしながら、前記階段は、テータ関数または単位階段関数に厳密に従う必要はないが、遷移セクション６２に起因して正弦波形状の可能性がある。

【００９０】

そのような遷移セクション６２または複数のそのような遷移セクションは、すべての他の例示的な実施形態において、ゲート電極３１の異なる材料の間の界面に存在する可能性もある。例えば、そのような少なくとも１つの遷移セクション６２は、ゲート電極３１の製造プロセスから生じる場合がある。

【００９１】

その上、図８によれば、上面２０において、ウェル領域２２は、プラグ２５と割り当てられたソース領域２１との間に延在する場合がある。断面で見ると、プラグ２５および割り当てられたソース領域２１は、異なる形状および／または深さを有する場合がある。これらの設計の特徴は、すべての他の例示的な実施形態においても個別にまたは組み合わせて存在することができる。

【００９２】

そうでない場合、図２～図７に関して同じことが図８にも当てはまる場合があり、逆もまた同様である。

【００９３】

図９のパワー半導体デバイス１において、第１のセクション６１には、第１の材料８１ならびに第２の材料８２が存在する。そこでは、第１の材料８１はゲート絶縁体４の隣に位置し、第２の材料８２はゲート絶縁体４から離れている。したがって、長さ方向ｘに垂直に、両方の材料８１、８２が存在する。第２の材料８２はゲート電極３１の内部に限定されるので、チャネル領域２２０での仕事関数Φ_mは、例えば、第１の材料８１のみによって決定される。したがって、上面２０に垂直な断面で見ると、第１の材料８１は、第１のセクション６１においてＵ字形であり得る。第２のセクション６４において、より低い仕事関数Φ_mを有する第２の材料８２のみが存在する場合がある。したがって、長さ方向ｘに対して垂直に、第１のセクション２２０では、ゲート電極３１は多層形式であると見なされる場合がある。

【００９４】

パワー半導体デバイス１のすべての他の例示的な実施形態において可能であるように、半導体本体２に面するゲート絶縁体４の外側は、少なくともチャネル領域２２０に沿って平面状であり得る。

【００９５】

その上、図９では、ゲート電極３１およびゲート絶縁体４が位置するトレンチは、必ずしもドレイン領域２３に面する湾曲した底面をもたないことが示されている。したがって、前記底面は平面であり得、上面２０と平行であり得る。同じことがすべての他の例示的な実施形態において可能である。

【００９６】

そうでない場合、図２～図８に関して同じことが図９にも当てはまる場合があり、逆もまた同様である。

【００９７】

図１０によれば、ゲート電極３１は、長さ方向ｘに沿って見ると、第２の材料８２と第１の材料８１との間に位置する第３の材料８３を含む。例えば、パワー半導体デバイス１

がｐドープウェル領域を有するデバイスである場合、第３の材料８３の仕事関数Φ_mは、第２の材料８２の仕事関数Φ_mを超えるが、第１の材料８１の仕事関数Φ_mよりも小さく、パワー半導体デバイス１がｎドープウェル領域を有するデバイスである場合、第３の材料８３の仕事関数Φ_mは、第２の材料８２の仕事関数Φ_mよりも低いが、第１の材料８１の仕事関数Φ_mよりも高い。

【００９８】

例えば、すべての材料８１、８２、８３は、異なるドーピングを有するポリシリコンに基づく。そうでない場合、例えば、第３の材料は、Ｐｔのような高い仕事関数Φ_mを有する金属の可能性がある。

【００９９】

材料８１、８２、８３の間には、図８のように、図示されていない遷移セクションが存在する可能性がある。さらに、中間セクション６３および／または第１のセクション６１において、ゲート電極３１も図９のように多層形式であり得る。

【０１００】

そうでない場合、図２～図９に関して同じことが図１０にも当てはまる場合があり、逆もまた同様である。

【０１０１】

特定の要件に応じて、２．５ｅＶ～３．０ｅＶの仕事関数差$\Delta\Phi_m$に対応する$\Delta V_{th} = V_{th2} - V_{th1}$が望ましい場合がある。これは、$n^+$ドープポリシリコン向けの４．１ｅＶから$p^+$ドープポリシリコン向けの約５．２２ｅＶまでの範囲の容易に利用可能な実際の仕事関数Φ_mを実現することが困難であり得る。したがって、ゲート電極３１に利用可能な材料を使用すると、ΔV_{th}　１Ｖを取得することができ、それは、図１のような単一の仕事関数ゲート電極と比較して、いくらか改善された短絡電流対オン状態のトレードオフをもたらすはずである。その上、必要な目的を実現するために、より高い仕事関数コントラストを取得するためのゲート電極材料として、異なる金属を検討することもできる。

【０１０２】

さらに良好な結果のために、不均一な仕事関数プロファイルを使用することは、不均一なドーピングプロファイルまたは不均一なゲート酸化膜厚プロファイルなどの不均一なV_{th}プロファイルを実現するための他の提案された技法と組み合わせることができる。例えば、必要なΔV_{th}は、以下の図に示されたように、第１のセクション６１および第２のセクション８２におけるゲート絶縁体厚さの変化、チャネルドーピング、およびゲート金属仕事関数の以下の組合せで実現することができる。

【０１０３】

したがって、図１１では、仕事関数プロファイルだけが不均一な設計ではなく、ゲート絶縁体４の厚さプロファイルも不均一な設計であることが示されている。したがって、ゲート絶縁体４は、ソース領域２１から離れた第１のセクション６１において最も厚い。したがって、ゲート絶縁体４の厚さは、階段状に変化する場合がある。

【０１０４】

不均一な仕事関数プロファイルも階段状であり得、ゲート電極３１の材料８１、８２は、ゲート絶縁体４の厚さと同じ長さ方向ｘに沿った位置で変化する可能性がある。例えば、ゲート絶縁体４の厚さは、第１の材料８１と第２の材料８２との間の界面でのみ変化する場合がある。

【０１０５】

オプションとして、第２のセクション６４内のゲート絶縁体４の厚さは、５０ｎｍ以上１００ｎｍ以下であり、かつ／または、第１のセクション６１内のゲート絶縁体４の厚さは、１００ｎｍ以上２４０ｎｍ以下である。

【０１０６】

例えば、第２の材料８２の仕事関数は４．１ｅＶであり、第１の材料８２の仕事関数は５．２２ｅＶである。ΔV_{th}　２．５～３Ｖを実現するために、ゲート絶縁体４は第２

のセクション６４内で１００ｎｍの厚さを、第１のセクション６１内で１７０ｎｍの厚さを有することができる。

【０１０７】

図１１では、ゲート電極３１は図２と同様に構成される。しかしながら、図１１のパワー半導体デバイス１では、ゲート電極３１は、代替として、図８～図１０および図１４のいずれか１つに示されたように設計される場合がある。

【０１０８】

そうでない場合、図２～図１０に関して同じことが図１１にも当てはまる場合があり、逆もまた同様である。

【０１０９】

図１２および図１３では、長さ方向ｘに沿って、不均一な仕事関数プロファイル６および不均一なチャネルドーピングプロファイル７の両方が適用されることが概略的に示されている。したがって、長方向ｘに沿って、チャネル領域２２０内のドーピング濃度N_Aは変化する。前述のパワー半導体デバイス１の場合と同様に、ここではチャネル領域２２０のみに関心があり、その結果、チャネル領域２２０の外側のドーピング濃度N_Aは、図１２および図１３では説明されない。したがって、不均一な仕事関数プロファイル６および不均一な厚さプロファイルも、チャネル領域２２０に沿ってのみ、すなわち、ｘ＝０～ｘ＝Ｌに対してのみ考慮される。

【０１１０】

図１２によれば、仕事関数プロファイル６およびチャネルドーピングプロファイル７の両方は階段状に設計され、階段はｘ＝x_Sにおいて両方のプロファイル６、７にある。しかしながら、例えば、仕事関数プロファイル６の階段は、テータ関数または単位階段関数に従うことができ、チャネルドーピングプロファイル７には、遷移セクション６２が存在する場合がある。それぞれ、第２のセクション６４および第１のセクション６１内で、ドーピング濃度N_Aは一定であり得る。

【０１１１】

例えば、チャネルドーピングプロファイル７に存在する最大ドーピング濃度は、少なくとも$5\times10^{16}cm^{-3}$および多くとも$3\times10^{18}cm^{-3}$であり、かつ／またはチャネルドーピングプロファイル７に存在する最小ドーピング濃度は、多くとも$2\times10^{17}cm^{-3}$もしくは多くとも$1\times10^{17}cm^{-3}$である。最大ドーピング濃度は、第１のセクション６１に存在する場合があり、最小ドーピング濃度は、第２のセクション６４に存在する場合がある。

【０１１２】

一例として、第２の材料８２の仕事関数は４．１ｅＶであり、第１の材料８２の仕事関数は５．２２ｅＶである。ΔV_{th}　２．５～３Ｖを実現するために、第２のセクション６４のドーピング濃度N_Aは$1\times10^{17}cm^{-3}$であり、第１のセクション６１のドーピング濃度N_Aは$2.8\times10^{17}cm^{-3}$である。

【０１１３】

図１３によれば、チャネルドーピングプロファイル７は直線状である。したがって、チャネルドーピングプロファイル７において、第１のセクション６１と第２のセクション６４との間に明確に画定された界面または分割線は必要でない。オプションとして、仕事関数プロファイル６は、線形仕事関数の増加が近似されるように複数の階段を有する場合がある。

【０１１４】

図１２および図１３のパワー半導体デバイス１では、当然ながら、図１１のように、ゲート絶縁体４の不均一な厚さプロファイルも存在する可能性がある。ゲート絶縁体４の厚さプロファイルの場合も、図１３のチャネルドーピングプロファイル７のように直線状であることが可能である。その上、異なる形状の不均一な厚さプロファイル、不均一な仕事関数プロファイル、および不均一なチャネルドーピングプロファイルは、互いに組み合わせることができる。

【０１１５】
そうでない場合、図２～図１１に関して同じことが図１２および図１３にも当てはまる場合があり、逆もまた同様である。
【０１１６】
図１４では、ゲート絶縁体４の不均一な厚さプロファイルならびに不均一な仕事関数プロファイルが存在し、両方のプロファイルが階段状に構成されることが示されている。しかしながら、プロファイル内の階段は、長さ方向ｘに沿って異なる位置にある。同じことがすべての他の例示的な実施形態においても可能である。図示されていないオプションとして、例えば、図１２または図１３に示されたように構成された、チャネル領域２２０内の不均一なチャネルドーピングプロファイルが存在する可能性もある。
【０１１７】
その上、図１４のパワー半導体デバイス１は、ＩＧＢＴではなく、ＭＩＳＦＥＴまたはＭＯＳＦＥＴであることが示されている。その結果、パワー半導体デバイス１は、コレクタ領域２６の代わりにドレイン領域２４を備える。したがって、ウェル領域２２から離れたドリフト領域２３の側にも、第１の導電型であるが、例えば、ドリフト領域２３よりも高い最大ドーピング濃度を有するドレイン領域２４が存在する。ドレイン領域２４には、ドレイン電極３３が存在する。
【０１１８】
もちろん、ＩＧＢＴのパワー半導体デバイス１のすべてのゲート絶縁体の設計をＭＯＳＦＥＴおよびＭＩＳＦＥＴのパワー半導体デバイス１に適用することができ、逆もまた同様である。
【０１１９】
そうでない場合、図２～図１３に関して同じことが図１４にも当てはまる場合があり、逆もまた同様である。
【０１２０】
図１５によれば、パワー半導体デバイス１は平面設計であり、例えば、図２および図３のパワー半導体デバイス１のようなトレンチ設計ではない。したがって、上面２０は平面であり、ゲート絶縁体４およびゲート電極３１は上面２０に塗布される。その結果、長さ方向ｘは、ソース領域２１からドリフト領域２３まで上面２０と平行に延び、上面２０に垂直な他の例示的な実施形態とは異なる。
【０１２１】
図１５では、ウェル領域２２は、横方向に、すなわち上面２０と平行にソース領域２１から突出し、ゲート絶縁体４の下に延在する。また、ソース領域２１は、ゲート絶縁体４の下に延在する場合があるが、それほどではない。
【０１２２】
不均一な仕事関数プロファイルならびにオプションとして存在する不均一なチャネルドーピングプロファイルおよび／または不均一な厚さプロファイルの上述された異なる設計のすべては、ＭＩＳＦＥＴまたはＭＯＳＦＥＴの場合もＩＧＢＴの場合も、図１５の平面概念に同様に適用することができる。したがって、図２～図１３に関して同じことが図１５にも当てはまる場合がある。
【０１２３】
その上、図１６では、ゲート絶縁体４が構成される、オプションとして存在する少なくとも２つの異なる材料７１、７２に起因するゲート絶縁体４の不均一なゲート電極仕事関数プロファイル６だけでなく、不均一なゲート絶縁体厚さプロファイルおよび不均一なゲート誘電率プロファイルも存在することが示されている。すなわち、ゲート絶縁体４の厚さは、チャネル領域２２０に沿って変化する。
【０１２４】
例えば、少なくとも２つの異なる材料７１、７２に起因するチャネル領域２２０に沿った比誘電率の差は、少なくとも２．０であるか、または少なくとも３．０であるか、または少なくとも３．５である。代替または追加として、前記差は多くとも５０であるか、ま

たは多くとも２５である。それぞれの比誘電率を比較するとき、室温、すなわち３００Ｋ、および多くとも１ｋＨｚの変動電界の周波数でのそれぞれの材料のテキストブック値が使用される場合がある。

【０１２５】

例えば、第１のセクション６１内の第１の材料７１の厚さは、第２のセクション６４内の第２の材料７２の厚さを超えており、逆もまた同様である。例えば、第１の材料７１と第２の材料７２との間の厚さの差は、チャネル領域２２０に沿ったゲート絶縁体４の最大厚さの少なくとも２０％または少なくとも４０％である。不均一なゲート絶縁体厚さプロファイルおよび均一なゲート誘電率プロファイルのみが存在する場合、ゲート絶縁体４は単一の材料製であり得る。

【０１２６】

例えば、第２のセクション６４内のゲート絶縁体４の厚さは、５０ｎｍ以上１００ｎｍ以下であり、かつ／または、第１のセクション６１内のゲート絶縁体４の厚さは、１００ｎｍ以上２４０ｎｍ以下である。しかしながら、図１６に示された以外に、第１のセクション６１内のゲート絶縁体４の厚さは、代替的に第２のセクション６４内よりも小さい可能性があり、最大厚さが代わりに第２のセクション６４内に存在する可能性がある。

【０１２７】

したがって、第１のセクション６１と第２のセクション６４との間の界面で不均一なゲート誘電率プロファイルに階段が存在する、図１６の挿入図参照。

【０１２８】

不均一なゲート誘電率プロファイルおよび／または不均一なゲート電極仕事関数プロファイル７２に加えて、またはその代わりに、不均一なチャネルドーピングプロファイル７１が存在する可能性がある。すなわち、ウェル領域２２内のドーピング濃度N_Aは、チャネル領域２２０に沿って変化する。

【０１２９】

例えば、不均一なチャネルドーピングプロファイル７に存在する最大ドーピング濃度は、少なくとも$5\times10^{16}cm^{-3}$および多くとも$5\times10^{19}cm^{-3}$であり、かつ／または不均一なチャネルドーピングプロファイル７１に存在する最小ドーピング濃度は、多くとも$2\times10^{17}cm^{-3}$もしくは多くとも$1\times10^{17}cm^{-3}$である。最大ドーピング濃度は、第１のセクション６１に存在する場合があり、最小ドーピング濃度は、第２のセクション６４に存在する場合がある。それぞれ、第１のセクション６１および第２のセクション６４の全体にわたって、ドーピング濃度N_Aは、例えば、ドーピング濃度N_Aが階段状に変化するように一定であり得る。しかしながら、ドーピング濃度N_Aにおける階段は、テータ関数または単位階段関数に正確に従う必要はないが、正弦波形状の階段が存在する可能性がある、図１６の挿入図参照。前記階段は、ゲート絶縁体４の材料７１、７２が変化する場所にあり得る。

【０１３０】

不均一なゲート絶縁体厚さプロファイル、不均一なゲート絶縁体誘電率プロファイル、および不均一なチャネルドーピングプロファイル７のうちのそのような少なくとも１つも、すべての他の例示的な実施形態に類似的に存在する可能性がある。

【０１３１】

そうでない場合、図２～図１５に関して同じことが図１６にも当てはまる場合があり、逆もまた同様である。

【０１３２】

図に示された構成要素は、特に指示のない限り、例示的に指定された順序で直接重なって続く。図の中で接触していない構成要素は、例示的に互いに離間している。線が互いに平行に引かれている場合、対応する表面は互いに平行に向けられる場合がある。同様に、特に指示のない限り、描かれた構成要素の互いに対する位置は、図面内で正確に再現される。

【０１３３】

本明細書に記載されたパワー半導体デバイスは、例示的な実施形態に基づく説明によって限定されない。むしろ、この特徴またはこの組合せ自体が特許請求の範囲または例示的な実施形態において明示的に指定されていない場合でも、パワー半導体デバイスは、任意の新しい特徴、および特許請求の範囲における特徴の任意の組合せを含む特徴の任意の組合せも包含する。

【０１３４】

本特許出願は、欧州特許出願第２１１８６１０１．８号の優先権を主張し、その開示内容は参照により本明細書に組み込まれる。

【符号の説明】

【０１３５】

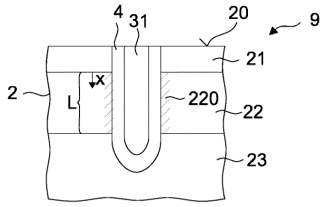
参照符号のリスト

１　パワー半導体デバイス
２　半導体本体
２０　上面
２１　ソース領域
２２　チャネル領域
２３　ドリフト領域
２４　ドレイン領域
２５　プラグ
２６　コレクタ領域
２７　強化層
３１　ゲート電極
３２　ソース電極
３３　ドレイン電極
３４　コレクタ電極
４　ゲート絶縁体
６　不均一な仕事関数プロファイル
６１　第１のセクション
６２　遷移セクション
６３　中間セクション
６４　第２のセクション
７　不均一なチャネルドーピングプロファイル
７１　ゲート絶縁体の第１の材料
７２　ゲート絶縁体の第２の材料
８１　第１の材料
８２　第２の材料
８３　第３の材料
９　基準半導体デバイス
Ｌ　ゲート絶縁体に沿ったチャネル領域の長さ
ｘ　チャネル領域に沿った長さ方向

【図面】

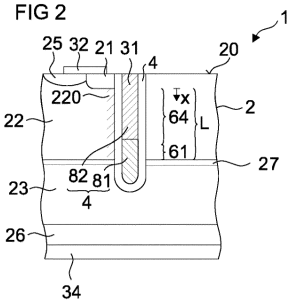
【図１】

FIG 1



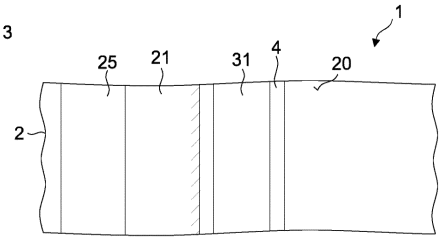
【図２】

FIG 2



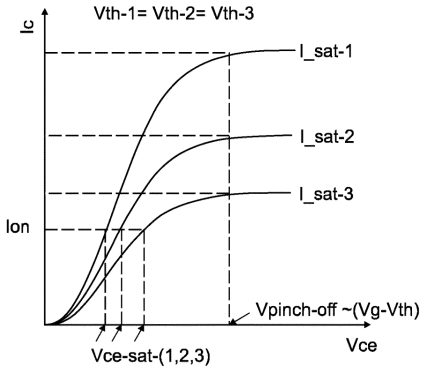
【図３】

FIG 3



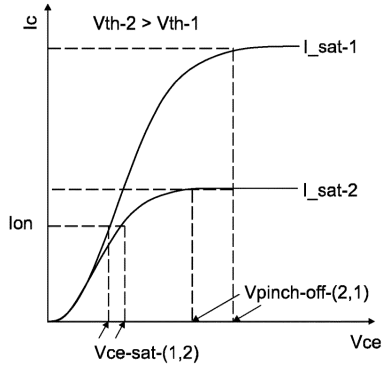
【図４】

FIG 4



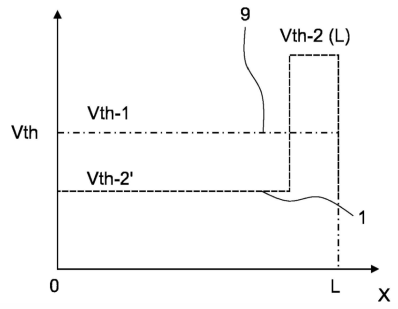
【図５】

FIG 5



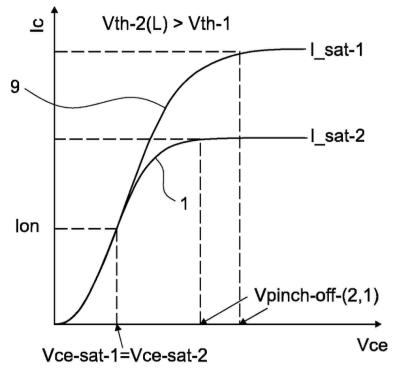
【図６】

FIG 6



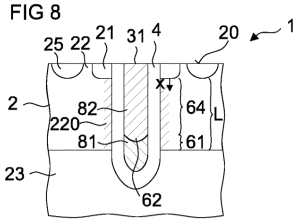
【図７】

FIG 7



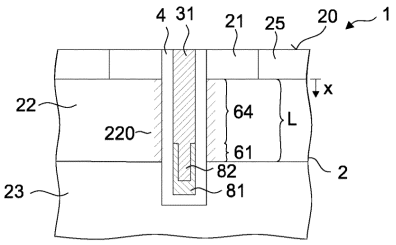
【図８】

FIG 8



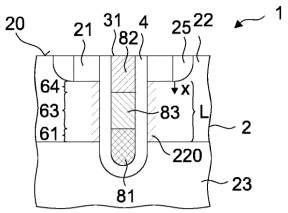
【図９】

FIG 9



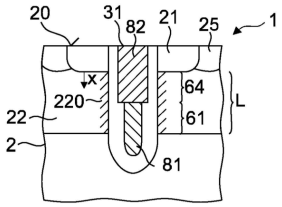
【図１０】

FIG 10



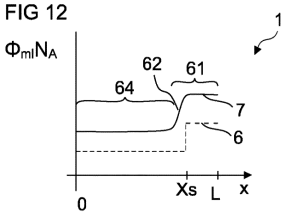
【図１１】

FIG 11



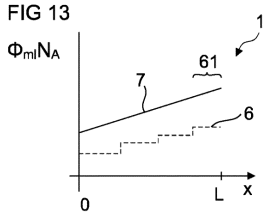
【図１２】

FIG 12



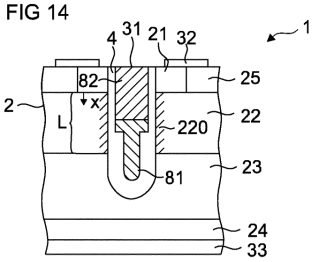
【図１３】

FIG 13



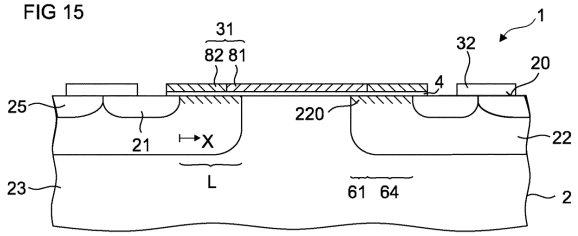
【図１４】

FIG 14



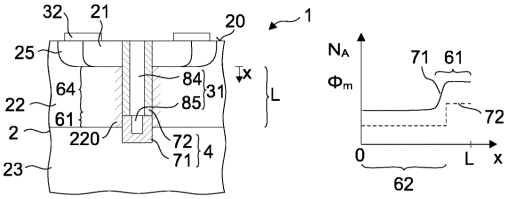
【図１５】

FIG 15



【図１６】

FIG 16



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069636

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/49 H01L29/78 H01L21/336 H01L29/739
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2012/025874 A1 (SAIKAKU HIROTAKA [JP] ET AL) 2 February 2012 (2012-02-02) paragraph [0120] - paragraph [0124]; figure 7 paragraph [0127] - paragraph [0133]; figure 9 paragraph [0195] - paragraph [0199]; figure 21 paragraph [0268] -----	1,3-6,8, 16 7
X Y	US 2016/064550 A1 (SUGIMOTO MASAHIRO [JP] ET AL) 3 March 2016 (2016-03-03) paragraph [0016] - paragraph [0035]; figure 1 paragraph [0048] - paragraph [0075]; figures 4, 5, 6, 7 ----- -/--	1,8,16 2,7, 9-12,17, 18

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance;; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance;; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 November 2022	25/11/2022

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Lantier, Roberta

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2022/069636

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1 248 300 A2 (SCHINDENGEN ELECTRIC MFG CO LT [JP]) 9 October 2002 (2002-10-09) paragraph [0050]; figure 23 paragraph [0054] - paragraph [0067]; figures 27-48 paragraph [0069]; figure 50	9,11,17, 18
Y	US 2011/089483 A1 (REYNES JEAN MICHEL [FR] ET AL) 21 April 2011 (2011-04-21) paragraph [0023] - paragraph [0027] paragraph [0058] - paragraph [0061]; figure 8	2,12
Y	US 2016/104794 A1 (TAKEUCHI YUICHI [JP] ET AL) 14 April 2016 (2016-04-14) paragraph [0028]; figure 1 paragraph [0042] - paragraph [0052]; figures 3A-3F	10
A	US 2015/214362 A1 (OH TAE-KYUNG [KR]) 30 July 2015 (2015-07-30) paragraph [0045] - paragraph [0046]; figure 2A	1-18

8

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2022/069636

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012025874 A1	02-02-2012	CN 102347356 A	08-02-2012
		DE 102011079747 A1	02-02-2012
		US 2012025874 A1	02-02-2012
		US 2015041850 A1	12-02-2015
US 2016064550 A1	03-03-2016	JP 2016054181 A	14-04-2016
		US 2016064550 A1	03-03-2016
EP 1248300 A2	09-10-2002	EP 1248300 A2	09-10-2002
		JP 4073176 B2	09-04-2008
		JP 2002299619 A	11-10-2002
		US 2002153558 A1	24-10-2002
		US 2005017294 A1	27-01-2005
US 2011089483 A1	21-04-2011	EP 2294621 A1	16-03-2011
		TW 201007848 A	16-02-2010
		US 2011089483 A1	21-04-2011
		WO 2010001201 A1	07-01-2010
US 2016104794 A1	14-04-2016	CN 105264667 A	20-01-2016
		JP 6048317 B2	21-12-2016
		JP 2014236189 A	15-12-2014
		US 2016104794 A1	14-04-2016
		WO 2014196164 A1	11-12-2014
US 2015214362 A1	30-07-2015	KR 20150090669 A	06-08-2015
		US 2015214362 A1	30-07-2015

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ュバッハベーク、１２