



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I541977 B

(45)公告日：中華民國 105 (2016) 年 07 月 11 日

(21)申請案號：104103914

(22)申請日：中華民國 101 (2012) 年 02 月 07 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L23/52 (2006.01)

H01L21/82 (2006.01)

H03K19/173 (2006.01)

(30)優先權：2011/02/17 日本

2011-031790

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 508588

JP 08-241585

JP 2004-273732A

JP 2011-009719A

US 6775197

US 2005/0017302A1

Lee et al., "Current Status of, Challenges to, and Perspective View
of AM-OLED," IDW '06: Proceedings of the 13^{sup}.th International
Display Workshops, Dec. 7, 2006, pp. 663-666.

審查人員：王榮華

申請專利範圍項數：19 項 圖式數：19 共 127 頁

(54)名稱

可程式大型積體電路

PROGRAMMABLE LSI

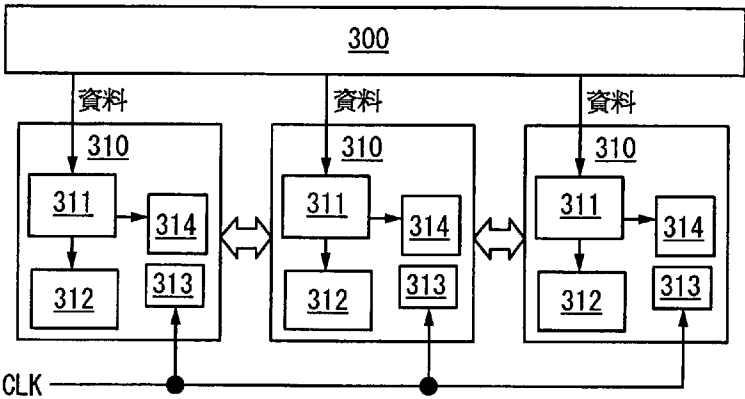
(57)摘要

提出一種低功率可程式大型積體電路(LSI)，能在高速下進行組態(動態組態)並能迅速啟動。可程式 LSI 包括複數個邏輯元件及一用來儲存待輸入至複數個邏輯元件之組態資料的記憶體元件。複數個邏輯元件各包括一組態記憶體。複數個邏輯元件各進行不同的計算處理並依照儲存在組態記憶體中的組態資料來改變邏輯元件間的電連接。記憶體元件係使用一包括一電晶體及一節點的儲存元件來形成，其中電晶體的通道形成在一氧化物半導體層中，且當電晶體關閉時節點被設定在浮置狀態中。

A low-power programmable LSI that can perform configuration (dynamic configuration) at high speed and can quickly start is provided. The programmable LSI includes a plurality of logic elements and a memory element for storing configuration data to be input to the plurality of logic elements. The plurality of logic elements each include a configuration memory. Each of the plurality of logic elements performs different arithmetic processing and changes an electrical connection between the logic elements in accordance with the configuration data stored in the configuration memory. The memory element is formed using a storage element including a transistor whose channel is formed in an oxide semiconductor layer and a node set in a floating state when the transistor is turned off.

指定代表圖：

第1A圖



符號簡單說明：

- 310 . . . 邏輯元件
- 300 . . . 記憶體元件
- 311 . . . 組態記憶體
- 312 . . . 查找表
- 314 . . . 選擇電路
- 313 . . . 暫存器

發明摘要

※申請案號：104103914 (由101103901 分割)

※申請日：101 年 02 月 07 日

※IPC 分類：H01L 27/04 (2006.01)

H01L 23/52 (2006.01)

【發明名稱】(中文/英文)

H01L 21/82 (2006.01)

H03K 19/173 (2006.01)

可程式大型積體電路

Programmable LSI

【中文】

提出一種低功率可程式大型積體電路 (LSI)，能在高速下進行組態 (動態組態) 並能迅速啟動。可程式 LSI 包括複數個邏輯元件及一用來儲存待輸入至複數個邏輯元件之組態資料的記憶體元件。複數個邏輯元件各包括一組態記憶體。複數個邏輯元件各進行不同的計算處理並依照儲存在組態記憶體中的組態資料來改變邏輯元件間的電連接。記憶體元件係使用一包括一電晶體及一節點的儲存元件來形成，其中電晶體的通道形成在一氧化物半導體層中，且當電晶體關閉時節點被設定在浮置狀態中。

【 英文 】

A low-power programmable LSI that can perform configuration (dynamic configuration) at high speed and can quickly start is provided. The programmable LSI includes a plurality of logic elements and a memory element for storing configuration data to be input to the plurality of logic elements. The plurality of logic elements each include a configuration memory. Each of the plurality of logic elements performs different arithmetic processing and changes an electrical connection between the logic elements in accordance with the configuration data stored in the configuration memory. The memory element is formed using a storage element including a transistor whose channel is formed in an oxide semiconductor layer and a node set in a floating state when the transistor is turned off.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

310：邏輯元件

300：記憶體元件

311：組態記憶體

312：查找表

314：選擇電路

313：暫存器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

可程式大型積體電路

Programmable LSI

【技術領域】

本發明係關於半導體裝置。特別是，本發明係關於可程式大型積體電路（LSI）及包括可程式 LSI 的半導體裝置。此外，本發明係關於包括半導體裝置的電子裝置。

【先前技術】

相較於傳統專用積體電路（ASIC）及閘陣列，可程式 LSI 在縮短發展時期及改變設計規格方面顯示了靈活性，其係為有利的。可程式 LSI 被廣泛應用在半導體裝置中。

可程式 LSI 包括例如複數個邏輯元件及複數個在邏輯元件間的佈線。當改變邏輯元件的功能時，就能改變可程式 LSI 的功能。邏輯元件係使用例如查找表或之類的來構成。查找表會依據設定資料對輸入信號進行計算處理，以便使用輸入信號作為輸出信號。這裡，設定資料係儲存在對應於邏輯元件的儲存元件中。換言之，查找表能依照儲存在儲存元件中的資料來進行不同的計算處理。於是，當在儲存元件中儲存特定的設定資料時，便可具體指定邏輯

元件的功能。

查找表的設定資料係稱作組態資料。此外，對應於邏輯元件並儲存組態資料的儲存元件係稱作組態記憶體。再者，儲存組態記憶體中的組態資料係稱作組態。尤其是，重寫（更新）儲存在組態記憶體中的組態資料係稱作重組態。當產生（編程）所欲之組態資料且進行組態時，可將可程式 LSI 的電路結構變成適用於使用者請求的電路結構。

可程式 LSI 通常是在停止操作包括可程式 LSI 的半導體裝置之情況下進行組態（靜態組態）。對照下，已備受關注一種當半導體裝置運作以更為利用可程式 LSI 之特色時用來進行組態（動態組態）的技術。

專利文件 1 揭露一種方法來作為用來進行動態組態的方法，即提供一與組態記憶體分開的動態隨機存取記憶體（DRAM）並將待寫入組態記憶體中的組態資料存在 DRAM 中。組態記憶體係使用靜態隨機存取記憶體（SRAM）來構成。專利文件 1 顯示藉由從 DRAM 中讀取組態資料並將組態資料寫入為組態記憶體的 SRAM 中能在短時間內進行組態的可程式 LSI。

〔參考〕

專利文件 1：日本公開專利申請第 10-285014 號。

【發明內容】

依據專利文件 1 中所揭露之可程式 LSI 的結構，由於

組態資料係儲存在 DRAM 中，因此在 DRAM 中需要定期的更新操作。於是，增加了可程式 LSI 的耗電量。此外，由於 DRAM 係揮發性記憶體，因此每當開始提供電源電壓給可程式 LSI 時，都必須將資料儲存在 DRAM 中。因此，爲了保持可程式 LSI 中的組態資料，甚至在停止供應電源電壓給可程式 LSI 之後，除了 DRAM 之外還需要非揮發性記憶體。再者，每當開始提供電源電壓給可程式 LSI 時，都必須將大筆資料從非揮發性記憶體傳送至 DRAM；因而，花費很長的時間來進行組態。結果，可程式 LSI 需要花費很長的時間才能提供其功能（啓動）。

因此，本發明之一目標在於提出一種低功率可程式 LSI，其能在高速下進行組態（動態組態）並能迅速啓動。

本發明中的一種可程式 LSI 包括複數個邏輯元件及一用來儲存待輸入至複數個邏輯元件之組態資料的記憶體元件。複數個邏輯元件各包括一組態記憶體。至少部分之儲存在記憶體元件中的組態資料會輸入並儲存在組態記憶體中。複數個邏輯元件各進行不同的計算處理並依照儲存在組態記憶體中的組態資料來改變邏輯元件間的電連接。

本發明中的一種可程式 LSI 包括複數個邏輯元件及一用來儲存待輸入至複數個邏輯元件之組態資料的記憶體元件。複數個邏輯元件各包括一組態記憶體、一查找表、及一選擇電路。至少部分之儲存在記憶體元件中的組態資料會輸入並儲存在組態記憶體中。在複數個邏輯元件之每一

者中，查找表會依照儲存在組態記憶體中的組態資料來進行不同的計算處理。選擇電路會依照儲存在組態記憶體中的組態資料來改變邏輯元件間的電連接。

本發明中的一種可程式 LSI 包括複數個邏輯元件及一用來儲存待輸入至複數個邏輯元件之組態資料的記憶體元件。複數個邏輯元件各包括一組態記憶體、一查找表、一選擇電路、及一暫存器。至少部分之儲存在記憶體元件中的組態資料會輸入並儲存在組態記憶體中。在複數個邏輯元件之每一者中，查找表會依照儲存在組態記憶體中的組態資料來進行不同的計算處理。選擇電路會依照儲存在組態記憶體中的組態資料來改變邏輯元件間的電連接。將查找表的一輸出信號及一時脈信號輸入至暫存器，且暫存器與時脈信號同步地輸出一對應於輸出信號的信號。

（記憶體元件之具體實例）

記憶體元件係使用非揮發性儲存元件來構成。換言之，記憶體元件係使用一種能在停止供應電源電壓之後保留已儲存資料（組態資料）一段時間的儲存元件來構成。可使用電荷累積儲存元件、電阻變化（相變）儲存元件或之類來作為非揮發性儲存元件。

替代地，有可能使用包括一開關元件及一節點的儲存元件來作為非揮發性儲存元件，其中當開關元件關閉並保持對應於資料（組態資料）之信號電位時，節點被設定在浮置狀態中。既然那樣，儘管未供應電源電壓給儲存元

件，但當使用具有極低之開路電流的增強型（通常是關閉的）電晶體作為開關元件並將接地電位輸入至電晶體的閘極時，在未供應電源電壓給儲存元件的期間可關閉電晶體。以此方式，可長時間保持節點的電位（信號電位）；因此，記憶體元件可當作實質的非揮發性記憶體。

有可能使用一具有通道在一層或包括具有比矽之能帶隙還寬之能帶隙的半導體之基板中的電晶體，來作為具有極低之開路電流的電晶體。複合半導體係一具有比矽之能帶隙還寬之能帶隙的半導體之實例。複合半導體之實例包括氧化物半導體、氮化物半導體之類。

例如，記憶體元件可使用一包括一電晶體及一節點的儲存元件來形成，其中電晶體的通道形成在一氧化物半導體層中，且當電晶體關閉時節點被設定在浮置狀態中。對應於資料（組態資料）的信號電位會保持在節點上。

如下敘述一種記憶體元件之具體結構，其係使用一包括一電晶體及一節點的儲存元件來形成，其中電晶體的通道形成在一氧化物半導體層中，且當電晶體關閉時節點被設定在浮置狀態中。

（記憶體元件中所包括的儲存元件之具體實例）

記憶體元件可具有一個以上的儲存元件之結構 1-1、儲存元件之結構 1-2、儲存元件之結構 2-1、儲存元件之結構 2-2、及儲存元件之結構 3。

（儲存元件之結構 1-1）

儲存元件包括一第一電晶體、一第二電晶體、及一電容器。第一電晶體的通道係形成在一氧化物半導體層中。第一電晶體的閘極係電性連到一第一佈線。第一電晶體的源極與汲極之其一者係電性連到一第二佈線。第一電晶體的源極與汲極之另一者係電性連到第二電晶體的閘極。第二電晶體的源極與汲極之其一者係電性連到一第三佈線。第二電晶體的源極與汲極之另一者係電性連到一第四佈線。電容器的一對電極之其一者係電性連到第二電晶體的閘極。電容器的成對電極之另一者係電性連到一第五佈線。

儲存元件之結構 1-1 可以不同的方式來表達如下。

儲存元件包括一第一電晶體、一第二電晶體、及一電容器。第一電晶體的通道係形成在一氧化物半導體層中。對應於資料（組態資料）的信號電位（輸入至第二佈線的信號電位）係透過被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開的第一電晶體來輸入至第二電晶體的閘極與電容器的成對電極之其一者。當經由輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）來關閉第一電晶體時，信號電位會保持在第二電晶體之閘極上與電容器之成對電極之其一者上。以此方式，資料便被寫入。此外，資料係在第二電晶體的源極電位（第三佈線的電位）與電容器的成對電極之另一個電位（第五佈線的電位）是第二電晶體之源極與汲極間的狀

態會依照信號電位來改變之電位的情況下被讀取。這裡，電晶體的源極與汲極之間的狀態是不導電狀態或導電狀態。藉由偵測第二電晶體的源極與汲極之間的狀態，來讀取保持在儲存元件中的資料。

請注意藉由控制第五佈線的電位，可打開第二電晶體，也就是，無論資料是否保存在儲存元件中，第二電晶體的源極與汲極之間的狀態都會是導電狀態。又，藉由控制第五佈線的電位，可關閉第二電晶體，也就是，無論資料是否保存在儲存元件中，第二電晶體的源極與汲極之間的狀態都會是不導電狀態。

在儲存元件之結構 1-1 中，第一佈線、第五佈線、第二佈線、及第四佈線也分別稱作寫入字組線、讀取字組線、資料線、及位元線。

這裡，當關閉在氧化物半導體層中形成通道之電晶體時，被設定在浮置狀態中的節點會是第二電晶體的閘極或電容器的成對電極之其一者。

請注意在儲存元件之結構 1-1 中，第二佈線及第四佈線可合併成單一佈線。第二佈線及第四佈線合併成單一佈線之結構係為儲存元件之結構 1-2。

（儲存元件之結構 1-2）

儲存元件包括一第一電晶體、一第二電晶體、及一電容器。第一電晶體的通道係形成在一氧化物半導體層中。第一電晶體的閘極係電性連到一第一佈線。第一電晶體的

源極與汲極之其一者係電性連到一第二佈線。第一電晶體的源極與汲極之另一者係電性連到第二電晶體的閘極。第二電晶體的源極與汲極之其一者係電性連到一第三佈線。第二電晶體的源極與汲極之另一者係電性連到第二佈線。電容器的一對電極之其一者係電性連到第二電晶體的閘極。電容器的成對電極之另一者係電性連到一第四佈線。

儲存元件之結構 1-2 可以不同的方式來表達如下。

儲存元件包括一第一電晶體、一第二電晶體、及一電容器。第一電晶體的通道係形成在一氧化物半導體層中。對應於資料（組態資料）的信號電位（輸入至第二佈線的信號電位）係透過被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開的第一電晶體來輸入至第二電晶體的閘極及電容器的一對電極之其一者。當第一電晶體被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）關閉時，信號電位會保持在第二電晶體的閘極及電容器的成對電極之其一者上。以此方式，資料便被寫入。此外，資料係在第二電晶體的源極電位（第三佈線的電位）及電容器的成對電極之另一者電位（第四佈線的電位）是第二電晶體之源極與汲極間的狀態會依照信號電位來改變之電位的情況下被讀取。這裡，電晶體的源極與汲極之間的狀態是不導電狀態或導電狀態。藉由偵測第二電晶體的源極與汲極之間的狀態，來讀取保留在儲存元件中的資料。

請注意藉由控制第四佈線的電位，可打開第二電晶

體，也就是，無論資料是否保存在儲存元件中，第二電晶體的源極與汲極之間的狀態都會是導電狀態。又，藉由控制第四佈線的電位，可關閉第二電晶體，也就是，無論資料是否保存在儲存元件中，第二電晶體的源極與汲極之間的狀態都會是不導電狀態。

在儲存元件之結構 1-2 中，第一佈線、第四佈線、及第二佈線也分別稱作寫入字組線、讀取字組線、及位元線。

這裡，當關閉在氧化物半導體層中形成通道的電晶體時，被設定在浮置狀態中的節點會是第二電晶體的閘極或電容器的成對電極之其一者。

（儲存元件之結構 2-1）

儲存元件包括一第一電晶體、一第二電晶體、及一第三電晶體。第一電晶體的通道係形成在一氧化物半導體層中。第一電晶體的閘極係電性連到一第一佈線。第一電晶體的源極與汲極之其一者係電性連到一第二佈線。第一電晶體的源極與汲極之另一者係電性連到第二電晶體的閘極。第二電晶體的源極與汲極之其一者係電性連到一第三佈線。第二電晶體的源極與汲極之另一者係透過第三電晶體的源極與汲極電性連到一第四佈線。第三電晶體的閘極係電性連到一第五佈線。

儲存元件之結構 2-1 可以不同的方式來表達如下。

儲存元件包括一第一電晶體、一第二電晶體、及一第

三電晶體。第一電晶體的通道係形成在一氧化物半導體層中。對應於資料（組態資料）的信號電位（輸入至第二佈線的信號電位）係透過被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開的第一電晶體來輸入至第二電晶體的閘極。當第一電晶體被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）關閉時，信號電位會保持在第二電晶體的閘極上。以此方式，資料便被寫入。此外，資料係在第二電晶體的源極電位（第三佈線的電位）是第二電晶體之源極與汲極間的狀態會依照信號電位來改變的電位，且第三電晶體被輸入至第三電晶體的閘極之控制信號（輸入至第五佈線的控制信號）打開的情況下被讀取。這裡，電晶體的源極與汲極之間的狀態是不導電狀態或導電狀態。藉由偵測第二電晶體的源極與汲極之間的狀態，來讀取保留在儲存元件中的資料。

請注意可將固定電位（例如，如接地電位之低電源電位）輸入至第三佈線。

在儲存元件之結構 2-1 中，第一佈線、第五佈線、第二佈線、及第四佈線也分別稱作寫入字組線、讀取字組線、資料線、及位元線。

這裡，當關閉在氧化物半導體層中形成通道的電晶體時，被設定在浮置狀態中的節點會是第二電晶體的閘極。

請注意在儲存元件之結構 2-1 中，第二佈線及第四佈線可合併成單一佈線。第二佈線及第四佈線合併成單一佈

線之結構係為儲存元件之結構 2-2。

（儲存元件之結構 2-2）

儲存元件包括一第一電晶體、一第二電晶體、及一第三電晶體。第一電晶體的通道係形成在一氧化物半導體層中。第一電晶體的閘極係電性連到一第一佈線。第一電晶體的源極與汲極之其一者係電性連到一第二佈線。第一電晶體的源極與汲極之另一者係電性連到第二電晶體的閘極。第二電晶體的源極與汲極之其一者係電性連到一第三佈線。第二電晶體的源極與汲極之另一者係透過第三電晶體的源極與汲極電性連到第二佈線。第三電晶體的閘極係電性連到一第四佈線。

儲存元件之結構 2-2 可以不同的方式來表達如下。

儲存元件包括一第一電晶體、一第二電晶體、及一第三電晶體。第一電晶體的通道係形成在一氧化物半導體層中。對應於資料（組態資料）的信號電位（輸入至第二佈線的信號電位）係透過被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開的第一電晶體來輸入至第二電晶體的閘極。當第一電晶體被輸入至第一電晶體的閘極之控制信號（輸入至第一佈線的控制信號）關閉時，信號電位會保持在第二電晶體的閘極上。以此方式，資料便被寫入。此外，資料係在第二電晶體的源極電位（第三佈線的電位）是第二電晶體之源極與汲極間的狀態會依照信號電位來改變的電位，且第三電晶體被輸入至

第三電晶體的閘極之控制信號（輸入至第四佈線的控制信號）打開的情況下被讀取。這裡，電晶體的源極與汲極之間的狀態是不導電狀態或導電狀態。藉由偵測第二電晶體的源極與汲極之間的狀態，來讀取保留在儲存元件中的資料。

請注意可將固定電位（例如，如接地電位之低電源電位）輸入至第三佈線。

在儲存元件之結構 2-2 中，第一佈線、第四佈線、及第二佈線也分別稱作寫入字組線、讀取字組線、及位元線。

這裡，當關閉在氧化物半導體層中形成通道的電晶體時，被設定在浮置狀態中的節點會是第二電晶體的閘極。

（儲存元件之結構 3）

儲存元件包括一電晶體及一電容器。電晶體的通道係形成在一氧化物半導體層中。電晶體的閘極係電性連到一第一佈線。電晶體的源極與汲極之其一者係電性連到一第二佈線。電晶體的源極與汲極之另一者係電性連到電容器的一對電極之其一者。

在儲存元件之結構 3 中，電容器的成對電極之另一者可電性連到一第三佈線。可將固定電位（例如，如接地電位之低電源電位）輸入至第三佈線。

儲存元件之結構 3 可以不同的方式來表達如下。

儲存元件包括一電晶體及一電容器。電晶體的通道係

形成在一氧化物半導體層中。對應於資料（組態資料）的信號電位（輸入至第二佈線的信號電位）係透過被輸入至電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開的電晶體來輸入至電容器的一對電極之其一者。接著，當電晶體被輸入至電晶體的閘極之控制信號（輸入至第一佈線的控制信號）關閉時，信號電位被保持在電容器中。以此方式，資料便被寫入。之後，在電晶體被輸入至電晶體的閘極之控制信號（輸入至第一佈線的控制信號）打開期間，藉由偵測保持在電容器的成對電極之其一者中的信號電位（也可稱作對應於信號電位的電荷量）來從第二佈線讀取保存在儲存元件中的資料。

在儲存元件之結構 3 中，第一佈線及第二佈線也分別稱作字組線及位元線。

這裡，當關閉在氧化物半導體層中形成通道之電晶體時，被設定在浮置狀態中的節點會是電容器的成對電極之其一者。

以上是包括在記憶體元件中之儲存元件的變化說明。

（記憶體元件之結構的變化）

記憶體元件可包括一具有複數個排列成矩陣的儲存元件之記憶格陣列。既然那樣，在記憶格陣列中，可在排成一列的儲存元件之間共用一佈線（例如，字組線、寫入字組線，或讀取字組線），且可在排成一行的儲存元件之間共用一佈線（例如，位元線或資料線）。

記憶體元件可包括一解碼器（列解碼器或行解碼器）。解碼器可選擇記憶格陣列中的一特定儲存元件。可將資料寫入所選擇的儲存元件中，並從中讀取資料。

記憶體元件可包括一感測放大器。可將位元線的電位輸入至感測放大器。感測放大器能放大從儲存元件中讀取的信號。可使用門鎖感測放大器作為感測放大器。替代地，可使用不同的感測放大器。例如，可使用反向器、緩衝器、或運算放大器。

記憶體元件可包括一預充電電路。預充電電路具有預充電位元線之電位的功能。

記憶體元件可包括一如分頁緩衝器的暫存電路。可將輸入至記憶體元件的資料寫入暫存電路中並保持。接著，可將資料寫入記憶格陣列中的特定儲存元件中。

上述為記憶體元件之變化說明。

（可程式 LSI 之元件的變化）

組態記憶體可包括一具有一門鎖電路的儲存元件。組態記憶體可包括具有一電容器的儲存元件。

在組態記憶體包括具有門鎖電路之儲存元件的例子中，可使用儲存元件作為記憶體元件之感測放大器的替代物。

記憶體元件包括一儲存元件，其中當關閉在氧化物半導體層中形成通道的電晶體時，此儲存元件的預定節點被設定在浮置狀態中，且記憶體元件會保持對應於節點上之

資料的信號電位。在氧化物半導體層中形成通道之電晶體的開路電流係極低的。因此，可禁止信號電位由於電晶體之漏損而發生變動。以此方式，在停止供應電源電壓給記憶體元件之後，記憶體元件中的各儲存元件仍可長時間保持對應於資料（組態資料）的信號電位。總之，記憶體元件可當作非揮發性記憶體。

在包括上述記憶體元件及複數個邏輯元件的可程式 LSI 中，記憶體元件不需要定期的更新操作或可顯著地降低更新操作的頻率；因此可減少耗電量。再者，每當開始供應電源電壓給可程式 LSI 時，不須將資料寫入記憶體元件中。於是，能縮短組態時間。因此，能縮短提供可程式 LSI 之預定功能的時間（啓動可程式 LSI 的時間）。

以此方式，可能提出一種低功率可程式 LSI，其能在高速下進行組態（動態組態）並能迅速啓動。

【圖式簡單說明】

在附圖中：

第 1A 圖係一可程式 LSI 之方塊圖及第 1B 至 1D 圖係儲存元件之電路圖；

第 2 圖係一記憶體元件之方塊圖；

第 3 圖係一記憶格陣列之電路圖；

第 4 圖係一記憶格陣列之電路圖；

第 5 圖係一記憶格陣列之電路圖；

第 6A 和 6B 圖係一記憶格陣列之電路圖；

第 7 圖係一預充電電路之電路圖；

第 8A 至 8D 圖係一感測放大器之電路圖；

第 9A 至 9G 圖係一感測放大器之電路圖；

第 10A 至 10C 圖係一包括在組態記憶體中之儲存元件的電路圖；

第 11A 至 11C 圖係一查找表之電路圖；

第 12A 和 12B 圖係一選擇電路之電路圖；

第 13A 至 13D 圖顯示形成儲存元件之步驟；

第 14A 至 14C 圖顯示形成儲存元件之步驟；

第 15A 至 15C 圖顯示形成儲存元件之步驟；

第 16 圖係顯示儲存元件之結構之剖面圖；

第 17A 至 17D 圖各顯示在氧化物半導體層中形成通道的電晶體結構之剖面圖；

第 18 圖係一可攜式電子裝置之方塊圖；及

第 19 圖係一電子書閱讀器之方塊圖。

【實施方式】

以下將參考圖示來詳細說明實施例及實例。請注意本發明並不限於下列敘述。本領域之熟知技藝者將輕易了解到可以各種方式修改本發明之模式與細節而不背離本發明之精神及範疇。因此，本發明不應解釋為受限於接下來的實施例及實例之說明。

請注意例如當使用相反極性之電晶體或在電路運作下而改變電流方向時，「源極」與「汲極」之功能可互換。

因此，在本說明書中，「源極」和「汲極」之名稱可互換。

「電性連接」之措辭包括透過一具有任何電作用之物件來彼此連接元件的情況。這裡，沒有特別限制具有任何電作用之物件，只要電信號可在彼此連接的元件之間傳送及接收即可。「具有任何電作用之物件」的例子除了電極和佈線之外，還包括如電晶體、電阻器、電感器、電容器、及具有各種功能之元件的開關元件。

此外，甚至當獨立元件在電路圖中彼此電性連接時，也有一個導電膜具有複數個元件的功能之情形，如部分之佈線可當作電極之情形。在本說明書中的「電性連接」之措辭也包括上述之一個導電膜具有複數個元件之功能的情況。

「在上面」或「在下面」之名稱不一定表示元件係直接置於另一元件上或直接置於另一元件下。例如，「閘極在閘絕緣膜上」之措辭不排除有另一元件置於閘絕緣層與閘極之間的情形。

爲了容易了解，圖中所示之每個元件的位置、大小、範圍或之類在一些例子中並不會被精確地呈現。因此，本發明不必受限於圖中所揭露之位置、大小、範圍等。

使用如「第一」、「第二」、「第三」之序數以避免元件之間的混淆。

（實施例 1）

說明一種可程式 LSI。

第 1A 圖概略地顯示可程式 LSI 之結構。可程式 LSI 包括複數個邏輯元件 310 及一記憶體元件 300。第 1A 圖代表性地顯示三個邏輯元件 310。邏輯元件的數量可以是一指定數量。替代地，可程式 LSI 可更包括複數組之複數個邏輯元件 310 及記憶體元件 300。或者，可程式 LSI 可更包括一乘法器、一 RAM 方塊、一 PLL 方塊、或一 I/O 元件。乘法器具有在高速下相乘複數個資料的功能。RAM 區塊如同記憶體般具有儲存特定資料的功能。PLL 區塊具有將時脈信號提供給可程式 LSI 中的電路之功能。I/O 元件具有控制在可程式 LSI 及外部電路間通過之信號的功能。

邏輯元件 310 包括一組態記憶體 311、一查找表 312、一選擇電路 314、及一暫存器 313。請注意邏輯元件 310 可更包括一不同的暫存器、一乘法器、或一開關。

可使用已知的儲存元件作為組態記憶體 311。

在邏輯元件 310 中，查找表 312 會依照儲存在組態記憶體 311 中的組態資料來進行不同的計算處理。

在邏輯元件 310 中，選擇電路 314 會依照儲存在組態記憶體 311 中的組態資料來改變與不同邏輯元件 310 之間的電連接。例如，選擇電路 314 會改變在可程式 LSI 中設置的佈線資源中的電連接。以此方式，來改變邏輯元件 310 之間的電連接或邏輯元件 310 與一不同電路（例如，乘法器、RAM 方塊、PLL 方塊、或 I/O 元件）之間的電連

接。

在邏輯元件 310 中，查找表 312 的輸出信號及一時脈信號（CLK）會輸入至暫存器 313 中，且對應於輸出信號的信號會與時脈信號（CLK）同步地輸出。暫存器 313 的輸出信號或查找表 312 的輸出信號被用來作為邏輯元件 310 的輸出信號，並依照選擇電路 314 所選擇之電連接被輸出至預定的邏輯元件 310。此處，在邏輯元件 310 中，可設置用來選擇暫存器 313 之輸出信號或查找表 312 之輸出信號的多工器。

請注意雖然第 1A 圖概略地顯示組態記憶體 311 係置於邏輯元件 310 中的一個位置之結構，但本實施例並不限於此結構。組態記憶體 311 可置於複數個位置上，如此可將其置於查找表 312、選擇電路 314 等等中。

請注意在第 1A 圖所示之邏輯元件 310 的結構中，有可能不設置暫存器 313。替代地，可程式 LSI 可包括具有暫存器 313 的邏輯元件 310 及不具有暫存器 313 的邏輯元件 310。在不具有暫存器 313 的邏輯元件 310 中，可使用查找表 312 的輸出作為邏輯元件 310 的輸出。

（記憶體元件 300 之結構）

記憶體元件 300 可使用複數個各包括一電晶體及一節點的儲存元件來形成，其中電晶體的通道係形成在一氧化物半導體層中，且當電晶體關閉時，節點被設定在浮置狀態中。第 1B 至 1D 圖顯示一種儲存元件。

(儲存元件之結構 1)

第 1B 圖所示之儲存元件 100a 包括一電晶體 101、一電晶體 102、及一電容器 103。電晶體 101 的通道係形成在一氧化物半導體層中。請注意在第 1B 圖中，在電晶體 101 旁寫了「OS」以表示電晶體 101 的通道係形成在氧化物半導體層中。電晶體 101 的閘極係電性連到一端點 W。電晶體 101 的源極與汲極之其一者係電性連到一端點 D。電晶體 101 的源極與汲極之另一者係電性連到電晶體 102 的閘極。電晶體 102 的源極與汲極之其一者係電性連到一端點 S。電晶體 102 的源極與汲極之另一者係電性連到一端點 B。電容器 103 的一對電極之其一者係電性連到電晶體 102 的閘極。電容器 103 的成對電極之另一者係電性連到一端點 C。這裡，每個端點可電性連到一佈線或一電極。

電性連到端點 W 的佈線、電性連到端點 C 的佈線、電性連到端點 D 的佈線、及電性連到端點 B 的佈線也分別稱為寫入字組線、讀取字組線、資料線、及位元線。請注意資料線及位元線可合併成單一佈線。這裡，在資料線及位元線合併成單一佈線之情況下，佈線被稱為位元線。

這裡，當關閉在氧化物半導體層中形成通道之電晶體 101 時，被設定在浮置狀態中的節點會是電晶體 102 的閘極或電容器 103 的成對電極之其一者。

（驅動儲存元件 100a 的方法）

說明一種用來驅動第 1B 圖所示之儲存元件 100a 的方法。

首先，說明將資料寫入儲存元件 100a 中。對應於資料（組態資料）的信號電位（輸入至端點 D 的信號電位）係透過被輸入至電晶體 101 的閘極之控制信號（輸入至端點 W 的控制信號）打開的電晶體 101 來輸入至電晶體 102 的閘極及電容器 103 的成對電極之其一者。接著，當電晶體 101 被輸入至電晶體 101 的閘極之控制信號（輸入至端點 W 的控制信號）關閉時，信號電位會保持在電晶體 102 的閘極及電容器 103 的成對電極之其一者上。以此方式，可將資料寫入儲存元件 100a 中。

這裡，在氧化物半導體層中形成通道之電晶體 101 的開路電流係極低的。儘管未供應電源電壓給儲存元件 101a，但當使用增強型（通常是關閉的）電晶體作為電晶體 101 並將接地電位輸入至電晶體 101 的閘極時，在未供應電源電壓給儲存元件 100a 的期間可關閉電晶體 101。以此方式，甚至在未供應電源電壓給儲存元件時 100a 時，仍可長時間保持電晶體 102 的閘極及電容器 103 的成對電極之其一者的電位（信號電位）。因此，甚至在停止供應電源電壓之後，儲存元件 100a 仍可保留資料。

接著，說明從儲存元件 100a 中讀取資料。電晶體 102 的源極（端點 S）電位及電容器 103 的成對電極之另一者（端點 C）電位是電晶體 102 的源極與汲極間的狀態

會依照信號電位來改變的電位。這裡，電晶體 102 的源極與汲極之間的狀態係為不導電狀態或導電狀態。藉由偵測電晶體 102 的源極與汲極之間的狀態，來讀取保留在儲存元件 100a 中的資料。

請注意藉由控制端點 C 的電位，可打開電晶體 102，也就是，無論資料是否保存在儲存元件 100a 中，電晶體 102 的源極與汲極之間的狀態都會是導電狀態。又，藉由控制端點 C 的電位，可關閉電晶體 102，也就是，無論資料是否保存在儲存元件 100a 中，電晶體 102 的源極與汲極之間的狀態都會是不導電狀態。

以上係用來驅動儲存元件 100a 之方法的說明。

如上所述，當將資料寫入包括在記憶體元件 300 中的複數個儲存元件 100a 之每一者中，並從中讀取資料時，記憶體元件 300 可寫入並讀取複數個資料（組態資料）。

（儲存元件之結構 2）

說明具有與儲存元件之結構 1 不同之結構的儲存元件。

第 1C 圖所示之儲存元件 100b 包括電晶體 101、電晶體 102、及一電晶體 141。電晶體 101 的通道係形成在氧化物半導體層中。請注意在第 1C 圖中，在電晶體 101 旁寫了「OS」以表示電晶體 101 的通道係形成在氧化物半導體層中。電晶體 101 的閘極係電性連到端點 W。電晶體 101 的源極與汲極之其一者係電性連到端點 D。電晶體

101 的源極與汲極之另一者係電性連到電晶體 102 的閘極。電晶體 102 的源極與汲極之其一者係電性連到端點 S。電晶體 102 的源極與汲極之另一者係透過電晶體 141 的源極與汲極電性連到端點 B。電晶體 141 的閘極係電性連到端點 X。這裡，每個端點可電性連到一佈線或一電極。

電性連到端點 W 的佈線、電性連到端點 X 的佈線、電性連到端點 D 的佈線、及電性連到端點 B 的佈線也分別稱作寫入字組線、讀取字組線、資料線、及位元線。請注意資料線及位元線可合併成單一佈線。這裡，在資料線及位元線合併成單一佈線之情況下，佈線被稱為位元線。

這裡，當關閉在氧化物半導體層中形成通道之電晶體 101 時，被設定在浮置狀態中的節點會是電晶體 102 的閘極。

（驅動儲存元件 100b 的方法）

說明一種用來驅動第 1C 圖所示之儲存元件 100b 的方法。

首先，說明將資料寫入儲存元件 100b 中。對應於資料（組態資料）的信號電位（輸入至端點 D 的信號電位）係透過被輸入至電晶體 101 的閘極之控制信號（輸入至端點 W 的控制信號）打開的電晶體 101 來輸入至電晶體 102 的閘極。接著，當電晶體 101 被輸入至電晶體 101 的閘極之控制信號（輸入至端點 W 的控制信號）關閉時，信號

電位便保持在電晶體 102 的閘極上。以此方式，可將資料寫入儲存元件 100b 中。

這裡，在氧化物半導體層中形成通道之電晶體 101 的開路電流係極低的。儘管未供應電源電壓給儲存元件 100b，但當使用增強型（通常是關閉的）電晶體作為電晶體 101 並將接地電位輸入至電晶體 101 的閘極時，在未供應電源電壓給儲存元件 100b 的期間可關閉電晶體 101。以此方式，甚至在未供應電源電壓給儲存元件時 100b 時，仍可長時間保持電晶體 102 的閘極電位（信號電位）。因此，甚至在停止供應電源電壓之後，儲存元件 100b 仍可保留資料。

接著，說明從儲存元件 100b 中讀取資料。電晶體 102 的源極（端點 S）電位是電晶體 102 之源極與汲極間的狀態會依照信號電位來改變的電位。這裡，電晶體 102 的源極與汲極之間的狀態係為不導電狀態或導電狀態。當電晶體 141 被輸入至電晶體 141 的閘極之控制信號（輸入至端點 X 的控制信號）打開時，藉由偵測電晶體 102 的源極與汲極之間的狀態，來讀取保留在儲存元件 100b 中的資料。

請注意可將一固定電位（例如，如接地電位之低電源電位）輸入至端點 S（電性連到端點 S 的佈線）。

以上係用來驅動儲存元件 100b 之方法的說明。

如上所述，當將資料寫入包括在記憶體元件 300 中的複數個儲存元件 100b 之每一者中，並從中讀取資料時，

記憶體元件 300 可寫入並讀取複數個資料（組態資料）。

（儲存元件之結構 3）

說明具有與儲存元件之結構 1 及儲存元件之結構 2 不同之結構的儲存元件。

第 1D 圖所示之儲存元件 100c 包括一電晶體 104 及一電容器 105。電晶體 104 的通道係形成在氧化物半導體層中。在第 1D 圖中，在電晶體 104 旁寫了「OS」以表示電晶體 104 的通道係形成在氧化物半導體層中。電晶體 104 的閘極係電性連到端點 W。電晶體 104 的源極與汲極之其一者係電性連到端點 B。電晶體 104 的源極與汲極之另一者係電性連到電容器 105 的一對電極之其一者。這裡，每個端點可電性連到一佈線或一電極。

電性連到端點 W 的佈線及電性連到端點 B 的佈線也分別稱為字組線及位元線。

這裡，當關閉在氧化物半導體層中形成通道之電晶體 104 時，被設定在浮置狀態中的節點會是電容器 105 的成對電極之其一者。

（驅動儲存元件 100c 的方法）

說明一種用來驅動第 1D 圖所示之儲存元件 100c 的方法。

首先，說明將資料寫入儲存元件 100c 中。對應於資料（組態資料）的信號電位（輸入至端點 B 的信號電位）

係透過被輸入至電晶體 104 的閘極之控制信號（輸入至端點 W 的控制信號）打開的電晶體 104 來輸入至電容器 105 的成對電極之其一者。接著，當電晶體 104 被輸入至電晶體 104 的閘極之控制信號（輸入至端點 W 的控制信號）關閉時，信號電位便保持在電容器 105 中。以此方式，可將資料寫入儲存元件 100c 中。

這裡，在氧化物半導體層中形成通道之電晶體 104 的開路電流係極低的。儘管未供應電源電壓給儲存元件 100c，但當使用增強型（通常是關閉的）電晶體作為電晶體 104 並將接地電位輸入至電晶體 104 的閘極時，在未供應電源電壓給儲存元件 100c 的期間可關閉電晶體 104。以此方式，甚至在未供應電源電壓給儲存元件時 100c 時，仍可長時間保持電容器 105 的成對電極之其一者的電位（信號電位）。因此，甚至在停止供應電源電壓之後，儲存元件 100c 仍可保留資料。

接著，說明從儲存元件 100c 中讀取資料。當電晶體 104 被輸入至電晶體 104 的閘極之控制信號（輸入至端點 W 的控制信號）打開時，藉由偵測保持在電容器 105 的成對電極之其一者上的信號電位（也可稱作相當於信號電位的電荷量），可從端點 B 讀取保留在儲存元件 100c 中的資料。

請注意電容器 105 的成對電極之另一者可電性連到端點 C。可將一固定電位（例如，如接地電位之低電源電位）輸入至端點 C。

以上係用來驅動儲存元件 100c 之方法的說明。

如上所述，當將資料寫入包括在記憶體元件 300 中的複數個儲存元件 100c 之每一者中，並從中讀取資料時，記憶體元件 300 可寫入並讀取複數個資料（組態資料）。

（儲存元件之變化）

在儲存元件之結構 1、儲存元件之結構 2、或儲存元件之結構 3 中，儲存元件可更包括一二極體、一電阻器、或一開關。例如，可使用類比開關、電晶體等作為開關。例如，在儲存元件之結構 2 中，儲存元件可更包括一電容器，且電容器的一對電極之其一者可電性連到電晶體 102 的閘極。可將一固定電位（例如，如接地電位之低電源電位）輸入至電容器的成對電極之另一者。

請注意記憶體元件 300 會包括用來儲存複數組對應於邏輯元件 310 之狀態（查找表 312 所進行的邏輯操作種類及選擇電路 314 所選擇的連接關係）之組態資料的記憶體容量，且可從複數組組態資料中選擇一組特定的組態資料，如此可將資料儲存在組態記憶體 311 中。

以上係本發明中的一種可程式 LSI。

基於上述之結構，在停止供應電源電壓給記憶體元件 300 之後，記憶體元件 300 仍可長時間保持對應於資料（組態資料）的信號電位。總之，記憶體元件 300 可當作非揮發性記憶體。

在包括記憶體元件 300 及複數個邏輯元件 310 的可程

式 LSI 中，記憶體元件 300 不需要定期的更新操作或可顯著地降低更新操作的頻率；因此可減少耗電量。再者，每當開始供應電源電壓給可程式 LSI 時，不須將資料寫入記憶體元件 300 中。於是，能縮短組態時間。因此，能縮短提供可程式 LSI 之預定功能的時間（啓動可程式 LSI 的時間）。

以此方式，可能提出一種低功率可程式 LSI，其能在高速下進行組態（動態組態）並能迅速啓動。

本實施例可適當地與任何其他實施例結合。

（實施例 2）

在本實施例中，更具體地說明實施例 1 中的記憶體元件 300。

記憶體元件 300 可包括一具有複數個排成矩陣之實施例 1 中的儲存元件之記憶格陣列（具有儲存元件之結構 1、儲存元件之結構 2、或儲存元件之結構 3）。

除了記憶格陣列之外，記憶體元件 300 可包括任何或所有的解碼器（列解碼器或行解碼器）、預充電電路、感測放大器、及暫存電路。請注意這些電路中有些可合併成單一電路。例如，感測放大器可當作暫存電路。

解碼器（列解碼器或行解碼器）具有選擇記憶格陣列中的一特定儲存元件之功能。記憶體元件 300 將資料寫入解碼器（列解碼器或行解碼器）所選擇的儲存元件中，並從中讀取資料。預充電電路具有在從儲存元件中讀取資料

之前，將包括在記憶格陣列中的位元線電位設定（預充電）成一預定電位之功能。由於在預充電電路將位元線電位設定（預充電）成預定電位之後，可從儲存元件中讀取資料，因此能增加從儲存元件中讀取資料的速度。感測放大器具有放大對應於保留在儲存元件中之資料的位元線電位並輸出已放大電位之功能。藉由感測放大器能更迅速並準確地讀取資料。暫存電路也稱為分頁緩衝器或門鎖電路，且具有暫時保留從記憶體元件外輸入之資料的功能。暫存電路可具有保留從記憶格陣列中讀取的資料之功能。

第 2 圖概略地顯示一種記憶體元件 300 之結構。在第 2 圖中，記憶體元件 300 包括一記憶格陣列 400、一行解碼器 403、一列解碼器 404、一預充電電路 402、及一感測放大器 401。

請注意雖然在第 2 圖顯示之結構中，預充電電路 402 及感測放大器 401 係設置在記憶格陣列 400 之裝有行解碼器 403 的一側上，但本實施例並不受限於此結構。預充電電路 402 及感測放大器 401 之任一者或兩者可設置在面對行解碼器 403 之一側上，其中記憶格陣列 400 係置於它們之間。預充電電路 402 及感測放大器 401 可合併成單一電路。

請注意記憶體元件 300 可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路（計算元件）。例如，可使用類

比開關、電晶體等作為開關。替代地，可使用被輸入了時脈信號及時脈信號之反向信號之任一者或兩者的計算電路（計算元件）作為開關。

（記憶格陣列之結構）

說明更具體的記憶格陣列 400。

（記憶格陣列之結構 1）

記憶格陣列 400 可包括第 1B 圖之實施例 1 中所述之複數個排成矩陣的儲存元件 100a。例如，第 3 圖所示之記憶格陣列 400 包括 $m \times n$ （ m 係為 2 以上的自然數且 n 係為 2 以上的自然數）個儲存元件（儲存元件 100a（ i, j ）（ i 係為 m 以下的自然數且 j 係為 n 以下的自然數））。 $m \times n$ 個儲存元件（儲存元件 100a（ i, j ））之每一者都會是第 1B 圖所示之儲存元件 100a。包括在記憶格陣列 400 中的複數個儲存元件之每一者也稱為記憶格。

在第 3 圖中，在排成一行的儲存元件之間，會共用電性連到端點 B 及端點 D 的佈線 BL j 。例如，在排在第一行的儲存元件（儲存元件 100a（1,1）至 100a（ $m, 1$ ））之間，會共用電性連到端點 B 及端點 D 的佈線 BL1。佈線 BL j 可稱作位元線。

在第 3 圖中，在排成一行的儲存元件之間，會共用電性連到端點 S 的佈線 SL j 。例如，在排在第一行的儲存元件（儲存元件 100a（1,1）至 100a（ $m, 1$ ））之間，會共

用電性連到端點 S 的佈線 SL1。請注意在所有包括在記憶格陣列中的儲存元件之間，會共用電性連到端點 S 的佈線 SLj。

在第 3 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 W 的佈線 WLi。例如，在排在第一列的儲存元件（儲存元件 100a (1,1) 至 100a (1,n)）之間，會共用電性連到端點 W 的佈線 WL1。佈線 WLi 可稱作寫入字組線。

在第 3 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 C 的佈線 CLi。例如，在排在第一列的儲存元件（儲存元件 100a (1,1) 至 100a (1,n)）之間，會共用電性連到端點 C 的佈線 CL1。佈線 CLi 可稱作讀取字組線。

然而，本實施例並不限於此結構。複數個佈線 BLj 及複數個佈線 SLj 可設置在排成一行的儲存元件中，或複數個佈線 WLi 及複數個佈線 CLi 可設置在排成一系列的儲存元件中。

可在第 3 圖所示之結構中共用每個佈線。當共用每個佈線時，可微型化並高度整合記憶格陣列 400。

在第 3 圖所示之記憶格陣列 400 中，資料係選擇性地寫入由輸入至佈線 WLi 的信號所指定之在一列上的儲存元件（儲存元件 100a (i,j)）中。具體來說，會關閉在電性連到佈線 BLj 之儲存元件（除了資料所寫入的儲存元件之外）中的電晶體 101，並藉由輸入至佈線 WLi 的信號來

打開資料所寫入的儲存元件中的電晶體 101。以此方式，資料便寫入所指定的儲存元件中。此外，資料係選擇性地從由輸入至佈線 CL_i 的信號所指定之在一列上的儲存元件（儲存元件 100a (i,j)）中讀取。具體來說，會關閉在電性連到佈線 BL_j 之儲存元件（除了所讀取資料的儲存元件之外）中的電晶體 102（不管所保留的資料），並依照所保留的資料（信號電位）來改變所讀取資料的儲存元件中的電晶體 102 之狀態。以此方式，便從所指定之儲存元件中讀取資料。請注意用來將資料寫入所指定之儲存元件中及從中讀取資料的方法類似於用來驅動上述實施例中之儲存元件 100a 的方法；故省略其說明。

（記憶格陣列之結構 2）

記憶格陣列 400 可包括第 1B 圖之實施例 1 中所述之複數個排成矩陣的儲存元件 100a。例如，第 6B 圖所示之記憶格陣列 400 包括 $m \times n$ （ m 係為 2 以上的自然數且 n 係為 2 以上的自然數）個儲存元件（儲存元件 100a (i,j)（ i 係為 m 以下的自然數且 j 係為 n 以下的自然數））。 $m \times n$ 個儲存元件（儲存元件 100a (i,j)）之每一者會是第 1B 圖所示之儲存元件 100a。包括在記憶格陣列 400 中的複數個儲存元件之每一者也稱為記憶格。

在第 6B 圖所示之結構中，在置於儲存元件群組 400_j 之其中一端的儲存元件（儲存元件 100a (1,j)）中，端點 D 係電性連到佈線 BL_j，且端點 B 係透過當作開

關的電晶體 181 來電性連到佈線 BL_j。在置於儲存元件群組 400_j 之另一端的儲存元件（儲存元件 100a (m,j)）中，端點 S 係透過當作開關的電晶體 182 來電性連到佈線 SL_j。請注意可移除電晶體 182 並將端點 S 直接連到置於儲存元件群組 400_j 之另一端的儲存元件（儲存元件 100a (m,j)）中的佈線 SL_j。在除了置於儲存元件群組 400_j 的兩端之外的儲存元件中，相鄰的儲存元件之其一者的端點 S 係電性連到相鄰的儲存元件之另一者的端點 B，且相鄰的儲存元件之其一者的端點 F 係電性連到相鄰的儲存元件之另一者的端點 D。這裡，如第 6A 圖所示，端點 F 是置於電性連到電晶體 102 之閘極之節點上的端點。因此，在第 6B 圖所示之結構中，包括在儲存元件群組 400_j 中的電晶體 102 可視為係電性串連且包括在儲存元件群組 400_j 中的電晶體 101 可視為係電性串連。佈線 BL_j 可稱為位元線。

在第 6B 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 W 的佈線 WL_i。例如，在排在第一列的儲存元件（儲存元件 100a (1,1) 至 100a (1,n)）之間，會共用電性連到端點 W 的佈線 WL₁。佈線 WL_i 可稱作寫入字組線。

在第 6B 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 C 的佈線 CL_i。例如，在排在第一列的儲存元件（儲存元件 100a (1,1) 至 100a (1,n)）之間，會共用電性連到端點 C 的佈線 CL₁。佈線 CL_i 可稱作讀取字組

線。

然而，本實施例並不受限於此結構。複數個佈線 WLi 及複數個佈線 CLi 可設置在排成一系列的儲存元件中。

可在第 6B 圖所示之結構中共用每個佈線。當共用每個佈線時，可微型化並高度整合記憶格陣列 400。

請注意雖然第 6B 圖顯示之記憶格陣列 400 之結構中，儲存元件群組 400_j 係設置成一行，但本實施例並不受限於此結構。在記憶格陣列 400 中，儲存元件群組 400_j 可排成矩陣。

在第 6B 圖所示之記憶格陣列 400 中，資料係選擇性地寫入由輸入至佈線 WLi 的信號所指定之在一列上的儲存元件（儲存元件 100a (i,j)）中。具體來說，資料係從較接近佈線 SLj 的一側上之儲存元件依序寫到儲存元件中。在資料所寫入的儲存元件中的電晶體 101 與所有置於比儲存元件更接近佈線 BLj 之一側上的儲存元件會被輸入至佈線 WLi 的信號打開。此外，在所有置於比資料所寫入的儲存元件更接近佈線 SLj 的一側上之儲存元件中的電晶體 101 會被輸入至佈線 WLi 的信號關閉。以此方式，對應於資料的信號電位會從佈線 BLj 輸入至資料所寫入的儲存元件中。請注意當寫入資料時，電晶體 181 及 182 之任一者或兩者是斷開的。此外，資料係選擇性地從由輸入至佈線 CLi 的信號所指定之在一列上的儲存元件（儲存元件 100a (i,j)）中讀取。具體來說，會開啓在電性連到佈線 BLj 之儲存元件（除了所讀取資料的儲存元件之外）中

的電晶體 102（不管所保留的資料），並依照所保留的資料（信號電位）來改變所讀取資料的儲存元件中的電晶體 102 之狀態。請注意當讀取資料時，電晶體 181 及 182 是導通的。以此方式，便從所指定之儲存元件中讀取資料。請注意用來將資料寫入所指定之儲存元件中及從中讀取資料的方法類似於用來驅動上述實施例中之儲存元件 100a 的方法；故省略其說明。

（記憶格陣列之結構 3）

記憶格陣列 400 可包括第 1C 圖之實施例 1 中所述之複數個排列成矩陣的儲存元件 100b。例如，第 4 圖所示之記憶格陣列 400 包括 $m \times n$ （ m 係為 2 以上的自然數且 n 係為 2 以上的自然數）個儲存元件（儲存元件 100b（ i, j ）（ i 係為 m 以下的自然數且 j 係為 n 以下的自然數））。 $m \times n$ 個儲存元件（儲存元件 100b（ i, j ）之每一者會是第 1C 圖所示之儲存元件 100b。包括在記憶格陣列 400 中的複數個儲存元件之每一者也稱為記憶格。

在第 4 圖中，在排成一行的儲存元件之間，會共用電性連到端點 B 及端點 D 的佈線 BL j 。例如，在排在第一行的儲存元件（儲存元件 100b（1,1）至 100b（ $m, 1$ ））之間，會共用電性連到端點 B 及端點 D 的佈線 BL1。佈線 BL j 也可稱作位元線。

在第 4 圖中，在排成一行的儲存元件之間，會共用電性連到端點 S 的佈線 SL j 。例如，在排在第一行的儲存元

件（儲存元件 $100b(1,1)$ 至 $100b(m,1)$ ）之間，會共用電性連到端點 S 的佈線 $SL1$ 。請注意在所有包括在記憶格陣列中的儲存元件之間，會共用電性連到端點 S 的佈線 SLj 。

在第 4 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 W 的佈線 WLi 。例如，在排在第一列的儲存元件（儲存元件 $100b(1,1)$ 至 $100b(1,n)$ ）之間，會共用電性連到端點 W 的佈線 $WL1$ 。佈線 WLi 可稱作寫入字組線。

在第 4 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 X 的佈線 XLi 。例如，在排在第一列的儲存元件（儲存元件 $100b(1,1)$ 至 $100b(1,n)$ ）之間，會共用電性連到端點 X 的佈線 $XL1$ 。佈線 XLi 可稱作讀取字組線。

然而，本實施例並不限於此結構。複數個佈線 BLj 及複數個佈線 SLj 可設置在排成一行的儲存元件中，或複數個佈線 WLi 及複數個佈線 XLi 可設置在排成一系列的儲存元件中。

可在第 4 圖所示之結構中共用每個佈線。當共用每個佈線時，可微型化並高度整合記憶格陣列 400。

在第 4 圖所示之記憶格陣列 400 中，資料係選擇性地寫入由輸入至佈線 WLi 的信號所指定之在一列上的儲存元件（儲存元件 $100b(i,j)$ ）中。具體來說，會關閉在電性連到佈線 BLj 之儲存元件（除了資料所寫入的儲存元

件之外) 中的電晶體 101，並藉由輸入至佈線 WLi 的信號來打開資料所寫入的儲存元件中的電晶體 101。以此方式，便選擇性地寫入資料。此外，資料係選擇性地從由輸入至佈線 XLi 的信號所指定之在一列上的儲存元件（儲存元件 $100b(i,j)$ ）中讀取。具體來說，會關閉在電性連到佈線 BLj 之儲存元件（除了所讀取資料的儲存元件之外）中的電晶體 141，並打開所讀取資料的儲存元件中的電晶體 141。以此方式，便選擇性地讀取資料。請注意用來將資料寫入所指定之儲存元件中及從中讀取資料的方法類似於驅動上述實施例中之儲存元件 100b 的方法；故省略其說明。

（記憶格陣列之結構 4）

記憶格陣列 400 可包括第 1D 圖之實施例 1 中所述之複數個排列成矩陣的儲存元件 100c。例如，第 5 圖所示之記憶格陣列 400 包括 $m \times n$ （ m 係為 2 以上的自然數且 n 係為 2 以上的自然數）個儲存元件（儲存元件 $100c(i,j)$ （ i 係為 m 以下的自然數且 j 係為 n 以下的自然數））。 $m \times n$ 個儲存元件（儲存元件 $100c(i,j)$ ）之每一者都會是第 1D 圖所示之儲存元件 100c。包括在記憶格陣列 400 中的複數個儲存元件之每一者也稱為記憶格。

在第 5 圖中，在排成一行的儲存元件之間，會共用電性連到端點 B 的佈線 BLj 。例如，在排在第一行的儲存元件（儲存元件 $100c(1,1)$ 至 $100c(m,1)$ ）之間，會共

用電性連到端點 B 的佈線 BL1。佈線 BLj 可稱作位元線。

在第 5 圖中，在排成一系列的儲存元件之間，會共用電性連到端點 W 的佈線 WLi。例如，在排在第一列的儲存元件（儲存元件 100c (1,1) 至 100c (1,n)）之間，會共用電性連到端點 W 的佈線 WL1。佈線 WLi 可稱作字組線。

然而，本實施例並不受限於此結構。複數個佈線 BLj 可設置在排成一行的儲存元件中，或複數個佈線 WLi 可設置在排成一系列的儲存元件中。在 $m \times n$ 個儲存元件（儲存元件 100c (i,j)）中，端點 C 可電性連到一電極或一佈線或可電性連到不同的電極或不同的佈線。

可在第 5 圖所示之結構中共用每個佈線。當共用每個佈線時，可微型化並高度整合記憶格陣列 400。

在第 5 圖所示之記憶格陣列 400 中，資料係選擇性地寫入及讀取自由輸入至佈線 WLi 的信號所指定之在一列上的儲存元件（儲存元件 100c (i,j)）中。具體來說，會關閉除了資料所寫入的儲存元件之外的儲存元件中的電晶體 104，並藉由輸入至佈線 WLi 的信號來打開資料所寫入的儲存元件中的電晶體 104；藉此，選擇性地寫入資料。此外，會關閉除了所讀取資料的儲存元件之外的儲存元件中的電晶體 104，並打開所讀取資料的儲存元件中的電晶體 104；藉此，選擇性地讀取資料。用來將資料寫入所指定之儲存元件中及從中讀取資料的方法類似於驅動上述實施例中的儲存元件 100c 的方法；故省略其說明。

（儲存格陣列之變化）

請注意在記憶格陣列之結構 1、記憶格陣列之結構 2、記憶格陣列之結構 3，或記憶格陣列之結構 4 中，記憶格陣列可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路（計算元件）。例如，可使用類比開關、電晶體等作為開關。替代地，可使用被輸入時脈信號及時脈信號之反向信號中之任一者或兩者的計算電路（計算元件）作為開關。

請注意記憶體元件 300 會包括用來儲存複數組對應於邏輯元件 310 的狀態（查找表 312 所進行的邏輯操作種類及選擇電路 314 所選擇的連接關係）之組態資料的記憶體容量，且可從複數組組態資料中選擇一組特定的組態資料，如此可將資料儲存在組態記憶體 311 中。既然那樣，當在置於一列記憶格陣列 400 中的儲存元件中儲存一組組態資料時，藉由讀取一列資料可讀取一組組態資料。藉此，能縮短組態時間。

（感測放大器之結構）

接著，說明第 2 圖之感測放大器 401 之具體結構。感測放大器 401 可包括複數個感測放大器。感測放大器可設置置於記憶格陣列 400 中的每條位元線。位元線的電位能

被感測放大器放大並能從感測放大器的輸出端偵測到。這裡，位元線的電位係基於保持在電性連到位元線且從中讀取資料之儲存元件中的信號電位。因此，從感測放大器之輸出端輸出的信號符合保留在從中讀取資料的儲存元件中的資料。以此方式，藉由感測放大器 401 能偵測到保留在記憶格陣列 400 中之各儲存元件中的資料。

感測放大器可使用反向器或緩衝器來構成。例如，感測放大器可使用門鎖電路（門鎖感測放大器）來構成。或者，感測放大器可使用比較器來構成。例如，感測放大器可使用差動放大器（運算放大器）來構成。

特別是，在使用具有第 1D 圖所示之結構的儲存元件 100c 作為包括在記憶格陣列 400 中的儲存元件之情況下，最好是使用門鎖感測放大器作為感測放大器 401。門鎖感測放大器會放大輸入信號並會保持已放大信號。因此，甚至當在從儲存元件 100c 中讀取資料時而改變（損害）了相當於保持在儲存元件 100c 的電容器 105 中之信號電位的電荷，對應於信號電位的信號仍能保持在門鎖感測放大器中並能再次寫入儲存元件 100c 中。

參考第 8A 至 8D 圖及第 9A 至 9G 圖來說明更具體的感測放大器 401。

（感測放大器之結構 1）

第 8A 圖顯示一包括緩衝器 441 的感測放大器 401 之實例。感測放大器 401 包括 n 個緩衝器 441，且 n 個緩衝

器 441 係置於在記憶格陣列 400 中的位元線 BL1 至 BLn 上。位元線 BL1 至 BLn 的電位會被 n 個緩衝器 441 放大並會從輸出端 OUT1 至 OUTn 輸出。這裡，位元線的電位係基於保持在電性連到位元線且從中讀取資料之儲存元件中的信號電位。因此，從緩衝器 441 之輸出端輸出的信號符合保留在從中讀取資料的儲存元件中的資料。以此方式，藉由包括 n 個緩衝器 441 的感測放大器 401 能偵測到保留在記憶格陣列 400 中之各儲存元件中的資料。

（感測放大器之結構 2）

第 8B 圖顯示一包括比較器 442 的感測放大器 401 之實例。感測放大器 401 包括 n 個比較器 442，且 n 個比較器 442 係置於在記憶格陣列 400 中的位元線 BL1 至 BLn 上。n 個比較器 442 會比較位元線 BL1 至 BLn 之電位與一參考電位（以第 8B 圖中的 ref 來表示），並會從輸出端 OUT1 至 OUTn 輸出比較結果。這裡，位元線的電位係基於保持在電性連到位元線且從中讀取資料之儲存元件中的信號電位。因此，從比較器 442 之輸出端輸出的信號符合保留在從中讀取資料的儲存元件中的資料。以此方式，藉由包括 n 個比較器 442 的感測放大器 401 能偵測到保留在記憶格陣列 400 中之各儲存元件中的資料。

（感測放大器之結構 3）

第 8C 及 8D 圖各顯示一包括閃鎖電路 443 的感測放

大器 401 之實例。例如，閘鎖電路 443 可使用反向器 444 及反向器 445 來形成。感測放大器 401 包括 n 個閘鎖電路 443，且 n 個閘鎖電路 443 係置於在記憶格陣列 400 中的位元線 BL1 至 BL n 上。位元線 BL1 至 BL n 的電位會被 n 個閘鎖電路 443 放大，並會從輸出端 OUT1 至 OUT n 輸出。這裡，位元線的電位係基於保持在電性連到位元線且從中讀取資料之儲存元件中的信號電位。因此，從閘鎖電路 443 之輸出端輸出的信號（已放大信號）對應保留在從中讀取資料的儲存元件中的資料。以此方式，藉由包括 n 個閘鎖電路 443 的感測放大器 401 能偵測到保留在記憶格陣列 400 中之各儲存元件中的資料。

再者， n 個閘鎖電路 443 各會保持已放大信號。因此，甚至當在從記憶格陣列 400 的儲存元件中讀取資料時而損害了資料，對應之信號仍會保持在 n 個閘鎖電路 443 中並能再次寫入儲存元件中。

例如，在使用具有第 1D 圖所示之結構的儲存元件 100c 作為包括在記憶格陣列 400 中的儲存元件之情況下，最好是使用具有第 8C 或 8D 圖所示之結構的感測放大器 401。甚至當在從儲存元件 100c 中讀取資料時而改變（損害）了相當於保持在儲存元件 100c 的電容器 105 中之信號電位的電荷，對應於信號電位的信號仍會保持在在閘鎖電路 443 中並能再次寫入儲存元件 100c 中。請注意保持在閘鎖電路 443 中的信號能通過如反向器的計算元件再次寫入儲存元件 100c 中。再者，當包括在閘鎖電路

443 中的複數個反向器之驅動能力能被適當地設定時，門鎖電路 443 能禁止資料在從所讀取資料的儲存元件 100c 中讀取資料時受到損壞。當增加包括在反向器中的電晶體之通道寬度（閘寬）時，會增加反向器的驅動能力，而當減少通道寬度（閘寬）時，會減少驅動能力。例如，當減少第 8C 圖之門鎖電路 443 中的反向器 445 之驅動能力及第 8D 圖之門鎖電路 443 中的反向器 444 之驅動能力時，具體來說，當減少包括在這些反向器中的電晶體之通道寬度（閘寬）時，門鎖電路 443 能禁止資料在從所讀取資料的儲存元件 100c 中讀取資料時受到損壞。

如上所述，由於包括第 8C 或 8D 圖所示之門鎖電路 443 的感測放大器 401 具有保持信號之功能，因此可使用感測放大器 401 作為暫存電路。例如，可使用包括門鎖電路 443 的感測放大器 401 作為用來暫時保留從記憶體元件 300 之外輸入的資料之電路（例如，分頁緩衝器）。

（感測放大器之變化）

請注意感測放大器可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路（計算元件）。例如，可使用類比開關、電晶體等作為開關。替代地，可使用被輸入時脈信號及時脈信號之反向信號之任一者或兩者的計算電路（計算元件）作為開關。

第 9A 圖概略地顯示關於第 8A 至 8D 圖所述之感測放大器 401 中的各感測放大器之結構。感測放大器 1451 相當於第 8A 圖之緩衝器 441、第 8B 圖之比較器 442、或第 8C 或 8D 圖之閘鎖電路 443。符號 BL_x 表示位元線 BL_1 至 BL_n 中的任一位元線，且符號 OUT_x 表示輸出端 OUT_1 至 OUT_n 中的任一輸出端。可將二極體、電阻器、計算電路（計算元件）、或開關加到具有第 9A 圖之結構的感測放大器。

如第 9B 所示，元件 1450 可置於位元線 BL_x 及感測放大器 1451 之間。例如，可使用開關來作為元件 1450。

如第 9C 所示，端點 VR 可透過元件 1450 來電性連到位元線 BL_x 。例如，可使用開關、電阻器或二極體來作為元件 1450。

第 9D 圖係設置開關 1452 來作為第 9C 圖之元件 1450 的實例。第 9F 圖係使用在閘極提供一控制信號 PSW 的電晶體作為開關 1452 的實例。在第 9D 或 9F 圖所示之結構中，當透過施加一預定電位到端點 VR 來打開開關 1452 時，可對位元線 BL_x 預充電預定電位。以此方式，也可使用感測放大器 401 作為預充電電路 402。

第 9E 圖係設置負載 1453 來作為第 9C 圖之元件 1450 的實例。第 9G 圖係使用二極體接法電晶體作為負載 1453 的實例。在第 9E 或 9G 圖所示之結構中，在電晶體 102 被在從第 1B 圖所示之儲存元件 100a 或第 1C 圖所示之儲存元件 100b 中讀取資料時所保持的信號電位關閉之情況

下，端點 VR 的電位便會輸入至感測放大器。

（預充電電路之結構）

接下來，參考第 7 圖來說明在第 2 圖中具體的預充電電路 402。在第 7 圖中，預充電電路 402 包括一預充電線 PR 及複數個開關 446。開關 446 可設置在記憶格陣列 400 中的位元線 BL1 至 BLn 上。各位元線及預充電線 PR 之間的電連接係由各開關 446 所選擇，且預充電線 PR 的電位（預充電電位）會輸入至各位元線。例如，可使用類比開關、電晶體等作為開關 446。替代地，可使用被輸入時脈信號及時脈信號之反向信號之任一者或兩者的計算電路（計算元件）作為開關 446。

請注意預充電電路 402 可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及不同的開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路（計算元件）。

以上為記憶體元件之變化的說明。

請注意本發明之一實施例可以是具有類似於記憶體元件或包括儲存裝置的半導體裝置之結構的儲存裝置。

本實施例可適當地與任何其他實施例結合。

（實施例 3）

在本實施例中，說明一種包括在邏輯元件 310 中的組態記憶體 311。組態記憶體 311 可使用例如門鎖電路或電

容器來構成。

第 10A 和 10B 圖各顯示儲存元件 501 或儲存元件 502 包括一閃鎖電路作為包括在組態記憶體 311 中的儲存元件之實例。閃鎖電路可使用反向器 511 及反向器 512 來形成。從輸入端 IN 輸入的資料會保留在儲存元件 501 及儲存元件 502 中，並從輸出端 OUT 輸出。

在組態記憶體 311 係使用儲存元件 501 或儲存元件 502 來形成之情況下，可使用組態記憶體 311 作為感測放大器 401 或部分的感測放大器 401。換言之，組態記憶體 311 的結構與感測放大器 401 的結構可部分地或全部地共用。

第 10C 圖係使用包括電容器 513 的儲存元件 503 作為包括在組態記憶體 311 中的儲存元件之實例。當信號電位輸入保持在電容器 513 的一對電極之其一者上時，儲存元件 503 能儲存資料。以此方式，從輸入端 IN 輸入的資料會保留在儲存元件 503 中，並從輸出端 OUT 輸出。請注意可施加電位 V0 至電容器 513 的成對電極之另一者。電位 V0 可以是一低電源電位（例如，接地電位）。

請注意當在記憶體元件 300 中連續選擇一特定字組線或一特定讀取字組線時，可連續將組態資料從記憶體元件 300 輸入至組態記憶體 311 中。此時，在使用包括電容器 513 的儲存元件 503 作為包括在組態記憶體 311 中的儲存元件之情況下，能減少電容器 513 的電容量。例如，藉由使用寄生電容來取代電容器 513，有可能不必設置組態記

記憶體 311。藉此，能更為縮小邏輯元件 310。

特別地，記憶體元件 300 儲存複數組對應於邏輯元件之狀態（查找表 312 所進行的邏輯操作種類及選擇電路 314 所選擇的連接關係）的組態資料，並從複數組組態資料中選擇所指定之一組組態資料，以便將資料儲存在組態記憶體 311 中。這裡，當記憶體元件 300 之輸出端（相當於感測放大器之輸出端）係設置以對應於組態記憶體 311 中的儲存元件，且在一列記憶體元件 300 中儲存了一組組態資料時，藉由從一系列記憶體元件 300 中讀取資料可進行預定組態。以此方式，能在高速下進行組態並易於進行動態組態。

本實施例可適當地與任何其他實施例結合。

（實施例 4）

在本實施例中，說明一種包括在邏輯元件 310 中的查找表 312。查找表 312 可使用複數個多工器來構成。此外，可將組態資料輸入至任何輸入端及複數個多工器的控制端。

第 11A 圖顯示一種包括在邏輯元件 310 中的查找表 312。

在第 11A 圖中，查找表 312 係使用七個兩輸入多工器（多工器 31、多工器 32、多工器 33、多工器 34、多工器 35、多工器 36、及多工器 37）來形成。多工器 31 至 34 的輸入端係對應於查找表 312 的輸入端 M1 至 M8。多工

器 31 至 34 的控制端係彼此電性連接且對應於查找表 312 的輸入端 IN3。多工器 31 和 32 的輸出端係電性連到多工器 35 的兩輸入端。多工器 33 和 34 的輸出端係電性連到多工器 36 的兩輸入端。多工器 35 和 36 的控制端係彼此電性連接並對應於查找表 312 的輸入端 IN2。多工器 35 及 36 的輸出端係電性連到多工器 37 的兩輸入端。多工器 37 的控制端係對應於查找表 312 的輸入端 IN1。多工器 37 的輸出端係對應於查找表 312 的輸出端 OUT。

當將組態資料從組態記憶體 311 的各儲存元件中輸入至輸入端 M1 至 M8 及 IN1 至 IN3 之任一者時，可具體指定查找表 312 所進行的計算處理種類。

例如，在將資料 (0,1,0,1,0,1,1,1) 輸入至第 11A 圖之查找表 312 的輸入端 M1 至 M8 之情況下，可得到第 11C 圖所示之等效電路的功能。這裡，「A」、「B」、及「C」係指定為輸入端 IN1 至 IN3，且「Y」係指定為輸出端 OUT。

第 11B 圖顯示另一種包括在邏輯元件 310 中的查找表 312。

在第 11B 圖中，查找表 312 係使用三個兩輸入多工器（多工器 41、多工器 42、及多工器 43）及一個兩輸入 OR 電路 44 來構成。多工器 41 及 42 之輸入端係對應於查找表 312 的輸入端 M1 至 M4。多工器 41 的控制端係對應於查找表 312 的輸入端 IN1。多工器 42 的控制端係對應於查找表 312 的輸入端 IN2。多工器 41 及 42 的輸出端係

電性連到多工器 43 的兩輸入端。OR 電路 44 的兩輸入端係對應於查找表 312 的輸入端 IN3 及輸入端 IN4，且 OR 電路 44 的輸出係輸入至多工器 43 的控制端。多工器 43 的輸出端係對應於查找表 312 的輸出端 OUT。

當將組態資料從組態記憶體 311 的各儲存元件中輸入至輸入端 M1 至 M4 及 IN1 至 IN4 之任一者時，可具體指定查找表 312 所進行的計算處理種類。

例如，在將資料 (0,1,0,0,0) 輸入至第 11B 圖之查找表 312 的輸入端 M1、M3、M4、IN2、及 IN4 之情況下，可得到第 11C 圖所示之等效電路的功能。在這裡，「A」、「B」、及「C」係指定為輸入端 IN1、M2 及 IN3，且「Y」係指定為輸出端 OUT。

請注意雖然第 11A 及 11B 圖各顯示使用兩輸入多工器來構成的查找表之實例，但本實施例並不以此為限。有可能使用以各具有三個或更多輸入的多工器所構成的查找表。

請注意除了多工器以外，查找表可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器之類作為計算電路（計算元件）。例如，可使用類比開關、電晶體等作為開關。替代地，可使用被輸入時脈信號及時脈信號之反向信號之任一者或兩者的計算電路（計算元件）作為開關。

雖然第 11C 圖所示之三輸入及一輸出計算處理的例子

係使用第 11A 圖或第 11B 圖所示之查找表 312 來進行，但本實施例並不以此為限。當查找表及待輸入的組態資料被適當地確定時，可進行具有四個或更多輸入及兩個或更多輸出的計算處理。

本實施例可適當地與任何其他實施例結合。

（實施例 5）

在本實施例中，說明一種包括在邏輯元件 310 中的選擇電路 314。選擇電路 314 可使用多工器或開關來構成。此外，可將組態資料輸入至多工器或開關的控制端中。

第 12A 圖顯示一種包括在邏輯元件 310 中的選擇電路 314。

在第 12A 圖中，選擇電路 314 係使用一個八輸入多工器 51 來構成。當將三位元組態資料輸入至控制端 M 時，可從輸出端 OUT 選擇性地輸出任何輸入至多工器 51 之輸入端 IN1 至 IN8 的信號。

請注意雖然第 12A 圖顯示選擇電路係使用八輸入多工器來構成之實例，但本實施例並不以此為限。有可能使用以具有九個或更多輸入的多工器所構成的選擇電路。除了多工器以外，選擇電路可更包括任何或所有的二極體、電阻器、計算電路（計算元件）、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路（計算元件）。例如，可使用類比開關、電晶體等作為開關。替代地，可使用被輸入時脈信號

及時脈信號之反向信號之任一者或兩者的計算電路（計算元件）作為開關。

第 12B 圖顯示另一種包括在邏輯元件 310 中的選擇電路 314。

在第 12B 圖中，選擇電路 314 包括各當作開關的電晶體 61 至 64。電晶體 61 的閘極係電性連到端點 M1。電晶體 62 的閘極係電性連到端點 M2。電晶體 63 的閘極係電性連到端點 M3。電晶體 64 的閘極係電性連到端點 M4。輸入端 IN1 係透過電晶體 61 的源極與汲極來電性連到輸出端 OUT。輸入端 IN2 係透過電晶體 62 的源極與汲極來電性連到輸出端 OUT。輸入端 IN3 係透過電晶體 63 的源極與汲極來電性連到輸出端 OUT。輸入端 IN4 係透過電晶體 64 的源極與汲極來電性連到輸出端 OUT。在第 12B 圖中，當將四位元組態資料輸入至輸入端 M1 至 M4 時，可從輸出端 OUT 選擇性地輸出任何輸入至輸入端 IN1 至 IN4 的信號。請注意當同時打開兩個或更多的電晶體 61 至 64 時，兩個或更多的輸入端 IN1 至 IN4 可彼此電性連接。

請注意可使用各當作開關的特定元件作為電晶體 61 至 64 的替代物。

雖然第 12B 圖顯示四輸入及一輸出選擇電路之實例，但本實施例並不以此為限。有可能使用具有五個或更多的輸入及兩個或更多的輸出之選擇電路。選擇電路可更包括任何或所有的多工器、二極體、電阻器、計算電路（計算

元件)、及開關。可使用緩衝器、反向器、NAND 電路、NOR 電路、三態緩衝器、時控反向器等作為計算電路(計算元件)。例如,可使用類比開關、電晶體等作為開關。替代地,可使用被輸入時脈信號及時脈信號之反向信號之任一者或兩者的計算電路(計算元件)作為開關。

本實施例可適當地與任何其他實施例結合。

(實施例 6)

說明一種用來形成第 1B 圖所示之儲存元件 100a 的方法。請注意係說明一種用來形成彼此電性連接之端點 B 及端點 D 的方法。電晶體 102 係為使用矽來形成通道的電晶體。在本實施例中,係以電晶體 102、在氧化物半導體層中形成通道之電晶體 101 及電容器 103 為例,來說明用來形成儲存元件 100a 的方法。

請注意儲存元件 100b 中的電晶體 101 及電晶體 102 能以類似於儲存元件 100a 中的電晶體 101 及電晶體 102 之方式來形成。儲存元件 100c 中的電晶體 104 及電容器 105 能以類似於儲存元件 100a 中的電晶體 101 及電容器 103 之方式來形成。

此外,包括在可程式 LSI 中的其他電晶體及其他電容器能以類似於儲存元件 100a 中的電晶體 101、電晶體 102、及電容器 103 之方式來形成。例如,包括在邏輯元件中的組態記憶體、查找表、選擇電路、及暫存器中的電晶體等能以類似於電晶體 101、電晶體 102、及電容器

103 之方式來形成。

首先，如第 13A 圖所示，由單晶半導體基板隔開的絕緣膜 701 及半導體膜 702 係在基板 700 上形成。

雖然沒有特別限制可用來作為基板 700 的材料，但材料必須至少具有足夠高的耐熱性以禁得起之後進行的熱處理。例如，可使用以熔化法或浮式法所形成的玻璃基板、石英基板、半導體基板、陶製基板等作為基板 700。在將於之後進行之熱處理的溫度很高的情況下，最好是使用應變點為 730°C 或更高的玻璃基板作為玻璃基板。

在本實施例中，下面提出半導體膜 702 係使用單晶矽來形成的例子來作為形成電晶體 102 的方法。請注意將簡短地說明一種用來形成單晶半導體膜 702 的方法之具體實例。首先，由於晶體結構的局部失序會產生在距接合基板之表面一定程度之深度的區域中，因此包括被電場加速之離子的離子束會進入為單晶半導體基板之接合基板與脆弱的脆弱層中。脆弱層所形成的深度能藉由離子束的加速能量及離子束進入的角度來調整。接著，互相附著接合基板及裝有絕緣膜 701 的基板 700，以至於絕緣膜 701 會夾在接合基板及基板 700 之間。在接合基板及基板 700 彼此重疊之後，將約為 1 到 $500\text{N}/\text{cm}^2$ ，最好是 11 到 $20\text{N}/\text{cm}^2$ 的壓力施加到部分的接合基板及部分的基板 700，以使基板能彼此附著。當施加壓力到部分的接合基板及部分的基板 700 時，接合基板及絕緣膜 701 之間便從這兩部分開始接合，以接合接合基板與絕緣膜 701 彼此緊密接觸的整個表

面。之後，進行熱處理，以合併存在於脆弱層中的微孔隙，並增加微孔隙的體積。藉此，能沿著脆弱層隔開為部分的接合基板之單晶半導體層與接合基板。設定熱處理的溫度以不至於超過基板 700 的應變點。接著，藉由蝕刻等方法，將單晶半導體膜處理成所欲之形狀，以能形成半導體膜 702。

為了控制臨界電壓，可將如硼、鋁、或鎵之給予 p 型導電性之雜質元素，或如磷或砷之給予 n 型導電性的雜質元素加到半導體膜 702 中。可將用來控制臨界電壓的雜質元素加到未經蝕刻以具有預定形狀的半導體膜中或加到被蝕刻而具有預定形狀的半導體膜 702 中。替代地，可將用來控制臨界電壓的雜質元素加到接合基板中。替代地，可將雜質元素加到接合基板中以粗略地控制臨界電壓，且更可將雜質元素加到未經蝕刻以具有預定形狀的半導體膜中或被蝕刻而具有預定形狀的半導體膜 702 中以精細地控制臨界電壓。

請注意雖然在本實施例中係使用單晶半導體膜，但本發明並不限於此結構。例如，可使用藉由蒸氣沉積法在絕緣膜 701 上形成的多晶體、微晶體、或非晶半導體膜。替代地，半導體膜可藉由已知的技術來結晶化。可使用採用雷射光的雷射結晶作用或採用觸媒元素的結晶作用來作為已知的結晶化技術。替代地，可合併使用採用觸媒元素的結晶作用及雷射結晶作用。當使用如石英基板的耐熱基板時，可使用結合使用電子加熱爐的熱結晶作用、使用紅

外線的燈加熱結晶作用、使用觸媒元素的結晶作用、或以約 950°C 的高溫加熱之結晶作用。

接著，如第 13B 圖所示，在半導體膜 702 上形成閘絕緣膜 703。之後，在閘絕緣膜 703 上形成遮罩 705，並將給予導電性的雜質元素加到部分的半導體膜 702 中，以形成雜質區 704。

藉由高密度電漿處理、熱處理等，能藉由半導體膜 702 的表面之氧化或氮化作用來形成閘絕緣膜 703。高密度電漿處理係使用例如如氦、氬、氦或氫之稀有氣體的混合氣體；與氧、氧化氮、氨、氮、氫來進行。在此例中，當藉由引入微波來激發電漿時，會產生具有低電子溫度及高密度的電漿。藉由氧化或氮化由上述高密度電漿所產生之具有自由基氧（在一些情況中包括 OH 自由基）或自由基氮（在一些情況中包括 NH 自由基）的半導體膜之表面，可形成具有厚度為 1 到 20nm，最好是 5 到 10nm 的絕緣膜以與半導體膜接觸。例如，以 1 到 3 倍（流量）的氬氣來稀釋一氧化二氮（ N_2O ）並以 10 到 30Pa 的壓力來施加 3 到 5kW 的微波（2.45GHz）電力，以便進行半導體膜 702 之表面的氧化或氮化作用。藉由此處理，會形成具有厚度為 1 到 10nm（最好是 2 到 6nm）的絕緣膜。此外，引入一氧化二氮（ N_2O ）及甲矽烷（ SiH_4 ）並以 10 到 30Pa 的壓力來施加 3 到 5kW 的微波（2.45GHz）電力，以藉由蒸氣沉積法來形成氮氧化矽膜，因而形成閘絕緣膜。藉由結合固向反應與蒸氣沉積法，能形成具有低介面

態密度及耐高電壓的閘絕緣膜。

透過高密度電漿處理的半導體膜之氧化或氮化作用會由固態相反應繼續進行。因此，閘絕緣膜 703 及半導體膜 702 之間的介面態密度會是極低的。此外，藉由透過高密度電漿處理來直接氧化或氮化半導體膜 702，能抑制待形成之絕緣膜的厚度之變化。再者，在半導體膜具有結晶性的情況下，藉由透過高密度電漿處理的固相反應來氧化半導體膜的表面，能防止晶粒邊界在高速下被局部地氧化。藉此，能形成具有低介面態密度的均勻閘絕緣膜。能抑制一電晶體的特性變化，其中此電晶體之閘絕緣膜係部分地或完全地包括透過高密度電漿處理所形成的絕緣膜。

閘絕緣膜 703 可透過電漿加強化學蒸氣沉積 CVD、濺射法等使用單層或一疊包括氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭、氧化釷、鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、加入氮的鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、加入氮的鉛鋁酸鹽 (HfAl_xO_y , ($x>0$, $y>0$)) 之類的膜層來形成。

請注意在本說明書中，氧氮化物係為包括氧多於氮的物質，而氧化氮係為包括氮多於氧的物質。

閘絕緣膜 703 的厚度可以是例如 1 到 100nm，最好是 10 到 50nm。在本實施例中，係藉由電漿加強 CVD 法形成包含氧化矽的單層絕緣膜來作為閘絕緣膜 703。

接著，在移除遮罩 705 之後，如第 13C 圖所示移除部

分的閘絕緣膜 703，且藉由蝕刻來形成開口 706 在與雜質區 704 重疊的區域中。之後，形成閘極 707 及導電膜 708。

導電膜係形成以覆蓋開口 706 並接著被處理成預定形狀，以致能形成閘極 707 及導電膜 708。導電膜 708 係在開口 706 中與雜質區 704 接觸。導電膜可藉由 CVD、濺射法、蒸氣沉積、旋轉塗膜等來形成。可使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）之類作為導電膜。可使用內含金屬作為其主要成份的合金或內含金屬的化合物。替代地，導電膜可使用如摻有雜質元素（如給予導電性給半導體膜的磷）之多晶矽的半導體來形成。

請注意雖然在本實施例中，閘極 707 及導電膜 708 係使用單層導電膜來形成，但本實施例並不受限於此結構。閘極 707 及導電膜 708 可以複數個堆疊的導電膜來形成。

第一導電膜可使用氮化鉭或鉭且第二導電膜可使用鎢來作為這兩個導電膜之組合。不只上述實例，也可使用下列任何組合：氮化鎢及鎢、氮化鉬及鉬、鋁及鉭、鋁及鈦等。由於鎢及氮化鉭具有高耐熱性，因此在形成兩個導電膜之後所進行的步驟中，可進行熱活化作用的熱處理。或者，例如可使用矽化鎳及摻有給予 n 型導電性之雜質元素的矽、矽化鎢以及摻有給予 n 型導電性之雜質元素的矽等來作為這兩個導電膜之組合。

在堆疊三層導電膜的三層結構之例子中，最好使用一

鉬膜、一鋁膜、及一鉬膜的疊層結構。

可使用氧化銦、氧化銦-氧化錫、氧化銦-氧化鋅、氧化鋅、鋁酸鋅、氧氮化鋁鋅、氧化鎵鋅之類的透光氧化物導電膜作為閘極 707 及導電膜 708。

替代地，不須使用遮罩，可藉由微滴放泄法來選擇性地形成閘極 707 及導電膜 708。微滴放泄法係為一種藉由從孔洞射出或噴出包含預定成份的微滴來形成預定圖案的方法，且在其種類中還包括噴墨法。

此外，閘極 707 及導電膜 708 可藉由形成導電膜來形成，且導電膜係在適當控制的條件下（例如，施加到盤繞電極層的電力量、施加到基板側上電極層的電力量和基板側上電極的溫度等），藉由電感耦合等離子體（ICP）蝕刻來蝕刻以具有所欲之錐形形狀。此外，錐形形狀的角度等係被遮罩的形狀所控制。請注意可適當地使用如氯、氯化硼、氯化矽、或四氯化碳的氯基氣體；如四氟化碳、氟化硫、或氟化氮的氟基氣體；或氧作為蝕刻氣體。

接著，如第 13D 圖所示，當將給予導電性的雜質元素加入具有作為遮罩之閘極 707 及導電膜 708 之半導體膜 702 中時，與閘極 707 重疊的通道形成區 710、夾入通道形成區 710 的一對雜質區 709、及藉由又將雜質元素加入部分的雜質區 704 所得到之雜質區 711 會形成在半導體膜 702 中。

在本實施例中，說明將給予 p 型導電性（例如，硼）的雜質元素加入半導體膜 702 中之情況。

接著，如第 14A 圖所示，形成絕緣膜 712 及 713 以覆蓋閘絕緣膜 703、閘極 707、及導電膜 708。具體來說，可使用氧化矽、氮化矽、氧化氮矽、氧氮化矽、氮化鋁、氧化氮鋁之類的無機絕緣膜作為絕緣膜 712 及 713。尤其是，因為電容量會由於電極或佈線重疊而大為降低，因此最好是使用低介電常數（低 k）材料來形成絕緣膜 712 及 713。請注意可使用包括上述材料之多孔質絕緣膜來作為絕緣膜 712 及 713。由於多孔質絕緣膜具有比稠密絕緣層還低的介電常數，因此能更為降低由於電極或佈線造成的寄生電容。

在本實施例中，說明對絕緣膜 712 使用氧氮化矽且對絕緣膜 713 使用氧化氮矽的實例。此外，在本實施例中，雖然絕緣膜 712 及 713 係形成在閘極 707 及導電膜 708 上，但在本實施例中，可在閘極 707 及導電膜 708 上只形成一個絕緣膜，或可堆疊三個或更多層的複數個絕緣膜。

接著，如第 14B 圖所示，絕緣膜 712 及 713 會受到化學機械研磨（CMP）或蝕刻，以便暴露閘極 707 及導電膜 708 的表面。請注意為了增進之後形成的電晶體 101 之特性，絕緣膜 712 及 713 的表面最好愈平坦愈好。

經過上述步驟，能形成電晶體 102。

接著，說明一種用來形成電晶體 101 的方法。首先，如第 14C 圖所示，在絕緣膜 712 或絕緣膜 713 上形成氧化物半導體層 716。

氧化物半導體層 716 可藉由將形成在絕緣膜 712 及

713 上的氧化物半導體膜處理成所欲之形狀來形成。氧化物半導體膜的厚度係為 2 到 200nm，最好是 3 到 50nm，更好是 3 到 20nm。氧化物半導體膜係藉由使用氧化物半導體作為靶材的濺射法來沉積。替代地，氧化物半導體膜可藉由在稀有氣體（例如，氬）氣圍、氧氣圍、或混合稀有氣體（例如，氬）及氧的氣圍中之濺射法來形成。

請注意在藉由濺射法來沉積氧化物半導體膜之前，最好藉由引入氬氣且產生電漿的反向濺射法來去除絕緣膜 712 及 713 之表面上的灰塵。反向濺射法係為一種在氬氣圍中使用 RF 電源來將電壓施於基板端，而不須將電壓施於靶材端，並在基板附近產生電漿以修改基板表面的方法。請注意可使用氮、氦等來取代氬氣圍。替代地，可使用加入氧、笑氣等的氬氣圍。或著，可使用加入氯、四氟化碳等的氬氣圍。

氧化物半導體層最好至少包含銦（In）或鋅（Zn）。尤其是，氧化物半導體層最好包含 In 和 Zn。除了 In 和 Zn 之外，氧化物半導體層最好包含鎵（Ga）來作為穩定劑，以減少包括氧化物半導體層之電晶體的導電特性變化。最好包含錫（Sn）來作為穩定劑。最好包含鈦（Hf）來作為穩定劑。最好包含鋁（Al）來作為穩定劑。可包含一或多種鑰系元素，如鑰（La）、鈾（Ce）、鐳（Pr）、釷（Nd）、釷（Sm）、鎳（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、鈦（Ho）、鉕（Er）、鎳（Tm）、鐳（Yb）、或鑰（Lu），來作為另一種穩定劑。例如能

使用：氧化銦、氧化錫、氧化鋅；如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，或 In-Ga 基氧化物的兩成分金屬氧化物；如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物的三成分金屬氧化物；或如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物的四成分金屬氧化物。

這裡，例如，In-Ga-Zn 基氧化物係表示包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物半導體，且沒有特別限定成份比例。

對於氧化物半導體層，可使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ，這裡 m 不是整數）所表示的薄膜。這裡， M 代表選自 Ga、Fe、Mn、或 Co 之一或更多的金屬元素。可使用以化學式 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ （ $n>0$ ，這裡 n 是整數）所表示之材料來作為氧化物半導體。

在對氧化物半導體使用 In-Zn 基材料的例子中，所使

用之靶材的原子比具有 $\text{In} : \text{Zn} = 50 : 1$ 到 $1 : 2$ 之成分比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 到 $1 : 4$ ），最好是 $\text{In} : \text{Zn} = 20 : 1$ 到 $1 : 1$ 之原子比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 到 $1 : 2$ ），更好是 $\text{In} : \text{Zn} = 1.5 : 1$ 到 $15 : 1$ 之原子比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4$ 到 $15 : 2$ ）。例如，當用於沉積 In-Zn 基氧化物半導體之靶材的原子比具有 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 之成份比時， $Z > 1.5X + Y$ 。

在本實施例中，係使用藉由使用包括銦（ In ）、鎵（ Ga ）、及鋅（ Zn ）之濺射法所得到之厚度為 30nm 的 In-Ga-Zn 基氧化物半導體薄膜來作為氧化物半導體膜。例如，可使用具有金屬成分比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、或 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ 的靶材作為靶材。包括 In 、 Ga 、及 Zn 的靶材之填充率係高於或等於 90% 且小於或等於 100% ，最好是高於或等於 95% 且小於 100% 。由於使用具有高填充率的靶材，因此形成了稠密氧化物半導體膜。

在本實施例中，沉積氧化物半導體膜的方法為：保持基板在維持在減壓狀態中的處理室中、去除餘留在處理室中的水氣、引入去除掉氫和水氣的濺射氣體、並使用靶材。在沉積期間，基板溫度可以是 100 到 600°C ，最好是 200 到 400°C 。藉由在加熱基板期間沉積氧化物半導體膜，能降低所沉積之氧化物半導體膜中的雜質濃度。此外，能降低濺射法所造成的損害。為了去除餘留在處理室中的水氣，最好使用吸附真空泵。例如，最好是使用低溫

泵、離子泵、鈦昇華泵。可使用加入冷阱的渦輪泵作為排空手段。例如，使用低溫泵來排出處理室中的氫原子、如水之內含氫原子的化合物（最好是內含碳原子的化合物）等。藉此，能降低沉積在處理室中的氧化物半導體膜中所含的雜質濃度。

使用下列條件來作為沉積條件之實例：基板與靶材之間的距離為 100nm、壓力為 0.6Pa、直流（DC）功率為 0.5kW、且氣圍為氧氣圍（氧流量的比率為 100%）。請注意最好使用脈衝式直流（DC）功率，因其能減少在沉積期間所產生的灰塵並能使膜厚度均勻。

再者，當濺射設備的處理室之滲漏率係設為低於或等於 $1 \times 10^{-10} \text{Pa} \times \text{m}^3/\text{s}$ 時，能減少如鹼金屬或氫化物之雜質進入藉由濺射法形成的氧化物半導體膜中。此外，藉由使用吸附真空泵作為排空系統，能減少如鹼金屬、氫原子、氫分子、水、氫氧化物、或氫化物之雜質從排空系統中逆流。

當靶材的純度被設為 99.99% 以上時，能減少混入氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、氫氧化物、氫化物等。此外，藉由使用靶材，能降低氧化物半導體膜中的如鋰、鈉、或鉀之鹼金屬的濃度。

請注意為了使氧化物半導體膜中所含的氫、氫氧化物、及水應盡可能地少，最好藉由預熱基板 700 來排除並排空基板 700 上所吸附之如氫或水氣的雜質，來作為沉積之預處理，其中在基板 700 上的絕緣膜 712 及 713 係在濺

射設備的預熱室中形成。預熱的溫度係為 100 到 400°C，最好是 150 到 300°C。最好是使用低溫泵來作為用於預熱室中的排空手段。請注意可省略預熱處理。此預熱處理可同樣在基板 700 上進行，其中在基板 700 上的導電膜 719 及 720 係在形成閘絕緣膜 721 之前形成。

請注意用來形成氧化物半導體層 716 的蝕刻可以是乾式蝕刻、濕式蝕刻、或其兩者。最好使用包含氯（如氯（ Cl_2 ）的氯基氣體、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）的氣體來作為用於乾式蝕刻的蝕刻氣體。替代地，可使用包含氟（如四氟化碳（ CF_4 ）的氟基氣體、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）之氣體、溴化氫（ HBr ）、氧（ O_2 ），將如氦（ He ）或氬（ Ar ）之稀有氣體加入這些氣體之任一者等。

可使用平行板反應性離子蝕刻法（RIE）或電感耦合電漿（ICP）蝕刻法作為乾式蝕刻。為了蝕刻薄膜以具有希望的形狀，會適當調整蝕刻條件（例如，施加到盤繞電極的電力量、施加到基板端上電極的電力量和基板端上的電極溫度等）。

可使用磷酸、醋酸、及硝酸的混合溶劑、如檸檬酸或草酸之類的有機酸來作為用於濕性蝕刻的蝕刻劑。在本實施例中，係使用 ITO-07N（由日本關東化學株式會社所製造）。

用來形成氧化物半導體層 716 的光阻遮罩可藉由噴墨

法來形成。當以噴墨法形成光阻遮罩時，不必使用光罩；因此，能降低製造成本。

請注意反向濺射法最好係在隨後步驟之形成導電膜之前進行，以便能去除附著在氧化物半導體層 716 及絕緣膜 712 與 713 之表面上的光阻殘留物。

請注意藉由濺射法沉積的氧化物半導體膜包含大量的水氣或氫（包括氫氧化物），如同一些例子中的雜質。水氣或氫容易形成施子能階，因而作為氧化物半導體中的雜質。因此，在本發明之一實施例中，為了減少如氧化物半導體膜中的水氣或氫之雜質（為了進行脫水或除氫作用），氧化物半導體層 716 會在減壓氣圍、氮、稀有氣體、或之類的惰性氣體氣圍、氧氣氣圍、或超乾空氣中（在藉由孔隙內共振衰減雷射光譜（CRDS）法中的露點計來進行測量之情況下，濕氣量為 20ppm（轉換成露點溫度的 -55°C ）以下，最好是 1ppm 以下，更好是 10ppb 以下）受到熱處理。

藉由在氧化物半導體層 716 上進行熱處理，能排除氧化物半導體層 716 中的水氣或氫。具體來說，能以高於或等於 250°C 且低於或等於 750°C 的溫度，最好是高於或等於 400°C 且低於基板之應變點的溫度來進行熱處理。例如能以 500°C 的溫度來進行大約 3 到 6 分鐘熱處理。當 RTA 係用於熱處理時，可在短時間內進行脫水或除氫作用；因此，甚至以高於玻璃基板之應變點的溫度都能進行處理。

在本實施例中，係使用為其中一種熱處理設備的電

爐。

請注意熱處理設備並不受限於電爐，且可裝有用來藉由來自如電阻加熱器的加熱器之熱傳導或熱輻射來加熱物件的裝置。例如，可使用如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備的快速熱退火（RTA）設備。LRTA 設備係為一種用來藉由如鹵素燈、金屬鹵素燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射出的光輻射（電磁波）來加熱物件的設備。GRTA 設備係為一種使用高溫氣體來進行熱處理的設備。係使用如氮或稀有氣體（例如，氬）這類不能藉由熱處理與物件起反應的惰性氣體來作為氣體。

在熱處理中，在氮或如氮、氬、或氬的稀有氣體中最好不含水、氫等。替代地，被引入熱處理設備中之氮或如氮、氬、或氬的稀有氣體之純度最好是 6N（99.9999%）以上，更好是 7N（99.99999%）以上（即，雜質濃度在 1ppm 以下，最好在 0.1ppm 以下）。

請注意已指出氧化物半導體對雜質係不敏感的，當膜中含有相當多的金屬雜質時係沒問題的，且可使用包含大量如鈉之鹼金屬且便宜的鈉鈣玻璃（Kamiya、Nomura 及 Hosono 的「Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors : The present status」，KOTAI BUTSURI（SOLID STATE PHYSICS），2009，第 44 卷，第 621-633 頁）。然而這樣的考量是不適當地。鹼金屬並不是包括在氧化物半導體

中的元素，而是一種雜質。在氧化物半導體中不含鹼土金屬之情況下，鹼土金屬也是一種雜質。鹼土金屬，尤其是，當與氧化物半導體層接觸的絕緣膜是一氧化物且 Na 擴散到絕緣膜中時，則 Na 變成 Na^+ 。此外，在氧化物半導體層中，Na 切斷或加入包括在氧化物半導體中的金屬與氧之間的接合。所以，例如，會發生電晶體特性之退化，如由於臨界電壓往反方向偏移而影響電晶體之正常導通狀態，或減少移動率。也會發生特性之變化。上述由於雜質而產生的電晶體之特性退化及特性變化會明顯出現在當氧化物半導體層中的氫濃度極低時。於是，當氧化物半導體層中的氫濃度在 $1 \times 10^{18}/\text{cm}^3$ 以下時，最好是 $1 \times 10^{17}/\text{cm}^3$ 以下時，最好能降低雜質濃度。具體來說，藉由二次離子質譜儀所測出的 Na 濃度之測量值最好是 $5 \times 10^{16}/\text{cm}^3$ 以下，更好是 $1 \times 10^{16}/\text{cm}^3$ 以下，再更好是 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，Li 濃度之測量值最好是 $5 \times 10^{15}/\text{cm}^3$ 以下，更好是 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，K 濃度之測量值最好是 $5 \times 10^{15}/\text{cm}^3$ 以下，更好是 $1 \times 10^{15}/\text{cm}^3$ 以下。

經過以上步驟，能降低氧化物半導體層 716 中的氫濃度。另外，以低於或等於玻璃轉變溫度的溫度進行熱處理便可能形成具有極低載子密度及寬能帶隙的氧化物半導體層。因此，可使用大型基板來形成電晶體，以便增加大量生產率。熱處理能在沉積氧化物半導體層之後的任何時間下進行。

請注意氧化物半導體層可以是非晶或結晶的。氧化物半導體層可以是單晶或非單晶的。在非單晶之情況下，氧化物半導體層可以是非晶或多晶的。再者，氧化物半導體層可具有一包括結晶部分的非晶結構或可以不是非晶的。針對氧化物半導體層可能使用包括與 c 軸對齊之結晶（也稱作 c 軸對齊結晶（CAAC））的氧，當從垂直於 a-b 平面的方向看時，其具有包括三角形、六角形、正三角形、或正六角形的原子序之相位，其中金屬原子係以疊層方式來排列，或當從垂直於 c 軸方向的方向看時，金屬原子和氧原子係以疊層方式來排列。

包括 CAAC 的氧化物半導體膜可藉由濺射法來形成。爲了藉由濺射法得到包括 CAAC 的氧化物，在氧化物半導體膜的初始沉積階段中形成六角形結晶並使晶體從六角形結晶增長來作爲核心係很重要的。爲了達成此目的，最好將靶材與基板之間的距離拉長（例如，約爲 150 到 200mm），且將基板加熱溫度設定爲 100 到 500°C，最好是 200 到 400°C，更好是 250 到 300°C。此外，已沉積的氧化物半導體膜係受到以高於在沉積期間之基板加熱溫度的溫度進行的熱處理，以至於能修復膜中細微的缺陷及疊層之介面上的缺陷。

在包括 CAAC 的氧化物中，相較於非晶氧化物半導體，金屬原子和氧原子係以整齊有序的方式接合。換言之，在氧化物半導體爲非晶之情況下，金屬原子中的氧原子之配位數可能在金屬原子間改變，但金屬原子中的金屬

原子之配位數在包括 CAAC 的氧化物中係大致不變地。因此，能減少氧之細微缺陷，並能減少由於附著或脫離氫原子（包括氫離子）或鹼金屬原子所造成的不穩定性及電荷轉移。

因此，當使用包括 CAAC 的氧化物半導體膜來形成電晶體時，能減少在對電晶體進行光照射與偏置溫度（BT）的壓力測試之後而發生的電晶體之臨界電壓的改變量。藉此，能形成具有穩定電子特性的電晶體。

接著，如第 15A 圖所示，形成與閘極 707 和氧化物半導體層 716 接觸的導電膜 719 以及與導電膜 708 和氧化物半導體層 716 接觸的導電膜 720。導電膜 719 與 720 係當作源極與汲極。

具體來說，導電膜 719 與 720 能以導電膜係藉由濺射法或真空蒸氣沉積法來形成以覆蓋閘極 707 及導電膜 708 並接著被處理成預定形狀之方式來形成。

可使用下列任何材料來作為導電膜 719 與 720 的導電膜：從鋁、鉻、銅、鉭、鈦、鉬、或鎢中選出的元素；包括任何這些元素的合金；包括上述元素之組合的合金膜等。替代地，可使用如鉻、鉭、鈦、鉬、或鎢之耐火金屬的膜疊在鋁、銅之類的金屬膜上方或下方的結構。鋁或銅最好被用來與耐火金屬材料結合以防止熱阻及腐蝕的問題。可使用鉬、鈦、鉻、鉭、鎢、鈹、釷、釷等作為耐火金屬材料。

再者，作為導電膜 719 與 720 的導電膜可具有單層結

構或兩個或更多層的疊層結構。例如，可給予內含矽的鋁膜之單層結構、鈦膜疊在鋁膜上的兩層結構、及依鈦膜、鋁膜、與鈦膜的順序所堆疊之三層結構、等等。銅-鎂-鋁合金、鉬-鈦合金、鈦及鉬能高度附著於氧化膜。因此，對導電膜 719 與 720 會使用疊層結構，即用於下層之包括銅-鎂-鋁合金、鉬-鈦合金、鈦或鉬的導電膜以及用於上層之包括銅的導電膜。因此，可增加為氧化膜之絕緣膜以及導電膜 719 與 720 之間的附著。

可對作為導電膜 719 與 720 的導電膜使用導電金屬氧化物。可使用氧化銦、氧化錫、氧化鋅、氧化銦氧化錫、氧化銦氧化鋅、或內含矽或氧化矽的導電金屬氧化物材料作為導電金屬氧化物。

在熱處理係進行在形成導電膜之後的情況下，導電膜最好具有夠高的耐熱性以禁得起熱處理。

請注意會適當地調整各材料及蝕刻條件，以致在蝕刻導電膜期間盡可能地不移除氧化物半導體層 716。依據蝕刻條件，會部分地蝕刻氧化物半導體層 716 的暴露部分，因此在一些情況中會形成凹槽（凹陷部分）。

在本實施例中，係使用鈦膜作為導電膜。於是，導電膜能藉由使用內含氨水及過氧化氫水的溶劑（氨過氧化氫之混合物）之濕式蝕刻來被選擇性地蝕刻。具體來說，係使用以 5：2：2 的液比混合之 31wt% 的含氧水及 28wt% 的氨水及水的氨過氧化氫之混合物。替代地，可藉由使用內含氯（ Cl_2 ）、氯化硼（ BCl_3 ）之類的氣體在導電膜上進

行乾式蝕刻。

請注意爲了減少在光刻程序中使用的遮罩數量並減少程序數量，蝕刻程序可使用光能通過以具有複數個輻射強度之多色調遮罩來進行。使用多色調遮罩形成之光阻遮罩具有複數個厚度且能藉由蝕刻來改變形狀；因此，光阻遮罩能用在複數個蝕刻程序中，用來將膜處理成不同的圖案。藉此，對應於至少兩個或更多不同種類的圖案之光阻遮罩能藉由多色調遮罩來形成。於是，能減少暴露遮罩的數量及所對應之光刻程序的數量，以便簡化製程。

再者，當作源極與汲極區的氧化物導電膜可置於氧化物半導體層 716 以及當作源極與汲極的導電膜 719 與 720 之間。氧化物導電膜的材料最好包含氧化鋅之成份且最好不含氧化銦。關於上述氧化物導電膜，可使用氧化鋅、鋁酸鋅、氧氮化鋁鋅、氧化鋅鎵或之類。

例如，在形成氧化物導電膜的情況下，可同時進行用來形成氧化物導電膜的蝕刻及用來形成導電膜 719 與 720 的蝕刻。

藉由提供當作源極與汲極區的氧化物導電膜，能降低氧化物半導體層 716 以及導電膜 719 與 720 之間的阻抗，如此電晶體能在高速下運作。此外，藉由提供當作源極與汲極區的氧化物導電膜，能增加電晶體的耐受電壓。

接著，可使用如 N_2O 、 N_2 或 Ar 的氣體來進行電漿處理。藉由這個電漿處理，移除附著在氧化物半導體層暴露之表面上的水。替代地，可使用混合氧及氬的氣體來進行

電漿處理。

在電漿處理之後，如第 15B 圖所示，形成閘絕緣膜 721 以覆蓋導電膜 719 與 720 以及氧化物半導體層 716。接著，在閘絕緣膜 721 上形成閘極 722 以與氧化物半導體層 716 重疊，並在導電膜 719 上形成導電膜 723 以與導電膜 719 重疊。

閘絕緣膜 721 可使用與閘絕緣膜 703 類似之材料及疊層結構來形成。請注意閘絕緣膜 721 最好包括盡可能少量如水或氫的雜質，且閘絕緣膜 721 可使用單層絕緣膜或疊了複數個的絕緣膜構成。當閘絕緣膜 721 中含有氫時，氫會進入氧化物半導體層 716 或氧化物半導體層 716 中的氧會被氫排出，藉此氧化物半導體層 716 具有較低阻抗（n 型導電性）；因此，可能會形成寄生通道。於是，採用不使用氫的沉積法係很重要的，以形成含有盡可能少量的氫之閘絕緣膜 721。最好對閘絕緣膜 721 使用具有高障壁性質的材料。例如，可使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氧化氮鋁膜等作為具有高障壁性質的絕緣膜。當使用複數個疊層的絕緣膜時，如氧化矽膜或氮氧化矽膜之具有低比例氮的絕緣膜，會在比具有高障壁性質之絕緣膜更靠近氧化物半導體層 716 的一側上形成。接著，形成具有高障壁性質的絕緣膜以與導電膜 719 與 720 和氧化物半導體層 716 重疊，其中氧化物半導體層 716 和導電膜 719 與 720 之間夾有具有低比例氮的絕緣膜。當使用具有高障壁性質的絕緣膜時，能防止如水氣或氫的雜質進入氧化物半

導體層 716、閘絕緣膜 721、或氧化物半導體層 716 與另一絕緣膜之間的介面及其附近。此外，形成如氧化矽膜或氮化矽膜之具有低比例氮的絕緣膜以與氧化物半導體層 716 接觸，如此能防止具有高障壁性質的絕緣膜與氧化物半導體層 716 直接接觸。

在本實施例中，所形成之閘絕緣膜 721 的結構為，以濺射法形成之厚度為 200nm 的氧化矽膜上方堆疊以濺射法形成之厚度為 100nm 的氮化矽膜。沉積期間的基板溫度係介於室溫到 300°C 的範圍中，而在本實施例中為 100°C。

在形成閘絕緣膜 721 之後，可進行熱處理。熱處理最好是以 200 到 400°C，例如 250 到 350°C，在氮氣圍、超乾空氣、或稀有氣體（例如，氬或氦）氣圍中進行。氣體中的水含量最好是 20ppm 以下，更好是 1ppm 以下，又更好是 10ppb 以下。在本實施例中，例如，係在氮氣圍中以 250°C 來進行一小時熱處理。替代地，以類似於在氧化物半導體層上進行的熱處理之方法，可在形成導電膜 719 與 720 之前進行在高溫下短時間的 RTA 處理，以減少水氣或氬。在提供內含氧的閘絕緣膜 721 之後，氧會從閘絕緣膜 721 供應至氧化物半導體層 716 中，即便透過進行熱處理在氧化物半導體層 716 上進行的熱處理在氧化物半導體層 716 中產生氧空缺。藉由供應氧至氧化物半導體層 716，能減少氧化物半導體層 716 中作為施子的氧空缺，並能符合化學計量比。氧化物半導體層 716 最好是含有成份超過

化學計量成份的氧。因此，實質上能製造本質氧化物半導體層 716，且能降低由於氧空缺所造成之電晶體的電子特性變化；於是，能增進電子特性。沒有特別限制進行熱處理的時機，只要是在形成閘絕緣膜 721 之後即可。當此熱處理作為另一步驟中的熱處理時（例如，形成樹脂膜期間的熱處理或用來減少透明導電膜之阻抗的熱處理），不須增加步驟數，就能實質地製造本質氧化物半導體層 716。

替代地，藉由對氧化物半導體層 716 進行氧氣圍中的熱處理以使氧加入氧化物半導體中能降低作為氧化物半導體層 716 中的施子之氧空缺。熱處理係以例如高於或等於 100°C 且低於 350°C ，最好是高於或等於 150°C 且低於 250°C 的溫度來進行。用於氧氣圍中之熱處理的氧氣最好不包括水、氫等。替代地，被引入熱處理設備的氧氣之純度最好是 6N（99.9999%）以上，更好是 7N（99.99999%）以上（即，氧中的雜質濃度是 1ppm 以下，最好是 0.1ppm 以下）。

替代地，藉由離子植入法、離子摻雜等方法能將氧加入氧化物半導體層 716 中，以便降低作為施子的氧空缺。例如，可將以 2.45GHz 微波之電漿製造的氧加入氧化物半導體層 716 中。

閘極 722 與導電膜 723 能以在閘絕緣膜 721 上形成導電膜並接著被蝕刻的方式來形成。閘極 722 與導電膜 723 可使用與閘極 707 以及導電膜 719 與 720 類似的材料及疊層結構形成。

閘極 722 與導電膜 723 的厚度各是 10 到 400nm，最好是 100 到 200nm。在本實施例中，在藉由使用鎢靶材的濺射法來形成閘極之厚度為 150nm 的導電膜之後，會藉由蝕刻將導電膜處理成所欲之形狀，如此形成閘極 722 與導電膜 723。藉由噴墨法可形成光阻遮罩。當藉由噴墨法來形成光阻遮罩時，不會使用光遮罩；因此，能降低製造成本。

經過上述步驟，形成電晶體 101。

請注意電晶體 101 並不限於在氧化物半導體層中形成通道之電晶體，且可能使用包括比矽的能帶隙還寬之能帶隙，且比在通道形成區中的矽之本質載子密度還低之本質載子密度的半導體材料之電晶體。例如，可使用碳化矽、氮化鎵等來取代氧化物半導體作為半導體材料。藉由包括上述半導體材料的通道形成區，可得到開路電流極低的電晶體。

請注意以閘絕緣膜 721 置於之間的導電膜 719 與導電膜 723 之彼此重疊的部分相當於電容器 103。

雖然係以單閘極電晶體來說明電晶體 101，但當必要包括複數個電性連接的閘極 714 時，能形成包括複數個通道形成區的多閘極電晶體。

請注意與氧化物半導體層 716 接觸的絕緣膜（在本實施例中，對應於閘絕緣膜 721）可使用包含屬於群組 13 的元素及氧的絕緣材料來形成。許多氧化物半導體材料包含屬於群組 13 的元素、且包含屬於群組 13 之元素的絕緣

材料都與氧化物半導體運作良好。藉由將所述之包含屬於群組 13 之元素的絕緣材料用於與氧化物半導體層接觸的絕緣膜，與氧化物半導體層的介面便能維持良好的狀態。

包含屬於群組 13 之元素的絕緣材料係為包含一或更多屬於群組 13 之元素的絕緣材料。包含屬於群組 13 之元素的絕緣材料的例子包括氧化鎵、氧化鋁、氧化鎵鋁、及氧化鋁鎵。這裡，氧化鎵鋁係指在原子百分比中鋁含量高於鎵含量的材料，而氧化鋁鎵係指在原子百分比中鎵含量高於或等於鋁含量的材料。

例如，在形成絕緣膜與內含鎵的氧化物半導體層接觸的情況下，當對絕緣膜使用含有氧化鎵的材料時，能在氧化物半導體層與絕緣膜之間的介面上維持良好的特性。例如，當氧化物半導體層與內含氧化鎵的絕緣膜係設置以彼此接觸時，能減少氫在氧化物半導體層與絕緣膜之間的介面上堆積。請注意在對絕緣膜使用屬於同一群組之元素作為氧化物半導體之組成元素的情況下，能得到類似的效果。例如，藉由使用內含氧化鋁的材料，能有效地形成絕緣膜。氧化鋁不易於傳遞水。由此，最好是使用包括氧化鋁的材料以防止水進入氧化物半導體層中。

藉由氧氣圍或氧摻雜中的熱處理，與氧化物半導體層接觸的絕緣膜最好包含比化學計量成分中的氧更高比例的氧。氧摻雜係將氧加入主體中。請注意使用「主體」之名詞以闡明氧不但被加入至薄膜的表面，而且被加入薄膜內部中。此外，「氧摻雜」之名詞包括「氧電漿摻

雜」，其係將待電漿製造的氧加入主體中。氧摻雜可藉由離子植入法或離子摻雜來進行。

例如，在與氧化物半導體層 716 接觸的絕緣膜係使用氧化鎵形成的情況下，藉由氧氣圍或氧摻雜中的熱處理，氧化鎵的成分可設為 Ga_2O_x ($X=3+\alpha$ ， $0<\alpha<1$)。

在與氧化物半導體層 716 接觸的絕緣膜係使用氧化鋁形成的情況下，藉由氧氣圍或氧摻雜中的熱處理，氧化鋁的成分可設為 Al_2O_x ($X=3+\alpha$ ， $0<\alpha<1$)。

在與氧化物半導體層 716 接觸的絕緣膜係使用氧化鋁鎵（氧化鎵鋁）形成的情況下，藉由氧氣圍或氧摻雜中的熱處理，氧化鋁鎵（氧化鎵鋁）的成分可設為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$ ， $0<\alpha<1$)。

透過氧摻雜，能形成包括氧比例高於化學計量成分之氧比例之區域的絕緣膜。當包括上述區域的絕緣膜與氧化物半導體層接觸時，將過度存在絕緣膜中的氧提供到氧化物半導體層，並降低在氧化物半導體層中或氧化物半導體層與絕緣膜之間的介面上的氧不足。因此，氧化物半導體層會是本質的或實質上本質的氧化物半導體。

包括氧比例高於化學計量成分之氧比例之區域的絕緣膜會鋪在置於氧化物半導體層上側的絕緣膜上或在置於與氧化物半導體層 716 接觸之絕緣膜之氧化物半導體層下側的絕緣膜上；然而，最好是將上述絕緣膜鋪在與氧化物半導體層 716 接觸的兩絕緣膜上。藉由將氧化物半導體層 716 夾在各包括氧比例高於化學計量成分之氧比例之區域

的絕緣膜之間的結構，能增強上述效果，其中絕緣膜係作為與氧化物半導體層 716 接觸並置於氧化物半導體層 716 上側或下側的絕緣膜。

在氧化物半導體層 716 上側或下側的絕緣膜可包含相同的組成元素或不同的組成元素。例如，在上側和下側的絕緣膜可使用成分為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵來形成。替代地，在上側和下側的絕緣膜之其一者可使用 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 來形成，而在上側和下側的絕緣膜之另一者可使用 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 來形成。

與氧化物半導體層 716 接觸的絕緣膜可以一疊各包括氧比例高於化學計量成分之氧比例之區域的絕緣膜構成。例如，在氧化物半導體層 716 上側的絕緣膜可形成如下：形成成分為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵並可在其上形成成分為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 的氧化鋁鎵（氧化鋁鎵）。請注意在氧化物半導體層 716 下側的絕緣膜可以一疊各包括氧比例高於化學計量成分之氧比例之區域的絕緣膜構成。替代地，在氧化物半導體層 716 上側或下側的絕緣膜可以一疊各包括氧比例高於化學計量成分之氧比例之區域的絕緣膜構成。

接著，如第 15C 圖所示，形成絕緣膜 724 以覆蓋閘絕緣膜 721、導電膜 723、及閘極 722。絕緣膜 724 可藉由 PVD、CVD 之類的方法形成。絕緣膜 724 可使用包括如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、或氧化鋁的無機絕緣材料之材料來形成。請注意最好對絕緣膜 724 使

用具有低介電常數的材料或具有低介電常數的結構（例如，多孔結構）。當降低絕緣膜 724 的介電常數時，能降低產生於佈線或電極之間的寄生電容，而造成更高速的運作。請注意雖然在本實施例中，絕緣膜 724 具有單層結構，但本發明之一實施例不會受限於此結構。絕緣膜 724 可具有兩個或更多層的疊層結構。

接著，在開絕緣膜 721 及絕緣膜 724 中形成開口 725，如此暴露出部分的導電膜 720。之後，穿過開口 725 在絕緣膜 724 上形成與導電膜 720 接觸的佈線 726。

導電膜係藉由 PVD 法或 CVD 法來形成並接著被蝕刻，以便形成佈線 726。可使用從鋁、鉻、銅、鈇、鈦、鉬、或鎢中選出的元素；包含任何這些元素作為成份的合金或之類作為導電膜的材料。可使用包括錳、鎂、鋅、鈹、釷、及釷中的任一個或任何這些元素之組合的材料。

具體來說，例如，可能使用一種方法，即藉由 PVD 法在包括絕緣膜 724 之開口之區域中形成薄鈦膜並藉由 PVD 法形成薄鈦膜（具有約為 5nm 的厚度），且接著形成鋁膜以被嵌入開口 725 中。這裡，藉由 PVD 法形成的鈦膜具有減少在鈦膜所形成之表面上形成的氧化物膜（例如，自然氧化物膜），以減少與較下方電極等（這裡係指導電膜 720）的接觸阻抗。此外，能防止鋁膜凸起。在形成鈦、氮化鈦等的阻擋膜之後，可藉由電鍍法來形成銅膜。

在絕緣膜 724 中形成的開口 725 最好形成在與導電膜

708 重疊的區域中。藉由在上述區域中設置開口 725，能抑制由於接觸區域所造成的元件面積增加。

這裡，說明沒有使用導電膜 708，彼此連接的雜質區 704 與導電膜 720 之位置以及彼此連接的導電膜 720 與佈線 726 會彼此重疊之情況。在此情況下，會在形成於雜質區 704 上的絕緣膜 712 與 713 中形成開口（也稱作下方部分中的開口），並形成導電膜 720 以覆蓋下方部分中的開口。之後，在與在絕緣膜 721 與絕緣膜 724 中的下方部分中的開口重疊之區域中形成開口（也稱作上方部分中的開口），並接著形成佈線 726。當上方部分中的開口係在與下方部分中的開口重疊之區域中形成時，經由蝕刻可能不會連接在下方部分中的開口中形成的導電膜 720。為了避免不連接，會形成下方部分中的開口及上方部分中的開口以至於不會彼此重疊，因此會出現增加元件面積的問題。

如本實施例中所述，藉由使用導電膜 708，不須不連接導電膜 720 就能形成上方部分中的開口。因此，能形成下方部分中的開口及上方部分中的開口以彼此重疊，如此能抑制由於開口所造成的元件面積增加。總之，能增進半導體裝置的整合程度。

接著，形成絕緣膜 727 以覆蓋佈線 726。經過這一連串的步驟，能形成儲存元件 100b。

請注意在形成方法中，作為源極與汲極的導電膜 719 與 720 係在形成氧化物半導體層 716 之後形成。於是，如

第 15B 圖所示，在藉由製造方法所得到的電晶體 101 中，導電膜 719 與 720 係在氧化物半導體層 716 上形成。然而，在電晶體 101 中，作為源極與汲極的導電膜可在氧化物半導體層 716 下方形成，也就是，在氧化物半導體層 716 以及絕緣膜 712 與 713 之間。

第 16 圖係為當作源極與汲極的導電膜 719 與 720 置於氧化物半導體層 716 以及導電膜 712 與 713 之間時的電晶體 101 之剖面圖。第 16 圖所示之電晶體 101 能以在形成絕緣膜 713 之後形成導電膜 719 與 720，並接著形成氧化物半導體層 716 的方式來得到。

如上所述，包括在記憶體元件 300 之儲存元件中之電晶體及電容器可以類似於包括在可程式 LSI 中的電晶體及電容器之方式來形成。例如，在記憶體元件 300 之儲存元件中之氧化物半導體層中形成通道的電晶體能在設有包括在邏輯元件 310 中的組態記憶體 311、查找表 312、選擇電路 314、及暫存器 313 中之電晶體的基板上形成。尤其是，在記憶體元件 300 之儲存元件中之氧化物半導體層中形成通道的電晶體能形成以與至少一些包括在邏輯元件 310 中的組態記憶體 311、查找表 312、選擇電路 314、及暫存器 313 中的電晶體重疊。以此方式，作用類似於非揮發性記憶體的記憶體元件 300 及邏輯元件 310 能在一個基板上形成。因此，可小型製造可程式 LSI。再者，記憶體元件 300 及邏輯元件 310 能輕易地彼此電性連接。

本實施例可適當地與任何其他實施例結合。

(實施例 7)

在本實施例中，說明一種具有不同於實施例 6 之結構之包括氧化物半導體層的電晶體。

第 17A 圖所示之電晶體 901 包括在絕緣膜 902 上形成且作為主動層的氧化物半導體層 903；在氧化物半導體層 903 上形成的源極 904 與汲極 905；在氧化物半導體層 903、源極 904、與汲極 905 上形成的閘絕緣膜 906；以及在閘絕緣膜 906 上與氧化物半導體層 903 重疊的閘極 907。

第 17A 圖所示之電晶體 901 係一頂部閘極電晶體，其中閘極 907 係形成在氧化物半導體層 903 上，且也是一頂部接觸電晶體，其中源極 904 與汲極 905 係形成在氧化物半導體層 903 上。在電晶體 901 中，源極 904 與汲極 905 不會與閘極 907 重疊。換言之，大於閘絕緣膜 906 之厚度的間隙會置於源極 904 與閘極 907 之間以及在汲極 905 與閘極 907 之間。如此，在電晶體 901 中，能降低在源極 904 與閘極 907 之間以及在汲極 905 與閘極 907 之間所形成的寄生電容。因此，能進行高速運作。

氧化物半導體層 903 包括一對高濃度區域 908，其可藉由在形成閘極 907 之後，將給予 n 型導電性的摻雜物加入氧化物半導體層 903 來得到。另外，在氧化物半導體層 903 中，與閘極 907 重疊的區域係為通道形成區 909，其中有閘絕緣膜 906 置於閘極 907 與通道形成區 909 之間。

氧化物半導體層 903 包括在成對高濃度區域 908 之間的通道形成區 909。藉由離子植入法能加入摻雜物以形成成對高濃度區域 908。例如，可使用如氦、氬或氙的稀有氣體；如氮、磷、砷、或銻的群組 15 原子或之類作為摻雜物。

例如，在使用氮作為摻雜物的情況下，高濃度區域 908 中的氮原子濃度最好是 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

加入給予 n 型導電性之摻雜物之高濃度區域 908 的導電性會比氧化物半導體層 903 中的其他區域之導電性高。因此，經由在氧化物半導體層 903 中設置高濃度區域 908，能降低源極 904 與汲極 905 之間的阻抗。

在對氧化物半導體層 903 使用 In-Ga-Zn 基氧化物半導體的情況下，加入氮之後，以 300 到 600°C 進行一小時的熱處理，高濃度區域 908 中的氧化物半導體會具有纖鋅礦晶體結構。當高濃度區域 908 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 908 的導電性且能更降低源極 904 與汲極 905 之間的阻抗。請注意為了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效降低源極 904 與汲極 905 之間的阻抗，在使用氮作為摻雜物的情況下，高濃度區域 908 中的氮原子濃度最好是 $1 \times 10^{20}/\text{cm}^3$ 以上且 7at.% 以下。甚至在氮原子濃度低於上述範圍的情況下，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

替代地，氧化物半導體層 903 可使用包括 CAAC 的氧化物來形成。相較於使用非晶晶體之情況，在氧化物半導體層 903 係使用包括 CAAC 之氧化物來形成的情況下，能增加氧化物半導體層 903 的導電性。因此，能降低源極 904 與汲極 905 之間的阻抗。

當降低源極 904 與汲極 905 之間的阻抗時，即便縮小電晶體 901，仍可確保高導通電流及高速運作。另外，藉由縮小電晶體 901，能減少包括電晶體之儲存元件的面積，以能增加每單位面積的記憶體容量。

第 17B 圖所示之電晶體 911 包括在絕緣膜 912 上形成的源極 914 與汲極 915；在源極 914 與汲極 915 上形成並作為主動層的氧化物半導體層 913；在氧化物半導體層 913、源極 914、與汲極 915 上形成的閘絕緣膜 916；以及在閘絕緣膜 916 上與氧化物半導體層 913 重疊的閘極 917。

第 17B 圖所示之電晶體 911 係為一頂部閘極電晶體，其中閘極 917 會在氧化物半導體層 913 上形成，且也是一底部接觸電晶體，其中源極 914 與汲極 915 會在氧化物半導體層 913 下形成。如同在電晶體 901 中，在電晶體 911 中，源極 914 與汲極 915 不會與閘極 917 重疊。如此，能降低在源極 914 與閘極 917 之間以及在汲極 915 與閘極 917 之間形成的寄生電容。因此，能進行高速運作。

氧化物半導體層 913 包括一對高濃度區域 918，其可藉由在形成閘極 917 之後，將給予 n 型導電性的摻雜物加

入氧化物半導體層 913 來得到。此外，在氧化物半導體層 913 中，與閘極 917 重疊的區域係為通道形成區 919，其中有閘絕緣膜 916 置於閘極 917 與通道形成區 919 之間。氧化物半導體層 913 包括在成對高濃度區域 918 之間的通道形成區 919。

如同在電晶體 901 中的高濃度區域 908，成對高濃度區域 918 能藉由離子植入法來形成。高濃度區域 908 能涉及用來形成高濃度區域 918 的摻雜物種類。

例如，在氮被用來作為摻雜物的情況下，高濃度區域 918 中的氮原子濃度最好是 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

加入給予 n 型導電性之摻雜物之高濃度區域 918 的導電性會比氧化物半導體層 913 中的其他區域之導電性高。因此，經由在氧化物半導體層 913 中設置高濃度區域 918，能降低源極 914 與汲極 915 之間的阻抗。

在對氧化物半導體層 913 使用 In-Ga-Zn 基氧化物半導體的情況下，加入氮之後，以 300 到 600°C 進行熱處理，高濃度區域 918 中的氧化物半導體會具有纖鋅礦晶體結構。當高濃度區域 918 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 918 的導電性且能更降低源極 914 與汲極 915 之間的阻抗。請注意為了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效降低源極 914 與汲極 915 之間的阻抗，在使用氮作為摻雜物的情況下，高濃度區域 918 中的氮原子濃度最好是 $1 \times 10^{20}/\text{cm}^3$ 以上且

7at.%以下。甚至在氮原子濃度低於上述範圍的情況下，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

替代地，氧化物半導體層 913 可使用包括 CAAC 的氧化物來形成。相較於使用非晶晶體之情況，在氧化物半導體層 913 係使用包括 CAAC 之氧化物來形成的情況中，能增加氧化物半導體層 913 的導電性。因此，能將低源極 914 與汲極 915 之間的阻抗。

當降低源極 914 與汲極 915 之間的阻抗時，即便縮小電晶體 911，仍可確保高導通電流及高速運作。另外，藉由縮小電晶體 911，能減少包括電晶體之儲存元件的面積，以能增加每單位面積的記憶體容量。

第 17C 圖所示之電晶體 921 包括在絕緣膜 922 上形成並作為主動層的氧化物半導體層 923；在氧化物半導體層 923 上形成的源極 924 與汲極 925；在氧化物半導體層 923、源極 924、與汲極 925 上形成的閘絕緣膜 926；以及在閘絕緣膜 926 上與氧化物半導體層 923 重疊的閘極 927。電晶體 921 更包括側壁 930，其置於閘極 927 的兩端並使用絕緣膜來形成。

第 17C 圖所示之電晶體 921 係為一頂部閘極電晶體，其中閘極 927 會在氧化物半導體層 923 上形成，且也是一頂部接觸電晶體，其中源極 924 與汲極 925 會在氧化物半導體層 923 上形成。如同在電晶體 901 中，在電晶體 921 中，源極 924 與汲極 925 不會與閘極 927 重疊。如此，能

降低在源極 924 與閘極 927 之間以及在汲極 925 與閘極 927 之間形成的寄生電容。因此，能進行高速運作。

氧化物半導體層 923 包括一對高濃度區域 928 及一對低濃度區域 929，其可藉由在形成閘極 927 之後，將給予 n 型導電性的摻雜物加入氧化物半導體層 923 來得到。此外，在氧化物半導體層 923 中，與閘極 927 重疊的區域係為通道形成區 931，其中有閘絕緣膜 926 置於閘極 927 與通道形成區 931 之間。氧化物半導體層 923 包括在成對高濃度區域 928 之間的成對低濃度區域 929 以及在成對低濃度區域 929 之間的通道形成區 931。再者，成對低濃度區域 929 係置於氧化物半導體層 923 之與側壁 930 重疊的區域中，其中有閘絕緣膜 926 置於低濃度區域 929 與側壁 930 之間。

如同在電晶體 901 中的高濃度區域 908，成對高濃度區域 928 及成對低濃度區域 929 能藉由離子植入法來形成。高濃度區域 908 能涉及用來形成高濃度區域 928 的摻雜物種類。

例如，在使用氮作為摻雜物的情況下，高濃度區域 928 中的氮原子濃度最好是 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。此外，例如在使用氮作為摻雜物的情況下，低濃度區域 929 中的氮原子濃度最好是 $5 \times 10^{18}/\text{cm}^3$ 以上且 $5 \times 10^{19}/\text{cm}^3$ 以下。

加入給予 n 型導電性的摻雜物之高濃度區域 928 的導電性會比氧化物半導體層 923 中的其他區域之導電性高。

因此，經由在氧化物半導體層 923 中設置高濃度區域 928，能降低源極 924 與汲極 925 之間的阻抗。又，經由在通道形成區 931 與高濃度區域 928 之間設置低濃度區域 929，能減少由於短通道效應而造成的臨界電壓之反向偏移。

在對氧化物半導體層 923 使用 In-Ga-Zn 基氧化物半導體的情況下，加入氮之後，以 300 到 600°C 進行熱處理，高濃度區域 928 中的氧化物半導體會具有纖鋅礦晶體結構。另外，在一些情況下，低濃度區域 929 會取決於氮濃度而具有纖鋅礦晶體結構。當高濃度區域 928 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 928 的導電性且更能降低源極 924 與汲極 925 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效降低源極 924 與汲極 925 之間的阻抗，在使用氮作爲摻雜物的情況下，高濃度區域 928 中的氮原子濃度最好是 $1 \times 10^{20}/\text{cm}^3$ 以上且 7at.% 以下。甚至在氮原子濃度低於上述範圍的情況下，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

替代地，氧化物半導體層 923 可使用包括 CAAC 的氧化物來形成。相較於使用非晶晶體之情況，在氧化物半導體層 923 係使用包括 CAAC 之氧化物來形成的情況下，能增加氧化物半導體層 923 的導電性。因此，能降低源極 924 與汲極 925 之間的阻抗。

當降低源極 924 與汲極 925 之間的阻抗時，即便縮小

電晶體 921，仍可確保高導通電流及高速運作。另外，藉由縮小電晶體 921，能減少包括電晶體之記憶體元件的面積，以能增加每單位面積的記憶體容量。

第 17D 圖所示之電晶體 941 包括在絕緣膜 942 上形成的源極 944 與汲極 945；在源極 944 與汲極 945 上形成並作為主動層的氧化物半導體層 943；在氧化物半導體層 943、源極 944、與汲極 945 上形成的閘絕緣膜 946；以及在閘絕緣膜 946 上與氧化物半導體層 943 重疊的閘極 947。電晶體 941 更包括側壁 950，其置於閘極 947 的兩端並使用絕緣膜來形成。

第 17D 圖所示之電晶體 941 係為一頂部閘極電晶體，其中閘極 947 會在氧化物半導體層 943 上形成，且也是一底部接觸電晶體，其中源極 944 與汲極 945 會在氧化物半導體層 943 下形成。如同在電晶體 901 中，在電晶體 941 中，源極 944 與汲極 945 不會與閘極 947 重疊。如此，能降低在源極 944 與閘極 947 之間以及在汲極 945 與閘極 947 之間形成的寄生電容。因此，能進行高速運作。

氧化物半導體層 943 包括一對高濃度區域 948 與一對低濃度區域 949，其可藉由在形成閘極 947 之後，將給予 n 型導電性的摻雜物加入氧化物半導體層 943 來得到。此外，在氧化物半導體層 943 中，與閘極 947 重疊的區域係為通道形成區 951，其中有閘絕緣膜 946 置於閘極 947 與通道形成區 951 之間。氧化物半導體層 943 包括在成對高濃度區域 948 之間的成對低濃度區域 949 以及在成對低濃

度區域 949 之間的通道形成區 951。再者，成對低濃度區域 949 係置於氧化物半導體層 943 之與側壁 950 重疊的區域中，其中有閘絕緣膜 946 置於低濃度區域 949 與側壁 950 之間。

如同在電晶體 901 中的高濃度區域 908，成對高濃度區域 948 及成對低濃度區域 949 能藉由離子植入法來形成。高濃度區域 908 能涉及用來形成高濃度區域 948 的摻雜物種類。

例如，在使用氮作為摻雜物的情況下，高濃度區域 948 中的氮原子濃度最好是 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。此外，例如，在使用氮作為摻雜物的情況下，低濃度區域 949 中的氮原子濃度最好是 $5 \times 10^{18}/\text{cm}^3$ 以上且 $5 \times 10^{19}/\text{cm}^3$ 以下。

加入給予 n 型導電性的摻雜物之高濃度區域 948 的導電性會比氧化物半導體層 943 中的其他區域之導電性高。因此，經由在氧化物半導體層 943 中設置高濃度區域 948，能減少源極 944 與汲極 945 之間的阻抗。又，經由在通道形成區 951 與高濃度區域 948 之間設置低濃度區域 949，能減少由於短通道效應而造成的臨界電壓之反向偏移。

在對氧化物半導體層 943 使用 In-Ga-Zn 基氧化物半導體的情況下，加入氮之後，以 300 到 600°C 進行熱處理，高濃度區域 948 中的氧化物半導體會具有纖鋅礦晶體結構。另外，在一些情況下，低濃度區域 949 會取決於氮

濃度而具有纖鋅礦晶體結構。當高濃度區域 948 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 948 的導電性且更能降低源極 944 與汲極 945 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效降低源極 944 與汲極 945 之間的阻抗，在使用氮作爲摻雜物的情況下，高濃度區域 948 中的氮原子濃度最好是 $1 \times 10^{20}/\text{cm}^3$ 以上且 7at.% 以下。甚至在氮原子濃度低於上述範圍的情況下，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

替代地，氧化物半導體層 943 可使用包括 CAAC 的氧化物來形成。相較於使用非晶晶體之情況，在氧化物半導體層 943 係使用包括 CAAC 之氧化物來形成的情況下，能增加氧化物半導體層 943 的導電性。因此，能降低源極 944 與汲極 945 之間的阻抗。

當降低源極 944 與汲極 945 之間的阻抗時，即便縮小電晶體 941，仍可確保高導通電流及高速運作。另外，藉由縮小電晶體 941，能減少包括電晶體之儲存元件的面積，以能增加每單位面積的記憶體容量。

請注意已揭露一種方法來作爲其中一種透過自動對準程序來形成作爲在包括氧化物半導體之電晶體中的源極區或汲極區之高濃度區域的方法，即暴露出氧化物半導體層的表面、進行氬電漿處理、及降低在暴露於電漿之氧化物半導體層中之區域的阻抗（S.Jeon et al.的「180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High

Density Image Sensor Applications」，IEDM Tech. Dig.，第 504-507 頁，2010）。

然而，在形成方法中，必須部分地移除閘絕緣膜，以至於在形成閘絕緣膜之後，能暴露出當作源極區或汲極區的區域。於是，當移除閘絕緣膜時，下層的氧化物半導體層會被部分地過度蝕刻，如此減少作為源極區或汲極區之區域的厚度。因此，會增加源極區或汲極區之阻抗且容易發生由於過度蝕刻而造成電晶體特性有缺陷。

為了縮小電晶體，必須採用具有高度處理準確度的乾式蝕刻。過度蝕刻特別容易發生於乾式蝕刻之情況中，其不能充份地確保有關閘絕緣膜之氧化物半導體層的選擇性。

例如，當氧化物半導體層具有夠大的厚度時，過度蝕刻就無關緊要了。然而，在通道長度為 200nm 以下的情況下，在作為通道形成區之氧化物半導體層中的區域之厚度必須是 20nm 以下，最好是 10nm 以下以防止短通道效應。在使用上述薄氧化物半導體層的情況下，如上所述，因為會增加源極區或汲極區的阻抗以及發生電晶體特性的缺陷，因此過度蝕刻氧化物半導體層是不利的。

然而，當加入摻雜物到氧化物半導體層中時，只要如本發明之一實施例中，不暴露出氧化物半導體層並留下閘絕緣膜，便能防止過度蝕刻氧化物半導體層，並能降低對氧化物半導體層之過度損害。此外，能保持氧化物半導體層與閘絕緣膜之間的介面乾淨。藉此，能增進電晶體的特

性及可靠度。

本實施例可適當地與任何其他實施例結合。

〔實例 1〕

藉由使用包括根據本發明之一實施例之可程式 LSI 的半導體裝置，能提供一種低功率電子裝置。尤其是，在可攜式電子裝置很難持續地接收電力的情況下，當加入根據本發明之一實施例的低功率半導體裝置來作為裝置之構件時，能獲得增加持續操作時間的優點。

包括根據本發明之一實施例之可程式 LSI 的半導體裝置可應用在顯示裝置、個人電腦、或裝設記錄媒體的影像重現裝置（代表性地，能重現如數位化多功能光碟（DVD）之記錄媒體的內容並具有用來顯示已重現影像之顯示器的裝置）。再者，可提供手機、可攜式遊戲機、個人數位助理、電子書閱讀器、如攝影機及數位靜態攝影機的照相機、護目型顯示器（頭戴式顯示器）、導航系統、音頻重現裝置（例如，汽車音頻系統及數位聲頻播放器）、影印機、傳真機、印刷機、多功能印刷機、自動櫃員機（ATM）、自動販賣機等，作為可包括具有根據本發明之一實施例之可程式 LSI 之半導體裝置的電子裝置。

說明包括根據本發明之一實施例之可程式 LSI 的半導體裝置被應用在如手機、智慧型手機、或電子書閱讀器的可攜式電子裝置上之情況。

第 18 圖係一可攜式電子裝置之方塊圖。第 18 圖所示

之可攜式電子裝置包括一 RF 電路 421、一類比基頻電路 422、一數位基頻電路 423、一電池 424、一電源電路 425、一應用處理器 426、一快閃記憶體 430、一顯示控制器 431、一記憶體電路 432、一顯示器 433、一觸控感應器 439、一音頻電路 437、一鍵盤 438 等等。顯示器 433 包括一顯示部 434、一源極驅動器 435、及一閘極驅動器 436。應用處理器 426 包括一 CPU 427、一 DSP 428、及一介面 429。當使用以上實施例所述之可程式 LSI 作為 CPU 427 時，能降低耗電量。

第 19 圖係一電子書閱讀器之方塊圖。電子書閱讀器包括一電池 451、一電源電路 452、一微處理器 453、一快閃記憶體 454、一音頻系統 455、一鍵盤 456、一記憶體電路 457、一觸控面板 458、一顯示器 459、及一顯示控制器 460。當使用以上實施例所述之可程式 LSI 作為微處理器 453 時，能降低耗電量。又，當使用以上實施例所述之儲存裝置作為記憶體電路 457 時，能降低耗電量。

本實例可適當地與任何上面的實施例結合。

本申請書係基於 2011/2/17 向日本專利局申請的日本專利申請書第 2011-031790 號，特此須合併參考其全部內容。

【符號說明】

310：邏輯元件

300：記憶體元件

311：組態記憶體

312：查找表

314：選擇電路

313：暫存器

100a：儲存元件

101：電晶體

102：電晶體

103：電容器

W, D, S, C：端點

100b：儲存元件

141：電晶體

100c：儲存元件

104：電晶體

105：電容器

400：記憶格陣列

403：行解碼器

404：列解碼器

402：預充電電路

401：感測放大器

BL1-BLn：佈線

SL1-SLn：佈線

WL1-WLm：佈線

CL1-CLm：佈線

XL1-XLm：佈線

400_1-400_n：儲存元件群組

181：電晶體

182：電晶體

441：緩衝器

OUT1-OUTn：輸出端

ref：參考電位

442：比較器

443：閂鎖電路

444、445：反向器

1450：元件

1451：感測放大器

VR：端點

1452：開關

PSW：控制信號

1453：負載

PR：預充電線

446：開關

501：儲存元件

502：儲存元件

511、512：反向器

IN：輸入端

OUT：輸出端

503：儲存元件

513：電容器

V0：電位

M1-M8：輸入端

31-37：多工器

IN1-IN8：輸入端

41-43：多工器

44：OR 電路

51：多工器

M：控制端

61-64：電晶體

700：基板

701：絕緣膜

702：半導體膜

704：雜質區

705：遮罩

706：開口

707：閘極

708：導電膜

709：雜質區

710：通道形成區

711：雜質區

712、713：絕緣膜

716：氧化物半導體層

719、720：導電膜

721：閘絕緣膜

- 722：閘極
- 723：導電膜
- 724：絕緣膜
- 725：開口
- 726：佈線
- 727：絕緣膜
- 901：電晶體
- 902：絕緣膜
- 903：氧化物半導體層
- 904：源極
- 905：汲極
- 906：閘絕緣膜
- 907：閘極
- 908：高濃度區域
- 909：通道形成區
- 911：電晶體
- 912：絕緣膜
- 913：氧化物半導體層
- 914：源極
- 915：汲極
- 916：閘絕緣膜
- 917：閘極
- 918：高濃度區域
- 919：通道形成區

- 921：電晶體
- 922：絕緣膜
- 923：氧化物半導體層
- 924：源極
- 925：汲極
- 926：閘絕緣膜
- 927：閘極
- 928：高濃度區域
- 929：低濃度區域
- 930：側壁
- 931：通道形成區
- 941：電晶體
- 942：絕緣膜
- 943：氧化物半導體層
- 944：源極
- 945：汲極
- 946：閘絕緣膜
- 947：閘極
- 948：高濃度區域
- 949：低濃度區域
- 950：側壁
- 951：通道形成區
- 421：RF 電路
- 422：類比基頻電路

423：數位基頻電路
424：電池
425：電源電路
426：應用處理器
427：CPU
428：DSP
429：介面
430：快閃記憶體
431：顯示控制器
432：記憶體電路
433：顯示器
434：顯示部
435：源極驅動器
436：閘極驅動器
437：音頻電路
438：鍵盤
439：觸控感應器
451：電池
452：電源電路
453：微處理器
454：快閃記憶體
455：音頻系統
456：鍵盤
457：記憶體電路

458：觸控面板

459：顯示器

460：顯示控制器

申請專利範圍

1. 一種半導體裝置，包含：

一記憶體元件；及

一邏輯元件，

其中該記憶體元件係組態以儲存組態資料，

其中該邏輯元件係組態以依照該組態資料來改變該邏輯元件的功能，

其中該記憶體元件包含第一電晶體和第二電晶體，

其中該第一電晶體的第一端係電性連到該第二電晶體的閘極，且

其中該第一電晶體包含包含一氧化半導體的通道形成區。

2. 如申請專利範圍第 1 項所述之半導體裝置，

其中該邏輯元件包含一組態記憶體。

3. 如申請專利範圍第 2 項所述之半導體裝置，

其中該記憶體元件係組態以輸出該組態資料至該組態記憶體，且

其中該組態記憶體係組態以儲存該組態資料。

4. 如申請專利範圍第 3 項所述之半導體裝置，

其中該組態記憶體包含第一反向器及第二反向器，

其中該第一反向器的輸入端和該第二反向器的輸出端係彼此電性連接，且

其中該第二反向器的輸入端和該第一反向器的輸出端係彼此電性連接。

5. 如申請專利範圍第 1 項所述之半導體裝置，
其中該第二電晶體的第一端係透過一佈線電性連到該邏輯元件。

6. 如申請專利範圍第 5 項所述之半導體裝置，
其中該記憶體元件係組態以透過該佈線輸出該組態資料至該邏輯元件。

7. 如申請專利範圍第 1 項所述之半導體裝置，更包含一電容器，
其中該第一電晶體的該第一端係電性連到該電容器的第一電極。

8. 一種半導體裝置，包含：
一記憶體元件；及
一邏輯元件，
其中該記憶體元件係組態以儲存組態資料，
其中該邏輯元件係組態以依照該組態資料來改變該邏輯元件的功能，

其中該記憶體元件包含第一電晶體、第二電晶體和第三電晶體，

其中該第一電晶體的第一端係電性連到該第二電晶體的閘極，

其中該第二電晶體的第一端和該第三電晶體的第一端係彼此電性連接，且

其中該第一電晶體包含包含一氧化半導體的通道形成區。

9. 如申請專利範圍第 8 項所述之半導體裝置，

其中該邏輯元件包含一組態記憶體。

10. 如申請專利範圍第 9 項所述之半導體裝置，

其中該記憶體元件係組態以輸出該組態資料至該組態記憶體，且

其中該組態記憶體係組態以儲存該組態資料。

11. 如申請專利範圍第 10 項所述之半導體裝置，

其中該組態記憶體包含第一反向器及第二反向器，

其中該第一反向器的輸入端和該第二反向器的輸出端係彼此電性連接，且

其中該第二反向器的輸入端和該第一反向器的輸出端係彼此電性連接。

12. 如申請專利範圍第 8 項所述之半導體裝置，

其中該第二電晶體的第二端係透過一佈線電性連到該邏輯元件。

13. 如申請專利範圍第 12 項所述之半導體裝置，

其中該記憶體元件係組態以透過該佈線輸出該組態資料至該邏輯元件。

14. 如申請專利範圍第 8 項所述之半導體裝置，更包含一電容器，

其中該第一電晶體的該第一端係電性連到該電容器的第一電極。

15. 一種半導體裝置，包含：

一記憶體元件；及

一邏輯元件，
其中該記憶體元件係組態以儲存組態資料，
其中該邏輯元件係組態以依照該組態資料來改變該邏輯元件的功能，
其中該記憶體元件包含第一電晶體和電容器，
其中該第一電晶體的第一端係電性連到該電容器的第一電極，且
其中該第一電晶體包含包含一氧化半導體的通道形成區。

16. 如申請專利範圍第 15 項所述之半導體裝置，
其中該邏輯元件包含一組態記憶體。

17. 如申請專利範圍第 16 項所述之半導體裝置，
其中該記憶體元件係組態以輸出該組態資料至該組態記憶體，且
其中該組態記憶體係組態以儲存該組態資料。

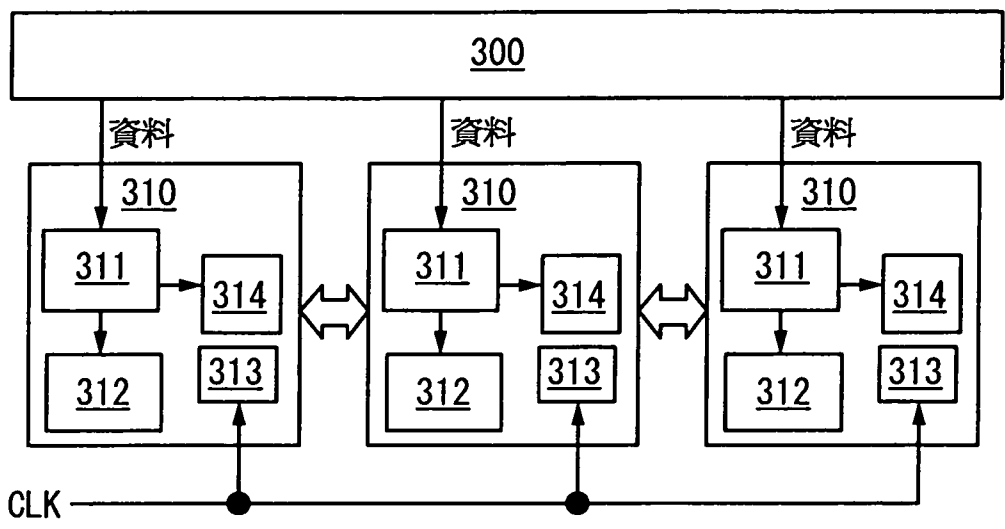
18. 如申請專利範圍第 17 項所述之半導體裝置，
其中該組態記憶體包含第一反向器及第二反向器，
其中該第一反向器的輸入端和該第二反向器的輸出端係彼此電性連接，且

其中該第二反向器的輸入端和該第一反向器的輸出端係彼此電性連接。

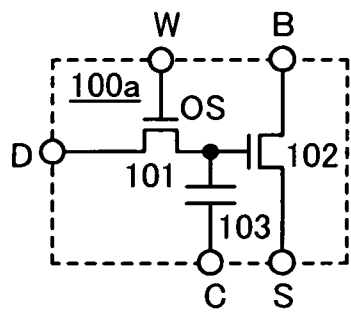
19. 如申請專利範圍第 15 項所述之半導體裝置，
其中該第一電晶體的第二端係透過一佈線電性連到該邏輯元件。

圖 式

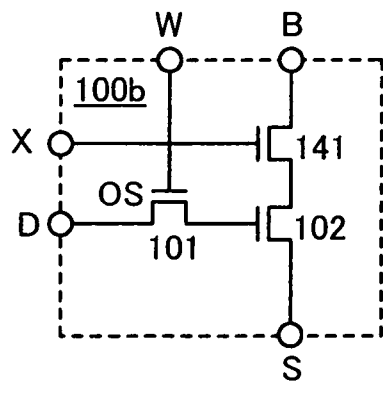
第1A圖



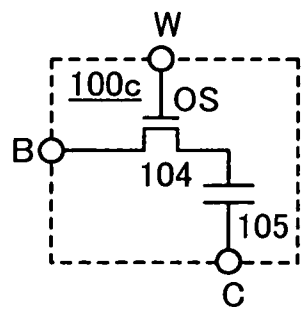
第1B圖



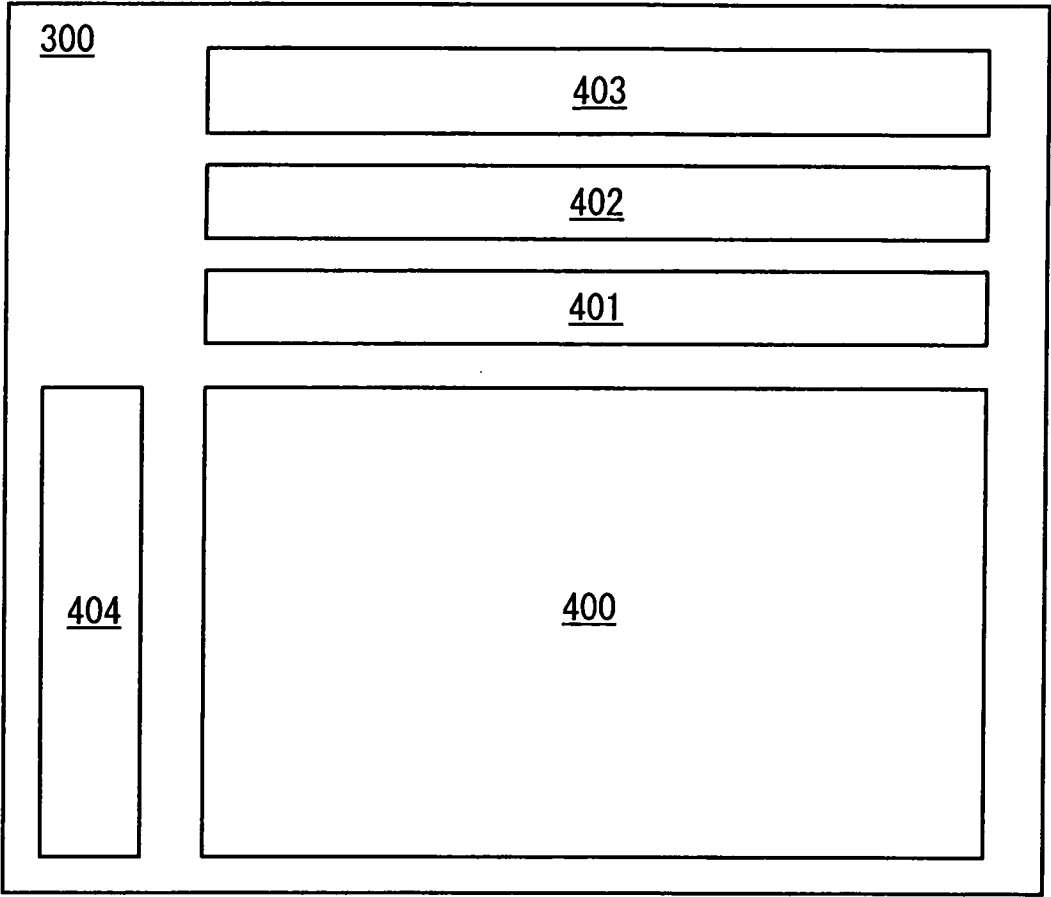
第1C圖



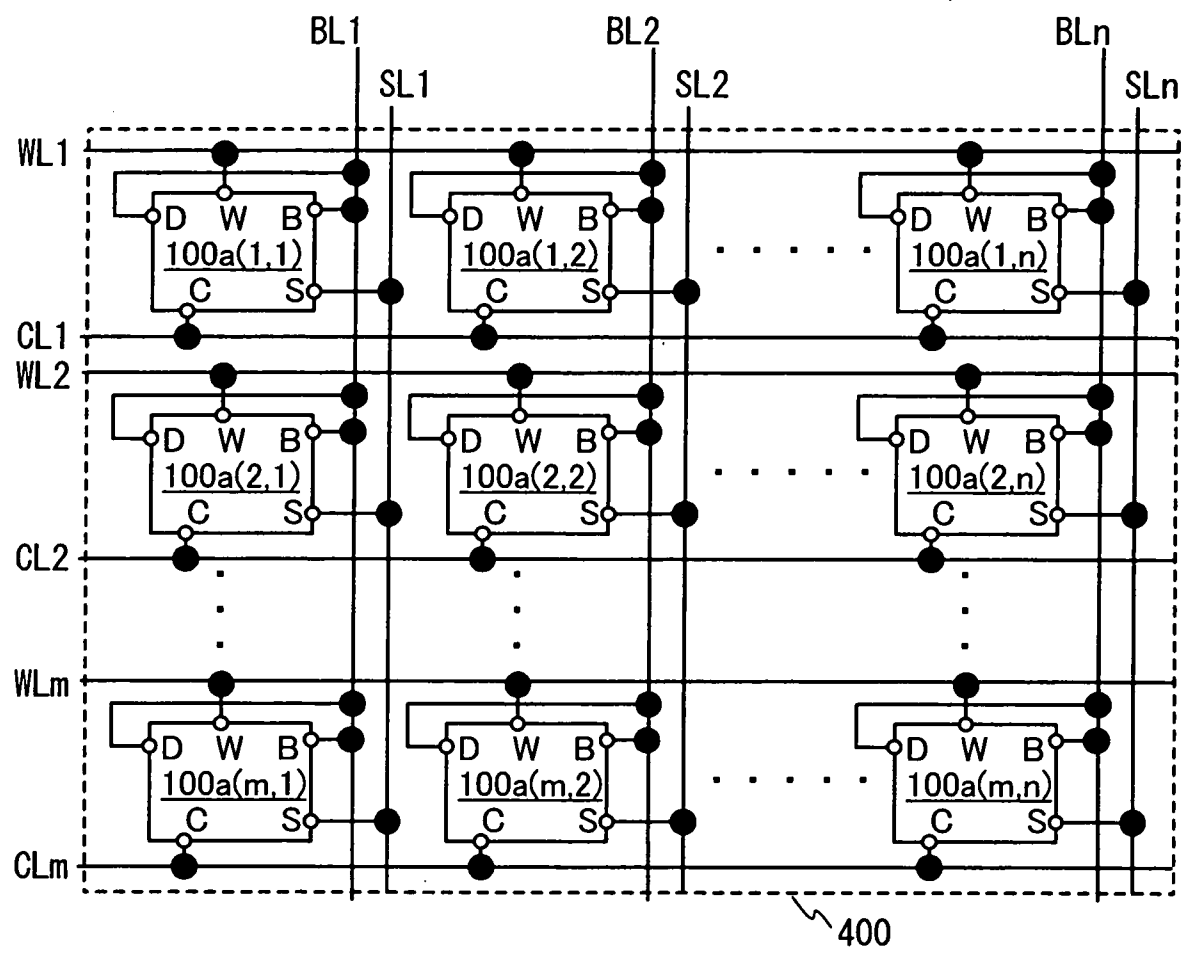
第1D圖



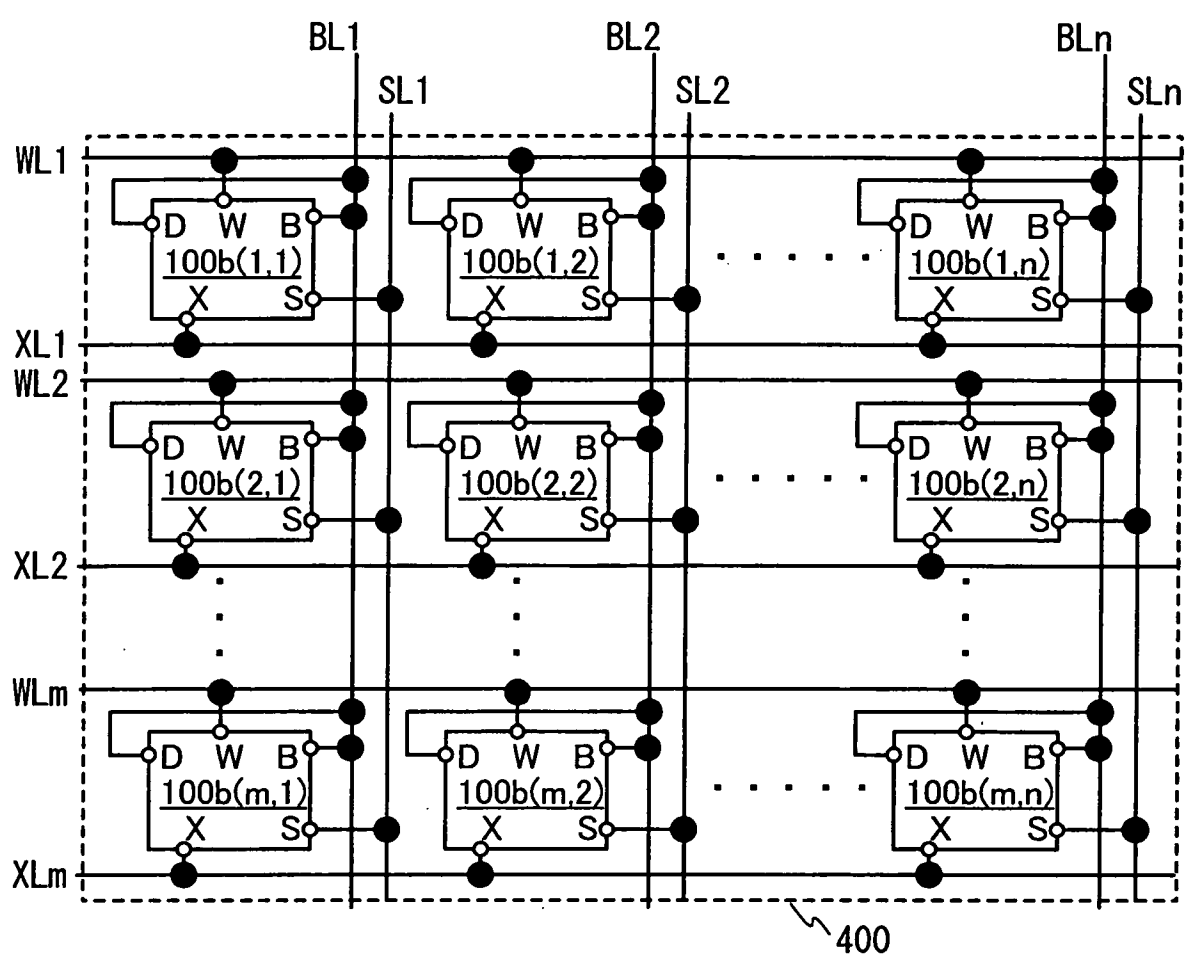
第2圖



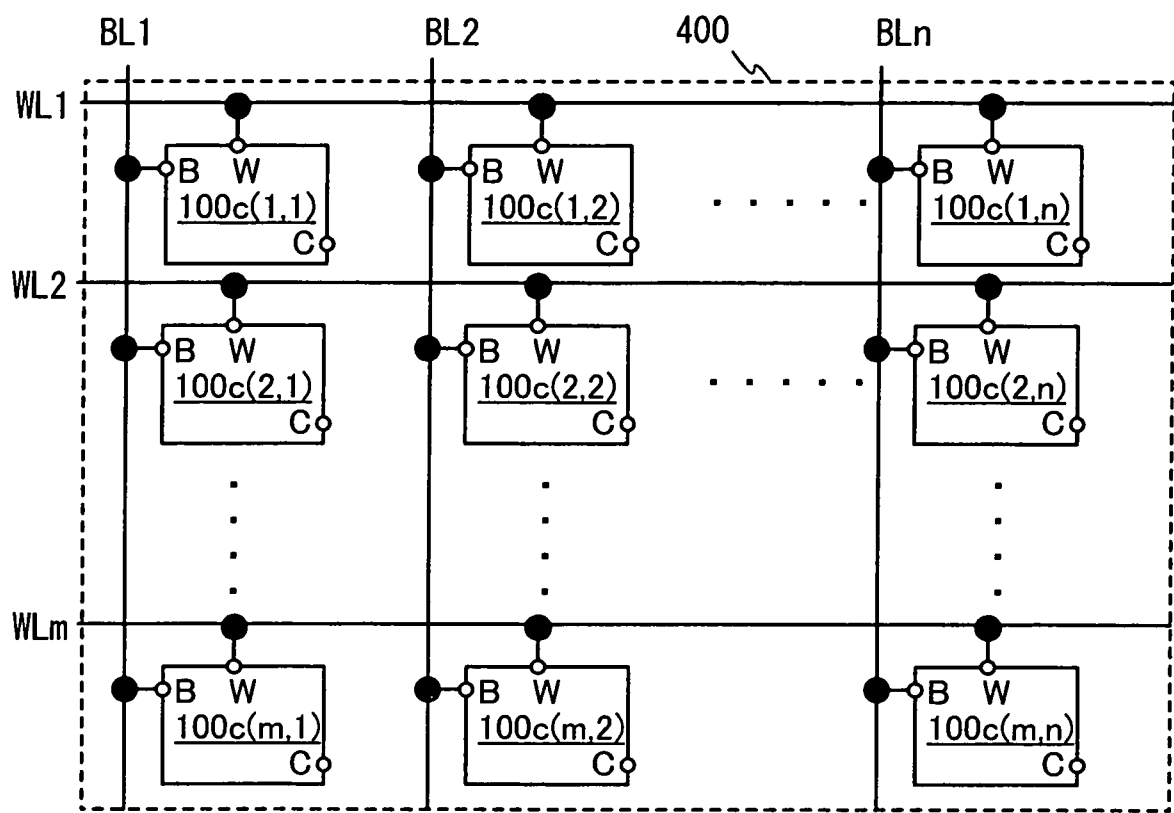
第3圖



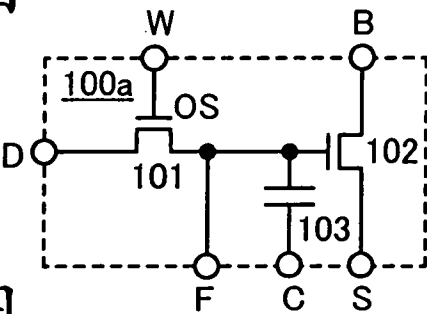
第4圖



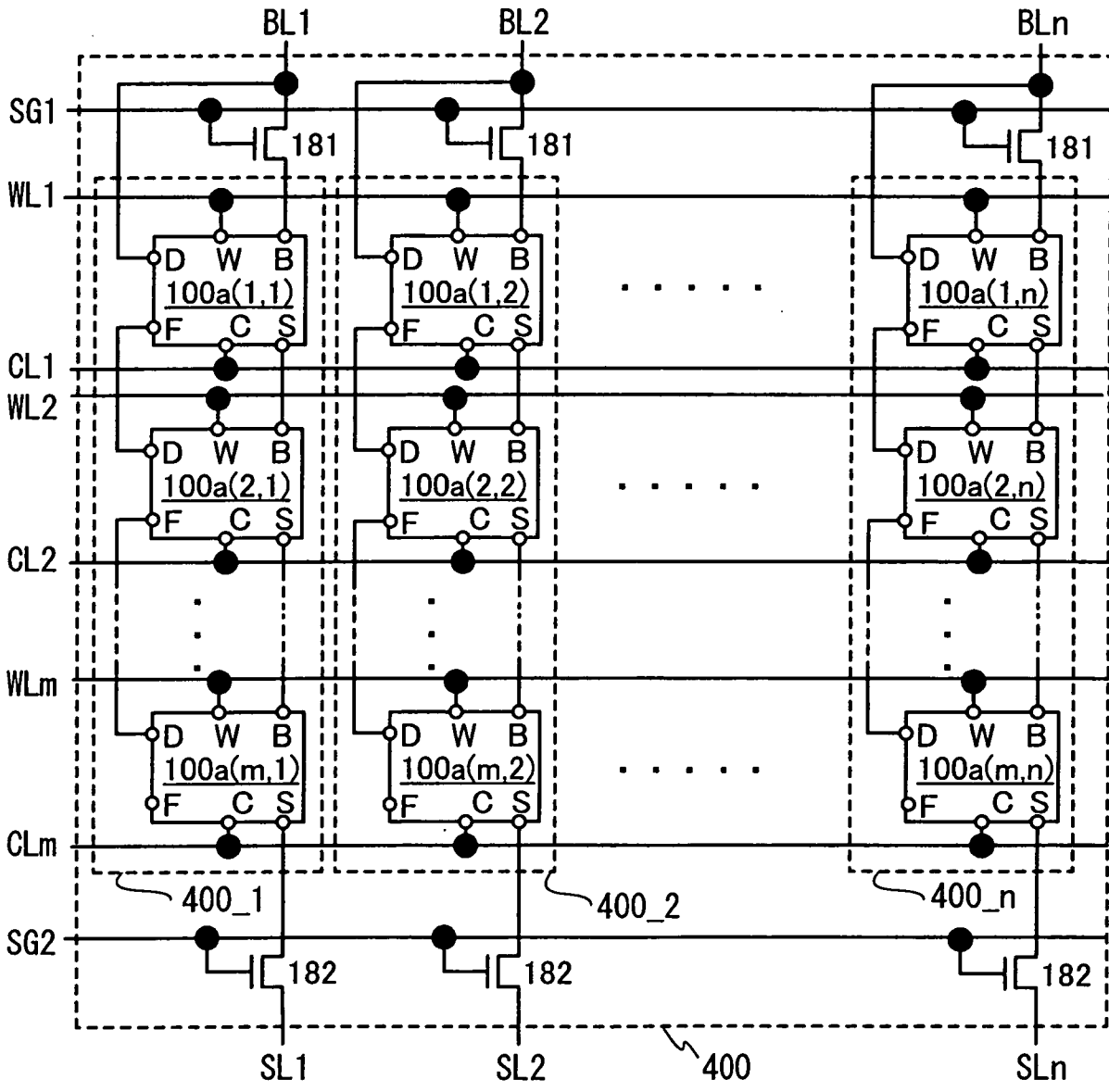
第5圖



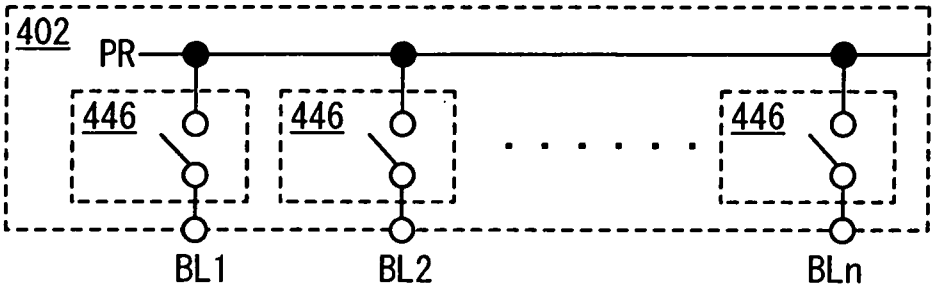
第6A圖



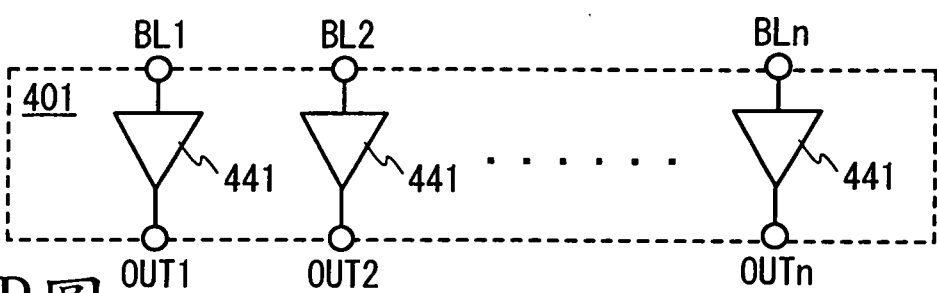
第6B圖



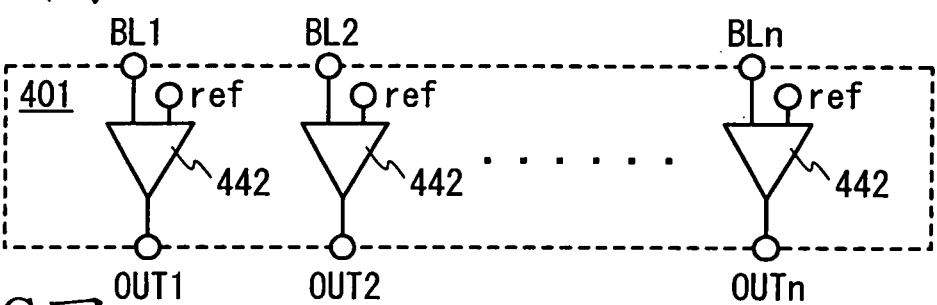
第7圖



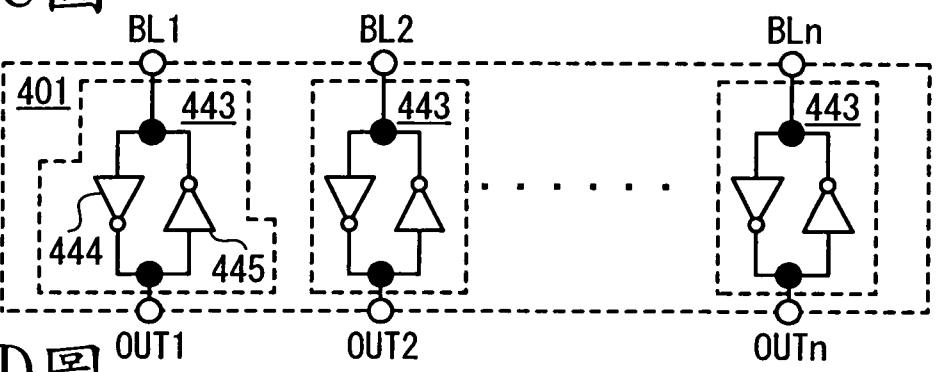
第8A圖



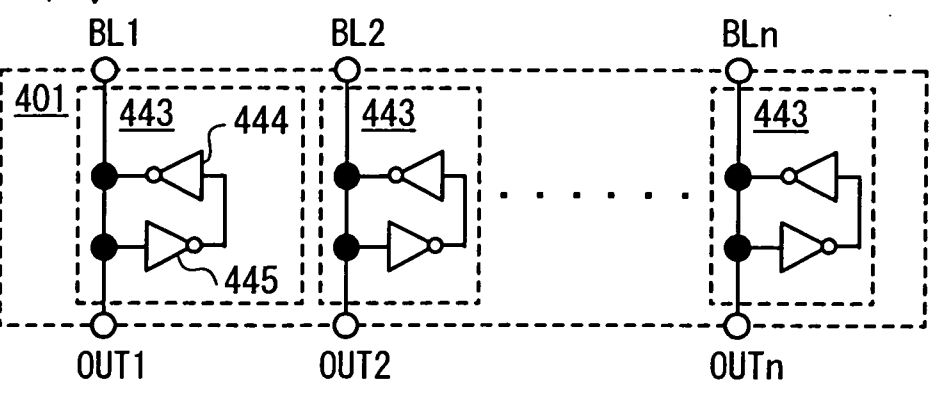
第8B圖



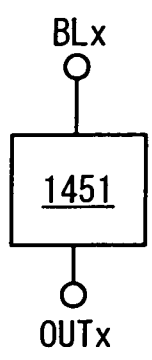
第8C圖



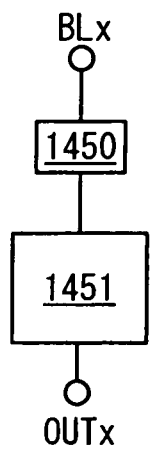
第8D圖



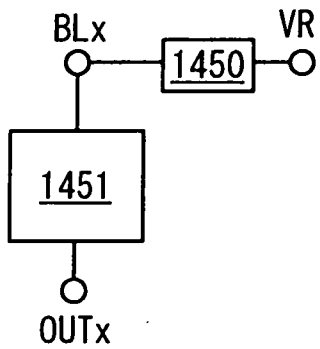
第9A圖



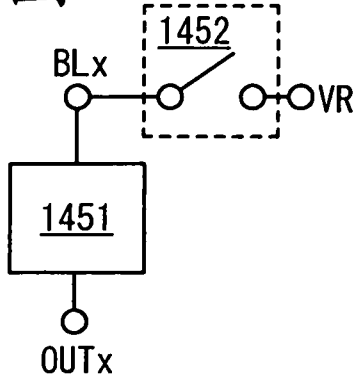
第9B圖



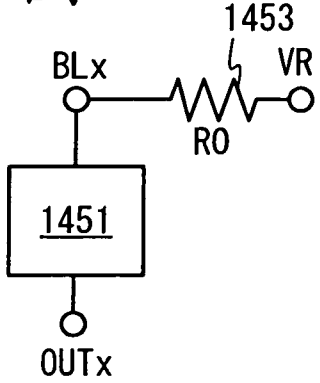
第9C圖



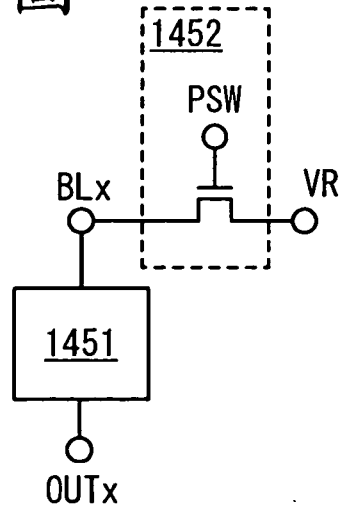
第9D圖



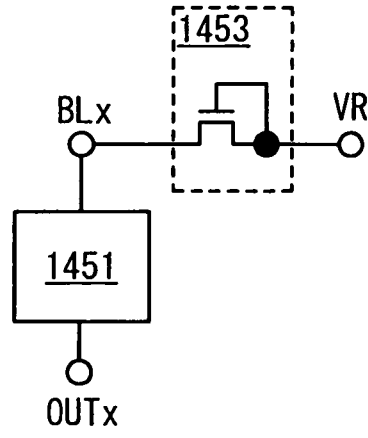
第9E圖



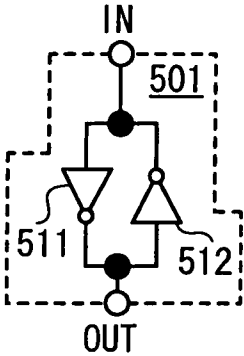
第9F圖



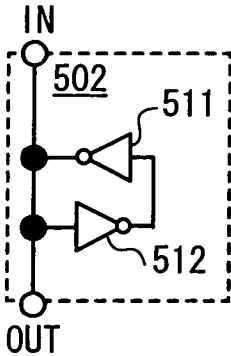
第9G圖



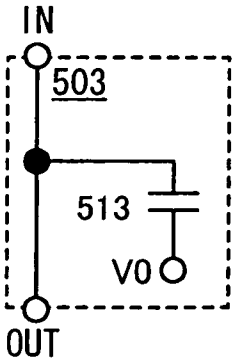
第10A圖



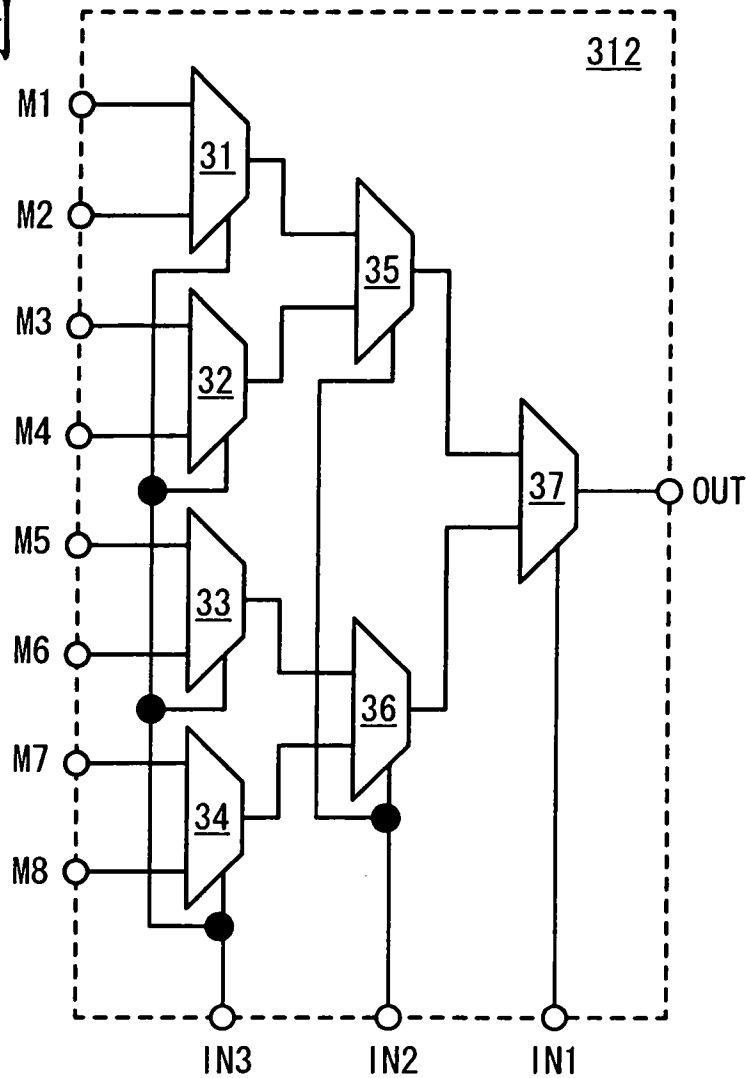
第10B圖



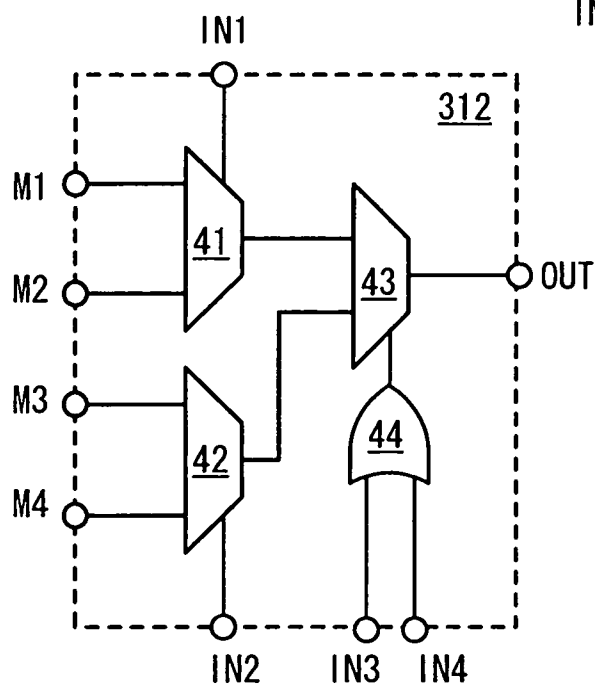
第10C圖



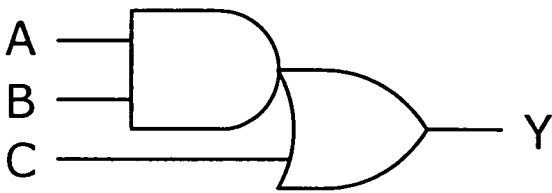
第11A圖



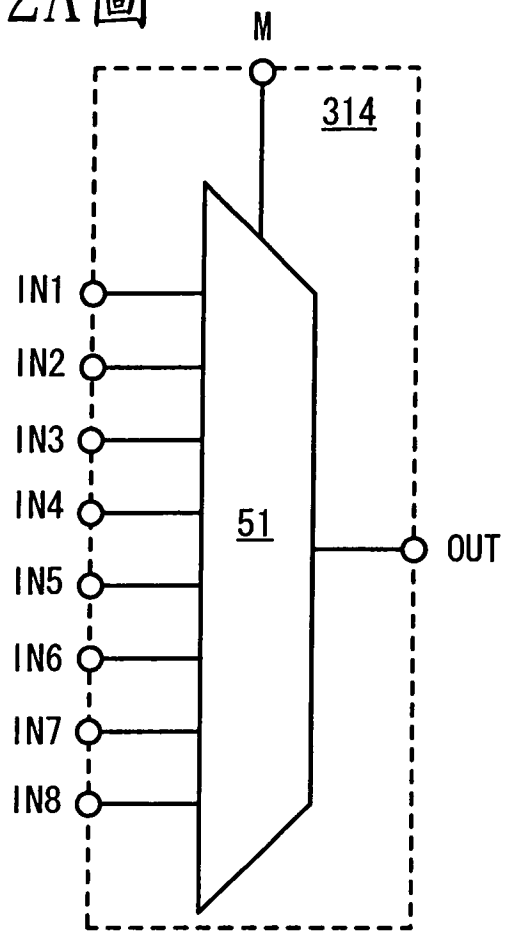
第11B圖



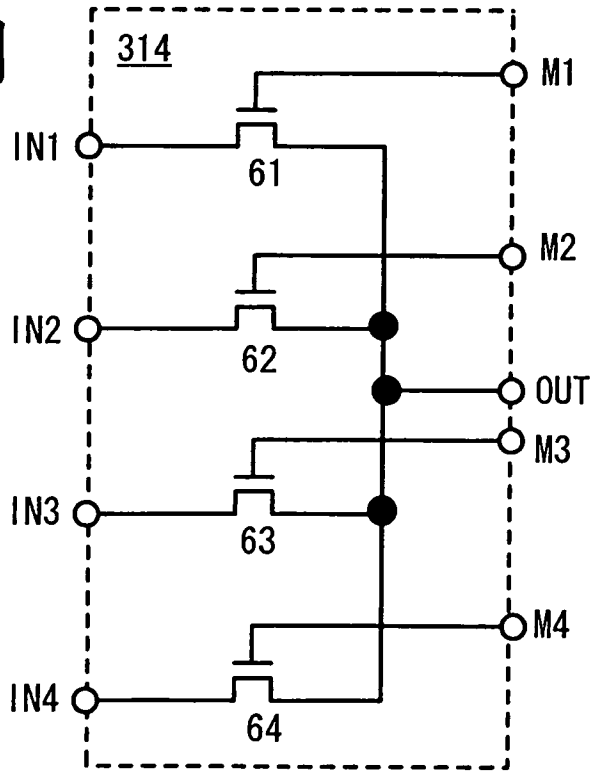
第11C圖



第12A圖



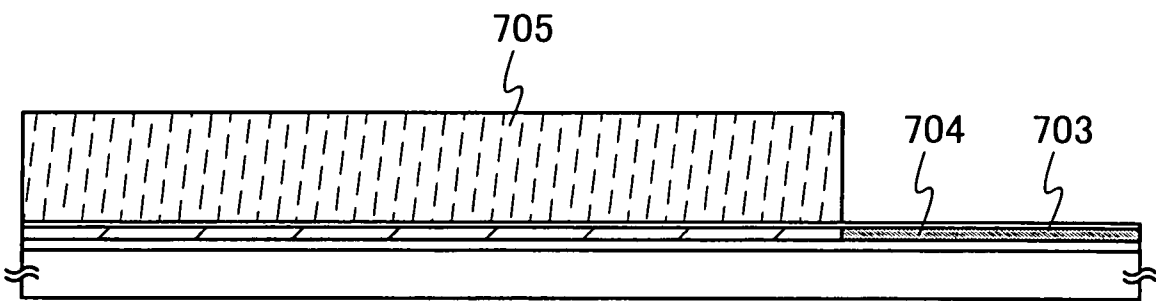
第12B圖



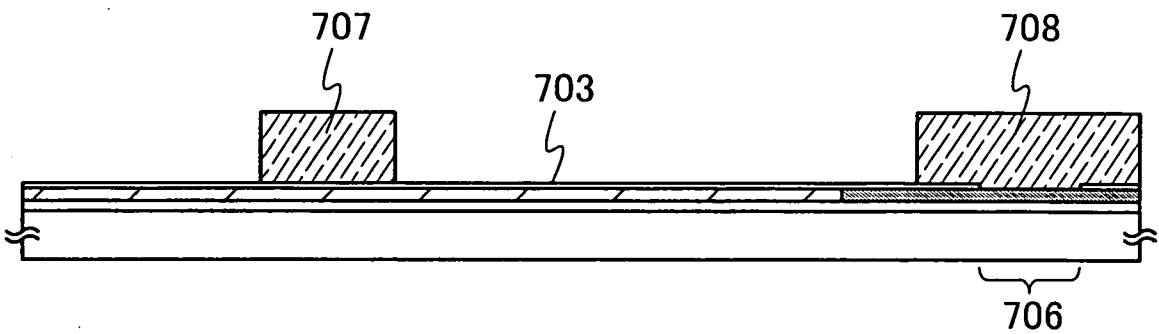
第13A圖



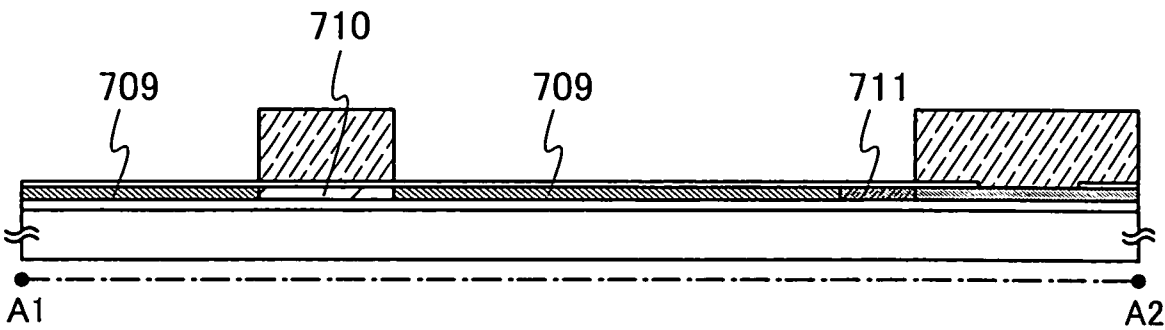
第13B圖



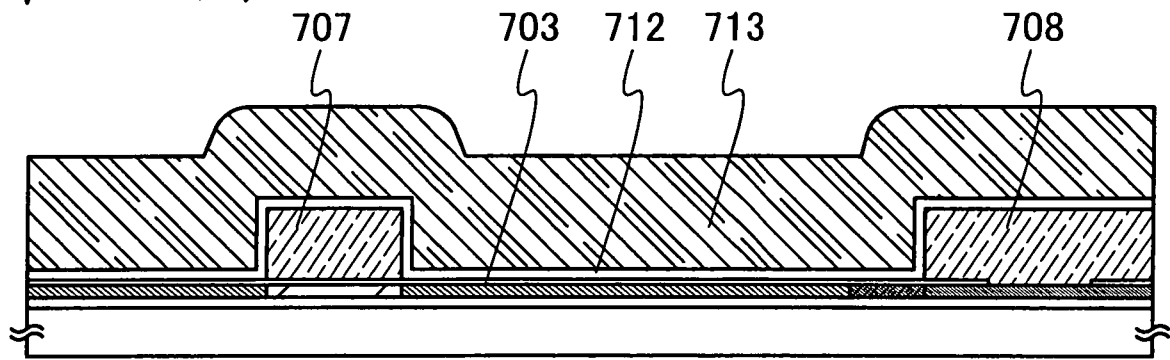
第13C圖



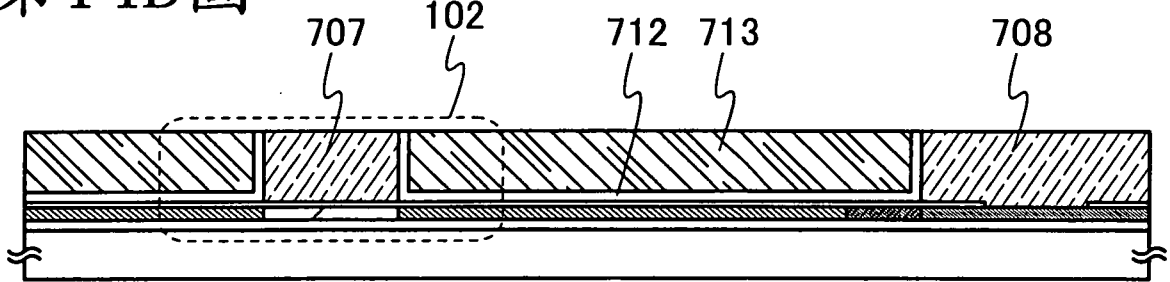
第13D圖



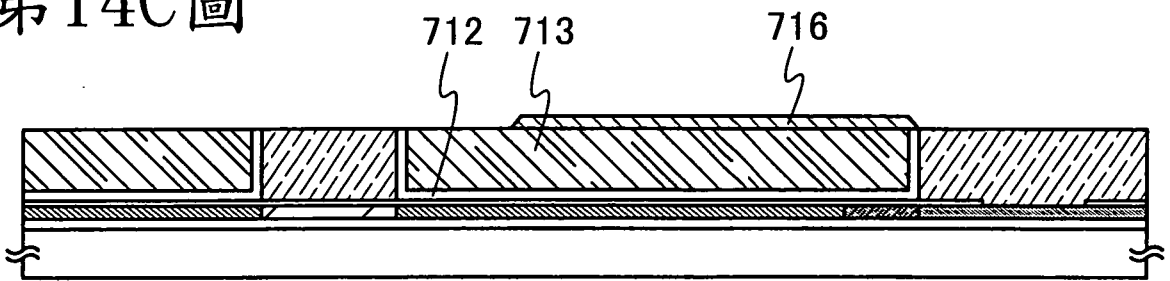
第14A圖



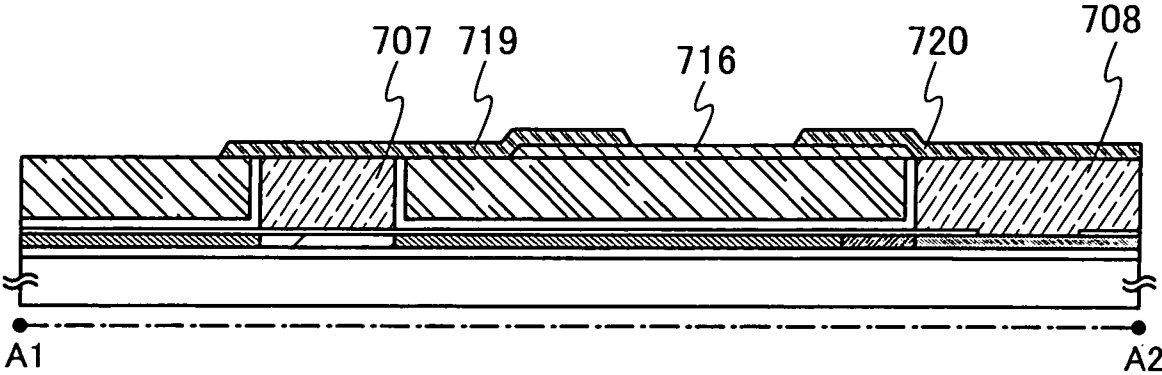
第14B圖



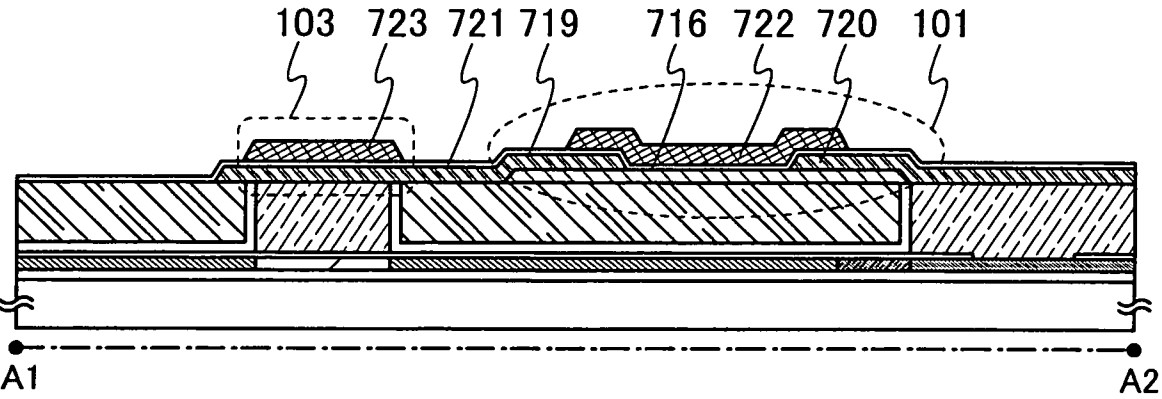
第14C圖



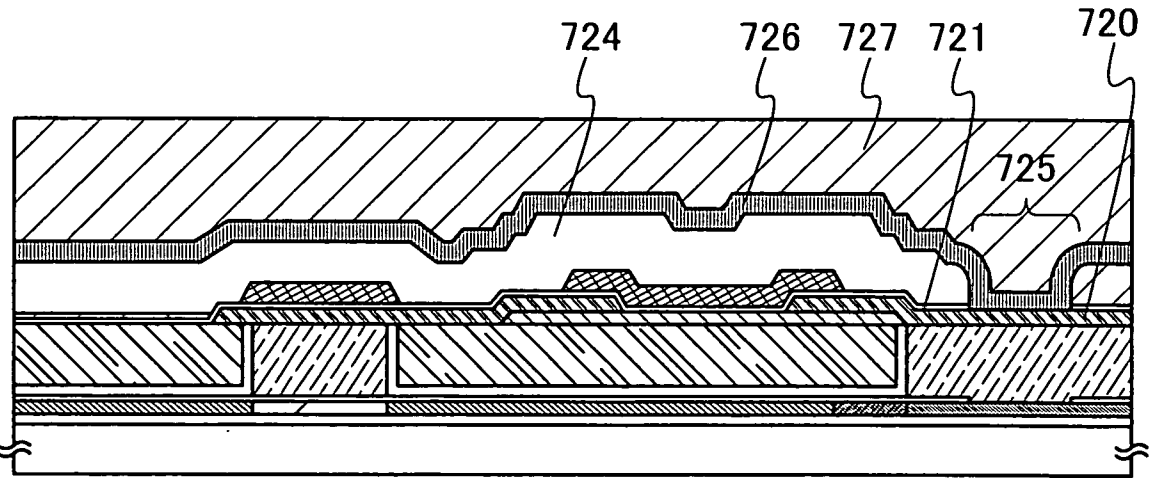
第15A圖



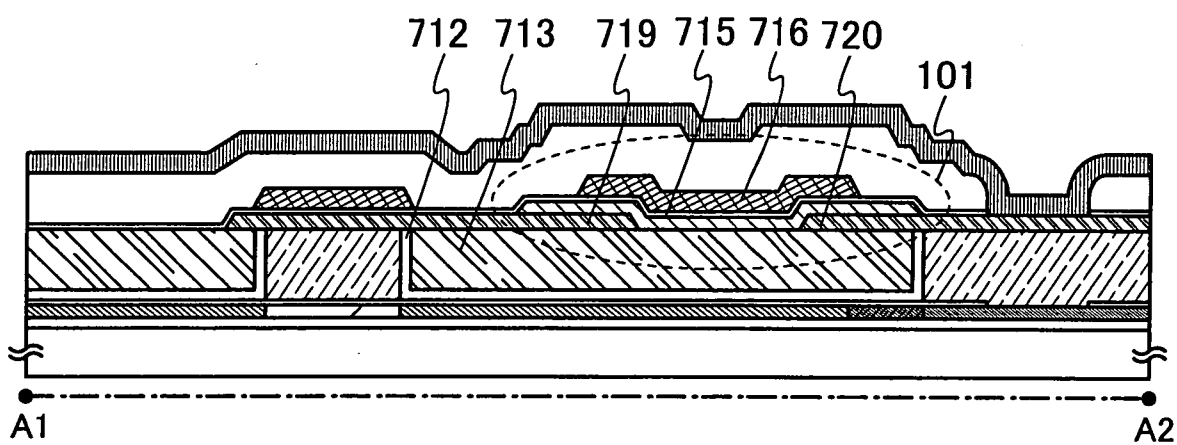
第15B圖



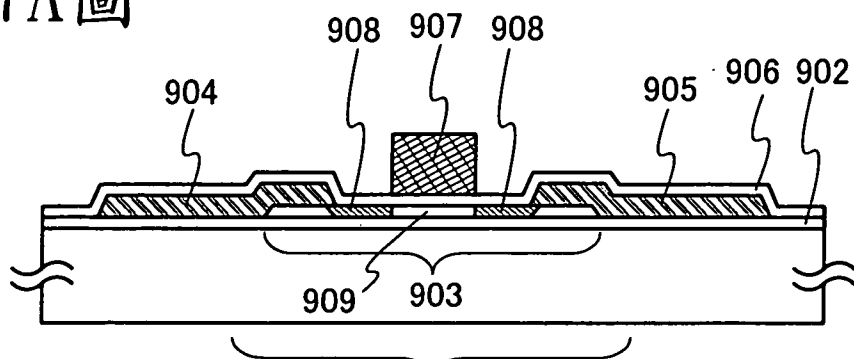
第15C圖



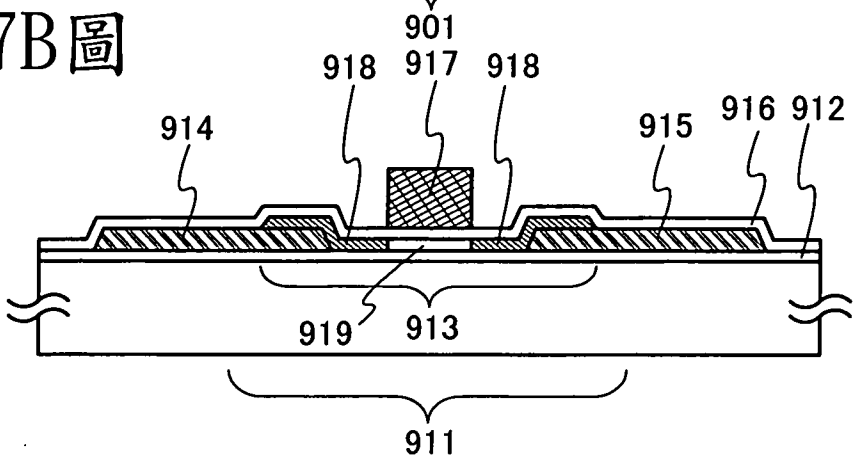
第16圖



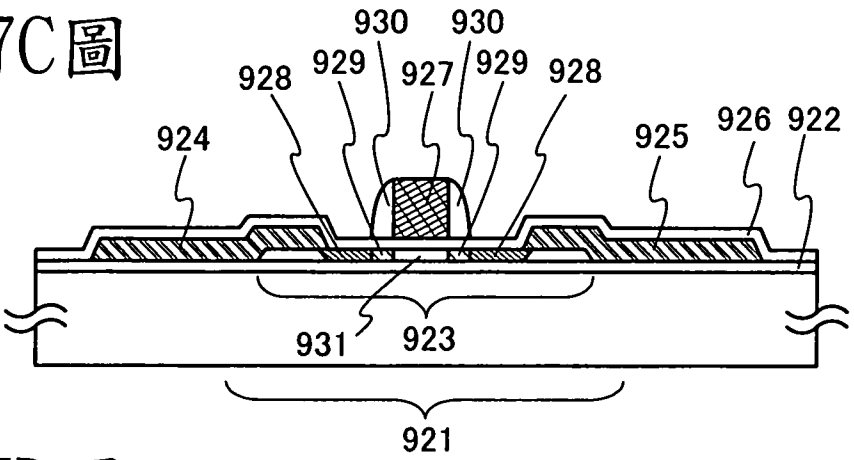
第17A圖



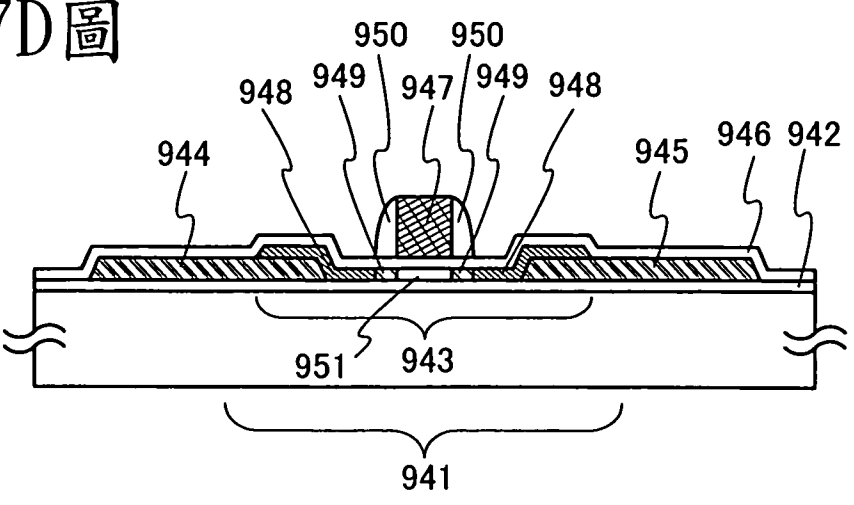
第17B圖



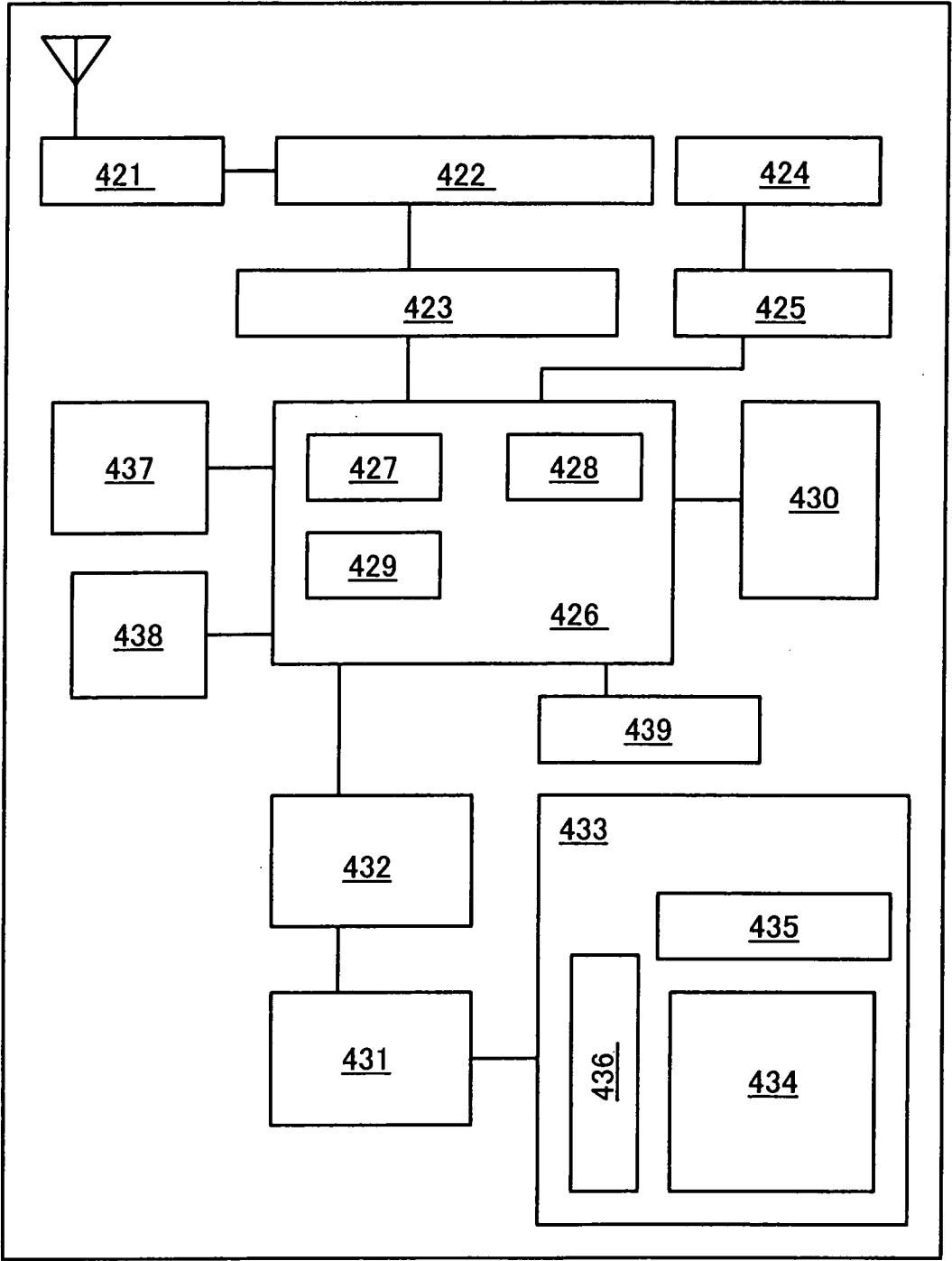
第17C圖



第17D圖



第18圖



第19圖

