

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

(10) 国際公開番号
WO 2012/008198 A1

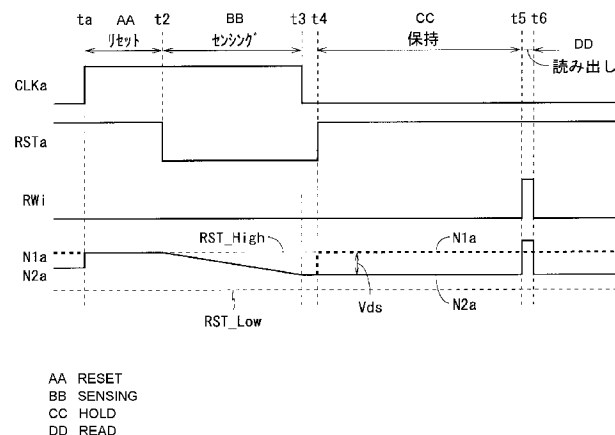
- (51) 国際特許分類:
G06F 3/041 (2006.01) G09G 3/34 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
G09F 9/30 (2006.01) H01L 27/146 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/060053
- (22) 国際出願日: 2011 年 4 月 25 日(25.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-161979 2010 年 7 月 16 日(16.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中川 陽介
(NAKAGAWA, Yousuke). 前田 和宏(MAEDA,
Kazuhiro). 辻野 幸生(TSUJINO, Sachio). 杉山
裕昭(SUGIYAMA, Hiroaki). 白木 一郎(SHIRAKI,
Ichiroh).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE PROVIDED WITH PHOTSENSOR

(54) 発明の名称: 光センサ付き表示装置

[図6]



(57) Abstract: In the pixel region of the disclosed display device, a plurality of sensor circuits provided with a charge-retaining transistor and a photosensor between a reset line and a storage node are disposed. In the sensing period, the charge-retaining transistor is controlled in a manner so as to be in an on state by applying low level voltage to the reset line (RSTa) as a reset-cancelling voltage and applying high level voltage to a control line (CLKa). Outside of the sensing period, the charge-retaining transistor is controlled in a manner so as to be in an off state by applying a low level voltage to the control line (CLKa) and applying a high level voltage to the reset line (RSTa) as a holding voltage. As a result, the drain-source voltage (Vds) of the charge-retaining transistor is reduced, the leak current of the charge-retaining transistor is suppressed, and photodetection accuracy is increased. A voltage roughly in the middle of the reset voltage and the voltage of the storage node during maximum light quantity detection may be used as the holding voltage.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

表示装置の画素領域に、リセット線と蓄積ノードの間に光センサと電荷保持トランジスタを設けたセンサ回路を複数個配置する。センシング期間では、リセット線 RST_a にリセット解除電圧としてローレベル電圧を印加し、制御線 CLK_a にハイレベル電圧を印加して電荷保持トランジスタをオン状態に制御する。センシング期間以外では、制御線 CLK_a にローレベル電圧を印加して電荷保持トランジスタをオフ状態に制御し、リセット線 RST_a に保持電圧としてハイレベル電圧を印加する。これにより、電荷保持トランジスタのドレイン・ソース間電圧 V_{ds} を小さくして、電荷保持トランジスタのリーク電流を抑制し、光検出精度を高くする。保持電圧として、リセット電圧と最大光量検知時の蓄積ノードの電圧の略中間の電圧を使用してもよい。

明 細 書

発明の名称： 光センサ付き表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、画素領域に複数の光センサを配置した表示装置に関する。

背景技術

[0002] 従来から表示装置に関し、表示パネルに複数の光センサを設け、タッチパネル、ペン入力、スキャナなどの入力機能を提供する方法が知られている。この方法を様々な光環境下で使用されるモバイル機器に適用するためには、光環境の影響を排除する必要がある。そこで、光センサで検知した信号から光環境の影響を受ける成分を除去し、本来入力すべき信号を求める方法も知られている。

[0003] そのような方法の1つとして、図16に示すバックライト差分方式が知られている。図16の左側に示すように、バックライト光をシグナル光として使用して、表示パネルの表面近傍にある対象物（例えば、指など）による反射光を光センサで検知する場合、光センサはシグナル光と環境光の両方を検知する。そこで、バックライト差分方式では、バックライトを点灯させた状態とバックライトを消灯させた状態の両方でセンシングを行う。バックライト点灯時のセンシングではシグナル光と環境光が検知され、バックライト消灯時のセンシングでは環境光が検知される。したがって、2つのセンシング結果の差分を求めることにより、シグナル光だけを抽出することができる。バックライト差分方式によれば、光環境に依存しない入力機能を提供することができる。

[0004] 光センサを動作させるときには、センサ回路に対してリセットと読み出しを行う必要がある。また、所定の期間に入射した光だけを検知する方法として、光センサと直列にトランジスタ（以下、電荷保持トランジスタという）を設け、電荷保持トランジスタをオン／オフ制御する方法がある。センサ回

路に対してリセットと読み出しを行うタイミング、および、電荷保持トランジスタをオン／オフ制御するタイミングについては、各種のバリエーションがある。

- [0005] なお、本願発明に関連して、特許文献 1 には、光電変換素子、容量素子、および、リセット線と容量素子の間に設けられたスイッチング素子を含むセンサ部を備え、リセット信号をアサートした状態で基準受光信号を読み出し、リセット信号をネゲートしてから所定時間経過後に計測受光信号を読み出す液晶装置が記載されている。

先行技術文献

特許文献

- [0006] 特許文献1：日本国特開 2 0 0 9 - 3 6 9 4 6 号公報

発明の概要

発明が解決しようとする課題

- [0007] センサ回路内で電荷保持トランジスタは、リセット端子と蓄積ノードの間に光センサと直列に設けられる（後述する図 3 を参照）。電荷保持トランジスタは、センシング期間ではオン状態に制御され、センシング結果を保持する保持期間ではオフ状態に制御される。しかしながら、保持期間において電荷保持トランジスタをオフ状態に制御しても、電荷保持トランジスタにはリーク電流が流れるので、蓄積ノードに蓄積された電荷の量は変化する。このため、電荷保持トランジスタを含むセンサ回路を備えた表示装置では、センサ回路の出力にノイズが混入し、光検出精度が低下することが問題となる。
- [0008] この問題は、例えば、センシング期間では光センサに光が入射せず、保持期間では光センサに強い光が入射した場合に顕著になる。この場合、センサ回路の出力は正しくはゼロになるはずである。しかし、電荷保持トランジスタにリーク電流が流れると、センサ回路の出力はゼロにならない。また、この問題は、センサ回路ごとに保持期間の長さが異なる場合にも顕著になる（後述する図 7 の説明を参照）。

[0009] それ故に、本発明は、電荷保持トランジスタを流れるリーク電流を抑制し、光検出精度が高い表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、画素領域に複数の光センサを配置した表示装置であって、

複数の画素回路および複数のセンサ回路を含む表示パネルと、

前記画素回路および前記センサ回路を駆動する駆動回路とを備え、

前記センサ回路は、

検知した光量に応じた電荷を蓄積する蓄積ノードと、

前記蓄積ノードと前記駆動回路によって制御されるリセット線との間に設けられた光センサと、

前記光センサと直列に設けられ、前記駆動回路によってオン／オフ制御される電荷保持トランジスタとを含み、

前記駆動回路は、前記電荷保持トランジスタをオフ状態に制御する間、前記電荷保持トランジスタの導通端子間の電圧を小さくするための保持電圧を前記リセット線に印加することを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記駆動回路は、前記リセット線に前記保持電圧としてリセット電圧を印加することを特徴とする。

[0012] 本発明の第3の局面は、本発明の第1の局面において、

前記駆動回路は、前記リセット線に前記保持電圧として、リセット電圧とリセット解除電圧との間にある電圧を印加することを特徴とする。

[0013] 本発明の第4の局面は、本発明の第3の局面において、

前記駆動回路は、前記リセット線に前記保持電圧として、前記リセット電圧および最大光量検知時の前記蓄積ノードの電圧の略中間の電圧を印加することを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1の局面において、

所定の周期で点灯および消灯する光源をさらに備え、

前記センサ回路は第 1 センサ回路および第 2 センサ回路を含み、

前記駆動回路は、前記光源が消灯している間に前記第 1 センサ回路内の電荷保持トランジスタをオン状態に制御し、前記光源が点灯している間に前記第 2 センサ回路内の電荷保持トランジスタをオン状態に制御することを特徴とする。

[0015] 本発明の第 6 の局面は、本発明の第 5 の局面において、

前記駆動回路は、前記第 1 および第 2 センサ回路内の電荷保持トランジスタをすべてオフ状態に制御しながら、前記第 1 および第 2 センサ回路からの読み出しを線順次で行うことを特徴とする。

[0016] 本発明の第 7 の局面は、本発明の第 6 の局面において、

前記駆動回路は、前記第 1 センサ回路からの読み出しと前記第 2 センサ回路からの読み出しとを並列に行うことを特徴とする。

[0017] 本発明の第 8 の局面は、本発明の第 1 の局面において、

前記光センサの一端は前記リセット線に接続され、他端は前記電荷保持トランジスタの一方の導通端子に接続され、前記電荷保持トランジスタの他方の導通端子は前記蓄積ノードに接続されていることを特徴とする。

[0018] 本発明の第 9 の局面は、本発明の第 8 の局面において、

前記センサ回路は、前記蓄積ノードに接続された制御端子を有する読み出しトランジスタをさらに含むことを特徴とする。

[0019] 本発明の第 10 の局面は、本発明の第 9 の局面において、

前記センサ回路は、前記蓄積ノードと前記駆動回路によって制御される読み出し線との間に設けられたコンデンサをさらに含むことを特徴とする。

発明の効果

[0020] 本発明の第 1 の局面によれば、保持期間においてリセット線に保持電圧を印加することにより、電荷保持トランジスタの導通端子間の電圧を小さくし、電荷保持トランジスタに流れるリーク電流を抑制することができる。したがって、保持期間における蓄積ノードの電圧の変化を抑制し、光検出精度を高くすることができる。

- [0021] 本発明の第2の局面によれば、保持電圧としてリセット電圧を用いることにより、新たな電圧を生成することなく、電荷保持トランジスタの導通端子間の電圧を小さくし、電荷保持トランジスタに流れるリーク電流を抑制することができる。したがって、簡単な回路で光検出精度を高くすることができる。
- [0022] 本発明の第3の局面によれば、保持電圧としてリセット電圧とリセット解除電圧との間にある好適な電圧を用いることにより、電荷保持トランジスタの導通端子間の電圧をより小さくし、電荷保持トランジスタに流れるリーク電流をさらに抑制することができる。したがって、好適な電圧を用いて光検出精度をさらに高くすることができる。
- [0023] 本発明の第4の局面によれば、保持電圧としてリセット電圧と最大光量検知時の蓄積ノードの電圧の略中間の電圧を用いることにより、電荷保持トランジスタの導通端子間の電圧をより小さくして、電荷保持トランジスタに流れるリーク電流をさらに抑制することができる。したがって、好適な電圧を用いて光検出精度をさらに高くすることができる。
- [0024] 本発明の第5の局面によれば、2種類のセンサ回路を用いて光源消灯時の光量と光源点灯時の光量を別個に検知し、センサ回路の外部で両者の差を求めることができる。したがって、光源からの出射光をシグナル光として使用して、光環境に依存しない入力機能を提供することができる。
- [0025] 本発明の第6の局面によれば、センサ回路によるセンシングとセンサ回路からの読み出しを異なる期間で行うことにより、センシングおよび読み出しタイミングを決定するときの自由度を大きくすることができる。
- [0026] 本発明の第7の局面によれば、第1センサ回路からの読み出しと第2センサ回路からの読み出しとを並列に行うことにより、読み出し速度を遅くして、表示装置の消費電力を削減することができる。
- [0027] 本発明の第8の局面によれば、光センサと電荷保持トランジスタを直列に接続し、その一端をリセット線に接続し、他端を蓄積ノードに接続することにより、所定の期間に入射した光だけを検知するセンサ回路を構成すること

ができる。

[0028] 本発明の第 9 の局面によれば、センサ回路に読み出しトランジスタを設け、読み出しトランジスタの一方の導通端子に所定の電圧を印加することにより、読み出しトランジスタの他方の導通端子から蓄積ノードの電圧に応じた信号を出力し、検知した光量に応じた信号をセンサ回路から読み出すことができる。

[0029] 本発明の第 10 の局面によれば、センサ回路にコンデンサを設け、読み出し線に読み出し電圧を印加することにより、蓄積ノードの電圧を変化させ、検知した光量に応じた信号をセンサ回路から読み出すことができる。

図面の簡単な説明

[0030] [図1] 本発明の第 1 の実施形態に係る表示装置の構成を示すブロック図である。

[図2] 図 1 に示す表示装置におけるセンサ回路の配置、および、センサロウドライバ回路の構成を示す図である。

[図3] 図 1 に示す表示回路に含まれるセンサ回路の回路図である。

[図4] 図 1 に示す表示装置におけるバックライトの点灯および消灯タイミング、並びに、センサ回路に対するリセットおよび読み出しタイミングを示す図である。

[図5] 図 1 に示す表示装置における表示パネルの信号波形図である。

[図6] 図 1 に示す表示装置における第 1 センサ回路の信号波形図である。

[図7] 参考例に係る表示装置における表示パネルの信号波形図である。

[図8] 参考例に係る表示装置における第 1 センサ回路の信号波形図である。

[図9] フォトダイオードの $I-V$ 特性を示す図である。

[図10] 本発明の第 2 の実施形態に係る表示装置におけるセンサ回路の配置、および、センサロウドライバ回路の構成を示す図である。

[図11] 図 10 に示すセンサロウドライバ回路に含まれるリセット制御回路の回路図である。

[図12] 本発明の第 2 の実施形態に係る表示装置における表示パネルの信号波

形図である。

[図13]本発明の第2の実施形態に係る表示装置における第1センサ回路の信号波形図である。

[図14A]本発明の変形例に係る表示装置におけるセンサ回路の配置（第1例）を示す図である。

[図14B]本発明の変形例に係る表示装置におけるセンサ回路の配置（第2例）を示す図である。

[図14C]本発明の変形例に係る表示装置におけるセンサ回路の配置（第3例）を示す図である。

[図15]本発明の変形例に係る表示回路に含まれるセンサ回路の回路図である。

[図16]バックライト差分方式の原理を示す図である。

発明を実施するための形態

[0031] （第1の実施形態）

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置は、表示制御回路1、表示パネル2、および、バックライト3を備えている。表示パネル2は、画素領域4、ゲートドライバ回路5、ソースドライバ回路6、センサロウドライバ回路7、および、センサカラムドライバ回路8を含んでいる。画素領域4は、複数の画素回路9と複数のセンサ回路10を含んでいる。この表示装置は、表示パネル2に画像を表示する機能と、表示パネル2に入射した光を検知する機能とを有する。以下、 m および n は偶数、 i は m 以下の偶数、 j は $2n$ 以下の偶数であるとし、表示装置のフレームレートを60フレーム/秒とする。

[0032] 図1に示す表示装置には外部から、映像信号 V_{in} とタイミング制御信号 C_{in} が供給される。表示制御回路1は、これらの信号に基づき、表示パネル2に対して映像信号 V_S と制御信号 CS_g 、 CS_s 、 CS_r を出力し、バックライト3に対して制御信号 CS_b を出力する。映像信号 V_S は、映像信号 V_{in} と同じでもよく、映像信号 V_{in} に信号処理を施した信号でもよい。

。

[0033] バックライト 3 は、表示パネル 2 に光を照射する光源である。より詳細には、バックライト 3 は、表示パネル 2 の背面側に設けられ、表示パネル 2 の背面に光を照射する。バックライト 3 は、制御信号 CSb がハイレベルのときには点灯し、制御信号 CSb がローレベルのときには消灯する。バックライト 3 は、例えば、赤外光を出射する赤外 LED (Light Emitting Diode) を用いて構成される。

[0034] 表示パネル 2 の画素領域 4 には、 $(m \times 3n)$ 個の画素回路 9 と $(m \times n)$ 個のセンサ回路 10 が、それぞれ 2 次元状に配置される。より詳細には、画素領域 4 には、 m 本のゲート線 $GL1 \sim GLm$ と $3n$ 本のソース線 $SL1 \sim SL3n$ が設けられる。ゲート線 $GL1 \sim GLm$ は互いに平行に配置され、ソース線 $SL1 \sim SL3n$ はゲート線 $GL1 \sim GLm$ と直交するように互いに平行に配置される。 $(m \times 3n)$ 個の画素回路 9 は、ゲート線 $GL1 \sim GLm$ とソース線 $SL1 \sim SL3n$ の各交点近傍に配置される。各画素回路 9 は、1 本のゲート線 GL と 1 本のソース線 SL に接続される。画素回路 9 は、赤色表示用、緑色表示用および青色表示用に分類される。これら 3 種類の画素回路 9 は、ゲート線 $GL1 \sim GLm$ の伸延方向に並べて配置され、1 個のカラー画素を構成する。

[0035] 画素領域 4 には、ゲート線 $GL1 \sim GLm$ と平行に、 m 本の制御線 $CLK1 \sim CLKm$ 、 m 本のリセット線 $RST1 \sim RSTm$ 、および、 m 本の読み出し線 $RW1 \sim RWm$ が設けられる。また、画素領域 4 には、ソース線 $SL1 \sim SL3n$ と平行に、 $2n$ 本の出力線 $OUT1 \sim OUT2n$ が設けられる。さらに画素領域 4 には、所定の電源電圧が固定的に印加された電源線 VDD が設けられる。 $(m \times n)$ 個のセンサ回路 10 は、奇数番目の読み出し線 $RW1$ 、 $RW3$ 、…と奇数番目の出力線 $OUT1$ 、 $OUT3$ 、…の各交点近傍、および、偶数番目の読み出し線 $RW2$ 、 $RW4$ 、…と偶数番目の出力線 $OUT2$ 、 $OUT4$ 、…の各交点近傍に配置される。各センサ回路 10 は、1 本の制御線 CLK 、1 本のリセット線 RST 、1 本の読み出し線 RW 、1

本の出力線OUT、および、電源線VDDに接続される。

- [0036] ゲートドライバ回路5、ソースドライバ回路6、センサロウドライバ回路7、および、センサカラムドライバ回路8は、画素回路9およびセンサ回路10を駆動する駆動回路として機能する。ゲートドライバ回路5は、画素領域4の一辺（図1では右辺）に沿って配置される。センサロウドライバ回路7は、画素領域4の対向する辺（図1では左辺）に沿って配置される。ソースドライバ回路6とセンサカラムドライバ回路8は、表示領域の他の一辺（図1では上辺）に沿って配置される。これらの駆動回路は、画素回路9およびセンサ回路10と共に表示パネル2上にモノリシックに形成されていてもよく、表示パネル2上に実装されたICチップに内蔵されていてもよい。
- [0037] ゲートドライバ回路5は、制御信号CS_gに基づき、ゲート線GL1～GL_mを駆動する。より詳細には、ゲートドライバ回路5は、制御信号CS_gに基づき、ゲート線GL1～GL_mの中から1本のゲート線を順に選択し、選択したゲート線にハイレベル電圧を、残りのゲート線にローレベル電圧を印加する。これにより、選択されたゲート線に接続された3n個の画素回路9が、一括して選択される。
- [0038] ソースドライバ回路6は、制御信号CS_sに基づき、ソース線SL1～SL_{3n}を駆動する。より詳細には、ソースドライバ回路6は、制御信号CS_sに基づき、映像信号VSに応じた電圧をソース線SL1～SL_{3n}に印加する。このときソースドライバ回路6は、線順次駆動を行ってもよく、点順次駆動を行ってもよい。ソース線SL1～SL_{3n}に印加された電圧は、ゲートドライバ回路5によって選択された3n個の画素回路9に書き込まれる。このようにゲートドライバ回路5とソースドライバ回路6を用いてすべての画素回路9に映像信号VSに応じた電圧を書き込むことにより、表示パネル2に所望の画像を表示することができる。
- [0039] センサロウドライバ回路7は、制御信号CS_rに基づき、制御線CLK1～CLK_m、リセット線RST1～RST_m、および、読み出し線RW1～RW_mを駆動する（詳細は後述）。センサロウドライバ回路7は、制御信号

C S_rに基づき第1センシング期間において、偶数番目のリセット線にローレベル電圧を印加しながら、偶数番目の制御線にハイレベル電圧を印加する。次に、センサロウドライバ回路7は、第2センシング期間において、奇数番目のリセット線にローレベル電圧を印加しながら、奇数番目の制御線にハイレベル電圧を印加する。センサ回路10は、リセット線R S Tにローレベル電圧が印加され、制御線C L Kにハイレベル電圧が印加されているときに入射した光を検知する。その後、センサロウドライバ回路7は、制御信号C S_rに基づき、読み出し線R W 1 ~ R W mの中から隣接した2本の読み出し線を順に選択し、選択した読み出し線にハイレベル電圧を印加する。これにより、選択された読み出し線に接続された2 n個のセンサ回路10から出力線O U T 1 ~ O U T 2 nに2 n個の信号が出力される。

[0040] センサカラムドライバ回路8は、奇数行目のセンサ回路10の出力信号と偶数行目のセンサ回路10の出力信号の差を求める差分回路（図示せず）を含んでいる。センサカラムドライバ回路8は、差分回路で求めた信号の差を増幅し、増幅後の信号をセンサ出力S o u tとして表示パネル2の外部に出力する。このようにセンサロウドライバ回路7とセンサカラムドライバ回路8を用いてすべてのセンサ回路10から信号を読み出すことにより、表示パネル2に入射した光を検知することができる。

[0041] 図2は、センサ回路10の配置、および、センサロウドライバ回路7の構成を示す図である。図2に示すように、(m × n)個のセンサ回路10は、バックライト3の消灯期間に入射した光を検知する第1センサ回路10 aと、バックライト3の点灯期間に入射した光を検知する第2センサ回路10 bとに分類される。第1センサ回路10 aと第2センサ回路10 bは同数である。(m × n / 2)個の第1センサ回路10 aは偶数行目に配置され、(m × n / 2)個の第2センサ回路10 bは奇数行目に配置される。

[0042] 奇数番目の制御線C L K 1、C L K 3、…は、いずれも制御線C L K bに接続される。偶数番目の制御線C L K 2、C L K 4、…は、いずれも制御線C L K aに接続される。奇数番目のリセット線R S T 1、R S T 3、…は、

いずれもリセット線 RSTb に接続される。偶数番目のリセット線 RST2、RST4、…は、いずれもリセット線 RSTa に接続される。第1センサ回路 10a は、偶数番目の制御線を介して制御線 CLKa に接続され、偶数番目のリセット線を介してリセット線 RSTa に接続される。第2センサ回路 10b は、奇数番目の制御線を介して制御線 CLKb に接続され、奇数番目のリセット線を介してリセット線 RSTb に接続される。

[0043] センサロウドライバ回路 7 は、m 段のシフトレジスタ 11 を含んでいる。シフトレジスタ 11 は、1 段目に入力されたパルス信号 RWSP をクロック信号 RWCK に基づき順にシフトする。シフトレジスタ 11 の各段から出力される信号は、順にハイレベルになる。シフトレジスタ 11 から出力された m 個の信号は、読み出し線 RW1 ~ RWm にそれぞれ与えられる。

[0044] 図 3 は、センサ回路 10 の回路図である。図 3 に示すように、第1センサ回路 10a は、TFT (Thin Film Transistor) : Ta、Ma、フォトダイオード Da、および、コンデンサ Ca を含んでいる。第2センサ回路 10b は、TFT : Tb、Mb、フォトダイオード Db、および、コンデンサ Cb を含んでいる。TFT : Ta、Ma、Tb、Mb は、いずれも N チャネル型 TFT である。フォトダイオード Da、Db は光センサとして機能し、TFT : Ta、Tb は電荷保持トランジスタとして機能し、TFT : Ma、Mb は読み出しトランジスタとして機能する。

[0045] 第1センサ回路 10a では、フォトダイオード Da のアノードはリセット端子に接続され、カソードは TFT : Ta のソースに接続される。TFT : Ta のゲートは制御端子に接続され、ドレインは TFT : Ma のゲートに接続される。TFT : Ma のドレインは電源端子に接続され、ソースは出力端子に接続される。コンデンサ Ca は、TFT : Ma のゲートと読み出し端子との間に設けられる。以下、フォトダイオード Da と TFT : Ta が接続されたノードをノード N1a といい、TFT : Ta、Ma とコンデンサ Ca が接続されたノードをノード N2a という。ノード N2a は、検知した光量に応じた電荷を蓄積する蓄積ノードとして機能する。

- [0046] 第1センサ回路10aの制御端子は、偶数番目の制御線を介して制御線CLKaに接続される。リセット端子は、偶数番目のリセット線を介してリセット線RSTaに接続される。読み出し端子は、偶数番目の読み出し線RWiに接続される。出力端子は、偶数番目の出力線OUTjに接続される。電源端子は、電源線VDDに接続される。
- [0047] 第2センサ回路10bは、第1センサ回路10aと同じ構成を有する。ただし、第2センサ回路10bの制御端子は、奇数番目の制御線を介して制御線CLKbに接続される。リセット端子は、奇数番目のリセット線を介してリセット線RSTbに接続される。読み出し端子は、奇数番目の読み出し線RWi-1に接続される。出力端子は、奇数番目の出力線OUTj-1に接続される。
- [0048] 図4は、バックライト3の点灯および消灯タイミング、並びに、センサ回路10に対するリセットおよび読み出しタイミングを示す図である。バックライト3は、1フレーム期間に1回、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、バックライト3は、1フレーム期間内の時刻tbにおいて点灯し、時刻tcにおいて消灯する。このようにバックライト3は、所定の周期で点灯および消灯する。
- [0049] 第1センサ回路10aは、時刻taから時刻tbまでの第1センシング期間A1（バックライト3の消灯時のセンシング期間）に入射した光を検知する。第2センサ回路10bは、時刻tbから時刻tcまでの第2センシング期間A2（バックライト3の点灯時のセンシング期間）に入射した光を検知する。第1センシング期間A1と第2センシング期間A2の長さは同じである。第1センシング期間A1以外では第1センサ回路10aに対するリセットが継続的に行われ、第2センシング期間A2以外では第2センサ回路10bに対するリセットが継続的に行われる。第1センサ回路10aからの読み出しと第2センサ回路10bからの読み出しは、時刻tc以降に並列に線順次で行われる。
- [0050] 図5は、表示パネル2の信号波形図である。以下、信号線上の信号を識別

するために、信号線と同じ名称を使用する（例えば、制御線CLK_a上の信号を制御信号CLK_aという）。図5に示すように、ゲート信号GL₁～GL_mは、1フレーム期間に1回ずつ順に所定時間ずつハイレベルになる。制御信号CLK_aは、1フレーム期間に1回、第1センシング期間A₁において（より詳細には、時刻 t_a から時刻 t_b の少し前まで）ハイレベルになり、それ以外ではローレベルになる。制御信号CLK_bは、1フレーム期間に1回、第2センシング期間A₂において（より詳細には、時刻 t_b から時刻 t_c の少し前まで）ハイレベルになり、それ以外ではローレベルになる。リセット信号RST_aは、第1センシング期間A₁において（より詳細には、時刻 t_a の少し後から時刻 t_b の少し前まで）ローレベルになり、それ以外ではハイレベルになる。リセット信号RST_bは、第2センシング期間A₂において（より詳細には、時刻 t_b の少し後から時刻 t_c の少し前まで）ローレベルになり、それ以外ではハイレベルになる。読み出し信号RW₁～RW_mは2本ずつ対にされ、 $(m/2)$ 対の読み出し信号は時刻 t_c 以降に順に所定時間ずつハイレベルになる。

[0051] 図6は、第1センサ回路10aの信号波形図である。図6には、ノードN_{1a}、N_{2a}の電圧の変化が記載されている。図6では、時刻 t_a から時刻 t_2 までがリセット期間、時刻 t_2 から時刻 t_3 までがセンシング期間、時刻 t_4 から時刻 t_5 までが保持期間、時刻 t_5 から時刻 t_6 までが読み出し期間となる。制御信号CLK_aは、リセット期間とセンシング期間ではハイレベルになり、それ以外ではローレベルになる。リセット信号RST_aは、センシング期間と時刻 t_3 から時刻 t_4 までの期間ではローレベルになり、それ以外ではハイレベルになる。読み出し信号RW_iは、読み出し期間ではハイレベルになり、それ以外ではローレベルになる。

[0052] リセット期間（時刻 t_a ～ t_2 ）では、制御信号CLK_aとリセット信号RST_aはハイレベルになり、読み出し信号RW_iはローレベルになる。このとき、TFT：T_aはオン状態である。したがって、リセット線RST_aからフォトダイオードD_aとTFT：T_aを経由してノードN_{2a}に電流（

フォトダイオードD_aの順方向電流)が流れ、ノードN_{2a}の電圧はハイレベルにリセットされる。

[0053] センシング期間(時刻t₂~t₃)では、制御信号CLK_aはハイレベルのまま、読み出し信号RW_iはローレベルのままで、リセット信号RST_aがローレベルになる。センシング期間では、TFT:T_aは引き続きオン状態である。このため、フォトダイオードD_aに光が入射すると、ノードN_{2a}からTFT:T_aとフォトダイオードD_aを経由してリセット線RST_aに電流(フォトダイオードD_aのフォト電流)が流れ、ノードN_{2a}から電荷が引き抜かれる。したがって、ノードN_{2a}の電圧は、センシング期間(バックライト3の消灯時のセンシング期間)に入射した光の量に応じて下降する。なお、リセット期間およびセンシング期間では、TFT:T_aがオン状態であるので、ノードN_{1a}の電圧はノードN_{2a}の電圧に等しい。

[0054] 時刻t₃において、制御信号CLK_aがローレベルになる。時刻t₃以降、TFT:T_aはオフ状態になり、ノードN_{1a}、N_{2a}は電氣的に切り離される。

[0055] 保持期間(時刻t₄~t₅)では、制御信号CLK_aと読み出し信号RW_iはローレベルのままで、リセット信号RST_aがハイレベルになる。保持期間では、TFT:T_aはオフ状態であり、ノードN_{1a}、N_{2a}は電氣的に切り離されている。このため、フォトダイオードD_aに光が入射しても、ノードN_{2a}の電圧は変化しない。一方、ノードN_{1a}の電圧は、ハイレベルにリセットされる(図6の太破線を参照)。保持期間では、TFT:T_aのドレイン・ソース間電圧V_{ds}は、ノードN_{1a}の電圧とノードN_{2a}の電圧の差となる。

[0056] 読み出し期間(時刻t₅~t₆)では、制御信号CLK_aはローレベルのまま、リセット信号RST_aはハイレベルのままで、読み出し信号RW_iがハイレベルになる。読み出し期間では、TFT:T_aは引き続きオフ状態である。このときノードN_{2a}の電圧は、読み出し信号RW_iの電圧の上昇量の所定倍(乗数はコンデンサC_aの容量値と第1センサ回路10aの全体の

容量値の比によって定まる) だけ上昇する。TFT : Ma は、センサカラムドライバ回路 8 に含まれるトランジスタ (図示せず) を負荷としたソースフォロワ増幅回路を構成し、ノード N2a の電圧に応じて出力線 OUTa を駆動する。

[0057] このように第 1 センサ回路 10a は、第 1 センシング期間 A1 (バックライト 3 の消灯時のセンシング期間) に入射した光の量に応じた信号を出力する。第 2 センサ回路 10b は、第 1 センサ回路 10a と同様に動作し、第 2 センシング期間 A2 (バックライト 3 の点灯時のセンシング期間) に入射した光の量に応じた信号を出力する。したがって、センサカラムドライバ回路 8 に含まれる差分回路を用いて、第 1 センサ回路 10a の出力信号と第 2 センサ回路 10b の出力信号の差を求めることにより、バックライト点灯時の光量とバックライト消灯時の光量の差を求めることができる。

[0058] 本実施形態に係る表示装置は、TFT : Ta、Tb をオフ状態に制御する間 (すなわち、センシング期間以外では)、TFT : Ta、Tb のドレイン・ソース間電圧 V_{ds} を小さくするための保持電圧をリセット線 RSTa、RSTb に印加する。本実施形態に係る表示装置は、センシング期間以外では、保持電圧としてハイレベル電圧 (リセット電圧) をリセット線 RST に印加する。以下、センシング期間以外ではリセット線 RST にローレベル電圧 (リセット解除電圧) を印加する表示装置 (以下、参考例に係る表示装置という) と対比して、本実施形態に係る表示装置の効果を説明する。

[0059] 図 7 および図 8 は、参考例に係る表示装置の信号波形図である。参考例に係る表示装置では、図 7 に示すように、リセット信号 RSTa は、第 1 センシング期間の一部で (より詳細には、時刻 t_a の少し後から所定時間だけ) ハイレベルになり、それ以外ではローレベルになる。リセット信号 RSTb は、第 2 センシング期間 A2 の一部で (より詳細には、時刻 t_b の少し後から所定時間だけ) ハイレベルになり、それ以外ではローレベルになる。図 8 に示すように、リセット信号 RSTa は、リセット期間 (時刻 $t_1 \sim t_2$) においてのみハイレベルになる。

[0060] 図9は、フォトダイオードのI-V特性を示す図である。図9には、入射光量を $X_1 \sim X_3$ （ただし、 $X_1 < X_2 < X_3$ ）の3段階に切り替えたときのI-V特性が記載されている。図9において、横軸はフォトダイオードに印加されるバイアス電圧 V_{ac} を表し、縦軸はフォトダイオードを流れる電流 I の絶対値を表す。負のバイアス電圧 V_{ac} が印加されたとき、フォトダイオードには逆方向電流が流れる。バイアス電圧 V_{ac} が図9に示す範囲R（ $V_2 \sim V_1$ の範囲）内にあるとき、逆方向電流はほぼ一定になる。フォトダイオードは、バイアス電圧 V_{ac} が変化しても電流が変化せず、入射光量が増加すると電流が線形に変化する条件下で使用する方が好ましい。そこで、図9に示すI-V特性を有するフォトダイオードを使用するときには、範囲R内のバイアス電圧 V_{ac} を印加する。なお、電圧 V_1 、 V_2 の値は、製造プロセスやデバイス構造によって異なる。

[0061] 図3に示す第1センサ回路10aにおいてハイレベル電圧をリセット電圧とする場合、リセット直後のバイアス電圧の絶対値 $|V_{ac}|$ が $|V_2|$ 以下となるように（ $V_{ac} > V_2$ となるように）、リセット信号 RST_a のローレベル電圧が決定される。センシング期間では、ノード $N2_a$ の電圧が徐々に低下し、バイアス電圧の絶対値 $|V_{ac}|$ は徐々に小さくなる。フォトダイオードを正しく動作させるためには、センシング期間にフォトダイオードに最大の光が入射したときに、センシング期間終了時のバイアス電圧の絶対値 $|V_{ac}|$ が $|V_1|$ 以上となるように（ $V_{ac} < V_1$ となるように）、センシング期間の長さなどが決定される。

[0062] 具体例を挙げて説明する。以下では、リセット信号のローレベル電圧を $-5V$ 、リセット信号のハイレベル電圧を $0V$ とし、フォトダイオードに $-5V$ 以上 $-2V$ 以下のバイアス電圧 V_{ac} を印加する場合を考える。この場合、ノード $N1_a$ の電圧は $-5V \sim 0V$ の範囲で変化し、ノード $N2_a$ の電圧は $-3V \sim 0V$ の範囲で変化する。

[0063] 参考例に係る表示装置では、上記条件（ $RST = -5V / 0V$ 、 $V_{ac} = -5V \sim -2V$ ）下において、 $TFT : Ta$ を流れるリーク電流が最大にな

るのは、ノードN 1 aの電圧が -5 V でノードN 2 aの電圧が 0 V のときである。このとき、T F T : T aのドレイン・ソース間電圧の絶対値 $|V_{ds}|$ は 5 V となる。したがって、 $|V_{ds}| = 5\text{ V}$ に対応したリーク電流がT F T : T a、T bを流れる。このため、参考例に係る表示装置では、 5 V に対応したリーク電流によるノイズがセンサ回路の出力に混入し、その分だけ光検出精度が低下する。

[0064] 図7に示す信号波形図では、第1センサ回路10 aによるセンシングと第2センサ回路10 bによるセンシングとは、異なる期間で行われる。また、センサ回路10からの読み出しは線順次で行われるので、最初に読み出しが行われるセンサ回路10と最後に読み出しが行われるセンサ回路10では、保持期間の長さが異なる。このため、最初に読み出しが行われる第1センサ回路10 aの保持期間をH 1、最初に読み出しが行われる第2センサ回路10 bの保持期間をH 2、最後に読み出しが行われる第1センサ回路10 aの保持期間をH 3、最後に読み出しが行われる第2センサ回路10 bの保持期間をH 4としたとき、4つの保持期間の長さはすべて異なる。このようにセンサ回路ごとに保持期間の長さが異なる場合には、T F T : T a、T bを流れるリーク電流によって、センサ回路の出力に保持期間の長さの違いに起因するばらつきが生じ、光検出精度が低下する。

[0065] 本実施形態に係る表示装置は、T F T : T aをオフ状態に制御する間、T F T : T aのドレイン・ソース間電圧 V_{ds} を小さくするための保持電圧としてハイレベル電圧をリセット線R S Tに印加する。このため、上記条件（ $R S T = -5\text{ V} / 0\text{ V}$ 、 $V_{ac} = -5\text{ V} \sim -2\text{ V}$ ）下において、T F T : T aを流れるリーク電流が最大になるのは、ノードN 1 aの電圧が 0 V でノードN 2 aの電圧が -3 V のときである。このとき、T F T : T aのドレイン・ソース間電圧の絶対値 $|V_{ds}|$ は 3 V となる。この値は、参考例に係る表示装置よりも小さい。したがって、本実施形態に係る表示装置によれば、T F T : T aをオフ状態に制御する間、保持電圧としてハイレベル電圧をリセット線R S Tに印加することにより、T F T : T aを流れるリーク電流を

抑制して、光検出精度を高くすることができる。

[0066] 以上に示すように、本実施形態に係る表示装置は、電荷保持トランジスタ（TF T : T a、T b）がオフ状態であるときに、電荷保持トランジスタの導通端子間（TF T : T a、T bのドレイン・ソース間）の電圧を小さくするための保持電圧をリセット線R S T a、R S T bに印加する。これにより、電荷保持トランジスタの導通端子間の電圧を小さくし、電荷保持トランジスタに流れるリーク電流を抑制することができる。したがって、検出した光量に応じた電荷を蓄積ノードに高い精度で蓄積し、光センサの検出精度を高くすることができる。特に、保持電圧としてリセット電圧（ハイレベル電圧）を用いることにより、新たな電圧を生成することなく、電荷保持トランジスタの導通端子間の電圧を小さくし、電荷保持トランジスタに流れるリーク電流を抑制することができる。したがって、簡単な回路で光センサの検出精度を高くすることができる。

[0067] また、2種類のセンサ回路10 a、10 bを用いて光源（バックライト3）消灯時の光量と光源点灯時の光量を別個に検知し、センサ回路10 a、10 bの外部で両者の差を求めることができる。これにより、光源からの出射光をシグナル光として使用して、光環境に依存しない入力機能を提供することができる。また、2種類のセンサ回路10 a、10 bに対するセンシングと読み出しを別の期間で行うことにより、センシングおよび読み出しタイミングを決定するときの自由度を大きくすることができる。また、第1センサ回路10 aからの読み出しと第2センサ回路10 bからの読み出しとを並列に行うことにより、読み出し速度を遅くして、表示装置の消費電力を削減することができる。

[0068] また、光センサ（フォトダイオードD a）と電荷保持トランジスタ（TF T : T a）を直列に接続し、その一端をリセット線R S T aに接続し、他端を蓄積ノード（ノードN 2 a）に接続することにより、所定の期間に入射した光だけを検知するセンサ回路を構成することができる。また、センサ回路に読み出しトランジスタ（TF T : M a）を設け、読み出しトランジスタの

一方の導通端子（ドレイン端子）に電源電圧VDDを印加することにより、読み出しトランジスタの他方の導通端子（ソース端子）から蓄積ノードの電圧に応じた信号を出力し、検知した光量に応じた信号をセンサ回路から読み出すことができる。また、センサ回路にコンデンサ（コンデンサCa）を設け、読み出し線RWiに読み出し電圧（ハイレベル電圧）を印加することにより、蓄積ノードの電圧を変化させ、検知した光量に応じた信号をセンサ回路から読み出すことができる。

[0069] （第2の実施形態）

本発明の第2の実施形態に係る表示装置は、第1の実施形態に係る表示装置と同じ構成を有し、同じ画素回路を備えている（図1および図3を参照）。本実施形態は、リセット線に印加する保持電圧のレベルが第1の実施形態と相違する。以下、第1の実施形態との相違点を説明する。

[0070] 図10は、本実施形態に係る表示装置におけるセンサ回路10の配置、および、センサロウドライバ回路7の構成を示す図である。本実施形態では、奇数番目のリセット線RST1、RST3、…は、いずれもリセット線RSTObに接続される。偶数番目のリセット線RST2、RST4、…は、いずれもリセット線RSTOaに接続される。センサロウドライバ回路7は、リセット信号RSTOaを出力するリセット制御回路20a、および、リセット線RSTObを出力するリセット制御回路20bを含んでいる。

[0071] 図11は、リセット制御回路20aの回路図である。図11に示すように、リセット制御回路20aは、4個のアナログスイッチ21～24を含んでいる。リセット制御回路20aには、制御信号CLKa、HOLBa、リセット信号RSTa、ハイレベル電圧RST_High、ローレベル電圧RST_Low、および、中間電圧Vmが入力される。リセット信号RSTaがローレベルのときには、アナログスイッチ23はオン状態、アナログスイッチ24はオフ状態になり、リセット信号RSTaの電圧はローレベル電圧RST_Lowに等しくなる。リセット信号RSTaがハイレベルで、制御信号CLKa、HOLBaの少なくとも一方がハイレベルのときには、アナロ

グスイッチ 21、24 はオン状態、アナログスイッチ 22、23 はオフ状態になり、リセット信号 RST_{Oa} の電圧はハイレベル電圧 RST_High に等しくなる。リセット信号 RST_a がハイレベルで、制御信号 CLK_a 、 $HOLB_a$ が共にローレベルのときには、アナログスイッチ 22、24 はオン状態、アナログスイッチ 21、23 はオフ状態になり、リセット信号 RST_{Oa} の電圧は中間電圧 V_m に等しくなる。リセット制御回路 20b は、リセット制御回路 20a と同じ構成を有する。

[0072] 図 12 および図 13 は、本実施形態に係る表示装置の信号波形図である。本実施形態に係る表示装置では、図 12 に示すように、リセット信号 RST_a は、第 1 センシング期間の先頭部分で（より詳細には、時刻 t_a から所定時間だけ）ハイレベルになり、第 1 センシング期間の残部で（より詳細には、時刻 t_a から所定時間経過後から時刻 t_b の少し前まで）ローレベルになり、それ以外では中間レベル（中間電圧 V_m ）になる。リセット信号 RST_b は、第 2 センシング期間の先頭部分で（より詳細には、時刻 t_b から所定時間だけ）ハイレベルになり、第 2 センシング期間の残部で（より詳細には、時刻 t_b から所定時間経過後から時刻 t_c の少し前まで）ローレベルになり、それ以外では中間レベルになる。図 13 に示すように、リセット信号 RST_a は、リセット期間（時刻 $t_a \sim t_2$ ）ではハイレベル、センシング期間（時刻 $t_2 \sim t_3$ ）と時刻 t_3 から時刻 t_4 までの期間ではローレベルになり、それ以外では中間レベルになる。

[0073] 中間電圧 V_m には、リセット電圧（ハイレベル電圧）とリセット解除電圧（ローレベル電圧）との間にある電圧が使用される。例えば、中間電圧 V_m として、ハイレベル電圧と最大光量検知時のノード $N2a$ の電圧の略中間の電圧を使用することができる。上記条件（ $RST = -5V / 0V$ 、 $V_{ac} = -5V \sim -2V$ ）下では、最大光量検知時のノード $N2a$ の電圧は $-3V$ となる。この場合、中間電圧 V_m として、 $0V$ （ハイレベル電圧）と $-3V$ の中間の電圧である $-1.5V$ （あるいは、 $-1.5V$ に略等しい電圧）を使用することができる。

[0074] 上記条件下で中間電圧 V_m を -1.5 V に設定した場合、 $\text{TFT} : \text{T}_a$ を流れるリーク電流が最大になるのは、ノード $\text{N}1_a$ の電圧が -1.5 V でノード $\text{N}2_a$ の電圧が 0 V のとき、および、ノード $\text{N}1_a$ の電圧が -1.5 V でノード $\text{N}2_a$ の電圧が -3 V のときである。いずれのときでも、 $\text{TFT} : \text{T}_a$ のドレイン・ソース間電圧の絶対値 $|V_{ds}|$ は 1.5 V となる。この値は、参考例に係る表示装置よりも小さく、第1の実施形態に係る表示装置よりも小さい。したがって、本実施形態に係る表示装置によれば、 $\text{TFT} : \text{T}_a$ をオフ状態に制御する間、保持電圧としてハイレベル電圧と最大光量検知時の蓄積ノードの電圧の中間電圧をリセット線 RST に印加することにより、 $\text{TFT} : \text{T}_a$ のドレイン・ソース間電圧 V_{ds} をより小さくして、 $\text{TFT} : \text{T}_a$ を流れるリーク電流をさらに抑制して、光検出精度をさらに高くすることができる。

[0075] 以上に示すように、本実施形態に係る表示装置によれば、保持電圧としてリセット電圧（ハイレベル電圧）およびリセット解除電圧（ローレベル電圧）の間にある電圧を用いることにより、電荷保持トランジスタの導通端子間の電圧（ $\text{TFT} : \text{M}_a$ 、 M_b のドレイン・ソース間電圧）をより小さくし、電荷保持トランジスタに流れるリーク電流をさらに抑制することができる。したがって、光センサの検出精度をさらに高くすることができる。特に、保持電圧として、リセット電圧と最大光量検知時の蓄積ノードの電圧の略中間の電圧を使用することが効果的である。

[0076] なお、本発明の表示装置については、各種の変形例を構成することができる。例えば、画素領域4に設けるセンサ回路10の個数や読み出し線の本数は任意でよい。例えば、 m 本の読み出し線と n 本の出力線の各交点近傍に、全部で $(m \times n)$ 個のセンサ回路10を配置してもよい。あるいは、複数のカラー画素に対応して、センサ回路10を設けてもよい。また、第1センサ回路10aと第2センサ回路10bの配置形態は任意でよい。例えば、図14Aに示すように、2種類のセンサ回路をそれぞれ縦方向に並べて配置してもよい。あるいは、図14Bに示すように、2種類のセンサ回路を千鳥状に

配置してもよい。あるいは、図 1 4 C に示すように、2 種類のセンサ回路の個数が異なってもよい。

[0077] また、本発明の表示装置は、第 1 センサ回路 1 0 a によるセンシングを先に行ってもよく、第 2 センサ回路 1 0 b によるセンシングを先に行ってもよい。また、本発明の表示装置は、センサ回路からの読み出しを 1 行ずつ行ってもよく、複数行ずつ行ってもよい。ただし、センサ回路からの読み出しを複数行ずつ行う場合には、同時に読み出した信号を画素領域 4 の外部に出力するために、多数の出力線を設ける必要がある。また、本発明の表示装置は、2 種類のセンサ回路によるセンシングと各センサ回路からの読み出しを 1 フレーム期間に 2 回以上行ってもよい。

[0078] また、本発明の表示装置は、図 3 に示すセンサ回路 1 0 に代えて、図 1 5 に示すセンサ回路 3 0 を備えていてもよい。第 1 センサ回路 3 0 a は、第 1 センサ回路 1 0 a において、T F T : T a とフォトダイオード D a を逆順に接続したものである。第 1 センサ回路 3 0 a では、T F T : T a のソースはリセット端子に接続され、ドレインはフォトダイオード D a のアノードに接続される。フォトダイオード D a のカソードは、T F T : M a のゲートに接続される。第 2 センサ回路 3 0 b は、第 1 センサ回路 3 0 a と同じ構成を有する。センサ回路 3 0 a 、3 0 b は、センサ回路 1 0 a 、1 0 b と同様に動作する。

[0079] また、本発明の表示装置は、2 種類のセンサ回路を備えるものに限定されない。本発明の表示装置は、1 種類のセンサ回路を備えていてもよく、3 種類以上のセンサ回路を備えていてもよい。本発明は、複数の光センサを 2 次元状に配置した液晶パネルを備えた液晶表示装置など、各種の表示装置に適用することができる。これら変形例に係る表示装置は、第 1 および第 2 の実施形態に係る表示装置と同様の効果を奏する。

産業上の利用可能性

[0080] 本発明の表示装置は、電荷保持トランジスタを流れるリーク電流が少なく、光検出精度が高いという特徴を有するので、液晶表示装置を始めとする各

種の表示装置に利用することができる。

符号の説明

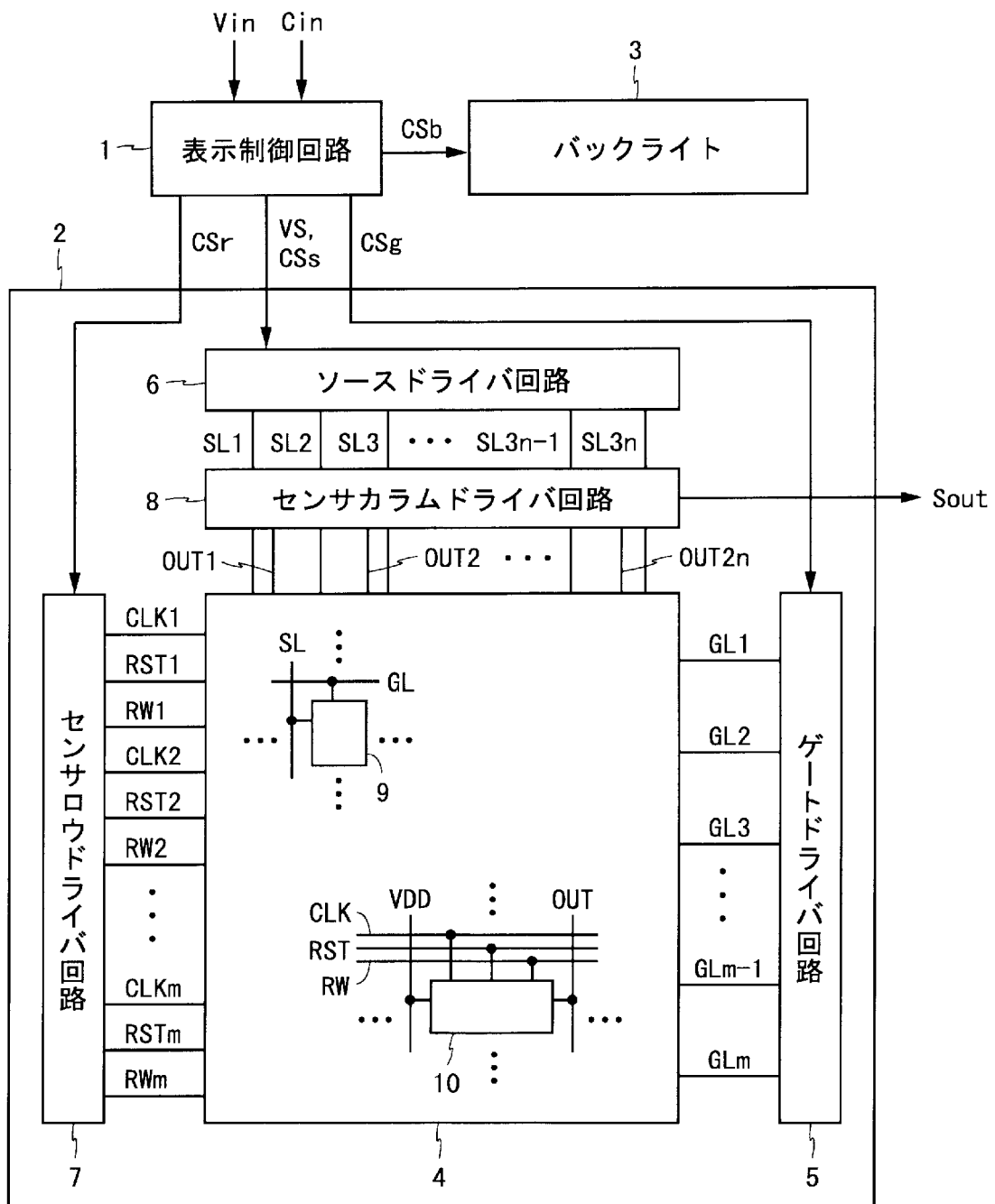
- [0081] 1…表示制御回路
 2…表示パネル
 3…バックライト
 4…画素領域
 5…ゲートドライバ回路
 6…ソースドライバ回路
 7…センサロウドライバ回路
 8…センサカラムドライバ回路
 9…画素回路
 10、30…センサ回路
 11…シフトレジスタ
 20…リセット制御回路
 21～24…アナログスイッチ

請求の範囲

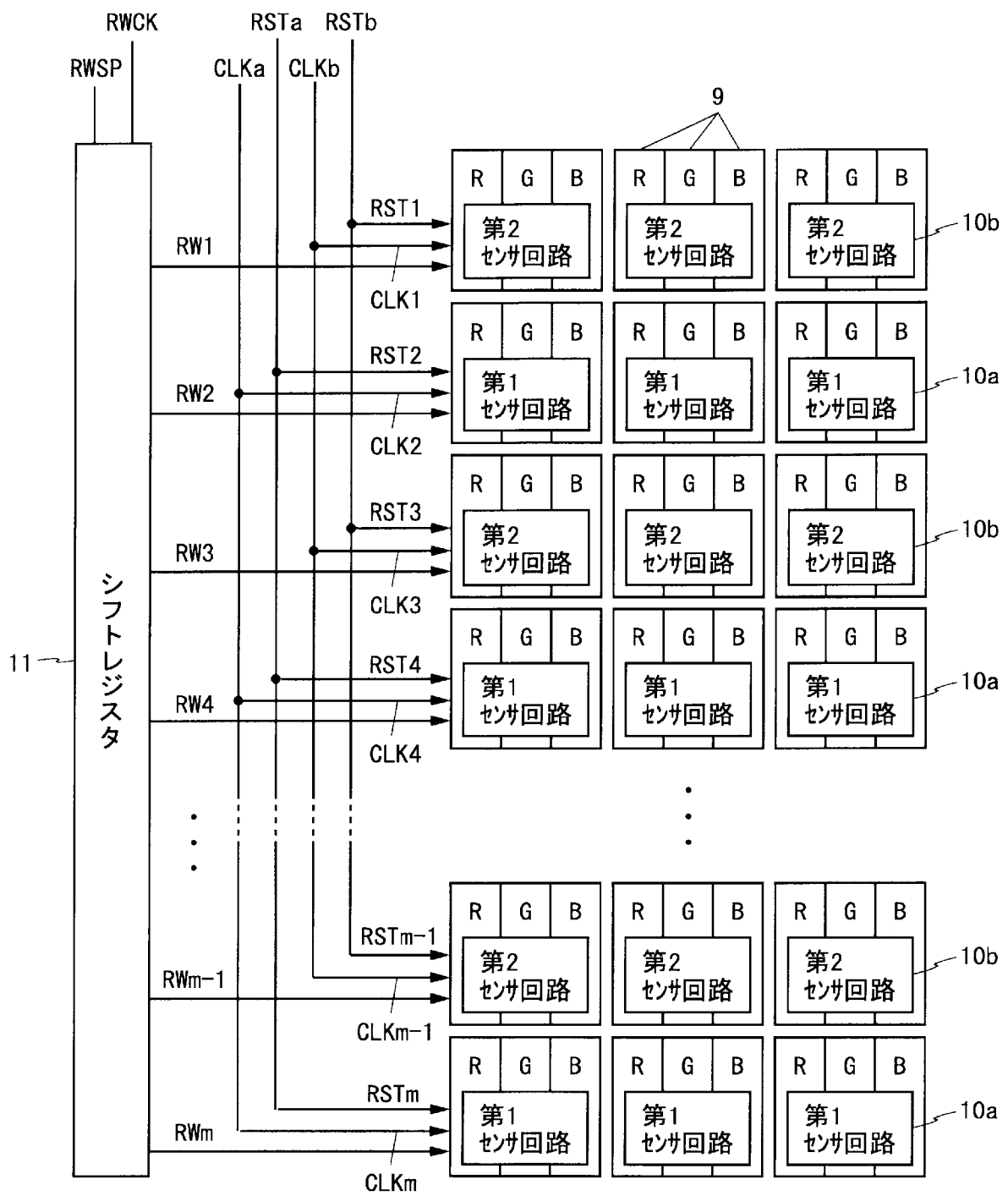
- [請求項1] 画素領域に複数の光センサを配置した表示装置であって、
複数の画素回路および複数のセンサ回路を含む表示パネルと、
前記画素回路および前記センサ回路を駆動する駆動回路とを備え、
前記センサ回路は、
検知した光量に応じた電荷を蓄積する蓄積ノードと、
前記蓄積ノードと前記駆動回路によって制御されるリセット線との間に設けられた光センサと、
前記光センサと直列に設けられ、前記駆動回路によってオン／オフ制御される電荷保持トランジスタとを含み、
前記駆動回路は、前記電荷保持トランジスタをオフ状態に制御する間、前記電荷保持トランジスタの導通端子間の電圧を小さくするための保持電圧を前記リセット線に印加することを特徴とする、表示装置。
- [請求項2] 前記駆動回路は、前記リセット線に前記保持電圧としてリセット電圧を印加することを特徴とする、請求項1に記載の表示装置。
- [請求項3] 前記駆動回路は、前記リセット線に前記保持電圧として、リセット電圧とリセット解除電圧との間にある電圧を印加することを特徴とする、請求項1に記載の表示装置。
- [請求項4] 前記駆動回路は、前記リセット線に前記保持電圧として、前記リセット電圧および最大光量検知時の前記蓄積ノードの電圧の略中間の電圧を印加することを特徴とする、請求項3に記載の表示装置。
- [請求項5] 所定の周期で点灯および消灯する光源をさらに備え、
前記センサ回路は第1センサ回路および第2センサ回路を含み、
前記駆動回路は、前記光源が消灯している間に前記第1センサ回路内の電荷保持トランジスタをオン状態に制御し、前記光源が点灯している間に前記第2センサ回路内の電荷保持トランジスタをオン状態に制御することを特徴とする、請求項1に記載の表示装置。

- [請求項6] 前記駆動回路は、前記第 1 および第 2 センサ回路内の電荷保持トランジスタをすべてオフ状態に制御しながら、前記第 1 および第 2 センサ回路からの読み出しを線順次で行うことを特徴とする、請求項 5 に記載の表示装置。
- [請求項7] 前記駆動回路は、前記第 1 センサ回路からの読み出しと前記第 2 センサ回路からの読み出しとを並列に行うことを特徴とする、請求項 6 に記載の表示装置。
- [請求項8] 前記光センサの一端は前記リセット線に接続され、他端は前記電荷保持トランジスタの一方の導通端子に接続され、前記電荷保持トランジスタの他方の導通端子は前記蓄積ノードに接続されていることを特徴とする、請求項 1 に記載の表示装置。
- [請求項9] 前記センサ回路は、前記蓄積ノードに接続された制御端子を有する読み出しトランジスタをさらに含むことを特徴とする、請求項 8 に記載の表示装置。
- [請求項10] 前記センサ回路は、前記蓄積ノードと前記駆動回路によって制御される読み出し線との間に設けられたコンデンサをさらに含むことを特徴とする、請求項 9 に記載の表示装置。

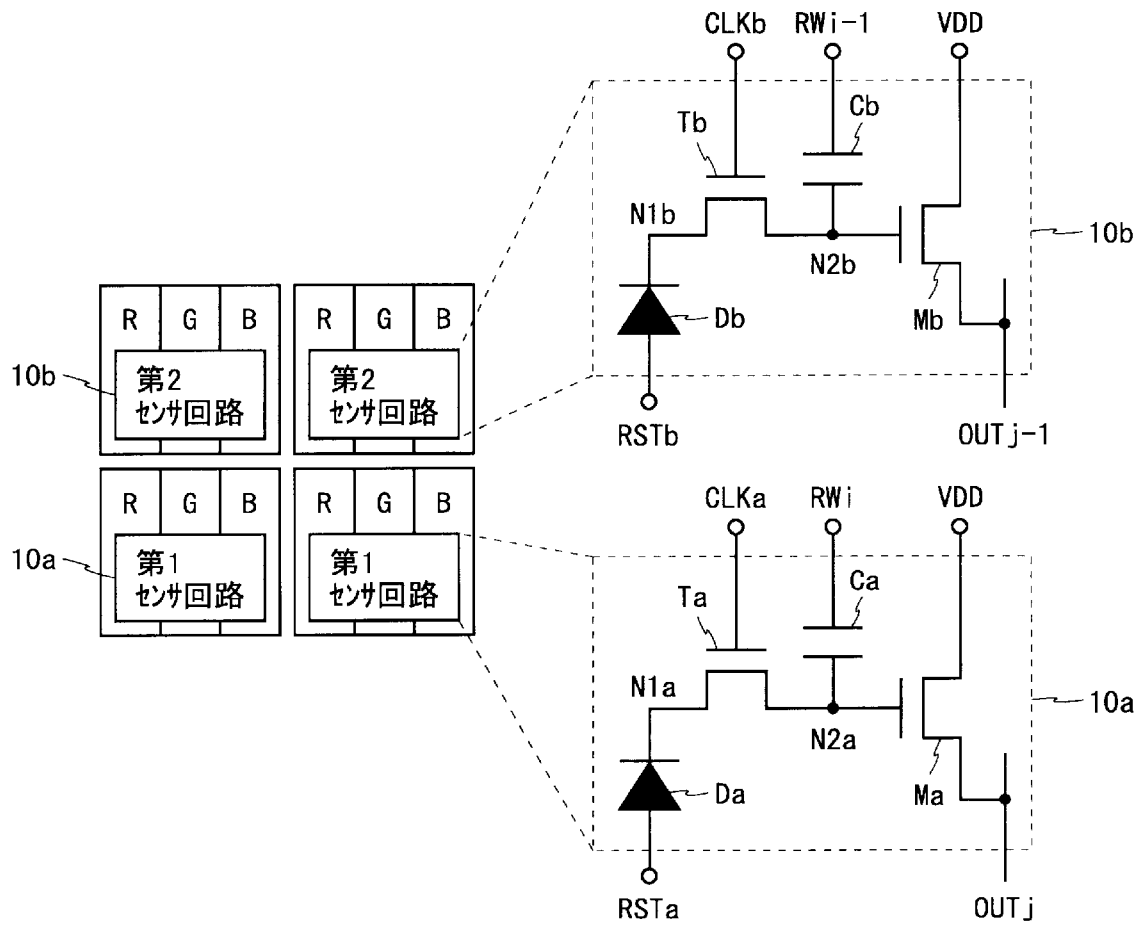
[図1]



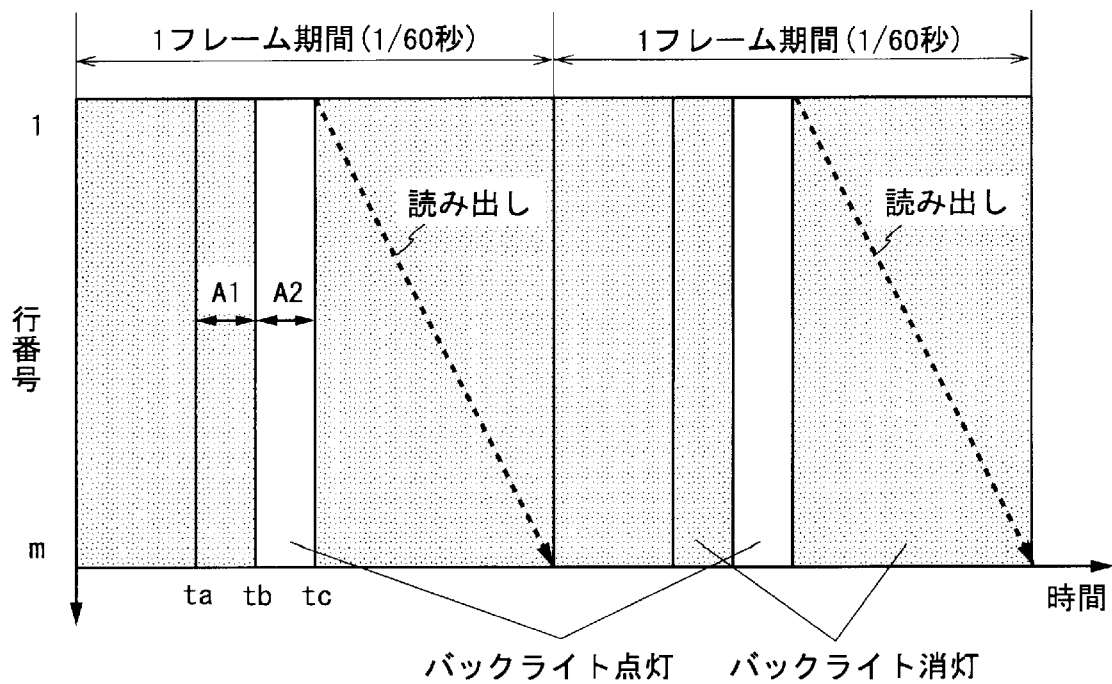
[図2]



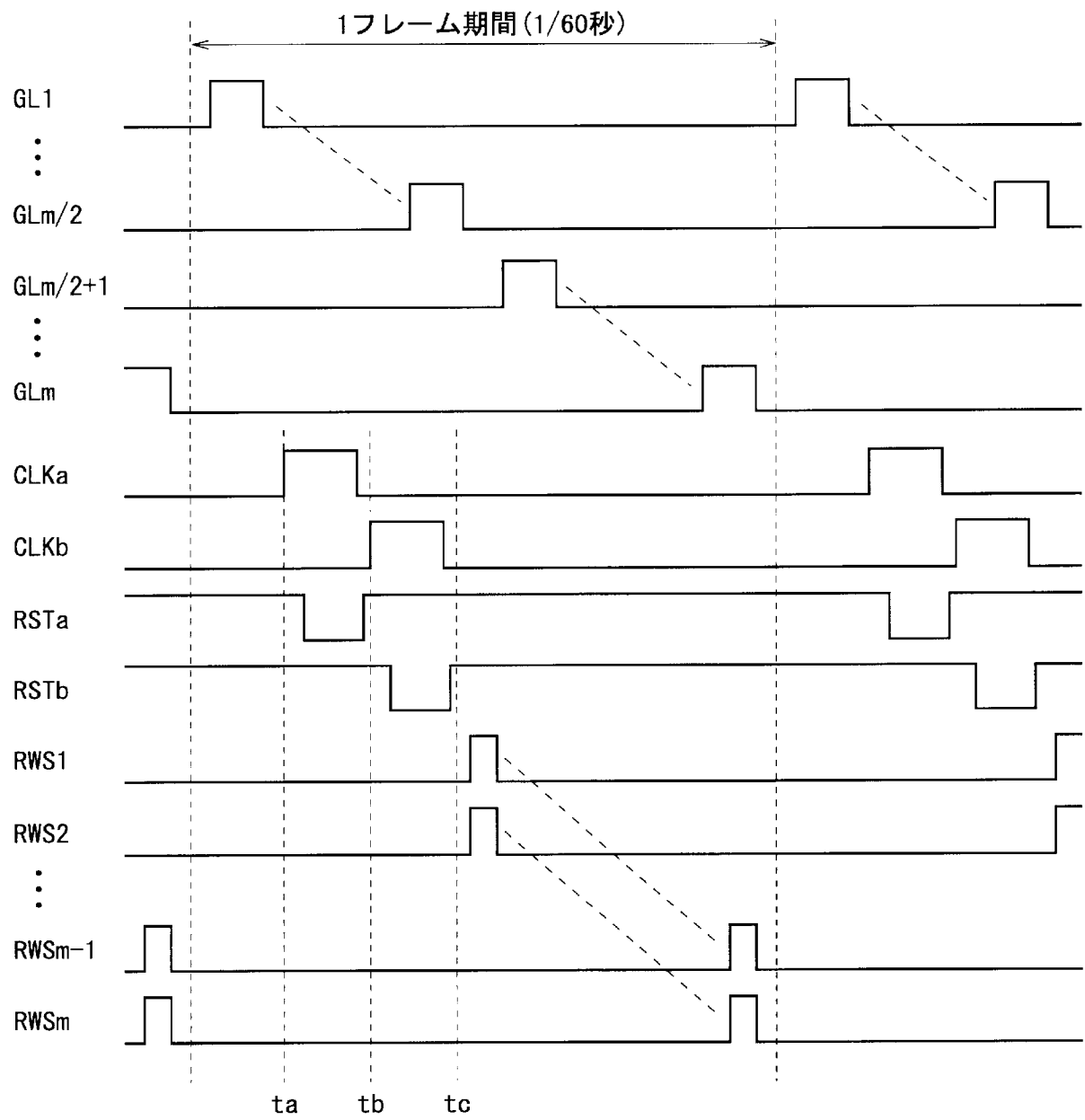
[図3]



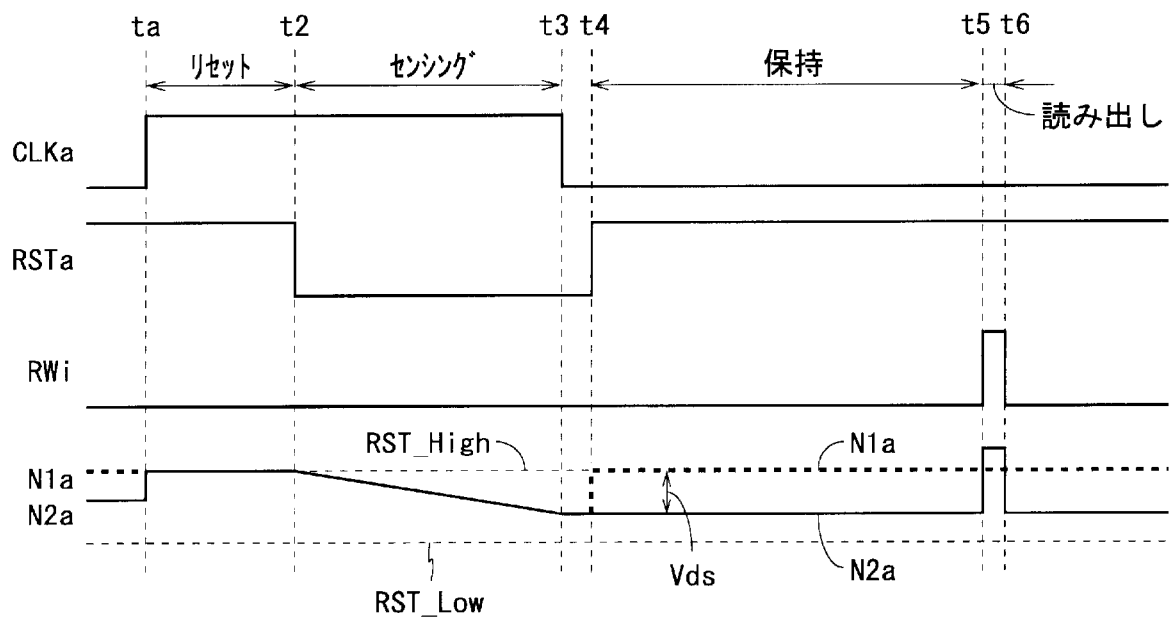
[図4]



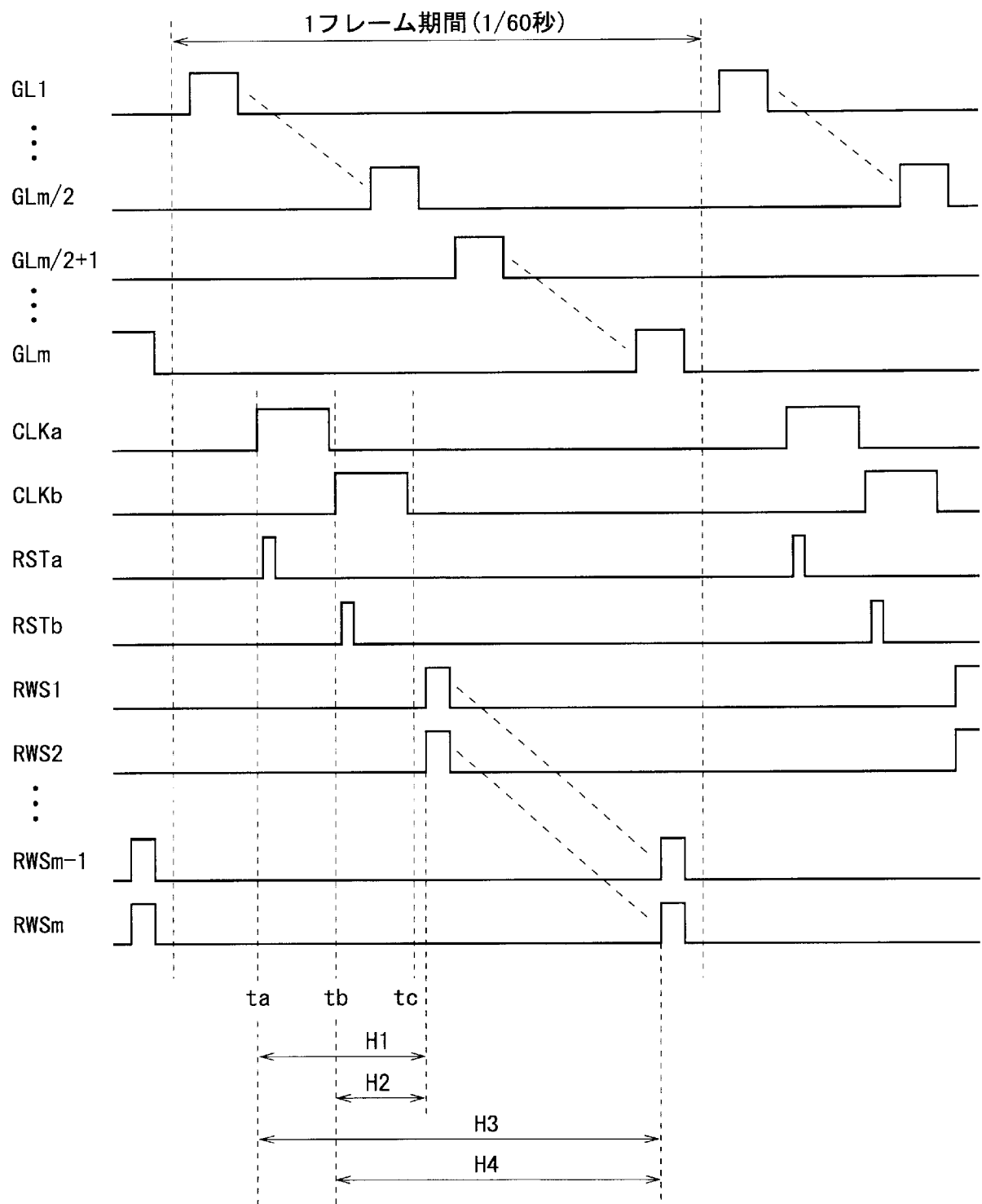
[図5]



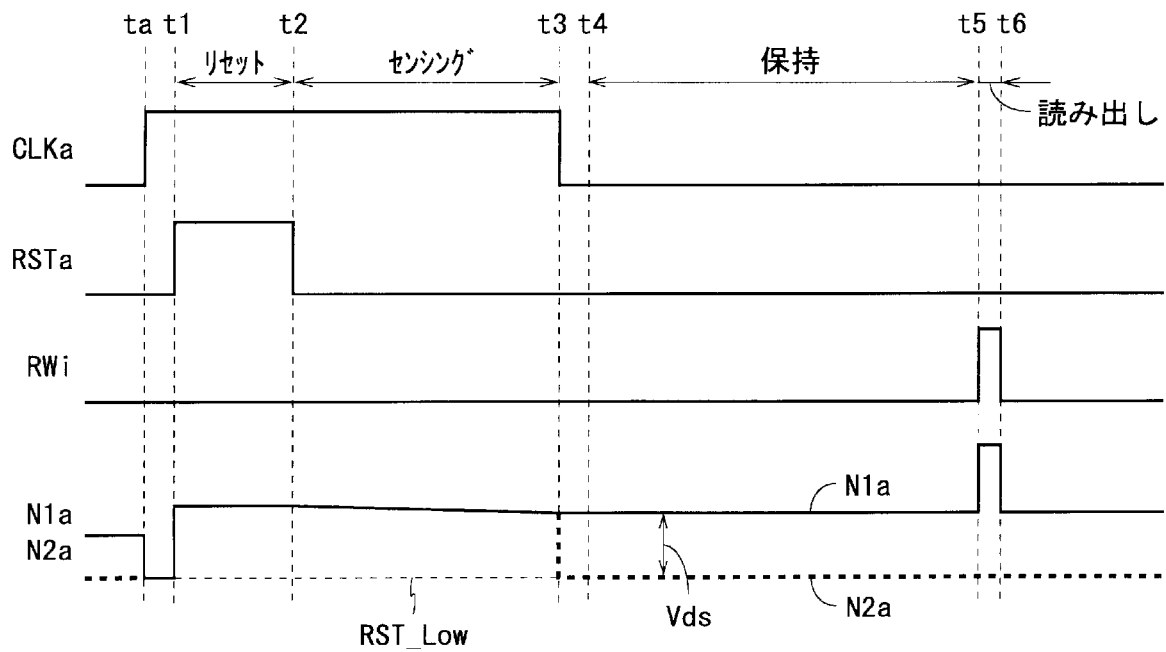
[図6]



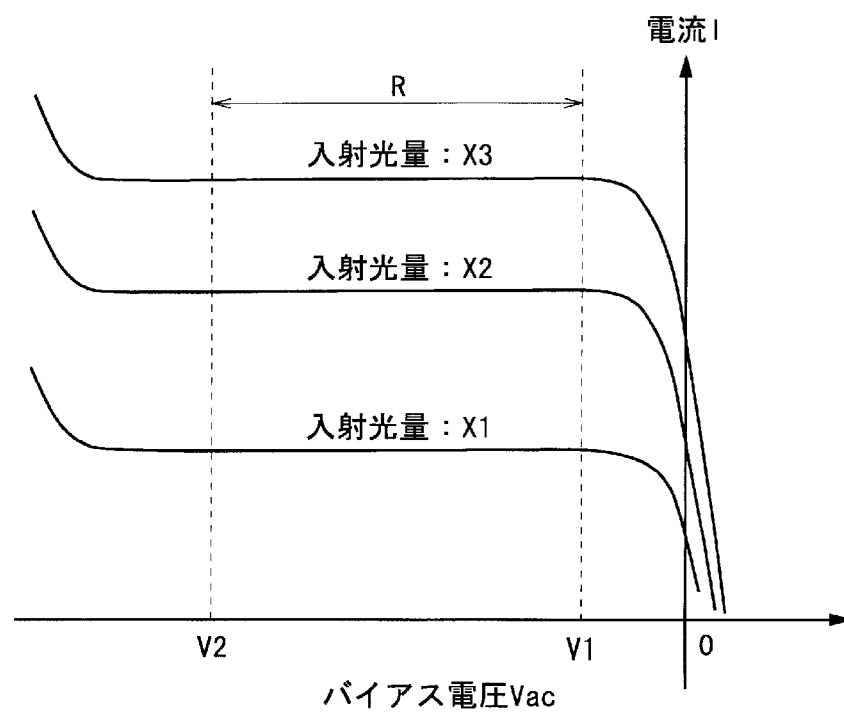
[図7]



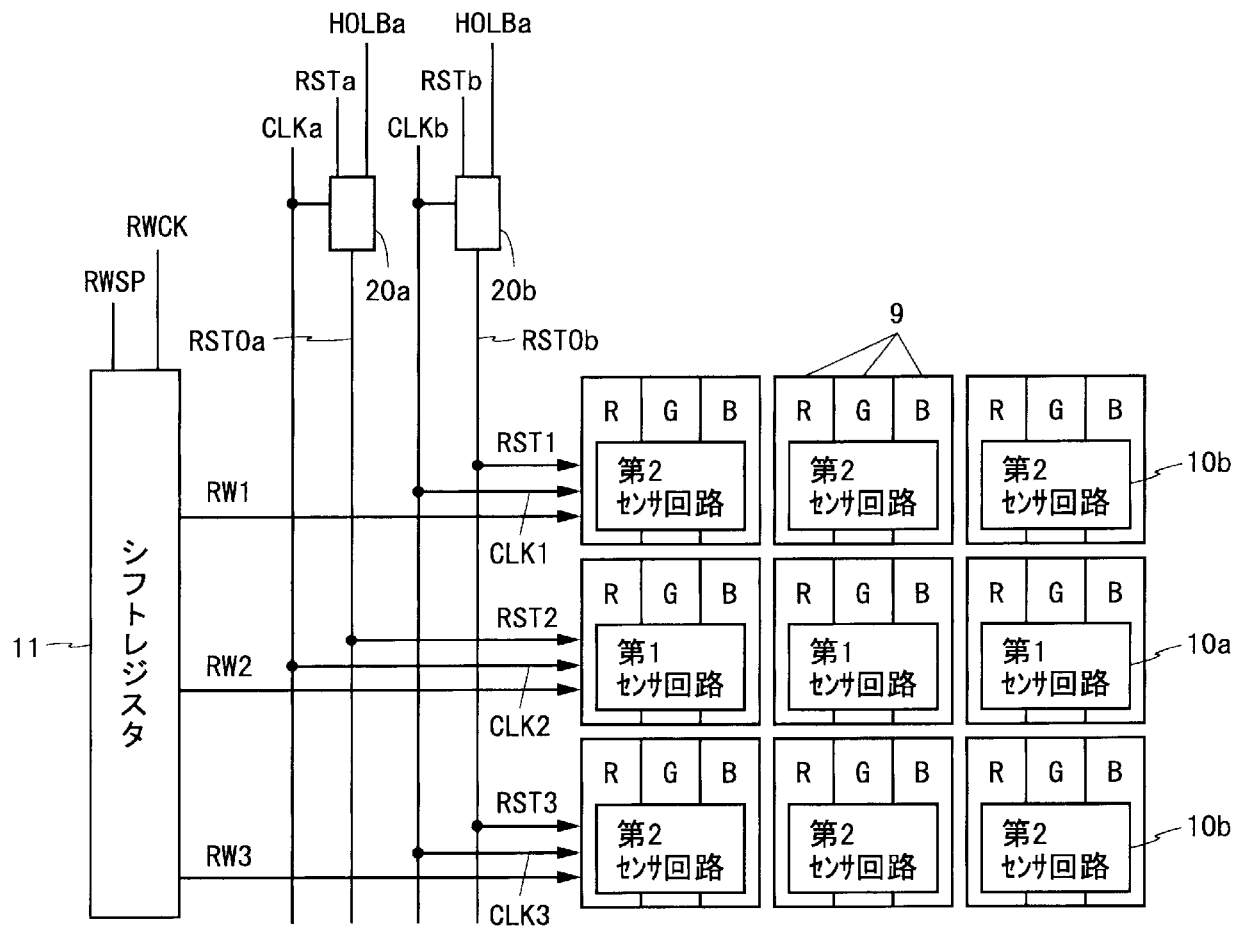
[図8]



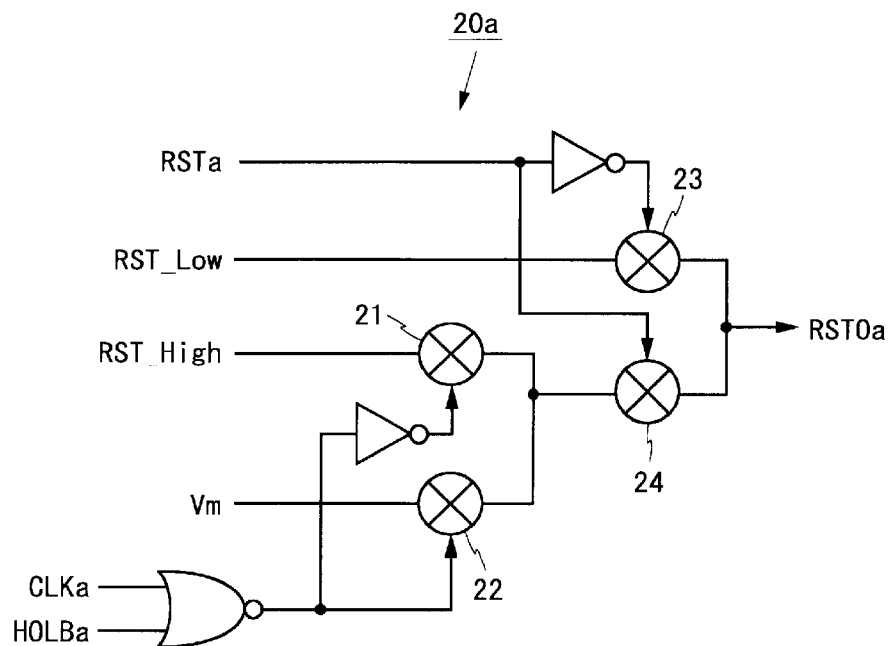
[図9]



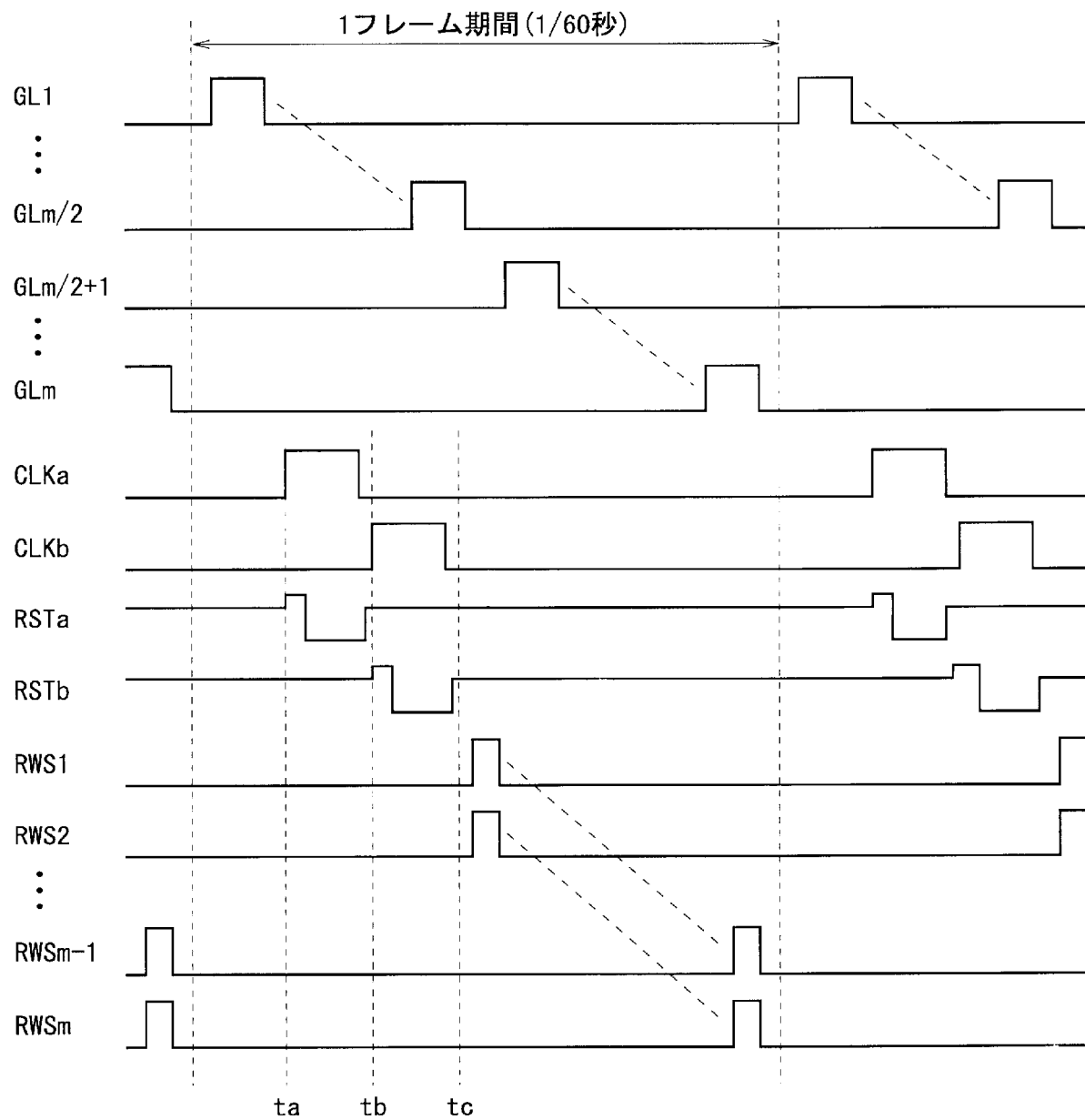
[図10]



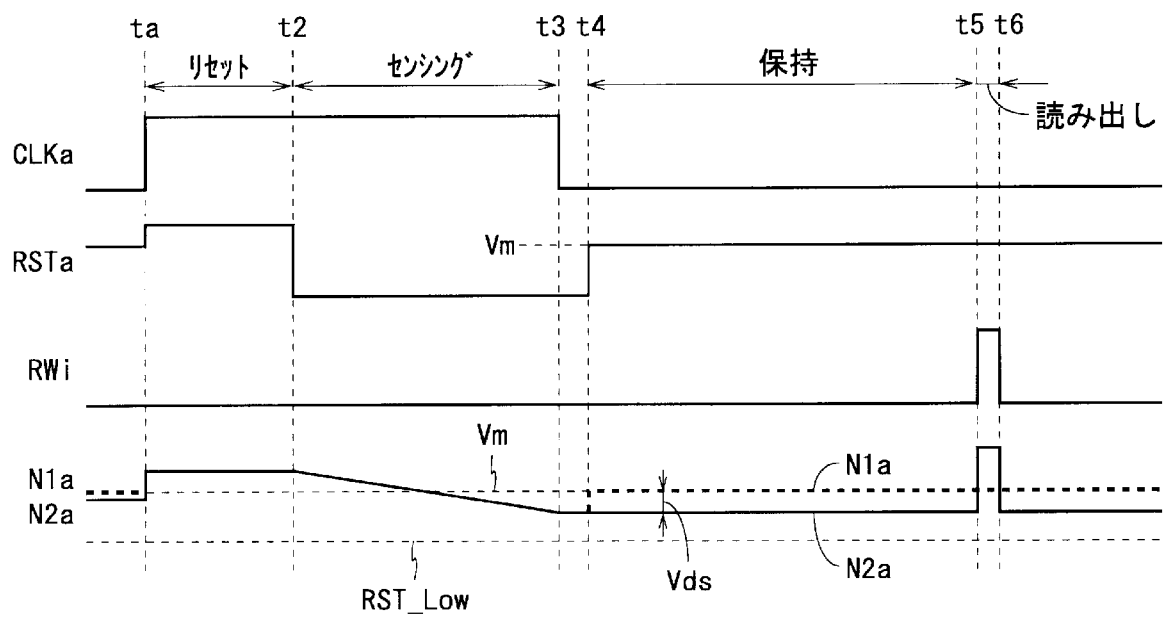
[図11]



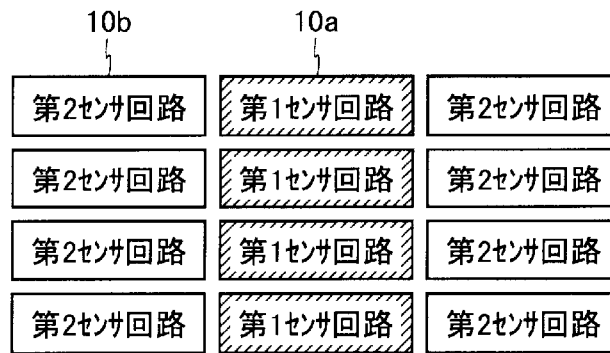
[図12]



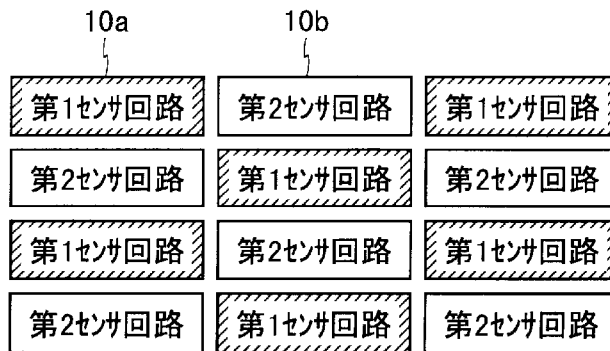
[図13]



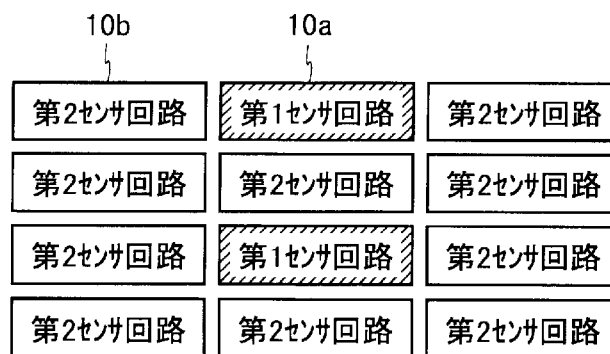
[図14A]



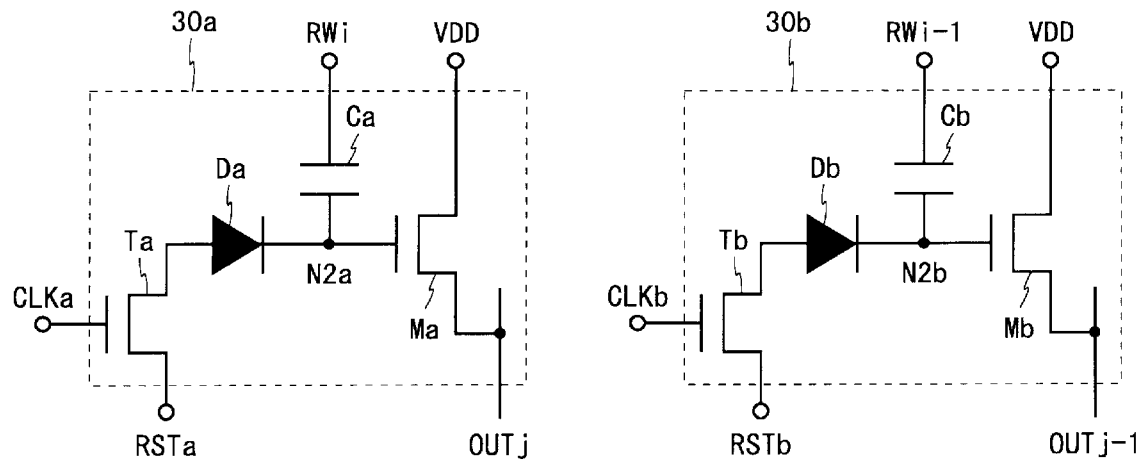
[図14B]



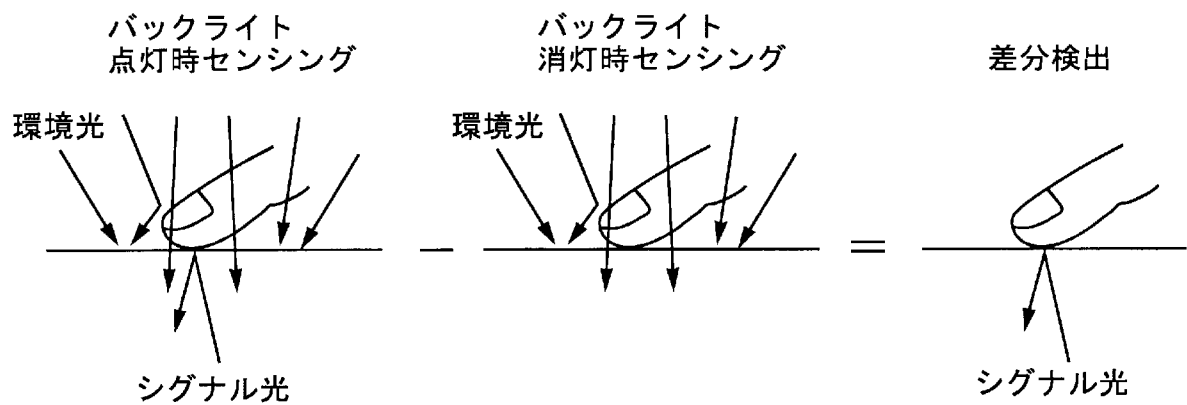
[図14C]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/060053

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/041(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i, H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/041, G02F1/133, G09F9/30, G09G3/20, G09G3/34, G09G3/36, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-540396 A (Sharp Corp.), 19 November 2009 (19.11.2009), entire text; all drawings & US 2010/0231562 A1 & EP 2050269 A1 & WO 2007/145347 A1	1-10
A	JP 9-247536 A (Toshiba Corp.), 19 September 1997 (19.09.1997), entire text; all drawings (Family: none)	1-10
A	JP 2000-505227 A (Micron Technology, Inc.), 25 April 2000 (25.04.2000), entire text; all drawings & US 5636170 A & EP 867026 A1 & WO 1997/018564 A1	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 July, 2011 (27.07.11)

Date of mailing of the international search report
09 August, 2011 (09.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F3/041(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F3/041, G02F1/133, G09F9/30, G09G3/20, G09G3/34, G09G3/36, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-540396 A（シャープ株式会社）2009.11.19, 全文, 全図 & US 2010/0231562 A1 & EP 2050269 A1 & WO 2007/145347 A1	1-10
A	JP 9-247536 A（株式会社東芝）1997.09.19, 全文, 全図（ファミリーなし）	1-10
A	JP 2000-505227 A（マイクロン・テクノロジー・インコーポレーテッド）2000.04.25, 全文, 全図 & US 5636170 A & EP 867026 A1 & WO 1997/018564 A1	1-10

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 7 . 2 0 1 1

国際調査報告の発送日

0 9 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

遠藤 尊志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

5 E

3 0 5 2