

公告本

申請日期	91.8.23
案 號	91119135
類 別	H01L 21/32, 23/52

A4
C4

(以上各欄由本局填註)

559955

發明專利說明書

一、發明名稱	中 文	具有減少的功率分配阻抗的互連模組
	英 文	"INTERCONNECT MODULE WITH REDUCED POWER DISTRIBUTION IMPEDANCE"
二、發明創作人	姓 名	1.馬克 佛瑞德瑞克 司維斯特 MARK FREDERICK SYLVESTER 2.大衛 艾倫 翰森 DAVID ALLEN HANSON 3.威廉 G. 皮特費許 WILLIAM G. PETEFISH
	國 籍	1-3.均美國 U.S.A.
	住、居所	1.美國明尼蘇答州聖保羅市3M中心 3M CENTER, ST. PAUL, MINNESOTA 55144-1000, U.S.A. 2.美國明尼蘇答州聖保羅市3M中心 3M CENTER, ST. PAUL, MINNESOTA 55144-1000, U.S.A. 3.美國明尼蘇答州聖保羅市3M中心 3M CENTER, ST. PAUL, MINNESOTA 55144-1000, U.S.A.
三、申請人	姓 名 (名 稱)	美商3M新設資產公司 3M INNOVATIVE PROPERTIES COMPANY
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國明尼蘇答州聖保羅市3M中心 3M CENTER, SAINT PAUL, MINNESOTA 55133-3427, U.S.A.
	代 表 人 名 姓	卡洛林 A. 貝提斯 CAROLYN A. BATES

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

美國	2001年08月24日	60/314,905	☒ 有 ☐ 無主張優先權
美國	2002年07月19日	10/199,926	☐ 有 ☒ 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

技術領域

本發明係關於與積體電路晶片一起使用的互連模組。

發明背景

多層的互連模組已經廣泛地使用在半導體工業中，利用機械的方式支撐積體電路晶片，以及利用電氣的方式將該晶片黏接至印刷線路板。互連模組能夠配置以支撐單一晶片，或多個晶片，並且通常會利用SCM(單晶片模組)或MCM(多晶片模組)的名稱加以分辨。

互連模組可以電氣方式，提供互連將積體電路晶片耦合至信號線、電源線、及印刷線路板上所搭載的其它元件。明確地說，該互連模組可提供互連，將緊密封裝的晶片輸入及輸出(I/O)重新分配至該印刷線路板中相對應的I/O。除了電氣互連之外，通常互連模組還可以機械方式將晶片耦合至印刷線路板，並且能夠執行其它的功能，如散熱及環境保護。

為支援高頻作業，最重要的係能夠在該晶片晶粒及該模組的電源與接地分配線或平面之間產生低阻抗。對低頻來說，在該封裝內及該印刷線路板上放置離散的退耦電容器便可產生非常地的阻抗。但是，當頻率增加時，便會因為該離散電容器所造成的固有串聯電感，而難以產生非常地的阻抗。此外，引線、鉀錫凸塊、通道、電鍍穿孔、及該互連模組中的線路，都會使得該離散電容器因為更高的電感而更無法在更高的頻率下工作。

離散電容器的替代情形是，某些晶片在晶粒之內會形成

五、發明說明(2)

內部電容器結構。明確地說，在裝置製造期間，可能會產生"晶片中"電容器，並且在該電容器、電源與接地線路、及邏輯與緩衝電路之間產生低電感路徑。不幸的係，晶片中電容器會因為增加晶粒尺寸及降低產量，而嚴重地提高積體電路晶片成本。

此外，能夠加入晶粒內的晶片中電容器的數量通常會受限於空間條件及介電常數，必須對其予以限制方能避免對鄰近路線的信號傳導特徵造成負面影響。同樣地，該晶片中電容器及驅動器或接收器之間的互連通常係非常高電阻的路徑，這係因為使用高電阻係數金屬的關係，如鋁之類。因此，必須限制使用內部電容器。

發明概要

一般來說，本發明係關於互連模組，其採用薄的、高介電常數電容器結構，以提供減少的阻抗功率及接地分配，以及製造此互連模組的方法。根據本發明所建構的互連模組能夠透過錫球連接，將積體電路晶片可靠地黏接至印刷線路板(PWB)，並且可在1.0 GHz以上的高頻作業中，提供小於或等於約0.60歐姆的減少的功率分配阻抗。依照此方式，該互連模組能夠有效地限制同步切換輸出(SSO)雜訊、核心衰降(core sag)、及超高頻率中其它形式的信號衰減。

根據本發明的互連模組，能夠採用一系列交替的介電層及導體層，其係層壓在一起形成一整體結構。該層壓互連結構可能會採用數個通道及圖樣化的信號層，用以在該晶

五、發明說明(3)

片、該印刷線路板、及該互連模組內的各種層之間提供導體的互連路徑。該互連模組包括晶片黏接及板黏接表面，用以界定接點焊墊，以便透過鉅錫球分別黏接至該晶片及板之中的對應焊墊。各種層經過選擇之後所呈現熱膨脹係數(CTE)，可促使與該晶片及該PWB產生可靠的互連。

該互連結構可藉由採用一個以上的薄的、高電容平面薄片形成內建的電容器，達到減少的功率分配阻抗的目的。每個內建電容器都能夠利用在兩個導體金屬箔之間，夾住一片高介電常數的超薄薄片材料以組成。該減少的厚度及高介電常數可產生增加的電感，以及減少的功率及接地分配阻抗。該晶片黏接表面及該電容器之間所插入的層數，即該互連模組的厚度，亦能夠予以限制以降低串聯電感，並進一步地降低功率分配阻抗。

在某些具體實施例中，該內建電容器可能會形成該互連模組的核心。在其它的具體實施例中，則可能在核心附近建立一個以上的內建電容器。在任何一種情形中，都能夠在將該功率及接地平面併入該互連模組之前或之後，對該些平面進行適當的圖樣處理，以提供通道及支援受控阻抗。舉例來說，該內建電容器的結構所採取的方式可能係，將高介電常數材料塗佈在一對導體金屬箔之上，層壓處理，然後，在併入該互連模組之前進行圖樣處理。在此例中，該電容器結構亦有可能會事先鑽孔，形成間隙孔穴，供該互連模組的通道使用。

在其中一具體實施例中，本發明係關於一種互連模組，

五、發明說明(4)

其包括一晶片黏接表面，一板黏接表面，及一電容器結構。該晶片黏接表面界定第一接點焊墊，用以將積體電路晶片黏接至該互連模組。該板黏接表面界定第二接點焊墊，用以將該互連模組黏接至印刷線路板。該電容器結構具有一第一導體層、一第二導體層、及一形成該第一及第二導體層之間的介電層。形成於該互連模組中的導體路徑會將某些第一接點焊墊互連至第一或第二導體層。優點係，該第一接點焊墊、該導體路徑、及該電容器結構可在大於或等於約1.0 GHz的頻率中，產生小於或等於約0.60歐姆的組合阻抗。

在另一具體實施例中，本發明係關於一種形成互連模組的方法，其包括：提供一層壓式電容器結構，形成一晶片黏接表面，形成一板黏接表面，及層壓該電容器結構、晶片黏接表面、及板黏接表面，以形成該互連模組。該電容器結構包括一第一導體層、一第二導體層、及一形成該第一及第二導體層之間的介電層。該晶片黏接表面界定第一接點焊墊，用以將積體電路晶片黏接至該電容器結構的第一側中的互連模組。該板黏接表面界定第二接點焊墊，用以將該互連模組黏接至該電容器結構第二側中的印刷線路板。該方法進一步包括形成導體路徑，用以將某些第一接點焊墊互連至第一或第二導體層。該第一接點焊墊、該導體路徑、及該電容器結構可在大於或等於約1.0 GHz的頻率中，產生小於或等於約0.60歐姆的組合阻抗。

在額外的具體實施例中，本發明提供一種互連模組，其

五、發明說明 (5)

包括具有交替的導體及有機介電層的層壓式基板。該層壓式基板包括至少一第一導體層、一位於該第一導體層旁邊的第一有機介電層、一第二導體層、及一位於該第二導體層旁邊的第二有機介電層。該第一導體層界定一晶片黏接層，而該第二導體層則界定一板黏接層。在該第一及第二介電層之間則會形成一層壓式電容器結構，其厚度小於或等於約42微米，介電常數則大於或等於約12。在其中一實例中，第一及第二導體層任一層的厚度則約12微米，而介電層的厚度則約8微米。該電容器結構外表面與該第一導體層內表面之間的距離小於或等於約100微米。

在進一步的具體實施例中，本發明提供一種互連模組，其包括一層壓式電容器結構、層壓在該電容器結構兩側附近的交替的導體及介電層、及穿過部份或全部導體及介電層的一個以上的通道，其中該通道係利用導體材料電鍍或填補，以便界定該層壓式電容器結構及該互連模組外側導體層之間的導體路徑，而其中該接點焊墊、該導體路徑、及該電容器結構可在大於或等於約1.0 GHz的頻率中，產生小於或等於約0.60歐姆的組合功率及接地分配阻抗。

本發明能夠提供許多項優點。舉例來說，該互連模組能夠利用具有超高介電常數的超薄電容器結構製造而成。因此，該互連模組能夠在更高的頻率處提供減少的功率分配阻抗，從而改良效能。明確地說，藉由減少的功率及接地分配阻抗，根據本發明的互連模組能夠提供外部匯流排更快速的切換時間，因此可提高系統頻寬。

五、發明說明(6)

此外，用以製造該互連模組的方法可因為使用層壓式的電容器結構而獲益，其可能採用形成於兩個銅箔之間的介電塗佈形式。因此，該導體層並不需要電鍍，使得易於製造。該層壓式的電容器結構在與其它層結合之前，能夠事先建構、圖樣處理、及事先鑽孔，有助於建構該互連模組，並且能夠對該結構進行事先測試，以確保能夠正確的作業。此外，在將該層壓式的電容器結構使用於互連模組之前，能夠對其進行事先測試，以確保可接受的電氣作業。

本發明的其中一個或多個具體實施例的細節將在隨附的圖式及下面的說明中提出。從該說明與圖式，以及從該申請專利範圍中將可更清楚本發明的其它特性、目的、及優點。

此處所使用的專有名詞"導體"即代表導電。

圖式簡單說明

圖1所示的係採用互連模組的電子封裝剖面側面圖，其將積體電路黏接至一印刷線路板。

圖2所示的係使用於互連模組中的電容器結構的剖面側面圖。

圖3所示的係圖2電容器結構的透視圖。

圖4所示的係該互連模組第一具體實施例的剖面側面圖。

圖5所示的係該互連模組第二具體實施例的剖面側面圖。

五、發明說明(7)

圖6所示的係該互連模組第三具體實施例的剖面側面圖。

圖7所示的係該互連模組第四具體實施例的剖面側面圖。

發明詳細說明

圖1所示的係採用互連模組12的電子封裝10的剖面側面圖。如下所述，互連模組12具低阻抗功率分配特徵，特別適用於高頻切換應用中。明確地說，互連模組12能夠在大於或等於約1.0 GHz的頻率中，提供小於或等於約0.60歐姆的功率分配阻抗。為達到減少的功率分配阻抗的目的，互連模組12採用的係極薄的、超高介電常數材料的內建電容器結構。

如圖1所示，互連模組12係當作一中間元件，用以將積體電路晶片14黏接至印刷線路板(PWB) 16。如圖2所示，互連模組12包括導體及介電層的交替堆疊，其係層壓在一起形成一整體結構。形成於互連模組12中的通道可提供導體路徑，從晶片14的I/O通往PWB 16中對應的I/O，並且在該PWB及該晶片之間分配功率及接地電位。

晶片14可透過鉅錫球連接陣列18，以電氣方式及機械方式耦合至互連模組12。該鉅錫球連接18係以電氣方式耦合至晶片14下方表面及互連模組12上方表面的接點焊墊。當互連模組12及晶片14相互黏接時，便會對鉅錫球連接18加熱，讓鉅錫重新流動，並且在相對的接點焊墊之間形成電氣導體黏接。為填充鉅錫球18之間的空隙，

五、發明說明(8)

可以加入填充黏著劑20，從而強化互連模組12及晶片14之間的機械黏接。填充黏著劑20能夠由環氧樹脂構成，當固化時便可凝固，因此可減少晶片14相對於互連模組12的移動。因此，由錒錫球18所構成的電氣連接便不電容器易在使用時失效。

互連模組12係利用相同的配置黏接至PWB 16。明確地說，錒錫球連接22係以電氣方式及機械方式將互連模組12中的接點焊墊耦合至PWB 16中對應的接點焊墊。PWB 16中的接點焊墊可能以電氣方式耦合至形成於該PWB各個層中的導體路線或通道。同樣地，必要時，可以加入填充黏著劑24，以強化互連模組12及PWB 16之間的機械黏接。為提供可靠的黏接，較佳的係，互連模組12的熱膨脹係數(CTE)能夠接近PWB 16的CTE。依照此方式，互連模組12便能夠可靠地將積體電路晶片14黏接至PWB 16。此外，如下面的詳細說明，互連模組12會使用內部的電容器結構達到在1.0 GHz以上的高頻作業頻率中，提供小於或等於約0.60歐姆的減少的功率分配阻抗的目的。依照此方式，該互連模組便能夠有效地限制同步切換輸出(SSO)雜訊、核心衰降、及超高頻率中其它形式的信號衰減。

圖2所示的係使用於互連模組12中的電容器結構26的剖面側面圖。電容器結構26可能包括第一導體層28、第二導體層30、及介電層32。介電層32可能係由單介電層所構成，或如圖2所示，由第一及第二介電層34、36所

五、發明說明(9)

構成。明確地說，介電層的形成方式可能係將介電材料塗佈在第一及第二導體層28、30中的至少一層，然後加熱及加壓對電容器結構26進行層壓，並固化該介電層。在某些情形中，可能會將介電層34、36分別塗佈至導體層28、30。

第一及第二導體層28、30能夠以銅箔形成，然後當作功率及接地平面。介電層32可能係由載有高介電常數顆粒的環氧樹脂所構成的。舉例來說，該介電顆粒可能係由下列各物組成之群中選出：鈦酸鋇、鈦酸鋇鋁、氧化鈦、及鈦酸鉛鈷。所載的環氧樹脂能夠利用旋轉塗佈、及烘乾等方式，塗佈至導體層28、30其中一層，或兩層皆塗佈。導體層28、30的厚度各介於約10至80微米之間，較佳的係，介於10至40微米之間。在其中一具體實施例中，導體層28、30的厚度各約18微米。

舉例來說，能夠將該介電材料塗佈至兩個金屬箔之上。當該塗料烘乾之後便能夠將該金屬箔兩側已烘乾的塗料接合在一起，並且利用加熱及加壓的方式對所產生的結構進行層壓，以固化該介電材料。較佳的係，電容器結構26非常的薄，並且介電常數非常地高。舉例來說，較佳的係，介電層32中的介電材料在固化時，其總乾燥厚度小於或等於約8微米，更佳的係，約1至4微米。此外，該介電材料的高介電常數大於或等於約12，更佳的係，約12至150。

所產生的層壓式電容器結構26包括兩個金屬箔層，厚

五、發明說明(10)

度各介於約10至40微米之間，介電常數介於約12至150之間，而電感則介於每平方公分約1.4至132奈法拉之間，可以大幅地減少晶片14的功率分配阻抗。明確地說，該第一接點焊墊、該導體路徑、及該第一或第二導體層可在大於或等於約1.0 GHz的頻率中，產生小於或等於約0.60歐姆的組合阻抗。依照此方式，採用電容器結構26便可在晶片14內提供更快速的切換頻率。

適用於互連模組12中的層壓式電容器結構，以及製造此結構的方法揭露於美國專利案號6,274,224，及2001年7月10日提出申請，共同待審與共同受讓的美國專利申請案序號09/902,302，名稱為「具有以胺基苯基氟化物(AMINOPHENYLFLUORENE)固化的環氧樹脂介電層的電容器(CAPACITOR HAVING EPOXY DIELECTRIC LAYER CURED WITH AMINOPHENYLFLUORENES)」，以及PCT公告WO 00/45634，此處將各案的全部內容以引用的方式併入本文中。舉例來說，上述參考的專利申請案敘述的係製備一種包括載有鈦酸鋇顆粒之環氧樹脂的介電材料。該介電材料可塗佈至銅箔基板之上，然後層壓在一起形成電容器結構。

圖3所示的係圖2電容器結構26的透視圖。如圖3所示，電容器結構26能夠製成具有彈性，有助於在使用於互連模組12之前，以滾筒式的網狀物儲存。為使用於互連模組12之中，電容器結構26的大小能夠切割，並且根據該互連模組的設計，事先圖樣處理或事先鑽孔。明確地

五、發明說明(11)

說，在互連模組12完全組裝之前，能夠在電容器結構26中形成通道、路線、及其它導體路徑。接著便能夠利用互連模組12內的其它層對電容器結構26進行層壓，形成一封裝結構，其中一側黏接至晶片14，而另外一側黏接至PWB 16。

電容器結構26能夠使用於各種不同的互連模組中。此外，某些互連模組能夠採用兩個以上的電容器結構26。圖4-7便提出幾種具有這方面變化的實例，但是不應該視為以廣泛具體化及此處的主張限制本發明。舉例來說，電容器結構26能夠當作互連模組的核心，並且在該核心附近建立額外的介電及導體層。在另一實例中，則可能會在金屬或介電核心附近，沿著插入的介電及導體層，建立兩個電容器結構26。在任何一種情形中，電容器結構26都可產生減少的功率分配阻抗，並且促成更快的切換頻率。

圖4所示的係該第一互連模組38的剖面側面圖。互連模組38具有一晶片黏接表面39及一板黏接表面41。此外，互連模組38包括電容器結構26，其具有第一導體層28、第二導體層30、及第一介電層32。在圖4的實例中，電容器結構26係結合第二及第三介電層40、42，以及第三及第四導體層46、48以形成。圖4中的導體及介電層係在電容器結構26附近對稱放置。也就是，在電容器結構26的其中一側會形成一介電及導體層，而在該電容器結構的另一側則會形成相同材料的對應層。

如圖4進一步顯示，第一通道44會從晶片黏接表面39

五、發明說明 (12)

穿過介電層40、42，抵達板黏接表面41。第二通道45會從晶片黏接表面39穿過介電層40，終止於電容器結構26的第一導體層28。第三通道47會從板黏接表面41穿過介電層42，終止於第二導體層30。通道44、45、47都係利用微電子製造技藝中任何熟知的沉積技術電鍍導體材料而成。或者，可以導電材料填充通道44、45、47，界定一條導體路徑。

電容器結構26可能會事先鑽孔，形成間隙孔穴供通道44使用。通道44、45可在晶片黏接表面39的表面處以導體材料進行電鍍。同樣地，通道47則可在板黏接表面41的表面處以導體材料進行電鍍。鉅錫遮罩50、52可分別塗敷在晶片黏接表面39及板黏接表面41之上，覆蓋通道44、45、47。鉅錫遮罩50、52在通道44、45、47附近會曝露出一接點焊墊。舉例來說，鉅錫遮罩50會曝露出接點焊墊54、55，而鉅錫遮罩52則會曝露出接點焊墊56、57。與該晶片相關聯的鉅錫球都能夠在接點焊墊54、55之上對齊、加熱、及再流動，以便與接點焊墊形成電氣及機械焊接。相同地，與該板相關聯的鉅錫球則能夠在接點焊墊56、57之上對齊、加熱、及再流動，以便與接點焊墊形成電氣及機械焊接。

在圖4的實例中，電容器結構26形成互連模組38的核心，其第一及第二導體層28、30則形成功率及接地平面。第二介電層40係形成於第一導體層28及晶片黏接表面39之間，而第三導體層46係形成於第二介電層40及該

五、發明說明 (13)

晶片黏接表面之間。明確地說，第三導體層46經過圖樣處理之後，能夠形成接點焊墊54、55。同樣地，第三介電層42係形成於第二導體層30及板黏接表面41之間，而第四導體層48係形成於第三介電層42及該板黏接表面之間。與第三導體層46相同的係，第四導體層48經過圖樣處理之後，能夠形成接點焊墊56、57。

第三及第四介電層40、42能夠由高溫的有機介電基板材料的層合薄片所構成，如含有或不含有填充料的聚亞醯胺與聚亞醯胺層合薄片、環氧樹脂、液晶聚合物、有機材料、或至少包含一部份聚四氟乙烯的介電材料之類。在其中一具體實施例中，介電層40、42係由有機材料所製成的，如聚四氟乙烯(PTFE)，及更明確地說，擴充的PTFE或「ePTFE」，其摻雜有氰酸酯及環氧樹脂。明確地說，該PTFE材料可能係含有混合氰酸酯-環氧樹脂黏著劑及無機填充料的擴充聚四氟乙烯基質。

導體層46、48可能係由導體材料所構成的，如銅之類。亦能夠使用其它熟知的導體材料，如鋁、金、或銀。在此實例中，導體層46、48的厚度可能各介於約5至14微米之間。在其中一實例中，導體層46、48的厚度各約為12微米。介電層40、42的厚度可能各介於約20至70微米之間。在其中一實例中，導體層40、42的厚度各約為36微米。因此，第一導體層28外表面與接點焊墊55內表面之間的距離小於100微米，在圖4的實例中，則小於或等於約36微米。

五、發明說明 (14)

互連模組38的各層能夠堆疊在一起，並且利用加熱及加壓層壓的一起。舉例來說，所有的層都能夠同時與堆疊中的另一層進行層壓。或者，該些層能夠以一次一層的方式，建立在電容器結構26之上，然後在每個層壓步驟中，再遞增地建立一層或兩層。在層壓期間，介電層40、42會熔化，並且流入電容器結構26所界定的間隙孔穴中，供通道44使用。

通道44會形成一導體路徑，用以互連晶片黏接表面39及板黏接表面41上的接點焊墊54、56。依照此方式，通道44能夠將與該晶片相關聯的I/O或其它端點互連至該PWB中的端點。通道45會將電容器結構26的接點焊墊55與第一導體層28互連模組連在一起，並且可能形成功率平面。同樣地，通道47則會將接點焊墊57與第二導體層30互連模組連在一起，並且可能形成接地平面。或者，第一及第二導體層28、30可能分別形成接地平面或功率平面。

互連模組38可能包括多個與通道44、45、47相同的通道。通道44係用以互連晶片黏接表面39及板黏接表面41上的接點焊墊，例如進行I/O互連。通道45、47係用以將接地及功率電位從該板分配至該晶片。明確地說，互連模組38可能包括額外的通道，用以互連板黏接表面41上的接點焊墊及第一導體層28，用以將功率或接地電位從該PWB分配至該導體層。同樣地，額外的通道可能會互連第二導體層28及晶片黏接表面39上的接點焊墊，用以

五、發明說明 (15)

將接地或功率電位分配至該晶片。

通道44、45、47能夠形成於互連模組38層壓處理之後。明確地說，通道44能夠藉由，舉例來說，美國專利案號6,021,564中所述的鑽孔或雷射切除的方法以形成，此處將其全部內容以引用的方式併入本文中。在層壓處理之後，便可將鉅錫遮罩50、52加入互連模組38中，覆蓋通道44、45、47。接著，便可對鉅錫遮罩50、52進行圖樣處理，界定出接點焊墊54、55、56、57，用以分別接收晶片及PWB的鉅錫球。

在某些具體實施例中，互連模組38可能會接收「覆晶」積體電路。覆晶安裝必須將鉅錫球放置在晶粒或晶片之上，將晶片覆置其上，使該晶片與基板，如互連模組38之類，上的接點焊墊對齊，然後在熔爐中使該鉅錫球再流動，以便將該晶片及該基板焊接在一起。依照此方式，該接點焊墊便可分散於整個晶片表面中，而非如線路焊接及捲帶式自動焊接(TAB)技術般地侷限於周圍的地方。因此，能夠增加可用的I/O及功率/接地端點的最大數量，並且能夠更有效地將信號及功率/接地的互連埠線於該晶片中。

電容器結構26可大幅地降低互連模組38內的功率分配阻抗。假設第一導體層28係功率平面，而接點焊墊55係耦合至接觸到安裝於晶片黏接表面39中的晶片功率輸出的鉅錫球的話，那麼從該晶片所看到的功率分配阻抗便係接點焊墊55、導體通道45、及第一導體層28的組合阻

五、發明說明 (16)

抗。該功率分配阻抗不僅包括電容性元件，還包括電感性元件，並且會與作業的頻率有關。在稍後的說明中，將會提及供率分配阻抗的計算技術。

圖5所示的係第二互連模組58的剖面側面圖，其具有一晶片黏接表面59及一板黏接表面61。如圖5所示，互連模組58包括一中央電容器結構26，其具有第一及第二導體層28、30，及一第一介電層32。此外，互連模組58在中央電容器結構26的兩側包括第二及第三介電層60、62。

第三導體層64係形成於第二介電層60及晶片黏接表面59之間。第四導體層66係形成於第三介電層62及板黏接表面61之間。第一及第二導體層28、30可能會形成功率及接地平面，而第三及第四導體層64、66經過圖樣處理後則會形成信號層。

第四介電層68係形成於第三導體層64及晶片黏接表面59之間，而第五介電層70則係形成於第四導體層66及板黏接表面61之間。最後，導體層71、72能夠分別形成於晶片黏接表面59及板黏接表面61之上，並且經過圖樣處理之後界定出事先形成的細孔，以形成通道。因此，運用形成通道的雷射，便可僅將介電材料切除。

導體層64、66、71、72都可能係由銅材所構成的，其厚度介於約5至14微米之間，最佳的係約為12微米。介電層60、62、68、70的厚度可能各介於約20至70微米之間，最佳的係約為36微米。因此，第一導體層28外表面與接點焊墊71內表面之間的距離小於100微米，最佳的係

五、發明說明 (17)

小於或等於約88微米。各個層都能夠同時層壓在一起，或依序進行層壓。當導體層64、66分別層壓至介電層60、62之後，便可經過圖樣處理以界定出信號線路。同樣地，當導體層71、72分別層壓至介電層68、70之後，便能夠進行圖樣處理。

在某些具體實施例中，該些導體層係「平衡的」，以促進結構的均勻性，以及防止產生因熱應力所造成的變形。明確地說，對稱地放置在電容器結構26兩側的導體層，可交互地建構，使得其上都層壓著或電鍍著相同種類的金屬箔，然後可於其上進行蝕刻產生圖樣；每層中的金屬濃度約略相等。依照此方式，其中一層的CTE與另一層的CTE會約略相等，從而在發生熱應力時，方能彼此平衡抵銷，並且將互連模組的翹曲現象降低至最小程度。

對I/O互連來說，互連模組58包括數個導體通道，如埋植的通道86，其會穿過介電層60、62，接觸到信號層64、66的電極82、84。接著，電極82、84便會接觸到晶片黏接表面59及板黏接表面61中的死通道78、80。一般來說，死通道僅會穿過一介電層，並且係用以在兩個相鄰的導體層之間佈線連接。不過，死通道形成後，能夠穿過複數個層壓的基板層，以便將多個導體層連在一起。在將其餘各層焊接至該整體結構之前，能夠對該導體層進行圖樣處理，並且形成必要的死通道連接相鄰的導體層。

死通道的入口孔徑直徑可能小於約75微米。而死通道的長寬比範圍則可能介於1:1(含)至5:1(含)之間。舉例來

五、發明說明 (18)

說，所形成的死通道的通道入口寬度可能係50微米，並且穿過厚度50微米的介電層。

對功率及接地分配來說，互連模組58亦包括數個導體埋植通道81、87，用以接觸第一導體平面28或第二導體平面30。通道81會接觸到信號層66的電極79，接著，其便會接觸到晶片黏接表面59中的死通道77。通道87會接觸到信號層64的電極85，接著，其便會接觸到板黏接表面61中的死通道83。每個埋植通道的長寬比範圍可能都介於約3:1至25:1之間。

死通道78、77會接收從晶片黏接至互連模組58的鉅錫球。該鉅錫球經過加熱，及再流動之後，會與通道78、77形成導體焊接，從而將晶片中的I/O與互連模組58中的I/O互連在一起。同樣地，死通道80、83會接收鉅錫球，利用電氣及機械方式，將該互連模組連接至該板中。該鉅錫球經過加熱，及再流動之後，會與通道80、83形成導體焊接，從而將該互連模組中的I/O與該板中的I/O互連在一起。

該死通道及埋植通道的信號路徑都具有非常低的阻抗，可進一步降低互連模組58的阻抗。如圖5所示，通道78會接觸導體層64，該層接著會繼續於橫向中接觸到埋植通道86。埋植通道會接觸到導體層66，該層接著會繼續於橫向中接觸到通道80。依照此方式，該導體層的一部份便係沿著水平佈線，但是垂直間隔的路徑，信號電流則於相反的方向中流動。

五、發明說明 (19)

依照上述的方式配置信號，第一信號路徑分段與第二相鄰的信號路徑分段所形成的交互電感，便會抵銷第二導體路徑分段與第一導體路徑分段所形成的交互電感。這係因為通過該通道的電流，係在第一信號路徑分段中的其中一個方向中流動，但是卻在相鄰的信號路徑分段的相反方向中流動。

同樣地，在圖5的實例中，電容器結構26係極薄的，同時介電常數非常高。因此，電容器結構26可降低互連模組58內的功率分配阻抗。當與死通道及埋植通道所界定的低電感路徑結合時，電容器結構26便會產生一種互連模組，其能夠作業於1.0十億赫茲以上的高頻中，提供小於或等於約0.60歐姆的功率分配阻抗。

圖6所示的係第三互連模組88的剖面側面圖。如圖6所示，第三互連模組88包括一中央電容器結構26。除了具有第一及第二導體層28、30，及第一介電層32之外，互連模組88還包括一系列交替的介電層92、93、94、95、96、98，以及一系列交替的導體層100、102、104、106。導體層100、102、104、106經過圖樣處理之後，便能夠形成信號層。導體層28、30會形成功率及接地平面層。

介電層92、93、94、95、96、98的厚度可能各介於約20至70微米之間，更佳的係約為35微米。因此，介電層92、93、94、95、96、98可能具有實質相同的厚度，並且較佳的係具有相同的容限值。此外，介電層

五、發明說明 (20)

92、93、94、95、96、98能夠以相同的材料構成。不過，在某些具體實施例中，有一部份的介電材料係從電容器結構26朝外配置，例如層92、98，其彈性模數可能高於其它內部的介電層93、94、95、96，因此可將該互連模組層壓基板的彎曲模數實質地最大化。

導體層100、102、104、106的厚度可能各介於約5至14微米之間，最佳的係約為12微米。因此，第一導體層28外表面與接點焊墊112內表面之間的距離可能小於約150微米。在圖6的實例中，該距離約為136微米。

如圖6所示，能夠結合死通道及埋植通道達到I/O互連的目的。明確地說，第一死通道108係形成於晶片黏接表面89之上，第二死通道110係形成於板黏接表面91之上。第一及第二通道108、110經過電鍍之後便會分別形成電極112、114。每個通道108、110可能會分別接收晶片或板的鉚錫球。圖6中顯示的係鉚錫球116。死通道108會連接信號層106中的第三死通道118。死通道110會連接信號層100中的第四死通道120。死通道118會連接信號層104中的埋植通道122，而死通道120則會連接信號層102中相同的埋植通道。

結合死通道及埋植通道亦可達到功率及接地平面互連的目的。如圖6進一步所示，晶片黏接表面89包括一死通道121。死通道121經過電鍍之後便會形成電極123，並且接收與晶片相關聯的鉚錫球125。死通道121會耦合至信號層106中的第二死通道127。接著，死通道127便會耦

五、發明說明 (21)

合至信號層104中的埋植通道129。如圖5的實例所示，死通道及埋植通道的配置可抵銷互連模組88中的交互電感，進一步降低功率分配阻抗。

信號層104會接觸電容器結構26的第一導體層28，用以互連鉅錫球125及當作功率或接地平面層的第一導體層。相同的死通道及埋植通道組能夠用以進接第二導體層30。此外，此類通道可能從晶片黏接表面89或板黏接表面91延伸，將功率及接地電位分配至該晶片及PWB，或從該晶片及PWB分配至晶片黏接表面89或板黏接表面91。如圖4及5的實例所示，在互連模組88中採用電容器結構26可實質地降低功率分配阻抗，並且促進更快的切換頻率。

圖7所示的係第四互連模組130的剖面側面圖。如圖7所示，互連模組130包括兩個電容器結構26a、26b，其各形成於中央介電核心132的兩側。互連模組130的兩側會形成一晶片黏接表面131及一板黏接表面133。互連模組130亦包括交替的介電層134、135、136、138、140、142，及導體層144、146、148、150配置。導體層144、148係形成於介電核心132的兩側，並且可能形成功率及接地平面。導體層146、150經過圖樣處理之後能夠形成信號路線層，並且分別以介電層134、136與導體層144、148分離。

介電層140係形成於導體層150與電容器結構26a之間，而介電層135則係形成於導體層146與電容器結構

五、發明說明 (22)

26b 之間。介電層 136、142 係分別位於電容器結構 26b 及 26a 旁邊。在晶片黏接表面 131 及板黏接表面 133 中能夠形成多個通道。在圖 7 的實例中，充滿導體材料 154 的通道 152 會穿過互連總成 130，並且分別將晶片黏接表面 131 及板黏接表面 133 中接點焊墊 156、158 互連在一起。因此，通道 152 可將晶片及 PWB 之間的 I/O 互連在一起。

通道 160 會從晶片黏接表面 131 中的接點焊墊 162 延伸接觸到電容器結構 26a 的第一導體層 28a。同樣地，通道 164 會從板黏接表面 133 中的接點焊墊 166 延伸接觸到電容器結構 26b 的第一導體層 28b。埋植通道 168 會穿過互連模組 130，將電容器結構 26a、26b 的第一導體層 28a、28b 互連在一起。因此，結合通道 160、164 及 168 便可用於在板黏接表面 133 與晶片黏接表面 131 之間分配接地或功率電位。

在圖 7 的實例中，導體層 144、146、148、150、28a、28b、30a 及 30b 能夠分派作為下面的功能(依序由板黏接表面 133 開始至晶片黏接表面 131 為止)：

- 層 28b：接地平面
- 層 30b：功率平面
- 層 146：信號平面
- 層 144：接地平面
- 層 148：功率平面
- 層 150：信號平面

五、發明說明 (23)

層 30 a : 接地平面

層 28 a : 功率平面

導體層 144、146、148、150 都能夠由銅構成，厚度介於約 5 至 35 微米之間，更佳的係為 12 微米。介電層 134、135、136、138、140、142 可能由各種材料所構成，如聚亞醯胺、液晶聚合物、氟聚合物、環氧樹脂及類似的材料，而厚度介於約 10 至 50 微米之間，更佳的係為 20 微米。介電核心 132 可能由各種材料所構成，如 BT (雙-馬來醯亞胺三偶氮雙酸胺 (三氮雙亞醯胺 (bis-maleimide triazine))) 玻璃或 FR4，而厚度介於 250 至 750 微米之間，更佳的係為 500 微米。導體層 144、146、148、150 在塗敷至個別的。介電層 134、135、136、140 之後，能夠進行圖樣處理，界定出信號線路或分離的功率及接地平面。第一導體層 28 a 外表面與接點焊墊 156 內表面之間的距離可能小於約 50 微米。在圖 7 的實例中，該距離約 20 微米。

在與互連模組 130 的其它層進行層壓之前，能夠對導體層 28 a、28 b、30 a、30 b 進行事先圖樣處理或事先鑽孔。圖 7 的電容器結構 26 a、26 b 實質上可能如圖 4-6 中的實例所述的方式建構，並且從而在互連模組 130 中提供減少的功率分配阻抗。一般來說，一層以上超薄的、高介電常數薄片，如電容器結構 26 之類，可取代目前互連模組常用的中央銅平面，或"核心"。電容器結構 26 的高介電常數及薄形輪廓，可產生超高的電容，以便降低阻抗。此

五、發明說明 (24)

外，電容器結構26的薄形輪廓，配合該互連模組從該電容器結構至晶片黏接表面中的接點焊墊減少的厚度，可進一步降低阻抗。

減少電容器結構26與該接點焊墊之間的層數，並且使用厚度低於約40微米的薄介電層，便可達到減少厚度的目的。如上所述，在許多申請案中，先對該電容器結構薄片進行圖樣處理，在需要通道的位置形成間隙，然後藉由增加額外層從該電容器結構薄片朝外建構該封裝基板，便能夠輕易地製造電容器結構26，例如，美國專利案號5,879,787或6,021,564中所述的方式，此處將其全部內容以引用的方式併入本文中。

電容器結構26中增加的介電常數及減少的厚度能夠增加電容，這便係減少功率分配阻抗的主要因素。電容器面積、介電質厚度、及介電常數之間的影響如下面的方程式所示：

$$C = \frac{\epsilon_0 * \epsilon * A}{t}$$

其中C係電容， ϵ_0 係自由空間的電容率， ϵ 係相對介電常數，A係電容器面積，而t則係平行電容器平板之間的厚度或距離。因此，對互連模組來說，C係由一對平行導電層或平面所構成的電容。

增加面積，減少介電質厚度，增加介電層，或上面的組合便能夠增加電電容器。不幸的是，對晶片中電容器來說，增加面積能夠造成較大的晶粒，減少厚度會導致缺陷密度增加，而增加介電常數則會增加晶片中信號傳導延

五、發明說明 (25)

遲。

所以，根據本發明，必要的電容係由內建於該互連模組中層壓的電容器結構26所提供。一般來說，吾人希望的係，該電容器結構能實際地放置在越接近晶片黏接表面的位置越好，方能將連接至該些平面的串聯電感最小化，同時，又能將該電容器結構平面對的電容最大化。此外，吾人希望的係，在該平面對及該晶片連接之間僅需要越少的電路層即可，因此介電及導體層的厚度可最小化。

根據圖4-7實例所建構的互連模組可能進一步包括，用以在熱應力作用時，設計以促進焊接點焊墊可靠度及防止變形的結構。明確地說，如上所述，每個互連模組都係由導體層及介電層的交替薄片所構成的，其經過選擇之後會出現幾乎與PWB的熱膨脹係數(CTE)匹配的整體熱膨脹係數。

此外，如美國專利案號5,983,974所述，此處將其全部內容以引用的方式併入本文中，可能會在該互連裝置的晶粒黏接表面中黏接一強化環。強化環會在該積體電路晶片，及在同一個表面黏接至該互連模組的任何其它裝置中，如電容器之類，界定一腔穴(或多個腔穴)。

在該強化環中可能會焊接一遮蓋，用以封住該互連模組封裝內的晶片。該遮蓋可能係由銅之類的材料所構成的，或是可能預先以一種金屬材料，如鋁之類，放置在強化材料中，如碳化矽之類，而形成的。在此例中，封裝的設計係使得該強化環的CTE能夠與該互連模組及該遮蓋的

五、發明說明 (26)

CTE 匹配。更進一步地說，用以焊接點焊墊該強化環所使用的特殊黏著劑係經過選擇的，以便使得其 CTE 能夠與該基板、環及遮蓋的 CTE 匹配。再者，該基板能夠經過設計係使得其 CTE 能夠至少一部份與該晶片及該強化環的 CTE 匹配，如美國專利案號 6,248,959 所述，此處將其全部內容以引用的方式併入本文中。

現在將說明用以量化功率分配阻抗的優質數的技術。該優質數能夠用以將此處所述的，採用極薄的、高介電常數層壓電容器結構的互連模組阻抗特徵，與其它的互連模組作比較加以分類。熟習本技藝的人士可能會知道其它用以分類功率分配阻抗的技術。因此，此處所述的技術不能視為限制本發明。

對任何高效能的多層封裝剖面來說，都會有數個導體平面專屬於功率或接地使用。對此處所述的測試來說，所有的功率平面都係指派至同一個電壓，而所有的接地平面則係指派至另一個電壓，目的係計算與頻率相關的輸入阻抗。雖然互連模組可能不必依照此方式實現，因為會有多個電壓條件限制，但是此項假設卻能夠簡化該功率分配阻抗的分析。

該量測問題能夠分成兩個成分：接地阻抗及功率阻抗。因為互連模組 38 實體結構的關係，功率及接地阻抗通常都會不相同。舉例來說，功率及接地平面，例如第一及第二導體層 28、30，通常會位於互連模組 38 的不同層中，因此與晶片黏接表面 39 的接點焊墊之間的距離便不相

五、發明說明 (27)

同。

首先，假設頻率夠高，因此能夠將功率及接地平面視為傳輸線。對於200百萬赫茲以上的作業頻率來說，這應該是一個良好的近似結果。因此，能夠假設為橫向的電磁(TEM)傳導，其使得能夠根據介電層32中材料的介電常數、與週遭導體層28、30相關聯的間隔、頻率、及感興趣的面積，預估該些平面的特徵阻抗。計算的方式如下面的程序：

1. 以下面的方式預估固有的TEM傳導延遲Td：

$$Td = \sqrt{\epsilon_r} / c,$$

其中 ϵ_r 係相對的介電常數，而c則係光速。

2. 計算傳輸線的四分之一波長：

$$l = 0.25 / (f * Td),$$

其中l係波長，f則係分析頻率。

3. 計算可運用的封裝面積：

如果 $l > \text{Body_Size}/2$ 的話

$$A = (\text{Body_Size})^2$$

否則

$$A = \pi * l^2,$$

其中Body_Size代表的係該封裝的外形。

4. 計算相鄰平面的電容：

- a. 第一相鄰平面電容

$$C_1 = \epsilon_r * \epsilon_0 * A / \text{Plane_separation}_1,$$

其中Plane_separation₁代表的係第一導體層與該晶

五、發明說明 (28)

片之間的距離。

b. 第二相鄰平面電容，如果存在時

$$C_2 = \epsilon_r * \epsilon_0 * A / \text{Plane_separation}_2,$$

其中Plane_separation₂代表的係第二導體層與該晶片之間的距離。

c. 總電容

$$C = C_1 + C_2$$

5. 計算該平面的阻抗

$$Z = l * Td / C,$$

其中Z係總阻抗，C係該晶片及該功率或接地平面之間所有平面的總電容，而Td係TEM傳導延遲，l則係上面計算出來的長度。

假設上面的計算之後，接著便能夠利用下面的方程式，計算出從晶片晶粒至具有第一功率或接地平面的連接中的電感(L)：

$$L_{\text{via}} = \frac{1}{2} * L_{\text{wire_pair}} \approx \frac{t}{2} * \frac{\mu_0 \mu_r}{\pi} * \cosh^{-1} \frac{d}{2a}$$

其中：

d=通道對間距，

a=通道半徑，

t=通道長度，

μ_0 =自由空間電容率，及

μ_r =相對電容率，通常為1.0

電感的計算會針對每個功率或接地平面層反覆地進行，直到該晶片晶粒與最底層的接地平面之間產生連接為止。

五、發明說明 (29)

反覆地進行該功率/接地阻抗模型的計算係為將上面所計算的傳輸線及電感器結合至網路中。為解開該網路，可將該傳輸線視為終點在接地端、與頻率無關的電阻器。接著，便能夠利用標準的電路分析技術解出該輸入阻抗。該輸入阻抗的計算會針對功率及接地網路反覆地計算。隨即便能夠將優質數定義成功率阻抗及接地阻抗的平均值。

下面表1所述的係數種不同互連模組架構的功率分配阻抗之優質數，其中包含此處所述的，採用薄的、高介電常數電容器結構的互連模組，以及其它未具有此種電容器結構的互連模組。表1代表的係從500百萬赫茲至5 GHz作業頻率範圍中的阻抗優質數。

五、發明說明 (30)

表 1

互連		阻抗(歐姆)對頻率(GHz)					
種類	剖面	0.5 GHz	1GHz	2GHz	3GHz	4GHz	5GHz
7層 (58微米)	Gspgpsg	0.42	0.67	1.13	1.75	2.51	3.33
7層 VIP (36微米)	Gspgpsg	0.31	0.51	0.88	1.36	1.93	2.53
*8層HiDk (58微米)	gsp[gp]gsp	0.35	0.62	1.10	1.69	2.35	3.08
*8層HiDk (36微米)	gsp[gp]gsp	0.27	0.48	0.86	1.32	1.85	2.39
*8層 HiDk/VIP (36微米)	Xgsp[gp]gspX	0.25	0.46	0.81	1.25	1.75	2.26
*2-4-2 Buildup HiDk	ps[gp][gp]sg	0.14	0.26	0.48	0.74	1.01	1.30
4-2-4 Buildup	Psgpspg	0.16	0.26	0.43	0.67	0.95	1.26
5層 (58微米)	Psgsp	0.62	0.85	1.27	2.00	2.99	4.13
5層 VIP (36微米)	Psgsp	0.44	0.62	0.97	1.51	2.23	3.03
*6層HiDk (58微米)	ps[gp]sg	0.29	0.53	0.99	1.51	2.08	2.66
*6層HiDk (36微米)	ps[gp]sg	0.23	0.43	0.80	1.21	1.67	2.13
*6層 HiDk/VIP (36微米)	Xps[gp]sgX	0.22	0.40	0.75	1.14	1.56	2.00
*4層HiDk (58微米)	s[gp]s	0.23	0.44	0.87	1.30	1.75	2.20
*4層HiDk (36微米)	s[gp]s	0.19	0.36	0.74	1.12	1.50	1.88
*4層 HiDk/VIP (36微米)	Xs[gp]sX	0.18	0.35	0.69	1.04	1.40	1.76
陶瓷基板 上之薄膜	X[gp]	0.05	0.10	0.20	0.30	0.41	0.52

五、發明說明 (31)

在表1中，"種類"一欄代表的係被測試的互連模組結構的種類。在該種類一欄中，"X層"，例如"7層"，所指的係該互連模組中交替導體層的數量。"VIP"符號代表的係在"晶粒於焊墊中(via-in-pad)"構造中，該互連模組所包括製造於與該晶片黏接表面及板黏接表面中之通道相關聯的接點之上的導體層數量。

"HiDk"符號所指的係採用根據本發明之薄的、高介電常數電容器結構的構造。某些構造同時是VIP及HiDk構造。"Buildup"符號所指的構造係，其中的層係建立在一500微米的介電質附近。在其中一種情形中，2-4-2 Buildup HiDk，則係將HiDk電容器結構加入慣用的建構核心中。每中HiDk構造都包括"y-x-y"符號，其中x代表的係有多少導體層構成該HiDk電容器結構核心，而y代表的係有多少額外的導體層形成於該HiDk核心的任一側。

括弧中任何厚度代表的係，分離該互連模組中之導體層所插入的介電層的厚度。在表1，所有的導體層都係12微米的銅材。假設上面的條件成立時，那麼在種類一欄中，"5層(58微米)"符號代表的便係，建構中的互連模組具有五層導體層，並且係以58微米的介電層分離。

表1中的"剖面"一欄代表的係該互連模組中的接地、功率、信號、及接點層的配置。符號"s"代表的係信號層，"g"代表的係接地平面層，"p"代表的係功率平面層，X代表的係晶粒於焊墊中(VIP)層，而[gp]代表的係由HiDk電容器結構所構成的功率-接地平面對。

五、發明說明 (32)

在表1中，根據本發明所建構的「HiDk」模組進一步會以星號(*)標示。從表1中可清楚地看出，除了8層的HiDk (58微米)構造之外，其餘的HiDk構造一般都會在大於或等於約1.0 GHz以上的作業頻率中，產生小於或等於約0.60歐姆的功率分配阻抗。

假設優質數的計算方式如上所述，那麼，舉例來說，8層的HiDk (36微米)構造便會在1.0 GHz處產生約0.48歐姆的功率分配阻抗。同樣地，8層的HiDk/VIP構造便會在1.0 GHz處產生約0.46歐姆的阻抗。即使是6層的HiDk (58微米)構造，亦會在1.0 GHz處產生約0.53歐姆的阻抗。尤其是，當層的數量減少時，阻抗便會變得非常低。舉例來說，在4層的HiDk VIP構造中，在1.0 GHz處，阻抗約為0.35歐姆。舉例來說，在2-4-2 Buildup HiDk的構造中，在1.0 GHz處，阻抗約為0.26歐姆。在任一種情形中，越低的阻抗都可促進越高速度的切換。

表1的最後一列代表的係在陶瓷基板之上形成薄膜並且結合此處所述的電容器結構的具體實施例，用以實現具有減少的功率分配阻抗的互連模組。

實例 1

適合製造具有此處所述剖面的互連模組的基本方法，已經揭露於上述的美國專利案號5,879,787及6,021,564中。下面的實例將說明的係一種代表性的方法，用以額外地製造一種經過圖樣處理的高介電常數薄片，即圖1-7中所述的電容器結構，用以併入互連模組中，以達到減少的功率

五、發明說明 (33)

分配阻抗的目的。此實例中所使用的係層壓式的電容器結構，其在厚度約8微米的高介電常數材料兩側之上都包含約18微米的銅箔。

首先，必須形成該電容器結構。提供的係由德國Nurenberg的Carl Schenk AG，所售的厚度約18微米的銅箔基板，退火溫度為攝氏140°C，平均表面粗糙度(RMS)為8奈米。利用加州Foster City的Plasma Science所售的裝置，於氧/氫離子中將化學吸附的材料清除，駐留時間約為六分鐘。利用科羅拉多，Boulder的Web Systems, Inc.所售的商標為"Ultracleaner"的真空/超音波網層清潔劑，清除特別的碎削。

其次，將6.4公克由德州，休士頓，Shell Chemical Company所售的商標為Epon® 1001F的環氧樹脂，以及1.6公克Shell Chemical Company所售的商標為Epon® 1050的環氧樹脂溶解於威斯康辛州，密爾瓦基，Aldrich Chemical所售的18公克的甲基乙基酮(MEK)，及35公克的甲基異丁烯酮(MBK)。接著，將0.8公克由德拉威州，威明頓，ICI America所售的商標為"Hypermeer PS3"的分散劑，聚酯及聚胺的異量分子聚合物，添加至該混合物中。

利用紐約，Hauppauge，Charles Ross & Sons所售的Ross實驗混合器/乳化器，其轉子/靜子頭轉速為每分鐘2000轉(rpm)，將47公克由賓夕法尼亞州，Boyertown，Cabot Performance Materials所售的商標為"BT-8"的鈦酸鋇顆

五、發明說明 (34)

粒，其平均顆粒尺寸為0.2微米，並且已於攝氏350度中加熱15個小時，慢慢地加入。當加入全部的鈦酸鋇之後，轉速便會提高至6000 rpm，並且將該鈦酸鋇放置於冰桶冷卻的容器中，進行二十分鐘的分散，以防止加熱該混合物。所得到的混合物其固體的重量百分比便係55%，而鈦酸鋇與環氧樹脂的體積比率則為55:45。

該混合物可靜置一個晚上，不受到干擾，以便讓分散不均的凝塊沉澱下來。接著，透過2微米的不銹鋼過濾篩網對該混合物進行過濾，以形成第一混合物。該第一混合物中，所量測到的固體重量百分比為53%，而該第一混合物中，鈦酸鋇的體積百分比為53%。兩項量測值都係以比重法進行量測

接著，利用0.45微米的濾網對8.4公克的MEK溶液，其中Epon® 1001F的重量百分比為70%，1.8公克的MEK溶液，其中Epon® 1050的重量百分比為80%，以及5.4公克重量百分比為5%的2,4,6-叁(二甲胺基甲基)酚進行過濾，然後加入236公克的第一混合物以形成第二混合物。經由攪拌，或是將該容器放置在球磨機(並不具有球)之上轉動，便可使得該混合物變得相當均勻。該第二混合物最後的固體重量百分比為43%。利用超音波桶，對該第二混合物進行五分鐘的氣泡清除作業。

利用微凹版塗佈機(於無塵室中)，將該第二混合物分離地塗佈於兩個銅箔之上，網速度為25英呎/分鐘(12.7公分/秒)，而凹版轉動速度為40英呎/分鐘(20公分/秒)。凹

五、發明說明 (35)

版轉動經過選擇之後，可提供1至1.5微米的乾塗料厚度。該塗料會於攝氏95度下進行烘乾，然後纏繞於核心中，形成捲狀物。

接著，便可利用加州El Segundo的Western Magnum所售的壓合機，於無塵室中，將該兩個塗佈著混合物的銅箔，以塗料端對塗料端的方式層壓在一起，其溫度為攝氏150度，轉動速度為15英吋/分鐘(0.64公分/秒)，捲軸氣壓為20 psi (140 kPa)。接著，在空氣中，於攝氏180度的溫度下，對該層壓後的薄片進行八分鐘的固化。

利用Institute for Interconnecting and Packaging Electronic Circuits於1988年10月公告，IPC測試方法手冊的IPC-TM-650，測試編號2.4.9，所述的90度剝片試驗，對固化後的薄片進行測試。需要3.4英鎊/英吋(600 N/m)的力量方能分離該銅箔。亦可以下面的測試方法測試固化後的薄片的電容：使用標準的微影蝕刻及銅蝕刻程序於該薄片的其中一側蝕刻出一2公分乘2公分的電極，然後利用加州Palo Alto的惠普(Hewlett Packard)所售的LCR量測計，型號為4261A，於1千赫茲中量測該電容。所量測到的電容為6奈法拉/平方公分，消耗係數為0.004。

接著，根據該互連模組的尺寸，切下一片所產生的電容器薄片。示範的尺寸為33毫米乘33毫米。該薄片必須修整，並且使用穿孔機，在該薄片形成加工孔。然後，利用該加工孔作為對齊點，將微影蝕刻對齊時所使用的基準點，以雷射穿過直徑約300微米的鑿穿孔射入已經穿孔的

五、發明說明 (36)

薄片 中。

接著將 7025 型，15.75 英吋寬的光阻，塗佈在該薄片兩個銅箔中的每個銅箔之上。將超過該薄片邊緣的光阻修整之後，便可對塗佈著光阻的加工孔進行穿孔。接著，便使用具有自動對齊功能的 Proform® 7700 印刷機，以標準的曝光能量，將該光阻成像於兩個銅箔之上。接著，便利用碳酸鈉溶液，及標準的設定值，對光阻進行顯影。然後，利用氯化銅溶液，及標準的設定值，在該銅箔蝕刻出間隙。利用氫氧化鉀，及標準的設定值，除了剝除壓力應該降低至 20 psi 至外，將該光阻剝除，吾人希望使用較不具破壞性的乾式方式進行，以免損壞任何曝露的介電層。

該薄片曝露出來的銅表面，在後面依照順序的層壓步驟中，經過處理之後可增加黏著性。用以增進表面黏著性的處理方法實例包括，褐或黑氧化，Co-Bra® Bond 處理，或塗敷黏著性促進劑，如胺基丙烯矽烷。

形成之後，便可對該電容器薄片進行處理之後，放進互連模組封裝內，如同經過圖樣處理的銅薄片。明確地說，可將該電容器薄片加入交替堆疊的其它銅層及介電層的中心內，並且進行擠壓以施加層壓力量。當進行擠壓以幫助該層壓方法的 b 階段時，會將銅層放置在各層的附近，以產生一整體的、多層的結構，其具有含外側介電及導體層的 HiDk 電容器結構核心。可能採用多層薄片，以便採用較多的電路層數，或各種死通道，及埋值通道結構。

在層壓期間，介電材料會從旁邊的層流入及填充該圖樣

五、發明說明 (37)

處理後之導體層之間的開口。該介電層係由有機的PTFE基材料所構成的。在不同的組裝階段中，利用鑽孔，可在該互連模組中形成死通道及埋值通道，以便在接點焊墊，及功率與接地平面之間產生互連。該些通道係利用雷射鑽孔技術進行鑽鑿。明確地說，如美國專利案號5,879,787中所述的，利用第三或第四諧波的Nd:YAG脈衝雷射產生266奈米或355奈米的紫外光束。

為將導體層互連在一起，可利用熟知的電鍍技術，如非電鍍法加上電解電鍍，在各階段中，以導體材料電鍍該死通道及埋值通道，界定出穿透該薄片的導體路徑。電鍍之後，便可使用標準的微影蝕刻技術，對外側的導體層進行圖樣處理，以形成接點焊墊。該些接點焊墊可用以製造I/O連接及功率/接地平面連接。當組裝該互連模組時，其包含層壓的HiDk電容器結構，可藉由再流動該晶片上的鉅錫球陣列，將晶片焊接至該晶片黏接表面中的對應接點焊墊中，以便將晶片加入該晶片黏接表面中，然後便可將所產生的結構放置在PWB之上，進行鉅錫球連接。

實例 2

在另一實例中，電容器結構係由上面所參考的美國專利申請序號09/902,302中所述的分散劑所構成的。明確地說，利用凹版或晶粒塗佈技術，將下面表2所代表的分散劑塗佈在銅箔片之上。

五、發明說明 (38)

表 2

成分	公克數
Epon® 1001F環氧樹脂+Epon® 1050環氧樹脂	16.0
9,9-雙(3-氯-4-胺基苯)氟化物	4.0
鈦酸鋇，0.2微米(Cabot Performance Materials)	78.7
PS3聚酯/聚胺異量分子聚合物分散劑(Uniquema)	1.3
5-胺基苯半唑	0.08

介電質的烘乾厚度係介於約2.0至5.0微米之間。該塗料經過乾燥之後，會形成無黏性的表面，然後纏繞成捲軸。利用兩個加熱後的夾式滾筒，以側邊對側邊的方式，對兩個捲軸進行層壓、塗佈。層壓後的材料會在攝氏180度中進行1.5至2.5小時的固化。利用慣用的光阻及蝕刻劑，在該固化後平板的其中一側或兩側之中進行圖樣處理，以產生個別的電容器結構。

實例 3

用以製造適用於互連模組中的電容器結構的另一實例中，係將如上面所參考的美國專利申請序號09/902,302中所述及下面表3中的分散劑塗佈在銅箔片之上。

表 3

成分	公克數 ^a	公克數 ^b
Epon® 1001F環氧樹脂	20.2	16.2
Epon® 1050環氧樹脂	5.0	4.0
9,9-雙(3-氯-4-胺基苯)氟化物	0	5.1
鈦酸鋇，0.2微米(Cabot Performance Materials)	100	100
PS3聚酯/聚胺異量分子聚合物分散劑(Uniquema)	1.8	1.8
甲基乙基酮/甲基異丁烯酮(4:6)	127	127
2,4,6-叁(二甲胺基甲基)酚	0.25	0.025或0

五、發明說明 (39)

^a 標準的公式僅使用 2,4,6-叁(二甲胺基甲基)酚催化劑作為固化劑

^b 亦使用 9,9-雙(3-氯-4-胺基苯)氟化物

可利用凹版或晶粒塗佈技術，塗佈上面的分散劑。在塗佈該環氧樹脂之前，可能會在該基板上塗佈黏著性促進劑。一般來說，會利用標準的塗佈技術塗敷稀釋溶液，例如重量百分比 0.05 至 0.15% 的醇類，如甲醇之類，並且烘乾該基板。該介電質的烘乾厚度係介於約 2.0 至 5.0 微米之間。該塗料經過乾燥之後，會形成無黏性的表面，然後纏繞成捲軸。利用標準光阻壓合機中兩個加熱後的夾式滾筒，以側邊對側邊的方式，對兩個捲軸進行層壓、塗佈。層壓後的材料會在攝氏 180 度中進行約 2 小時的固化。利用慣用的光阻及蝕刻劑，在該固化後平板的其中一側或兩側之中進行圖樣處理，以產生個別的電容器結構。

實例 4

在另一實例中，則係將如上面所參考的美國專利申請序號 09/902,302 中所述及下面表 4 中的分散劑塗佈在銅箔片之上。

五、發明說明 (40)

表 4

成分	公克數 ^a	公克數 ^b
Epon® 1001F環氧樹脂+Epon® 1050環氧樹脂	16.0	16.8
9,9-雙(3-氯-4-胺基苯)氟化物	4.0	3.2
胺類等效物/環氧樹脂等效物比率	1:1	0.6:1
鈦酸鋇，0.2微米(Cabot Performance Materials)	78.7	78.7
PS3聚酯/聚胺異量分子聚合物分散劑(Uniquema)	1.8	1.8
5-胺基苯半唑	0.08	0
初始固化溫度(攝氏度數)	180	225
初始固化溫度之後的黏著性(每英吋的英鎊數)	4.4	3.4
六小時之後，攝氏225度時的黏著性(每英吋的英鎊數)	2.0	4.0

本實例將具有相同原料的兩種電容器結構作比較，但是改變氟化合物對環氧樹脂的比率，是否有催化劑，及初始固化溫度。上面的分散劑可依照上面實例2及3的方式進行塗佈及層壓。該介電質的烘乾厚度係介於約2.0至5.0微米之間。

已經說明本發明的各種具體實施例。所有的具體實施例都涵蓋於下面申請專利範圍的範圍中。舉例來說，此處所述的本發明具體實施例有可能會結合下面美國專利案中所描述的額外結構或方法，此處將各案的全部內容以引用的方式併入本文中，該些專利案包括：美國專利案號5,888,630，美國專利案號6,018,196，美國專利案號5,983,974，美國專利案號5,836,063，美國專利案號5,731,047，美國專利案號5,841,075，美國專利案號5,868,950，美國專利案號5,888,631，美國專利案號5,900,312，美國專利案號6,011,697，美國專利案號6,021,564，美國專利案號

五、發明說明(41)

6,103,992 , 美國專利案號 6,127,250 , 美國專利案號
6,143,401 , 美國專利案號 6,183,592 , 美國專利案號
6,203,891 , 及美國專利案號 6,248,959 。

四、中文發明摘要(發明之名稱： 具有減少的功率分配阻抗的互連模組)

一種積體電路晶片的互連模組，採用薄的、高介電常數的內建電容器結構，以提供減少的功率分配阻抗，從而促成更高的頻率作業。該互連模組能夠透過鉅錫球連接，將積體電路晶片可靠地黏接至印刷線路板，並且可在1.0 GHz (十億赫茲)以上的操作頻率中，提供小於或等於約0.60歐姆的減少的功率分配阻抗。

英文發明摘要(發明之名稱： "INTERCONNECT MODULE WITH REDUCED) POWER DISTRIBUTION IMPEDANCE")

An interconnect module for an integrated circuit chip incorporates a thin, high dielectric constant embedded capacitor structure to provide reduced power distribution impedance, and thereby promote higher frequency operation. The interconnect module is capable of reliably attaching an integrated circuit chip to a printed wiring board via solder ball connections, while providing reduced power distribution impedance of less than or equal to approximately 0.60 ohms at operating frequencies in excess of 1.0 gigahertz.

六、申請專利範圍

1. 一種互連模組，其包括：

一晶片黏接表面，用以界定第一接點焊墊，以便黏接至一積體電路晶片；

一板黏接表面，用以界定第二接點焊墊，以便黏接至一印刷線路板；

一電容器結構，其具有一第一導體層、一第二導體層、及一形成該第一及第二導體層之間的第一介電層，其中該第一導體層、該第二導體層、及該第一介電層係層壓在一起的；及

形成於該互連模組中的導體路徑，其會將複數個第一接點焊墊互連至第一導體層，

其中，該第一接點焊墊、該導體路徑、及該電容器結構可在大於或等於約 1.0 GHz 茲的頻率中，產生小於或等於約 0.60 歐姆的組合阻抗。

2. 如申請專利範圍第 1 項之互連模組，進一步包括額外的導體層及額外的介電層：

一形成於該第一導體層及該晶片黏接表面之間的第二介電層；

一形成於該第二介電層及該晶片黏接表面之間的第三導體層；

一形成於該第二導體層及該板黏接表面之間的第三介電層；及

一形成於該第三介電層及該板黏接表面之間的第四導體層。

六、申請專利範圍

3. 如申請專利範圍第2項之互連模組，其中該額外的介電層係由擴充的聚四氟乙烯基質所構成的，其含有混合的氰酸酯-環氧樹脂黏著劑及無機填充料，而且該互連模組的各層層壓在一起形成一層壓封裝。
4. 如申請專利範圍第1項之互連模組，其中該導體路徑耦合至用以互連具有對應的複數個第一及第二導體層的複數個第一接點焊墊的通道，用以從該第一導體層分配功率，以及從該第二導體層分配接地電位。
5. 如申請專利範圍第1項之互連模組，其中該第一及第二導體層都係銅箔，而該第一介電層則係形成於該等銅箔之至少一個之上的介電材料塗層。
6. 如申請專利範圍第5項之互連模組，其中該介電材料包括載有介電顆粒的環氧樹脂。
7. 如申請專利範圍第6項之互連模組，其中該介電顆粒包括鈦酸鋇顆粒，其平均顆粒尺寸約為0.2微米。
8. 如申請專利範圍第5項之互連模組，其中每個銅箔於接收該塗料一側的平均表面粗糙度約為8毫微米。
9. 如申請專利範圍第6項之互連模組，其中在層壓該第一導體層、該第二導體層、及該介電層的時候，該環氧樹脂被固化。
10. 如申請專利範圍第2項之互連模組，其包括進一步的額外的導體層及額外的介電層，其中該些額外的介電層都由相同的材料所構成，並且具有約略相同的厚度及相同的容限值，而且所有的層都會層壓至另一層，以形成該

六、申請專利範圍

互連模組。

11. 如申請專利範圍第10項之互連模組，其中該第一導體層係一功率層，該第二導體層係一接地層，而進一步額外的導體層則都係信號層。

12. 如申請專利範圍第1項之互連模組，其中該電容器結構係一第一電容器結構，該互連模組進一步包括：

一第二電容器結構，其具有一第三導體層、一第四導體層、及一形成該第三及第四導體層之間的第二介電層；及

一形成該第一及第二電容器結構之間的第三介電層，其中該等導體路徑將複數個第二接點焊墊互連至該第四導體層。

13. 一種形成互連模組的方法，該方法包括：

提供一層壓式電容器結構，其包括一第一導體層、一第二導體層、及一形成該第一及第二導體層之間的介電層，並且層壓成一整體的結構；

形成一晶片黏接表面，用以界定第一接點焊墊，以便將積體電路晶片黏接至該電容器結構第一側中的互連模組；

形成一板黏接表面，用以界定第二接點焊墊，以便將該互連模組黏接至該電容器結構第二側中的印刷線路板；

耦合該電容器結構、該晶片黏接表面、及該板黏接表面，以形成該互連模組；及

六、申請專利範圍

形成導體路徑，用以將複數個第一接點焊墊互連至第一導體層，

其中該第一接點焊墊、該導體路徑、及該電容器結構可在大於或等於約 1.0 GHz 的頻率中，產生小於或等於約 0.60 歐姆的組合阻抗。

裝

訂

線

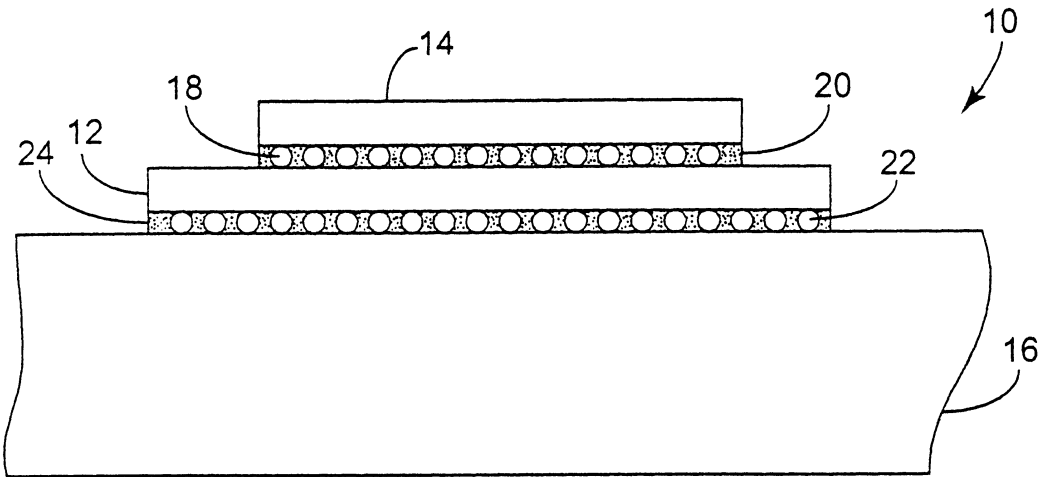


圖 1

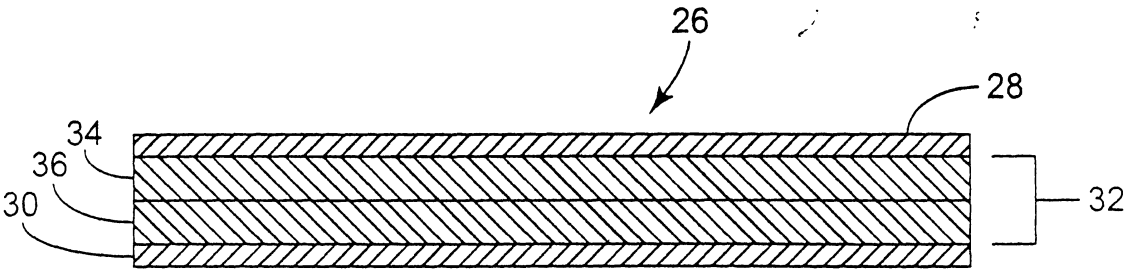


圖 2

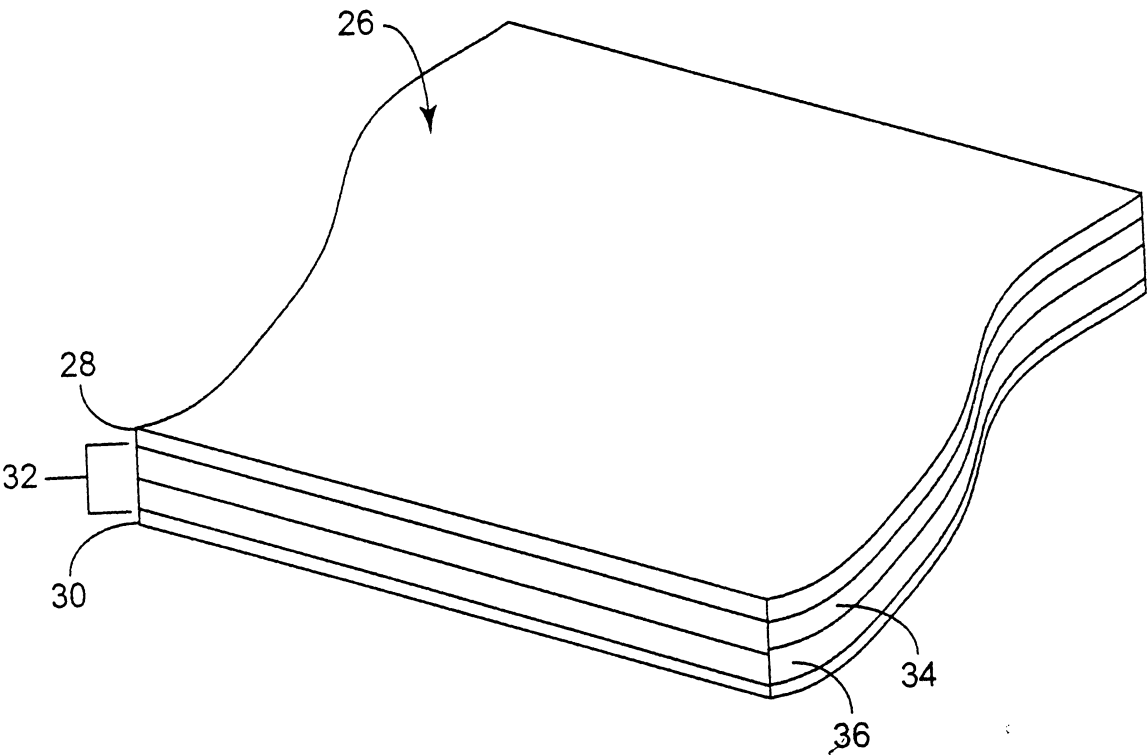


圖 3

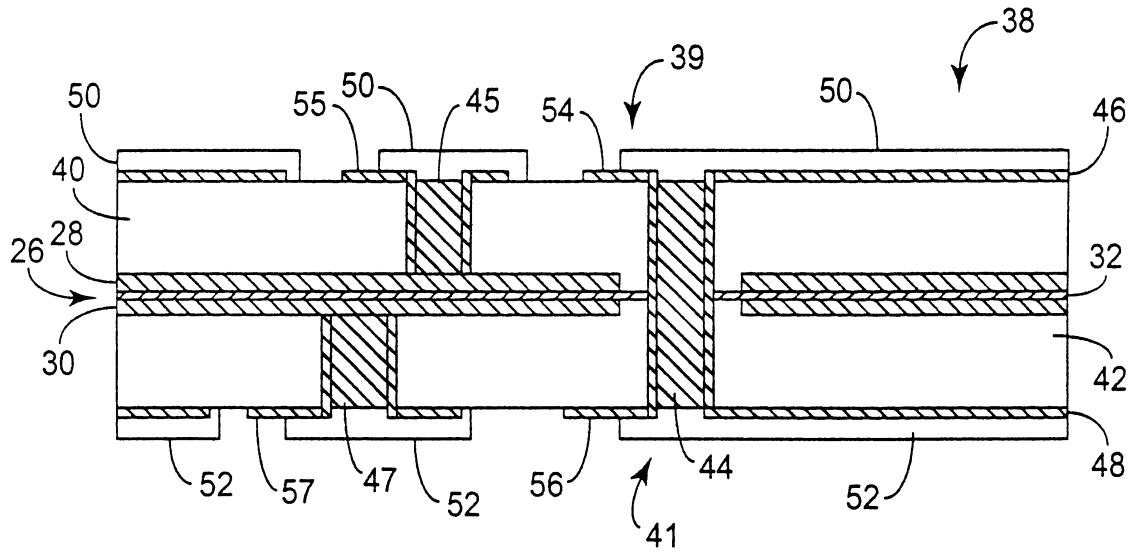


圖 4

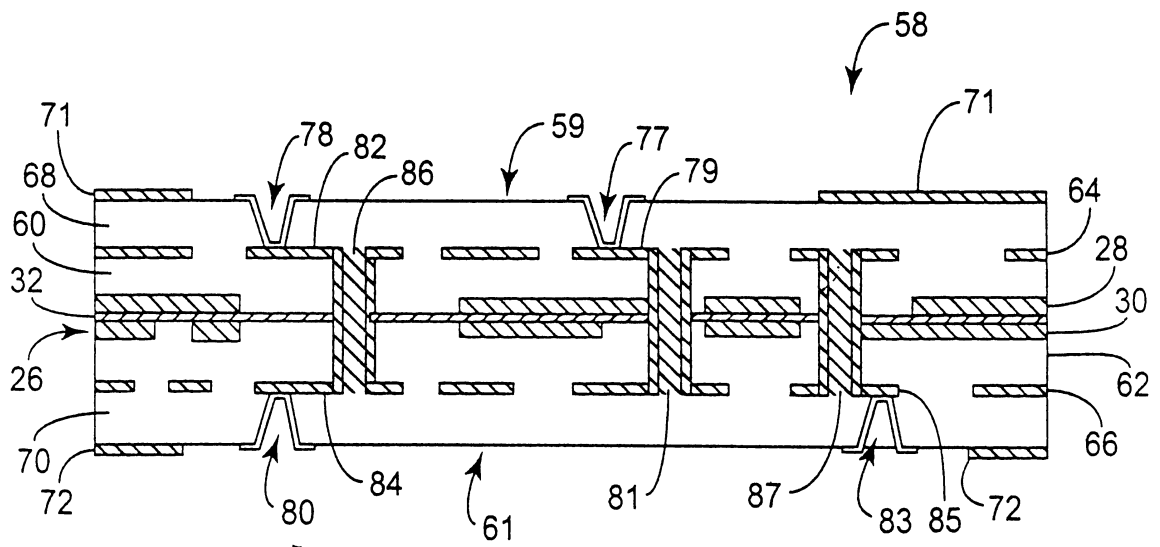


圖 5

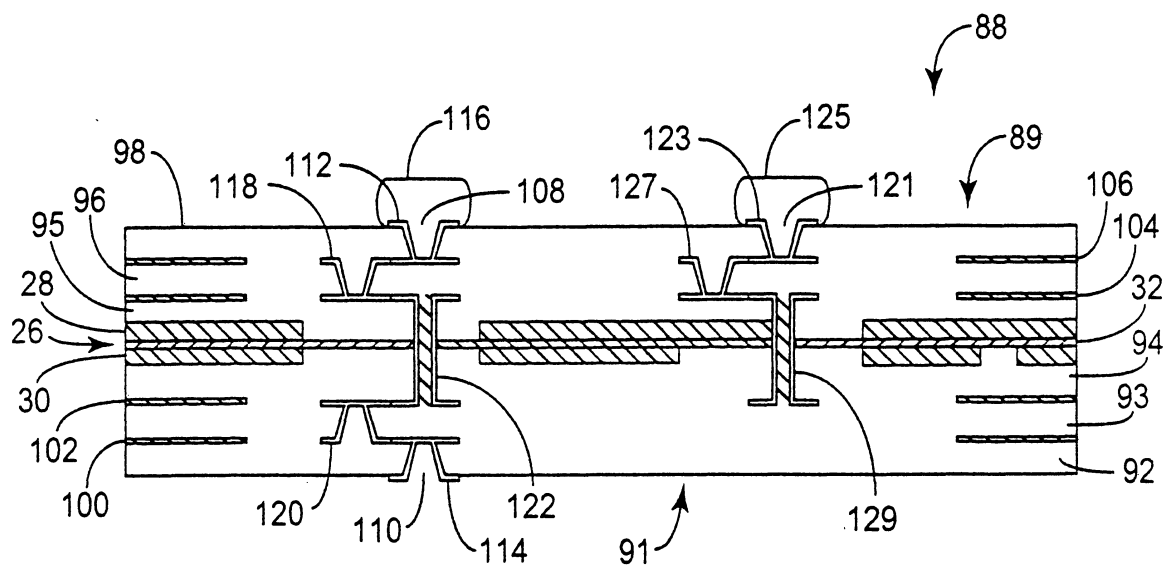


圖 6

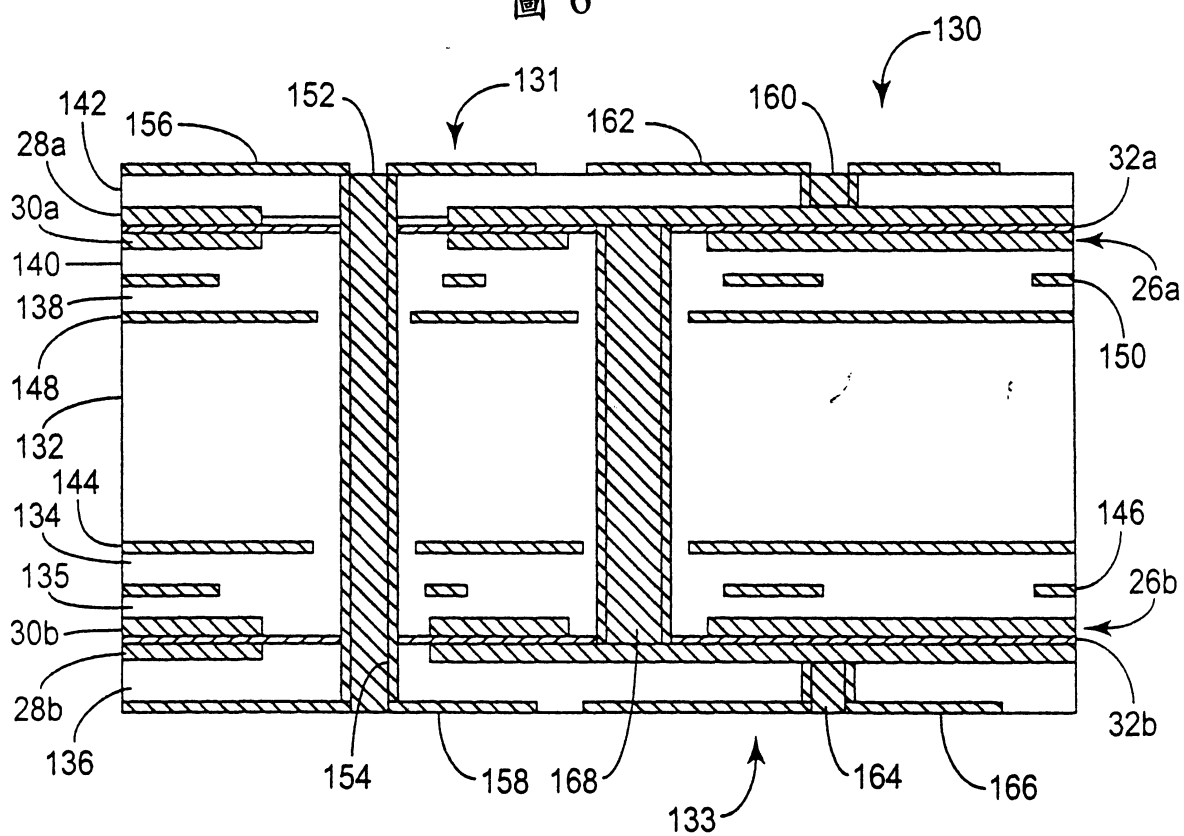


圖 7