

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3292

(P2014-3292A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 23/12 (2006.01)	HO1L 23/12	F
HO1L 25/18 (2006.01)	HO1L 25/04	Z
HO1L 25/04 (2014.01)	HO1L 23/12	501P

審査請求 未請求 請求項の数 35 O L 外国語出願 (全 33 頁)

(21) 出願番号	特願2013-122304 (P2013-122304)	(71) 出願人	390041542 ゼネラル・エレクトリック・カンパニイ アメリカ合衆国、ニューヨーク州、スケネ クタディ、リバーロード、1番
(22) 出願日	平成25年6月11日 (2013.6.11)	(74) 代理人	100137545 弁理士 荒川 智志
(31) 優先権主張番号	13/524, 369	(74) 代理人	100105588 弁理士 小倉 博
(32) 優先日	平成24年6月15日 (2012.6.15)	(74) 代理人	100129779 弁理士 黒川 俊久
(33) 優先権主張国	米国(US)	(74) 代理人	100113974 弁理士 田中 拓人

最終頁に続く

(54) 【発明の名称】集積回路パッケージおよびそれを作る方法

(57) 【要約】 (修正有)

【課題】 反りおよび歪みを最小限にするチップパッケージ製作の方法を提供する。

【解決手段】 チップパッケージ 66 は、少なくとも 1 つのダイパッド 72 をその上に位置決めしたアクティブ面 74 を備える第 1 のダイ 68 と、第 1 のダイ 68 のアクティブ面 74 に結合される第 1 の表面および第 1 の表面と反対側の第 2 の表面を有する第 1 の接着剤層 90 と、上面を有する第 1 の誘電体層 80 とを含む。第 1 の誘電体層 80 の上面の第 1 の部分は、第 1 の接着剤層 90 の第 2 の表面に結合される。第 1 の部分と異なる、第 1 の誘電体層 80 の上面の第 2 の部分には、実質的に接着剤がない。

【選択図】 図 8

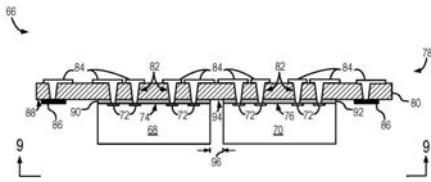


FIG. 8

## 【特許請求の範囲】

## 【請求項 1】

少なくとも 1 つのダイパッドをその上に位置決めしたアクティブ面を含む第 1 のダイと、前記第 1 のダイの前記アクティブ面に結合される第 1 の表面および前記第 1 の表面の反対側の第 2 の表面を有する第 1 の接着剤層と、

上面を有する第 1 の誘電体層であって、前記第 1 の誘電体層の前記上面の第 1 の部分が、前記第 1 の接着剤層の前記第 2 の表面に結合される、第 1 の誘電体層とを含むチップパッケージにおいて、

前記第 1 の部分と異なる、前記第 1 の誘電体層の前記上面の第 2 の部分には、実質的に接着剤がない、チップパッケージ。

## 【請求項 2】

前記第 1 の誘電体層の前記上面の前記第 2 の部分は、前記誘電体層の前記上面の前記第 1 の部分を実質的に取り囲む、請求項 1 記載のチップパッケージ。

## 【請求項 3】

前記第 1 の接着剤層の前記第 1 の表面は、前記第 1 のダイの前記アクティブ面の表面積にほぼ等しい表面積を有する、請求項 1 記載のチップパッケージ。

## 【請求項 4】

少なくとも 1 つのダイパッドをその上に位置決めしたアクティブ面を含む第 2 のダイと、

前記第 2 のダイの前記アクティブ面に結合される第 1 の表面および前記第 1 の表面の反対側の第 2 の表面を有する第 2 の接着剤層とをさらに含み、

前記第 2 の接着剤層の前記第 2 の表面は、前記第 1 の誘電体層の前記上面の第 3 の部分に結合される、請求項 1 記載のチップパッケージ。

## 【請求項 5】

前記第 1 および第 2 のダイは、ギャップがそれらの間に形成されるように位置決めされ、

前記ギャップと位置合わせされる前記第 1 の誘電体層の前記上面の部分には、実質的に接着剤がない、請求項 4 記載のチップパッケージ。

## 【請求項 6】

前記第 1 の接着剤層は、非導電性である、請求項 1 記載のチップパッケージ。

## 【請求項 7】

前記第 1 の誘電体層の前記上面に結合される第 1 のメタライズ層をさらに含む、請求項 1 記載のチップパッケージ。

## 【請求項 8】

前記第 1 の誘電体層を貫通して形成され、前記第 1 のメタライズ層および前記少なくとも 1 つのダイパッドのうちの少なくとも 1 つと接触する第 1 の複数の金属化接続部をさらに含む、請求項 7 記載のチップパッケージ。

## 【請求項 9】

前記上面と反対側の、前記誘電体層の底面に結合される再配置層をさらに含み、前記再配置層は、

第 2 の誘電体層と、

前記第 2 の誘電体層に結合される第 2 のメタライズ層と、

前記第 2 の誘電体層を貫通して形成され、前記第 1 および第 2 のメタライズ層と電気接觸する第 2 の複数の金属化接続部とを含む、請求項 1 記載のチップパッケージ。

## 【請求項 10】

少なくとも 1 つの接触パッドをその上に位置決めしたアクティブ面を含む第 1 の半導体ダイを提供するステップと、

接着剤層を前記第 1 の半導体ダイの前記アクティブ面に付加するステップと、

それに付加された前記接着剤層を有する前記第 1 の半導体ダイを誘電体基板の上面に前記接着剤層を介して接着するステップとを含む、統合チップパッケージを形成する方法。

## 【請求項 11】

前記接着剤層を前記第 1 の半導体ダイの前記アクティブ面に付加するステップは、前記接

10

20

30

40

50

着剤層の第1の表面が半導体ウエハーのアクティブ面と接触するように前記接着剤層を前記半導体ウエハーに付加するステップを含み、

前記第1の半導体ダイを前記半導体ウエハーから単体化するステップをさらに含む、請求項10記載の方法。

【請求項12】

前記第1の半導体ダイを単体化する前に、前記第1の表面と反対側の、前記接着剤層の第2の表面に剥離シートを結合するステップをさらに含む、請求項11記載の方法。

【請求項13】

前記第1の半導体ダイを単体化する前に前記接着剤層をBステージ硬化させるステップをさらに含む、請求項11記載の方法。

10

【請求項14】

少なくとも1つのダイパッドをその上に位置決めしたアクティブ面を含む第2の半導体ダイを提供するステップと、

接着剤層を前記第2の半導体ダイの前記アクティブ面に付加するステップと、

それに付加された前記接着剤層を有する前記第2の半導体ダイを前記誘電体基板の前記上面に接着するステップとをさらに含む、請求項10記載の方法。

【請求項15】

前記第1および第2の半導体ダイの前記接着剤層間の前記誘電体基板の前記上面にギャップが形成されるように、前記第1の半導体ダイおよび前記第2の半導体ダイを前記誘電体基板の前記上面に位置決めするステップをさらに含む、請求項14記載の方法。

20

【請求項16】

第1のメタライズ層を前記誘電体基板の前記上面に形成するステップと、

前記誘電体基板を貫通する第1の複数の金属化接続部を形成するステップであって、前記第1の複数の金属化接続部が、前記第1のメタライズ層および前記少なくとも1つの接触パッドのうちの少なくとも1つと接触する、ステップとをさらに含む、請求項10記載の方法。

【請求項17】

誘電体基板と、

第1のダイアセンブリであって、

接触パッドをその上に位置決めしたアクティブ面を有する半導体ダイと、

前記半導体ダイの前記アクティブ面に結合される第1の表面を有する非導電性接着剤層とを含み、

前記接着剤層の前記第1の表面の表面積が、前記半導体ダイの前記アクティブ面の表面積に実質的に等しく、

前記第1の表面と反対側の、前記接着剤層の第2の表面が、前記誘電体基板の表面に結合される、第1のダイアセンブリとを含む統合チップパッケージにおいて、

前記第1のダイアセンブリに隣接する前記柔軟な基板の前記表面の小部分には、実質的に接着剤がない、統合チップパッケージ。

【請求項18】

接触パッドをその上に位置決めしたアクティブ面を有する半導体ダイと、

前記半導体ダイの前記アクティブ面に結合される接着剤層であって、前記接着剤層の表面積が、前記半導体ダイの前記アクティブ面の表面積に実質的に等しい、接着剤層とを含む第2のダイアセンブリをさらに含み、

前記第2のダイアセンブリは、前記柔軟な基板の前記表面に結合される、請求項17記載の統合チップパッケージ。

【請求項19】

前記第1および第2のダイアセンブリ間の前記柔軟な基板の前記表面に形成されるギャップには、実質的に接着剤がない、請求項18記載の統合チップパッケージ。

【請求項20】

前記第2のダイアセンブリは、前記第1のダイアセンブリの前記接着剤層が前記第2のダ

30

40

50

イアセンブリの前記接着剤層と接触しないように前記柔軟な基板の前記表面に位置決めされる、請求項 1 8 記載の統合チップパッケージ。

【請求項 2 1】

その上面に位置決めされたダイ位置を有する誘電体基板を提供するステップと、

少なくとも 1 つの接触パッドをその上に位置決めしたアクティブ面を含む第 1 の半導体ダイを提供するステップと、

前記第 1 の半導体ダイの前記アクティブ面および前記誘電体基板の前記ダイ位置のうちの 1 つに接着剤層を付加するステップであって、前記接着剤層が、前記第 1 の半導体ダイの前記アクティブ面の表面積にほぼ等しい表面積を有する、ステップと、

前記第 1 の半導体ダイを前記誘電体基板の前記上面に前記接着剤層を介して接着するステップとを含む、統合チップパッケージを形成する方法。 10

【請求項 2 2】

前記第 1 の半導体ダイを前記誘電体基板に接着する前に前記接着剤層を前記第 1 の半導体ダイの前記アクティブ面に付加するステップをさらに含む、請求項 2 1 記載の方法。

【請求項 2 3】

前記第 1 の半導体ダイを前記誘電体基板に接着する前に前記接着剤層を前記誘電体基板の前記上面の前記ダイ位置に付加するステップをさらに含む、請求項 2 1 記載の方法。

【請求項 2 4】

少なくとも 1 つの部分的に硬化した接着剤パッドを前記誘電体基板の前記上面に位置決めするステップをさらに含む、請求項 2 3 記載の方法。 20

【請求項 2 5】

前記接着剤層を前記誘電体基板の前記上面の前記ダイ位置に付加するためにマスキング操作を実行するステップをさらに含む、請求項 2 3 記載の方法。

【請求項 2 6】

金属スクリーンの開口部が前記誘電体基板の前記上面の前記ダイ位置と位置合わせされるように、前記金属スクリーンを前記誘電体基板の前記上面と位置合わせするステップと、

前記金属スクリーンを通じて接着剤を分注して前記接着剤層を形成するステップとをさらに含む、請求項 2 3 記載の方法。 25

【請求項 2 7】

前記接着剤層を前記誘電体基板の前記上面にインクジェット印刷するステップをさらに含む、請求項 2 3 記載の方法。 30

【請求項 2 8】

前記ダイ位置を取り囲む前記誘電体基板の上面のエリアには実質的に接着剤層がないように前記接着剤層を付加するステップをさらに含む、請求項 2 1 記載の方法。

【請求項 2 9】

複数のダイ位置をその表面に位置決めした誘電体基板を提供するステップと、

隣接ダイ位置間の前記誘電体基板の前記表面にギャップが形成されるように、パターン化接着剤層を前記誘電体基板の前記複数のダイ位置に付加するステップであって、前記ギャップには実質的に接着剤がない、ステップと、

複数の半導体ダイを前記誘電体基板に前記接着剤層を介して接着するステップとを含む、統合チップパッケージを形成する方法。 40

【請求項 3 0】

前記接着剤層を前記誘電体基板の前記複数のダイ位置にインクジェット印刷するステップと、

前記それぞれのダイ位置に対応する複数の穴をその中に形成したスクリーンを通じて前記接着剤層を前記誘電体基板の前記複数のダイ位置にパターン化するステップとのうちの 1 つをさらに含む、請求項 2 9 記載の方法。

【請求項 3 1】

複数の部分的に硬化した接着剤部分を形成するステップであって、各接着剤部分が、それぞれの半導体ダイのアクティブ面の表面積に実質的に等しい表面積を有する、ステップと

10

20

30

40

50

、前記複数の部分的に硬化した接着剤部分を前記誘電体基板の前記複数のダイ位置に位置決めして前記パターン化接着剤層を形成するステップとをさらに含む、請求項29記載の方法。

【請求項32】

前記複数の半導体ダイをそれに接着する前に前記接着剤層を部分的に硬化させるステップをさらに含む、請求項29記載の方法。

【請求項33】

前記複数のダイをそれに接着した後に前記接着剤層を完全に硬化させるステップをさらに含む、請求項29記載の方法。

10

【請求項34】

前記複数のダイ位置を取り囲む前記誘電体基板の前記表面の小部分には実質的に接着剤がないように前記接着剤層をパターン化するステップをさらに含む、請求項29記載の方法。

。

【請求項35】

第1のメタライズ層を前記誘電体基板の前記表面に形成するステップと、

前記誘電体基板を貫通する第1の複数の金属化接続部を形成するステップであって、前記第1の複数の金属化接続部が、前記第1のメタライズ層および前記複数の半導体ダイの1つのダイの少なくとも1つの接触パッドのうちの少なくとも1つと接触する、ステップとをさらに含む、請求項29記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、一般に集積回路パッケージに関し、より詳しくは集積回路パッケージ内での接着剤配置に関する。

【背景技術】

【0002】

集積回路が、ますますより小さくなり、より優れた動作性能をもたらすにつれて、集積回路（IC）パッケージングのためのパッケージング技術はそれに対応して、リード付きパッケージングから積層に基づくボールグリッドアレイ（BGA）パッケージングに、最終的にはチップスケールパッケージング（CSP）に発展してきた。ICチップパッケージング技術の進歩は、より優れた性能、より大幅な小型化、およびより高い信頼性を達成する必要性が増え続けることによって推進される。新しいパッケージング技術はさらに、大規模製造のためにバッチ生産の可能性を大きくしなければならず、それによって規模の経済を可能にする。

30

【0003】

標準CSP製造プロセスは典型的には、製造プロセス中に基板を安定させるフレームに誘電体基板またはフレックス層を取り付けることから始める。接着剤が、液体形態で誘電体基板の表面に分注され、フレームが、急速に回されて液体接着剤を誘電体の全表面にわたって均一な厚さに広げる。次に、1つまたは複数のダイが、アクティブ側を下にして接着剤中に位置決めされ、接着剤が、硬化される。複数の再配置層が次いで、誘電体基板上に堆積され、パターン化されて薄膜金属再配線および相互接続システムを形成し、8つ以上の再配置層が、一般的である。再配置層は典型的には、例えばベンゾシクロブテン（BCB）またはポリイミド材料から形成され、スピンドルまたは積層付加プロセスを用いて付加される。積層再配置層とダイ（複数可）との間の電気的接続は、ダイ（複数可）へのおよびダイ（複数可）からの入力／出力（I/O）システムを形成する。

40

【0004】

ICパッケージング要件の進歩は、既存の埋め込みチップビルトアッププロセスに課題をもたらす。ICパッケージが、より薄くなるにつれて、接着剤層は、誘電体層の上面および底面での不均一な応力分布の結果としてICパッケージをたわませるまたはさもなけ

50

ればひずませることもある。さらに、より小さく、より複雑なマルチチップICパッケージを製造するためには、ダイは、誘電体上で互いにより接近して高い精度で位置決めされなければならない。しかしながら、ダイを誘電体に結合する接着剤層は、密集したダイの精密アラインメントを困難にする可能性がある。例えば、2つ以上のダイが、誘電体上で互いに近接近して位置決めされるとき、ダイは、接着剤硬化プロセス中に所望の位置から「滑るように出る」または外へ移動する傾向を有する。単に所望の位置から外へ移動することに加えて、密集したダイは、接着剤が硬化している間に互いに引き付けられることもあり、その現象が、最終チップパッケージ中でダイが互いに接触するまたはくっつくという望ましくない結果を引き起こすこともある。

## 【0005】

10

それに応じて、接着剤層が引き起こす可能性がある反りおよび歪みを最小限にし、ICパッケージ中でのより接近したダイ間隔および精密ダイアラインメントを可能にするチップパッケージ製作の方法の必要性がある。アセンブリプロセスに容易に組み込まれ、処理時間を最小限にし、低コストアセンブリを提供する製作方法の必要性もさらにある。

## 【先行技術文献】

## 【特許文献】

## 【0006】

【特許文献1】米国特許第8008125号明細書

## 【発明の概要】

## 【0007】

20

本発明の一態様によると、チップパッケージは、少なくとも1つのダイパッドをその上に位置決めしたアクティブ面を含む第1のダイと、第1のダイのアクティブ面に結合される第1の表面および第1の表面の反対側の第2の表面を有する第1の接着剤層と、上面を有する第1の誘電体層とを含み、第1の誘電体層の上面の第1の部分は、第1の接着剤層の第2の表面に結合される。第1の部分と異なる、第1の誘電体層の上面の第2の部分には、実質的に接着剤がない。

## 【0008】

本発明の別の態様によると、統合チップパッケージを形成する方法は、少なくとも1つの接触パッドをその上に位置決めしたアクティブ面を含む第1の半導体ダイを提供するステップと、接着剤層を第1の半導体ダイのアクティブ面に付加するステップと、それに付加された接着剤層を有する第1の半導体ダイを誘電体基板の上面に接着剤層を介して接着するステップとを含む。

30

## 【0009】

本発明の別の態様によると、統合チップパッケージは、誘電体基板と第1のダイアセンブリとを含む。第1のダイアセンブリは、接触パッドをその上に位置決めしたアクティブ面を有する半導体ダイと、半導体ダイのアクティブ面に結合される第1の表面を有する非導電性接着剤層とを含む。接着剤層の第1の表面の表面積は、半導体ダイのアクティブ面の表面積に実質的に等しい。第1の表面の反対側の、接着剤層の第2の表面は、誘電体基板の表面に結合される。第1のダイアセンブリに隣接する柔軟な基板の表面の小部分には、実質的に接着剤がない。

40

## 【0010】

本発明の別の態様によると、統合チップパッケージを形成する方法は、その上面に位置決めされたダイ位置を有する誘電体基板を提供するステップと、少なくとも1つの接触パッドをその上に位置決めしたアクティブ面を含む第1の半導体ダイを提供するステップと、第1の半導体ダイのアクティブ面および誘電体基板のダイ位置のうちの1つに接着剤層を付加するステップとを含む。接着剤層は、第1の半導体ダイのアクティブ面の表面積にほぼ等しい表面積を有する。本方法はさらに、第1の半導体ダイを誘電体基板の上面に接着剤層を介して接着するステップを含む。

## 【0011】

本発明の別の態様によると、統合チップパッケージを形成する方法は、その表面に位置

50

決めされた複数のダイ位置を有する誘電体基板を提供するステップと、隣接ダイ位置間の誘電体基板の表面にギャップが形成されるように、パターン化接着剤層を誘電体基板の複数のダイ位置に付加するステップとを含み、ギャップには実質的に接着剤がない。本方法はまた、複数の半導体ダイを誘電体基板に接着剤層を介して接着するステップも含む。

【0012】

様々な他の特徴および利点は、次の詳細な説明および図面から明らかにされることになる。

【0013】

図面は、本発明を実施するための現在熟考される実施形態を例示する。

【図面の簡単な説明】

10

【0014】

【図1】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図2】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図3】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図4】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図5】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

20

【図6】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図7】本発明の実施形態による統合チップパッケージを作るステップを示す概略図である。

【図8】本発明の実施形態による統合マルチチップパッケージの断面図である。

【図9】図8の統合マルチチップパッケージの底面図である。

【図10】本発明の実施形態による統合チップパッケージを作るステップを例示する流れ図である。

【図11】本発明の実施形態によるウエハーアセンブリの底面図である。

30

【図12】図11のウエハーアセンブリの断面図である。

【図13】図11のウエハーアセンブリから切断されたダイアセンブリの断面図である。

【図14】本発明の別の実施形態による統合チップパッケージを作るステップを例示する流れ図である。

【図15】本発明の実施形態によるウエハーアセンブリの底面図である。

【図16】図15のウエハーアセンブリの断面図である。

【図17】図15のウエハーアセンブリから切断されたダイアセンブリの断面図である。

【図18】本発明のなお別の実施形態による統合チップパッケージを作るステップを例示する流れ図である。

【図19】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図20】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図21】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図22】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図23】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図24】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロ

40

50

セスのステップを示す概略図である。

【図 25】図 19～24 で説明される実施形態による接着剤の層を分注するために使用される金属スクリーンの一部分の上面図である。

【図 26】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図 27】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図 28】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図 29】本発明の別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

10

【図 30】本発明の実施形態による接着剤層で被覆された剥離シートの上面図である。

【図 31】接着剤層をダイサイズにスクライプした後の図 30 の接着剤被覆剥離シートの上面図である。

【図 32】本発明のなお別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図 33】本発明のなお別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【図 34】本発明のなお別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

20

【図 35】本発明のなお別の実施形態による統合チップパッケージのためのビルドアッププロセスのステップを示す概略図である。

【発明を実施するための形態】

【0015】

図 1～7 を参照すると、本発明の実施形態によるチップパッケージ 10 を製造するための技術（すなわち、チップビルドアップ）でのステップが、説明され、チップパッケージ 10 の側断面図および上面図が、ビルドアッププロセスの様々な段階で示される。図 1 を参照すると、Kapton（登録商標）、Ultim（登録商標）、ポリテトラフルオロエチレン（PTFE）、または別の高分子／ポリイミド膜などの、最初の柔軟な高分子積層の層または誘電体基板 12 が、提供される。図 1 で示すように、誘電体層 12 は、上面 14 および底面 16 を含む。ビルドアッププロセスによると、金属層 18 が、誘電体層 12 の上面 14 に堆積される。様々な実施形態によると、金属層 18 は、銅、チタン、クロム、および同様のものなどの導電性材料で形成されてもよい。金属層 18 は、スパッタリングおよびめっき技術を使用して誘電体層 12 上に形成されてもよくまたは電気めっきなどの任意の他の適切な方法で追加されてもよい。

30

【0016】

図 2 を参照すると、金属層 18 は、メタライズ経路 20 を形成するために、例えば一般的な印刷回路板リソグラフィープロセスを使用してパターン化される。次に、ダイアセンブリ 22 が、メタライズ経路 20 のない誘電体層 12 の上面 14 の部分 24 と位置合わせされる。図示するように、ダイアセンブリ 22 は、接着剤層 30 が付着されたアクティブ面 28 を有するダイ 26 を含む。ダイ 26 のアクティブ面 28 は、任意の数のダイパッドまたは接触パッド 32 を含む。ダイ 26 は、例えばメモリダイ型、処理ダイ型、論理ダイ型、および特定用途向け集積回路（ASIC）ダイ型などの、様々なダイ型のいずれかであってもよい。接着剤層 30 は、第 1 の表面 34 および第 2 の表面 36 を有し、例えばエポキシなどの、いったん完全に硬化するとドリル加工できる非導電性接着材料を使用して形成される。一実施形態では、接着剤層 30 は、ダイ 26 に付加された後に部分的に硬化される。接着剤層 30 は、図 10～18 に関して詳細に説明されるように、多数の異なる技術を使用してダイ 26 のアクティブ面 28 に形成されてもよい。

40

【0017】

次に図 3 および 4 を参照すると、チップパッケージ 10 のビルドアップ技術の次のステ

50

ップでは、ダイアセンブリ 2 2 は、接着剤層 3 0 の第 1 の表面 3 6 と誘電体層 1 2 の上面 1 4 との間の接着を通じて誘電体層 1 2 に付着される。一実施形態では、ピックアンドプレース機または真空チャックの加熱された先端またはコレットが、アセンブリ 2 2 を誘電体層 1 2 上に位置決めする前にダイアセンブリ 2 2 を持ち上げて加熱するために使用される。加熱されたダイアセンブリ 2 2 が、誘電体層 1 2 の部分 2 4 に置かれると、真空チャックおよび / または誘電体層 1 2 からの熱は、接着剤層 3 0 を粘着性のある状態にし、接着剤層 3 0 は、誘電体層 1 2 に接合する。ダイアセンブリ 2 2 と誘電体層 1 2 との間のどんなボイドまたは空隙も、減圧積層法を使用して除去できる。代替実施形態では、接着剤層 3 0 は、ダイ 2 6 に付加された後も粘着性のある状態のままである。それ故に、ピックアンドプレース機は、熱を加える必要なくダイアセンブリ 2 2 を誘電体層 1 2 に接合するために使用されてもよい。

10

#### 【0018】

ダイアセンブリ 2 2 を誘電体層 1 2 に固定することは、接着剤層 3 0 を完全に硬化させることを含む。図 4 で示すように、接着剤層 3 0 は、誘電体層 1 2 の上面 1 4 の部分 3 8 に付着され、部分 3 8 に隣接する上面 1 4 の部分 4 0 、 4 2 には、実質的に接着剤がない。

#### 【0019】

次に図 5 を参照すると、誘電体層 1 2 は、複数のビア 4 4 を形成するためにパターン化され、そのビアは、誘電体層 1 2 の厚さ 4 6 かまたは誘電体層 1 2 および接着剤層 3 0 の複合厚さ 4 8 を貫通してドリル加工される。例となる実施形態によると、ビア 4 4 は、メタライズ経路 2 0 および接触パッド 3 2 を露出させるように、メタライズ経路 2 0 および接触パッド 3 2 に対応する位置に形成される。別法として、ビア 4 4 はまた、プラズマエッ칭、フォトデフィニション、または機械的ドリル加工プロセスを含む他の方法を通じて形成されてもよいと認識される。

20

#### 【0020】

図 6 で示すように、チップパッケージ 1 0 のビルドアップ技術の次のステップは、例えばスパッタリングまたは電気めっきプロセスを通じて第 2 の金属層 5 0 を誘電体層 1 2 の底面 1 6 に付加することを含む。第 2 のメタライズ層 5 0 はその後、金属相互接続部 5 2 を形成するためにパターン化されるまたはエッ칭される。本発明の一実施形態によると、金属層 / 材料は、誘電体層 1 2 の底面 1 6 からビア 4 4 を通って下へ延びる金属相互接続部 5 2 が形成されるようにパターン化され、エッ칭される。金属相互接続部 5 2 はこのようにして、メタライズ経路 2 0 および接触パッド 3 2 との電気的接続を形成する。誘電体層 1 2 、ビア 4 4 、および金属相互接続部 5 2 は一緒に、最初の再配置層 5 4 を形成する。

30

#### 【0021】

図 7 でさらに示すように、製造技術のオプションの次のステップでは、1 つまたは複数の追加の再配置層 5 6 が、一連の積層およびパターン化ステップを通じて最初の再配置層 5 4 上に形成される。従来の接着剤層 5 8 が、最初の再配置層 5 4 と、それに付加される追加の誘電体層 6 0 との間に付加される。複数のビア 6 2 が、追加の誘電体層 6 0 に形成され、金属相互接続部 6 4 が、追加の各再配置層 5 6 を電気的に接続するために、ビア 6 2 および追加の誘電体層 6 0 を通って下へ延びるように形成され / パターン化される。1 つの追加の再配置層 5 6 だけが、図 7 で示されるが、より多くの再配置層が、所望の構成に基づいて同様に付加されると認識される。

40

#### 【0022】

チップパッケージ 1 0 は、1 つのダイ 2 6 を含むように例示されるが、当業者は、図 1 ~ 7 に関して説明される製造技術が、それぞれのアクティブ面 7 4 、 7 6 に接触パッド 7 2 をそれぞれ有する多重ダイ 6 8 、 7 0 を含む図 8 で示すマルチチップパッケージ 6 6 などの、2 つ以上のダイを備えるチップパッケージを製造するときに使用するのに同様に適用できると容易に認識することになる。マルチチップパッケージ 6 6 は、ビア 8 2 および金属相互接続部 8 4 を備える誘電体層 8 0 を含む、再配置層 5 4 ( 図 6 ) に似た再配置層

50

78を含む。チップパッケージ10(図6)と同様に、形成されるメタライズ経路86は、誘電体層80の上面88にある。

【0023】

図示するように、各ダイ68、70は、接着剤層30(図2)に似たそれぞれの接着剤層90、92によって誘電体層12(図1)に似た誘電体層80に貼り付けられる。各接着剤層90、92は、誘電体層80の上面88の固体層としてよりもむしろそれぞれのダイ68、70に直接付加されるので、接着剤90、92は、実質的にダイ68、70の表面エリアに限定される。それ故に、図9で示すように、接着剤のないエリア94が、誘電体層80の上面88に存在し、ダイ68、70を実質的に取り囲む。

【0024】

それぞれの接着剤層90、92間に結果として生じるギャップ96は、接着剤層が誘電体層の全表面にわたって形成されるパッケージでよりもより正確にかつより互いに接近してダイ68、70を位置決めすることを可能にする。すなわち、誘電体層80の上面88のエリア94には接着剤がないので、ダイが硬化プロセス中にその上で適所から滑るように出るまたは貼り付いて一緒になる可能性がある接着剤の連続した表面は、ダイ68、70間またはその周りに存在しない。

【0025】

本発明の実施形態によると、多重ダイ68、70は、同一のタスクを実行するように構成されてもよい。例えば、ダイ68、70は、メモリ機能またはプロセッサ機能を実行するように構成された1つのダイ型であってもよい。しかしながら、本発明の別の実施形態によると、ダイ68、70は、すべてが同一のタスクを実行するまたは同じダイ型であるように構成されるとは限らない。例えば、第1のダイ型は、第1のプロセッサ型のタスクを実行するように構成されてもよく、第2のダイ型は、第2のプロセッサ型のタスクを実行するように構成されてもよく、第3のダイ型は、例としてメモリ型のタスクを実行するように構成されてもよい。他のダイ型もまた、本明細書で熟考される。

【0026】

次に図10～13を同時に参照すると、本発明の実施形態による接着剤層をダイに付加するための技術98が、説明される。技術98は、例として接着剤層30をダイ26に(図2)または接着剤90、92をそれぞれのダイ68、70に(図8)付加するために使用されてもよい。技術98は、接着剤層102をシリコンウエハー106の上面104に付加することによってステップ100から始まる。ウエハー106は一般に、単結晶シリコンインゴットまたは多結晶シリコンインゴットから薄く切られ、多数の接触パッドがその上に位置決めされるように準備される。図示するように、ウエハー106は、スクライプ線110によって複数のダイ108に分割される。接着剤層102は、その上面104を覆うようにウエハー106上に分注される。様々な実施形態によると、接着剤層102は、膜転写またはスピノンもしくは噴霧被覆プロセスによって液体形態でウエハー106に付加される。

【0027】

ステップ112において、ウエハー106が接着剤層102で被覆された後、接着剤層102は、Bステージに移行して接着剤層102を部分的に硬化させる。接着剤層102の材料組成は、接着剤層102がステップ112での部分的硬化の後に粘着性のない状態となるように選択される。

【0028】

ステップ114において、ウエハー106は、スクライプ線110に沿って個別ダイアセンブリ116に切断されるまたは単体化される。各ダイアセンブリ116は、接着剤層102の一部分がそれに接合された個別ダイ108を含む。ステップ118において、ダイ108は、図3および4に関して述べたような真空チャックを使用して、例えば図1の誘電体層12などの誘電体層に接着される。真空チャックおよび/または誘電体層12からの熱は、ダイ108の部分的に硬化した接着剤層60を粘着性のある状態にし、それによってダイ108が誘電体層上の適所にくっつくことを可能にする。

10

20

30

30

40

50

## 【0029】

ステップ100、112、114、118で説明したプロセスは、追加のダイを誘電体層上に要望通りに位置決めするために繰り返されてもよい。ステップ120において、追加の熱が、接着剤層102に加えられて接着剤を完全に硬化させる。別法として、真空チャックは、ダイ108が誘電体層上に位置決めされた後、接着剤層102が接着剤を完全に硬化させる温度までダイ108を加熱するように構成されてもよい。

## 【0030】

図14～17は、接着剤層をダイに付加するための代替技術122を説明する。図14～17を参照すると、技術122は、ウエハー106(図12)と同様の方法でスクライプ線134を通じて複数のダイ132に分割されるシリコンウエハー130の上面またはアクティブ面128に接着剤層126を付加することによってステップ124から始まる。接着剤層126は、技術98のステップ100に関して上で述べたのと同様の方法でウエハー130の上面128に付加される。ステップ136において、接着剤層126は、部分的に硬化される。接着剤層126中の触媒比は、接着剤層102が部分的硬化の後も粘着性のある状態のままであるように選択される。

10

## 【0031】

ステップ138において、剥離シート140が、低温積層、ロール積層、または他の同様の技術を使用して接着剤層126の粘着性表面142に付加される。ステップ144において、ウエハー130は、裏面146から個別ダイ132に切断される。赤外線カメラが、スクライプ線134の位置を見つけ、ソーをウエハー130に位置合わせるために使用されてもよい。ソーは、剥離シート140が無傷のままであるようにウエハー130を単体化し、個別ダイアセンブリ148は、ダイ132が単体化された後も剥離シート140上にとどまる。図示するように、各ダイアセンブリ148は、接着剤層126がそれに接着されたダイ132を含む。

20

## 【0032】

ステップ150において、真空コレクトは、図1の誘電体層12などの誘電体層上に置くために個別ダイアセンブリ148を持ち上げる。各ダイアセンブリ148が、剥離シート140から取り外されると、接着剤層126の一部分は、剥離層140から対応するダイ132のアクティブ面128に移動する。真空チャックは次いで、それぞれのダイアセンブリ148を接着剤層の側を下にして誘電体層上に置く。すべての所望のダイが、ステップ124、136、138、144、および150で説明したプロセスを使用して誘電体層上に位置決めされた後、接着剤層126は、ステップ152で完全に硬化される。

30

## 【0033】

次に図18を参照すると、ダイを誘電体層に貼り付ける前に接着剤層をダイに付加するための代替技術154が、説明される。ステップ156において、剥離シートが、処理システム上に位置決めされ、接着剤の層で被覆される。接着剤層は、ステップ158でBステージに部分的に硬化され、部分的硬化の後も粘着性のある状態のままである。

## 【0034】

ステップ160において、ピックアンドプレースシステムは、単体化ダイをダイの裏面で持ち上げ、ダイのアクティブ面を下にして粘着性接着剤中に触れさせ、それによってアクティブ面を接着剤で被覆する。接着剤被覆ダイは、ステップ162で接着剤側を下にして誘電体層上に位置決めされる。すべての所望のダイが、ステップ156～162で説明したプロセスを使用して誘電体層上に位置決めされた後、接着剤は、ステップ164で完全に硬化される。

40

## 【0035】

代替実施形態では、ピックアンドプレースシステムは、単体化ダイを持ち上げ、上で述べたような接着剤被覆剥離シートよりもむしろ、液体またはペースト接着剤のポット中にダイのアクティブ面を触れさせるために使用される。ピックアンドプレースシステムは次いで、熱をダイに加えながらまたは加えることなく接着剤被覆ダイを誘電体層に移動させる。移動プロセス中にダイを加熱することで、誘電体層上に置いた後にダイを適所から「

50

滑るように出させる」または外へ移動させることもある接着剤中の余分な溶媒が、追い出される。

【0036】

次に図19～24を参照すると、本発明の実施形態による、チップパッケージ10(図6)などのチップパッケージを製造するための代替技術でのステップが、説明され、側断面図が、ビルドアッププロセスの様々な段階で示される。図19を参照すると、誘電体層12(図1)に似た誘電体層166が、提供される。図19で示すように、誘電体層166は、上面168および底面170を含む。ビルドアッププロセスのオプションのステップによると、金属層18(図1)に似たプレバターン化金属層172が、誘電体層166の上面168に堆積されてもよい。

10

【0037】

図20を参照すると、その中に形成された開口部176を有する金属スクリーン174が、誘電体層166の上面168の上に位置合わせされる。図25は、図20の横断面図に対応する金属スクリーン174の一部分の上面図を例示する。図示するように、金属スクリーン174での開口部176は、以下でより詳細に述べるように、対応するダイの表面積に対応する大きさにされる。

【0038】

図20に戻って参考すると、金属スクリーン174は、開口部176が、誘電体層166の上面168の対応するダイポケット位置178の上に位置決めされるように、誘電体層166と位置合わせされる。ビルドアップ技術の次のステップでは、接着剤180が、金属スクリーン174のエッジ182に沿って分注される。スキージー184は、接着剤180に隣接した所定の位置にもたらされる。スキージー184は、金属スクリーン174を横断して引かれ、図21で示すように、それぞれのダイポケット178に接着剤の層186を残す。

20

【0039】

次に図22を参照すると、チップパッケージ10のビルドアップ技術の次のステップでは、金属スクリーン174は、誘電体層166から分離され、取り除かれる。図22で示すように、接着剤のないギャップ188が、結果として生じる接着剤層186の隣接部分間に形成される。金属スクリーン174が取り除かれた後、接着剤層186は、粘着性のある状態にBステージ硬化される。

30

【0040】

次に、ダイ190、192が、ピックアンドプレース機または真空チャックを使用して、図23で示すように、ダイ位置178および接着剤層186のそれぞれの部分と位置合わせされる。図示するように、各ダイ190、192は、任意の数のダイパッド196を備えるアクティブ面194を有する。図2のダイ26と同様に、ダイ190、192は、例えばメモリダイ型、処理ダイ型、論理ダイ型、および特定用途向け集積回路(ASSIC)ダイ型などの、様々なダイ型のいずれかであってもよい。図24を参照すると、ダイ190、192が、接着剤186の上に位置決めされた後、接着剤186は、完全に硬化される。当業者は容易に認識することになるように、ビルドアップ技術の後続ステップでは、ピアおよびメタライズ経路が、チップパッケージ10などのチップパッケージを形成するために図6に関して述べたのと同様の方法で誘電体層166上に形成されてもよい。

40

【0041】

次に図26～29を参照すると、本発明の別の実施形態による、チップパッケージ10(図6)などのチップパッケージを製造するための代替技術でのステップが、説明され、チップパッケージ10の側断面図が、ビルドアッププロセスの様々な段階で示される。図26を参照すると、上面200および底面202を有する、誘電体層12(図1)に似た誘電体層198が、提供される。適宜、金属層204が、誘電体層198の上面168に堆積されるまたはプレバターン化されてもよい。

【0042】

ビルドアップ技術の次のステップでは、接着剤208で満たされたインクジェットプリ

50

ンターヘッド 206 が、図 27 で示すように、誘電体層 198 のエッジ 210 に位置決めされる。インクジェットプリンターヘッド 206 が、誘電体層 198 を横断して進むと、接着剤 208 が、それぞれのダイ位置 212 に誘電体層 198 の上面 200 を横断するパターンで分注される。図 28 で示すように、接着剤 208 は、隣接ダイ位置 212 間の誘電体層 198 の上面 200 にギャップ 214 が形成されるように分注される。ギャップ 214 には、実質的に接着剤がない。

#### 【0043】

接着剤 208 は次いで、粘着性のある状態に B ステージ硬化される。次に、任意の数の接触パッド 220 を有するダイ 216、218 が、接着剤 208 と位置合わせされる。各ダイ 216、218 のそれぞれのアクティブ面 222 は、図 29 で示すように、ピックアンドプレース機または真空チャックを使用して接着剤 208 中に置かれる。接着剤 208 はその後、完全に硬化される。当業者は容易に認識することになるように、ビルトアップ技術の後続ステップでは、ビアおよびメタライズ経路が、チップパッケージ 10 などのチップパッケージを形成するために図 6 に関して述べたのと同様の方法で誘電体層 198 上に形成されてもよい。

10

#### 【0044】

次に図 30～35 を参照すると、本発明のなお別の実施形態による、チップパッケージを製造するための代替技術でのステップが、説明される。最初に図 30 を参照すると、剥離シート 224 が、接着剤層 226 で被覆される。接着剤層 226 は次いで、B ステージまで焼かれて接着剤層 226 を部分的に硬化させる。接着剤層 226 は、様々な実施形態によると、粘着性のある状態または粘着性のない状態まで焼かれてもよい。製造プロセスの次のステップでは、接着剤層 226 は、個別ダイ 232、234（図 34）のアクティブ面 230 の表面積に実質的に合う大きさの個別接着剤部分 228 にスクライプされるまたは切断される（例えば、レーザーを用いて）。

20

#### 【0045】

次に図 32 および 33 を参照すると、接着剤部分 228 は、それぞれのダイ位置 240、242 でボリイミドフレックス層または誘電体層 238 の上面 236 に位置決めされ、隣接接着剤部分 228 間の誘電体層 238 上にギャップ 244 を残す。一実施形態では、誘電体層 238 の上面 236 は、その上に形成されたプレバターン化金属相互接続層 246 を有する。製造プロセスの次のステップでは、ダイ 232、234 が、図 34 で示すように、例えば真空チャックまたはピックアンドプレース機を使用して、それぞれのダイ位置 240、242 と位置合わせされる。接着剤層 226 が粘着性のある状態に硬化された実施形態では、ダイ 232、234 のそれぞれのアクティブ面 230 は、それぞれの接着剤部分 228 中に置かれる。接着剤層 226 が粘着性のない状態に硬化された実施形態では、ダイ 232、234 および / または誘電体層 238 は、ダイ 232、234 を置く前に加熱される。ダイ 232、234 および / または誘電体層 238 からの熱は、図 35 で示すように、接着剤部分 228 を粘着性のある状態にし、ダイ 232、234 を接着剤部分 228 に接合させる。接着剤部分 228 は次いで、完全に硬化される。当業者は容易に認識することになるように、ビルトアップ技術の後続ステップでは、ビアおよびメタライズ経路が、チップパッケージ 10 などのチップパッケージを形成するために図 6 に関して述べたのと同様の方法で誘電体層 238 上に形成されてもよい。

30

#### 【0046】

それに応じて、本発明の実施形態は、ダイを誘電体層上に位置決めする前に、接着剤層がダイのアクティブ面およびダイ位置に対応する誘電体層の選択部分のうちの 1 つに直接付加されるチップ製作の方法を提供することによって、全誘電体層を接着剤で被覆する従来技術での前述の欠点を克服する。それ故に、結果として生じる集積回路デバイスの誘電体基板の表面は、接着剤を上に備える少なくとも 1 つの部分および実質的に接着剤のない少なくとも 1 つの部分を有する。接着剤をダイに直接付加することで、処理ステップが簡略化され、後続の処理ステップが低減され、ダイを互いにより接近して置くことが可能になり、誘電体層の表面での接着剤の量が大幅に低減され、それによって不平衡応力が最小

40

50

化され、材料費が低減される。

【0047】

従って、本発明の一実施形態によると、チップパッケージは、アクティブ面をその上に位置決めした少なくとも1つのダイパッドを含む第1のダイと、第1のダイのアクティブ面に結合される第1の表面および第1の表面の反対側の第2の表面を有する第1の接着剤層と、上面を有する第1の誘電体層とを含み、第1の誘電体層の上面の第1の部分は、第1の接着剤層の第2の表面に結合される。第1の部分と異なる、第1の誘電体層の上面の第2の部分には、実質的に接着剤がない。

【0048】

本発明の別の実施形態によると、統合チップパッケージを形成する方法は、少なくとも1つの接触パッドをその上に位置決めしたアクティブ面を含む第1の半導体ダイを提供するステップと、接着剤層を第1の半導体ダイのアクティブ面に付加するステップと、それに付加された接着剤層を有する第1の半導体ダイを誘電体基板の上面に接着剤層を介して接着するステップとを含む。

10

【0049】

本発明のなお別の実施形態によると、統合チップパッケージは、誘電体基板と第1のダイアセンブリとを含む。第1のダイアセンブリは、接触パッドをその上に位置決めしたアクティブ面を有する半導体ダイと、半導体ダイのアクティブ面に結合される第1の表面を有する非導電性接着剤層とを含む。接着剤層の第1の表面の表面積は、半導体ダイのアクティブ面の表面積に実質的に等しい。第1の表面の反対側の、接着剤層の第2の表面は、誘電体基板の表面に結合される。第1のダイアセンブリに隣接する柔軟な基板の表面の小部分には、実質的に接着剤がない。

20

【0050】

本発明のなお別の実施形態によると、統合チップパッケージを形成する方法は、ダイ位置をその上面に位置決めした誘電体基板を提供するステップと、少なくとも1つの接触パッドをその上に位置決めしたアクティブ面を含む第1の半導体ダイを提供するステップと、第1の半導体ダイのアクティブ面および誘電体基板のダイ位置のうちの1つに接着剤層を付加するステップとを含む。接着剤層は、第1の半導体ダイのアクティブ面の表面積にほぼ等しい表面積を有する。本方法はさらに、第1の半導体ダイを誘電体基板の上面に接着剤層を介して接着するステップを含む。

30

【0051】

本発明のなお別の実施形態によると、統合チップパッケージを形成する方法は、複数のダイ位置をその表面に位置決めした誘電体基板を提供するステップと、隣接するダイ位置間の誘電体基板の表面にギャップが形成されるように、パターン化接着剤層を誘電体基板の複数のダイ位置に付加するステップとを含み、ギャップには実質的に接着剤がない。本方法はまた、複数の半導体ダイを誘電体基板に接着剤層を介して接着するステップも含む。

40

【0052】

この書面による明細は、例を使用してベストモードを含む本発明を開示し、またどんな当業者も、任意のデバイスまたはシステムを作りかつ使用し、任意の組み込まれた方法を実行することを含み、本発明を実施することを可能にもする。本発明の特許可能な範囲は、クレームによって規定され、当業者に思いつく他の例を含んでもよい。そのような他の例は、もしそれらがクレームの文字通りの言葉と異なる構造要素を有するならば、またはもしそれらがクレームの文字通りの言葉と実質的に異なる等価な構造要素を有するならば、クレームの範囲内であることが意図される。

50

【符号の説明】

【0053】

10 チップパッケージ

12 高分子積層の層または誘電体基板、誘電体層

14 誘電体層の上面

50

1 6	誘電体層の底面	
1 8	金属層	
2 0	メタライズ経路	
2 2	ダイアセンブリ	
2 4	メタライズ経路のない誘電体層の上面の部分	
2 6	ダイ	
2 8	アクティブ面	
3 0	接着剤層	
3 2	ダイパッド、接触パッド	10
3 4	接着剤層の第1の表面	
3 6	接着剤層の第2の表面	
3 8	接着剤層が付着される部分	
4 0	接着剤のない部分	
4 2	接着剤のない部分	
4 4	ビア	
4 6	誘電体層の厚さ	
4 8	誘電体層および接着剤層の複合厚さ	
5 0	第2の金属層	
5 2	金属相互接続部	
5 4	最初の再配置層	20
5 6	追加の再配置層	
5 8	従来の接着剤層	
6 0	追加の誘電体層	
6 2	ビア	
6 4	金属相互接続部	
6 6	マルチチップパッケージ	
6 8	ダイ	
7 0	ダイ	
7 2	接触パッド	
7 4	アクティブ面	30
7 6	アクティブ面	
7 8	再配置層	
8 0	誘電体層	
8 2	ビア	
8 4	金属相互接続部	
8 6	メタライズ経路	
8 8	誘電体層の上面	
9 0	接着剤層	
9 2	接着剤層	
9 4	接着剤のないエリア	40
9 6	接着剤層間のギャップ	
9 8	接着剤層をダイに付加するための技術	
1 0 0	接着剤層をウエハーの上面に付加するステップ	
1 0 2	接着剤層	
1 0 4	ウエハーの上面	
1 0 6	シリコンウエハー、ウエハー	
1 0 8	ダイ	
1 1 0	スクライプ線	
1 1 2	接着剤層を部分的に硬化させるステップ	
1 1 4	ウエハーを個別ダイアセンブリに切断するまたは単体化するステップ	50

1 1 6	ダイアセンブリ	
1 1 8	ダイを誘電体層に接着するステップ	
1 2 0	熱を接着剤層に加えて接着剤を完全に硬化させるステップ	
1 2 2	接着剤層をダイに付加するための代替技術	
1 2 4	接着剤層をウエハーの上面またはアクティブ面に付加するステップ	
1 2 6	接着剤層	
1 2 8	アクティブ面	
1 3 0	シリコンウエハー、ウエハー	
1 3 2	ダイ	
1 3 4	スクライプ線	10
1 3 6	接着剤層を部分的に硬化させるステップ	
1 3 8	剥離シートを接着剤層の粘着性表面に付加するステップ	
1 4 0	剥離シート	
1 4 2	接着剤層の粘着性表面	
1 4 4	ウエハーを裏面から個別ダイに切断するステップ	
1 4 6	ウエハーの裏面	
1 4 8	ダイアセンブリ	
1 5 0	誘電体層上に置くために個別ダイアセンブリを持ち上げるステップ	
1 5 2	接着剤層を完全に硬化させるステップ	
1 5 4	ダイを誘電体層に貼り付ける前に接着剤層をダイに付加するための代替技術	20
1 5 6	剥離シートを処理システム上に位置決めし、接着剤の層で被覆するステップ	
1 5 8	接着剤層を部分的に硬化させるステップ	
1 6 0	単体化ダイをダイの裏面で持ち上げ、ダイのアクティブ面を下にして粘着性接着剤中に触れさせるステップ	
1 6 2	接着剤被覆ダイを接着剤の側を下にして誘電体層上に位置決めするステップ	
1 6 4	接着剤を完全に硬化させるステップ	
1 6 6	誘電体層	
1 6 8	誘電体層の上面	
1 7 0	誘電体層の底面	
1 7 2	プレパターン化金属層	30
1 7 4	金属スクリーン	
1 7 6	金属スクリーンの開口部	
1 7 8	ダイポケット位置	
1 8 0	接着剤	
1 8 2	金属スクリーンのエッジ	
1 8 4	スキージー	
1 8 6	接着剤の層、接着剤層	
1 8 8	接着剤のないギャップ	
1 9 0	ダイ	
1 9 2	ダイ	40
1 9 4	アクティブ面	
1 9 6	ダイパッド	
1 9 8	誘電体層	
2 0 0	誘電体層の上面	
2 0 2	誘電体層の底面	
2 0 4	金属層	
2 0 6	インクジェットプリンターへッド	
2 0 8	接着剤	
2 1 0	誘電体層のエッジ	
2 1 2	ダイ位置	50

2 1 4	ギャップ	
2 1 6	ダイ	
2 1 8	ダイ	
2 2 0	接触パッド	
2 2 2	アクティブ面	
2 2 4	剥離シート	
2 2 6	接着剤層	
2 2 8	接着剤部分	
2 3 0	アクティブ面	
2 3 2	ダイ	10
2 3 4	ダイ	
2 3 6	誘電体層の上面	
2 3 8	ポリイミドフレックス層または誘電体層	
2 4 0	ダイ位置	
2 4 2	ダイ位置	
2 4 4	ギャップ	
2 4 6	プレバターン化金属相互接続層	

【図 1】

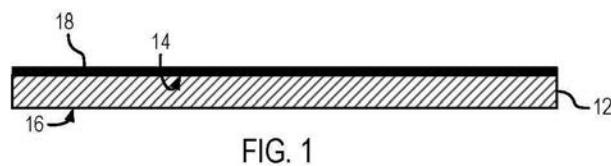


FIG. 1

【図 2】

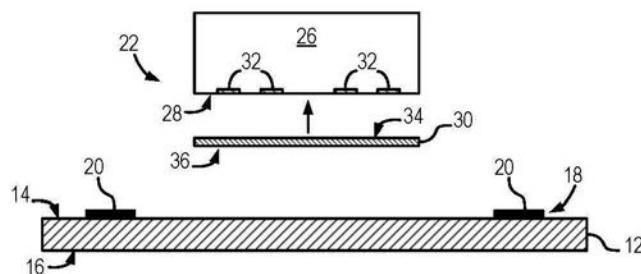


FIG. 2

【図3】

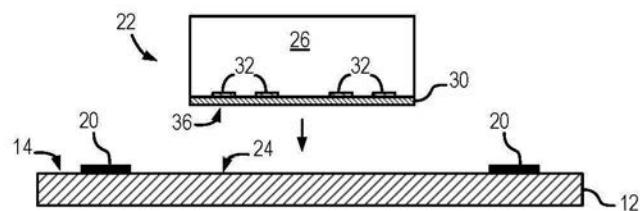


FIG. 3

【図4】

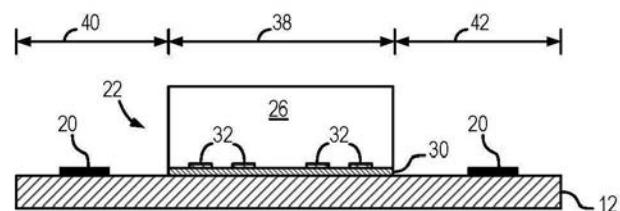


FIG. 4

【図5】

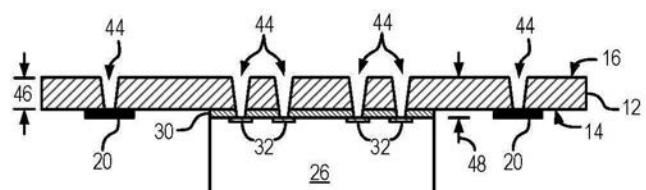


FIG. 5

【図6】

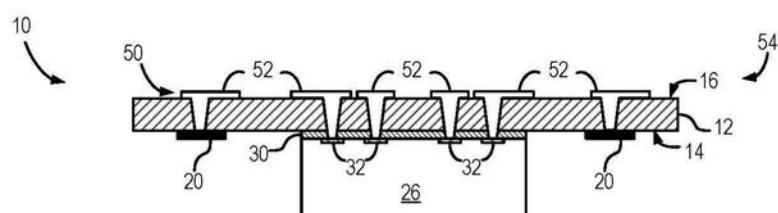


FIG. 6

【図7】

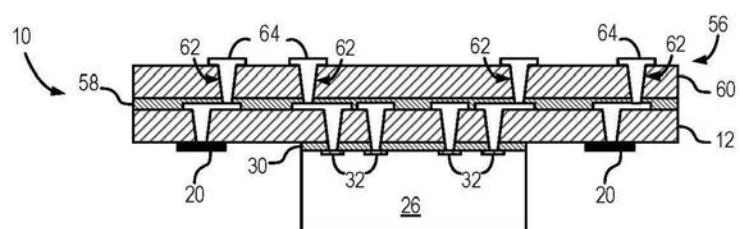


FIG. 7

【図8】

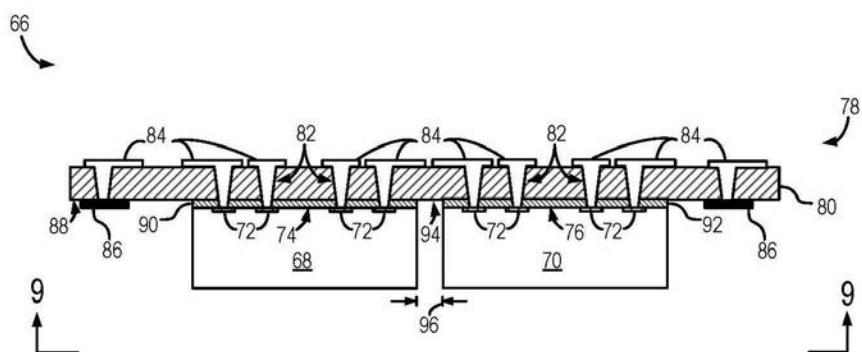


FIG. 8

【図9】

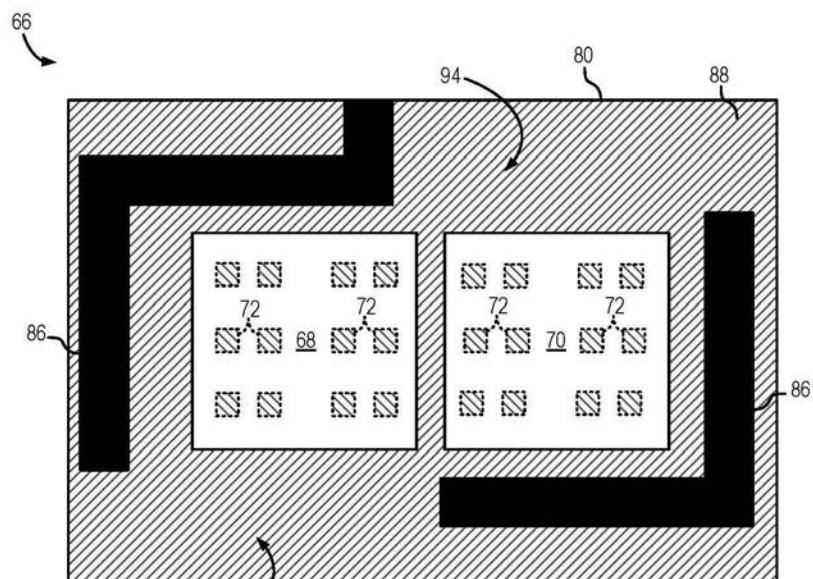


FIG. 9

【図 10】

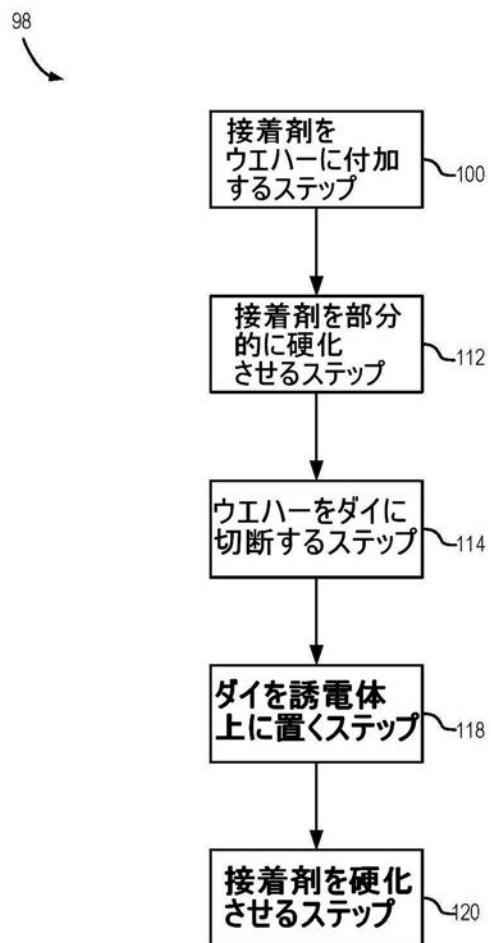


FIG. 10

【図 1 1】

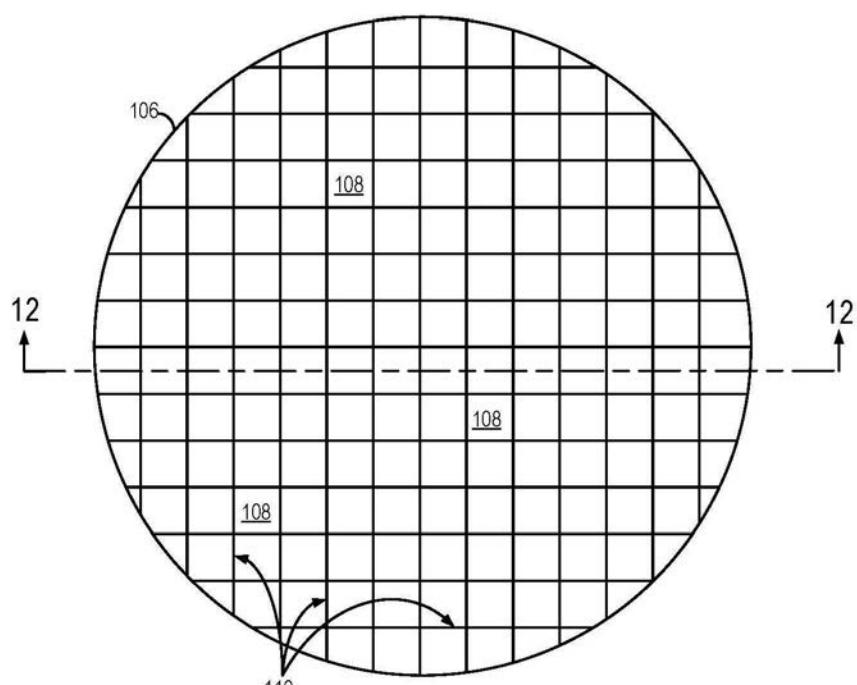


FIG. 11

【図 1 2】

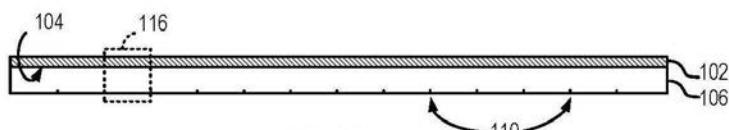


FIG. 12

【図 1 3】

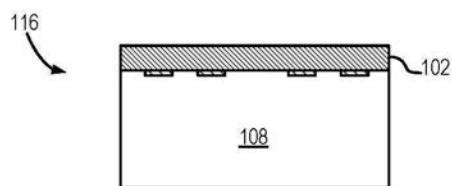


FIG. 13

【図 14】

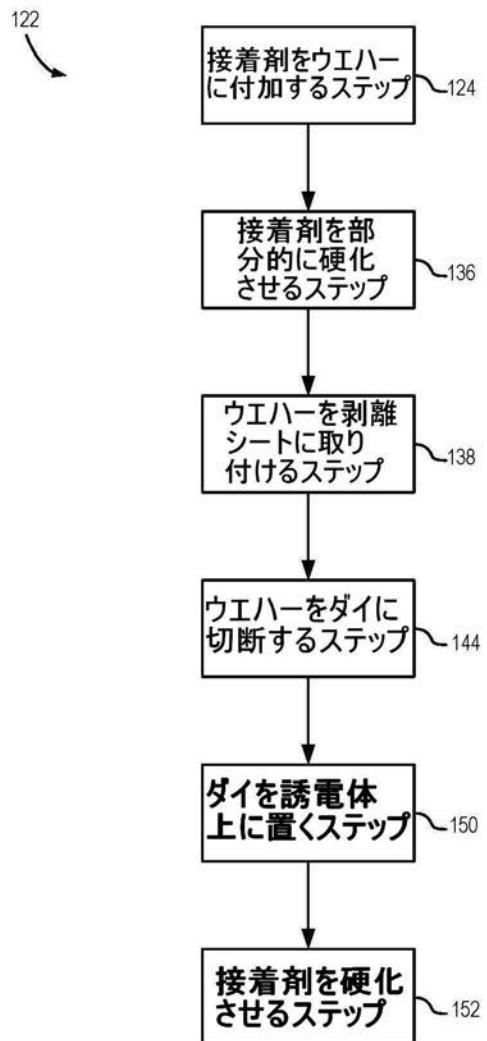


FIG. 14

【図 15】

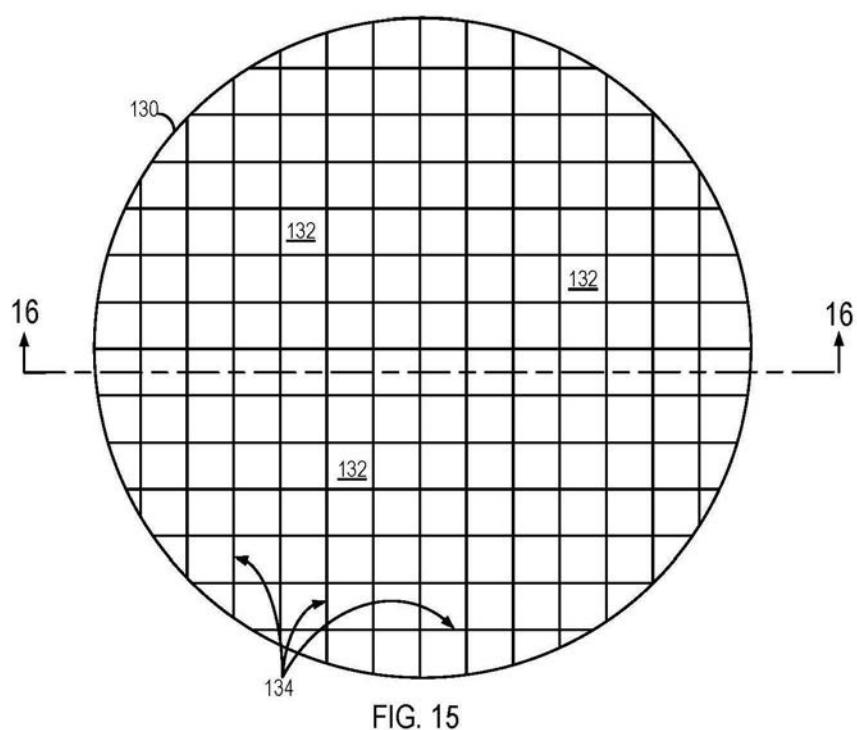


FIG. 15

【図 16】

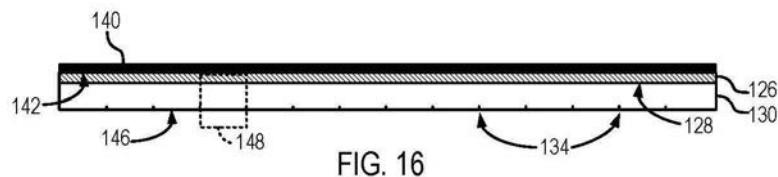


FIG. 16

【図 17】

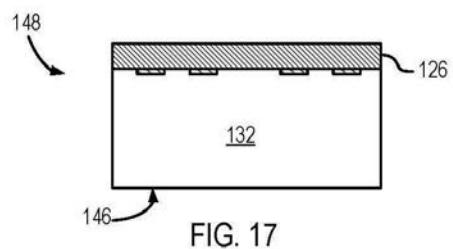


FIG. 17

【図18】

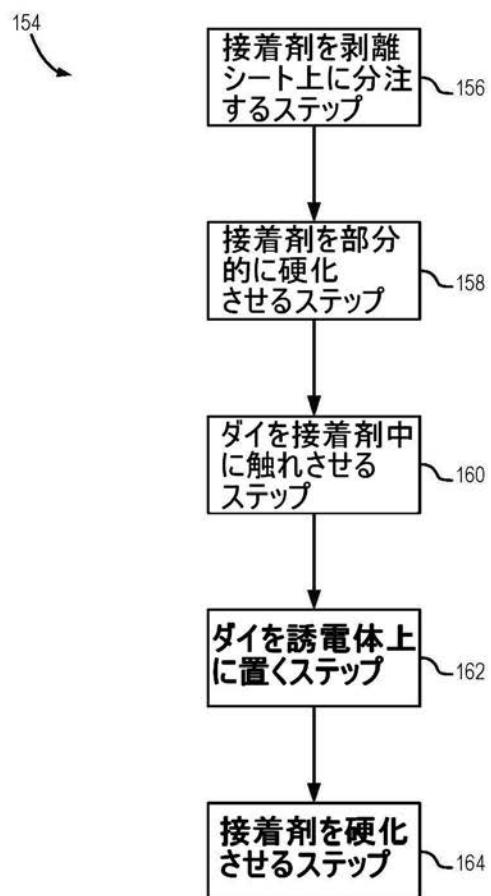


FIG. 18

【図19】

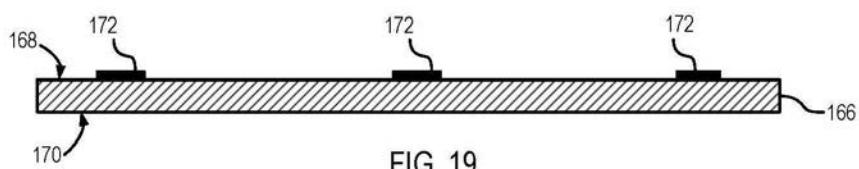


FIG. 19

【図 2 0】

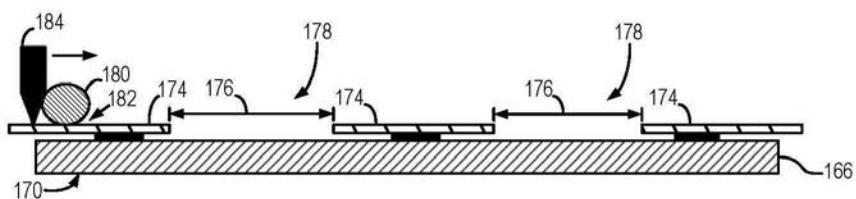


FIG. 20

【図 2 1】

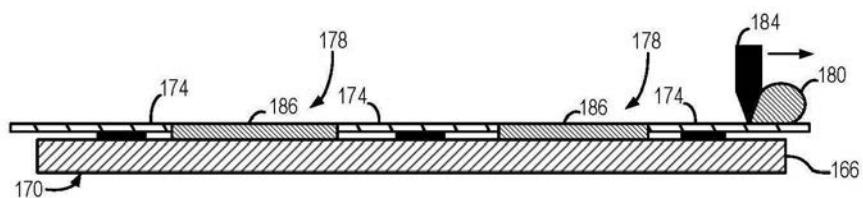


FIG. 21

【図 2 2】

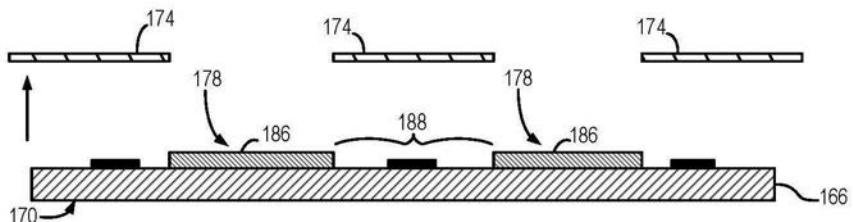


FIG. 22

【図 2 3】

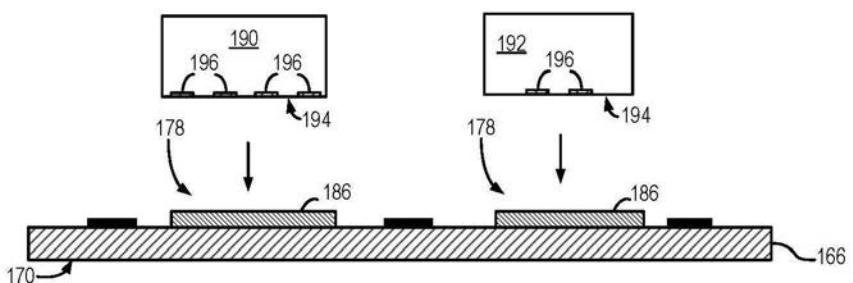


FIG. 23

【図 2 4】

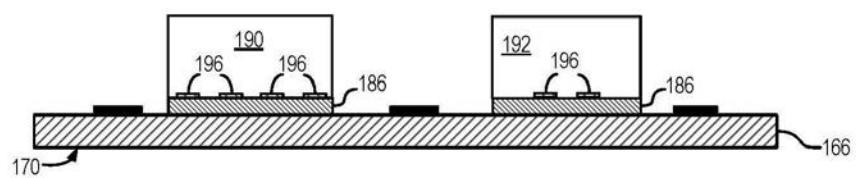


FIG. 24

【図 2 5】

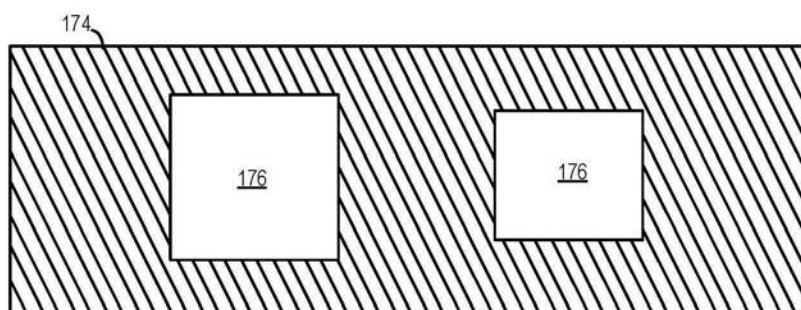


FIG. 25

【図 2 6】

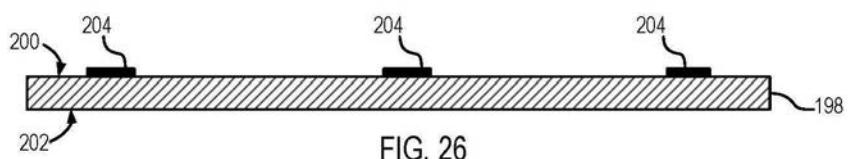


FIG. 26

【図 2 7】

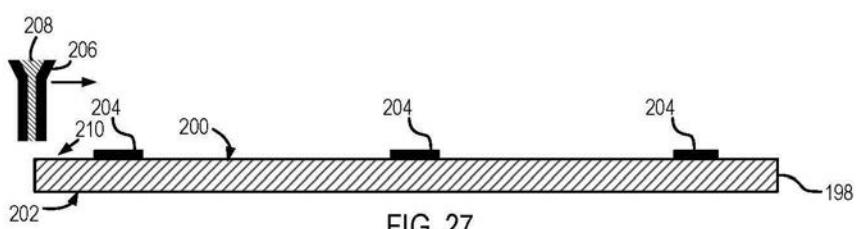


FIG. 27

【図28】

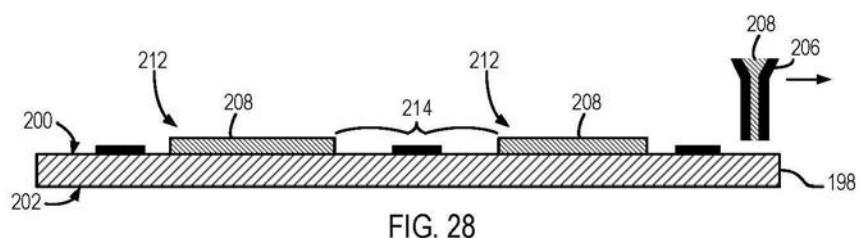


FIG. 28

【図29】

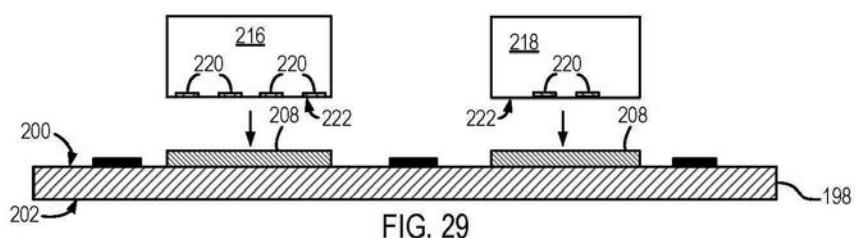


FIG. 29

【図 30】

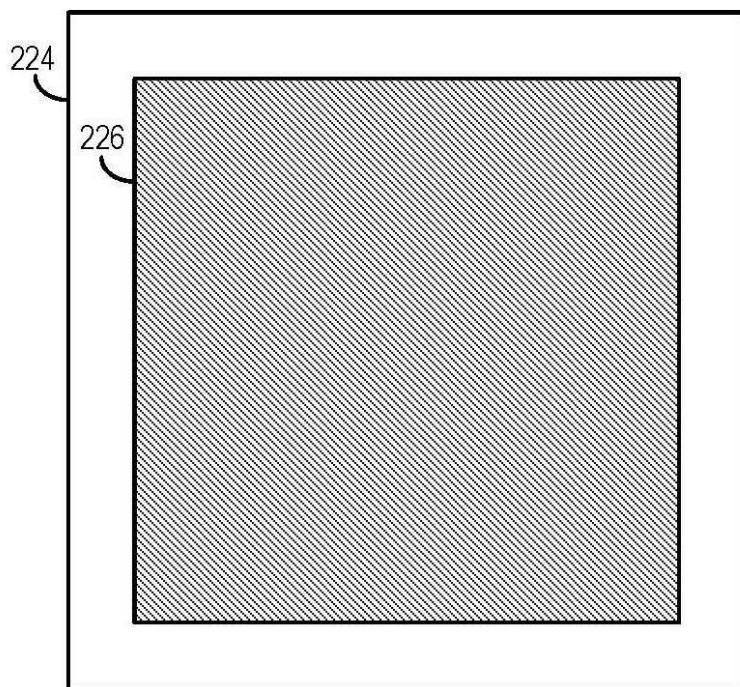


FIG. 30

【図 3 1】

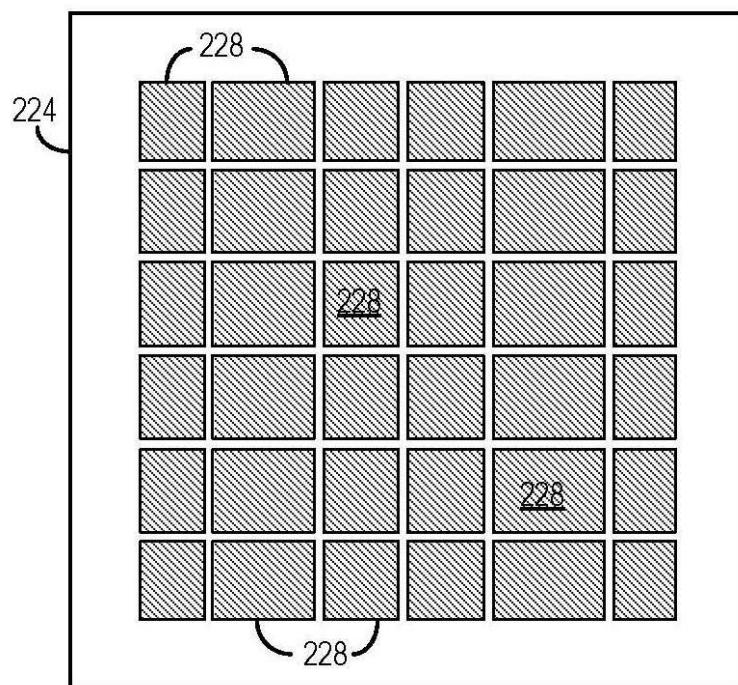


FIG. 31

【図 3 2】

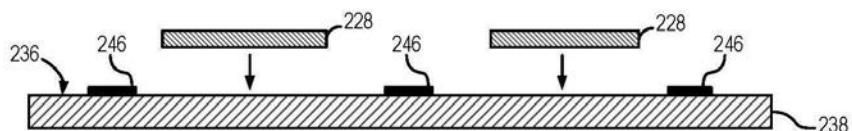


FIG. 32

【図 3 3】

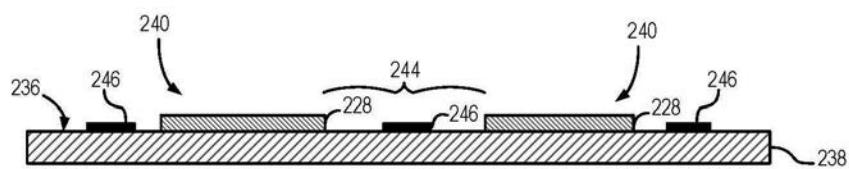


FIG. 33

【図 3 4】

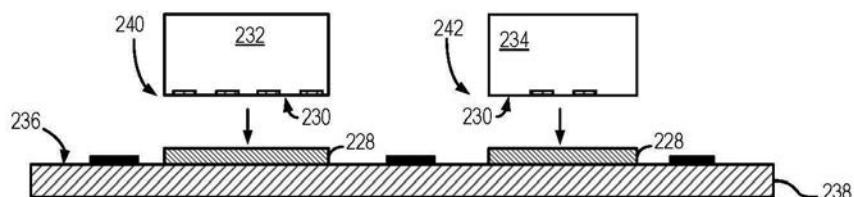


FIG. 34

【図 3 5】

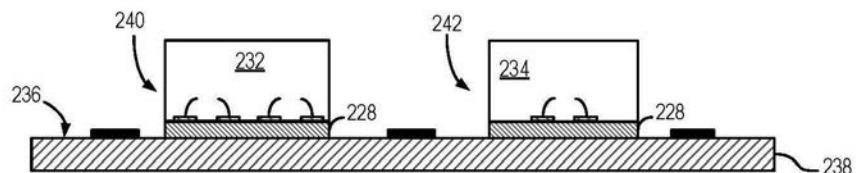


FIG. 35

---

フロントページの続き

(72)発明者 ポール・アラン・マッコネリー

アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ワン・リサーチ・サークル

(72)発明者 アルン・ヴィルパクシャ・ゴウダ

アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ワン・リサーチ・サークル

【外國語明細書】

2014003292000001.pdf