

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5959934号  
(P5959934)

(45) 発行日 平成28年8月2日(2016.8.2)

(24) 登録日 平成28年7月1日(2016.7.1)

(51) Int.Cl.

F 1

H01L 21/822	(2006.01)	H01L	27/04	V
H01L 27/04	(2006.01)	H01L	27/08	331E
H01L 27/08	(2006.01)	H01L	27/08	102J
H01L 21/8234	(2006.01)	H01L	29/78	613Z
H01L 27/088	(2006.01)	H01L	29/78	618B

請求項の数 6 (全 34 頁) 最終頁に続く

(21) 出願番号

特願2012-118206 (P2012-118206)

(22) 出願日

平成24年5月24日 (2012.5.24)

(65) 公開番号

特開2013-12724 (P2013-12724A)

(43) 公開日

平成25年1月17日 (2013.1.17)

審査請求日

平成27年3月18日 (2015.3.18)

(31) 優先権主張番号

特願2011-119429 (P2011-119429)

(32) 優先日

平成23年5月27日 (2011.5.27)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 兼安 誠

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 トリミング回路、トリミング回路の駆動方法

## (57) 【特許請求の範囲】

## 【請求項 1】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、

ゲート電極が前記記憶ノードに電気的に接続された第3のトランジスタと、を有し、

前記第1のトランジスタと、前記第2のトランジスタは、バンドギャップが2.5 eV以上 の半導体材料をチャネル形成領域に備え、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電気的に接続されたことを特徴とするトリミング回路。

## 【請求項 2】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、

10

20

ゲート電極が前記記憶ノードに電気的に接続された第3のトランジスタと、を有し、前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\times 10^{-17}\text{ A}$ 以下であって、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電気的に接続されたことを特徴とするトリミング回路。

### 【請求項3】

請求項1または請求項2において、

前記第1のトランジスタと、前記第2のトランジスタは、チャネル形成領域に酸化物半導体層を備えることを特徴とするトリミング回路。

### 【請求項4】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、

ゲート電極が前記記憶ノードに電気的に接続された第3のトランジスタと、を有し、

前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\times 10^{-17}\text{ A}$ 以下であって、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電気的に接続された、トリミング回路の駆動方法において、

前記書き込み端子に前記第1のトランジスタがオン状態となる信号を、前記消去端子に前記第2のトランジスタがオフ状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオン状態となる電位とする第1のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第1のトランジスタおよび前記第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、前記抵抗素子をトリミングされた状態とすることを特徴とするトリミング回路の駆動方法。

### 【請求項5】

一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、

ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、

ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が前記記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、

ゲート電極が前記記憶ノードに電気的に接続された第3のトランジスタと、を有し、

前記第1のトランジスタと、前記第2のトランジスタのオフリーク電流がチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\times 10^{-17}\text{ A}$ 以下であって、

前記第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に電気的に接続された、トリミング回路の駆動方法において、

前記書き込み端子に前記第1のトランジスタがオフ状態となる信号を、前記消去端子に前記第2のトランジスタがオン状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオフ状態となる電位とする第1のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第1のトランジスタおよび前記第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、前記抵抗素子を利用可能な状態とすることを特徴とするトリミング回路の駆動方法。

### 【請求項6】

請求項4または請求項5記載の前記第2のステップに続いて、

前記書き込み端子に前記第1のトランジスタをオン状態となる信号を、前記消去端子に前記第2のトランジスタがオフ状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオン状態となる電位とするか、

10

20

30

40

50

前記書き込み端子に前記第1のトランジスタがオフ状態となる信号を、前記消去端子に前記第2のトランジスタがオン状態となる信号を入力して、前記記憶ノードの電位を前記第3のトランジスタがオフ状態となる電位として、前記記憶ノードの電位を前記第2のステップと異なる電位とする、第3のステップと、

前記書き込み端子および前記消去端子のそれぞれに、前記第1のトランジスタおよび前記第2のトランジスタがオフ状態となる信号を入力する第4のステップと、を含む、

前記抵抗素子のトリミング状態を変更することを特徴とするトリミング回路の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、トリミング回路に関する。また、トリミング回路の駆動方法に関する。

【背景技術】

【0002】

高い精度の電圧値、電流値が要求される集積回路（たとえばA/DコンバータやD/Aコンバータ）の製造工程において、製造条件の調整では抑制しきれない特性のバラツキを補償する方法が必要とされている。

【0003】

また、高い歩留まりが要求される集積回路（たとえば大容量の記憶装置）の製造工程において、内蔵する冗長回路への接続を切り替える方法が必要とされている。

20

【0004】

このような用途にトリミング回路とよばれる回路が用いられている。トリミング回路は、該トリミング回路に並列に接続された素子や回路を利用可能な状態とするか、利用不可能な状態（トリミング状態）とするか、を選択する回路である。従来のトリミング回路には、例えヒューズやツェナーザップダイオードなどが用いられている。

【0005】

また、チャネル形成領域に酸化物半導体を用いたトランジスタが知られている（特許文献1）。酸化物半導体層はスパッタリング法などを用いて比較的容易に作製できるため、チャネル形成領域に酸化物半導体を用いたトランジスタは作製が容易であるという特徴を備える。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、ヒューズやツェナーザップダイオードなどは信頼性に問題を生じる場合がある。例え、レーザを用いてヒューズを焼き切るレーザーカット法においては、切断箇所に残渣が残り回路が正しく遮断されない場合がある。

40

【0008】

また、ヒューズやツェナーザップダイオードなど不可逆な素子を用いる従来のトリミング回路はひとたび切断すると元の状態に戻すことができないため、トリミングのやり直しや、書き換えができないといった問題がある。

【0009】

本発明の一態様は、このような技術的背景のもとでなされたものである。本発明の一態様は、信頼性の高いトリミング回路を提供することを課題の一とする。または、書き換え可能なトリミング回路を提供することを課題の一とする。または、信頼性の高いトリミング回路の駆動方法を提供することを課題の一とする。または、書き換え可能なトリミング回路の駆動方法を提供することを課題の一とする。

50

**【課題を解決するための手段】**

**【0010】**

上記目的を達成するために、本発明の一態様は物理的に回路を切断することなく、設定された開閉器の状態を長い期間保つ構成に着眼した。そして、オフリーク電流が極めて小さいトランジスタのソース電極またはドレイン電極に接続された記憶ノードと、該記憶ノードにゲート電極が接続されたトランジスタを備える構成に想到した。また、該オフリーク電流が極めて小さいトランジスタを用いて、該記憶ノードにゲート電極が接続されたトランジスタのソース電極とドレイン電極に対して並列に接続された素子または回路のトリミング状態を制御する方法に想到し、上記課題の解決に至った。

**【0011】**

すなわち、本発明の一態様は、一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、ゲート電極が記憶ノードに電気的に接続された第3のトランジスタと、を有する。そして、第1のトランジスタと、第2のトランジスタは、バンドギャップが2.5 eV以上の半導体材料をチャネル形成領域に備え、第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に接続されたトリミング回路である。

**【0012】**

上記本発明の一態様のトリミング回路は、バンドギャップが2.5 eV以上の半導体材料をチャネル形成領域に備える第1のトランジスタおよび第2のトランジスタと、それぞれのトランジスタのソース電極またはドレイン電極の一方と、第3のトランジスタのゲート電極と、容量素子の一方の電極が接続された記憶ノードを備える。バンドギャップが2.5 eV以上の半導体材料をチャネル形成領域に備えるトランジスタは、オフリーク電流が小さく、このような構成の記憶ノードは電荷の保持能力に優れており、該記憶ノードにゲート電極が接続された第3のトランジスタの動作状態を安定して保持できる。これにより、構成要素の構造を変化させることなく（例えば、素子や配線の破壊を伴うことなく）第3のトランジスタの動作状態を長期間維持できる。その結果、信頼性の高いトリミング回路を提供できる。

**【0013】**

また、上記本発明の一態様のトリミング回路は、その構成要素の不可逆な構造の変化を伴うことなく第3のトランジスタの動作状態を変更できる。これにより、第3のトランジスタの動作状態を何度も変更できる。その結果、書き換え可能なトリミング回路を提供できる。

**【0014】**

また、本発明の一態様は、一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、ゲート電極が記憶ノードに電気的に接続された第3のトランジスタと、を有する。そして、第1のトランジスタと、第2のトランジスタのオフリーク電流がチャネル幅1 μmあたり $1 \times 10^{-17} A$ 以下であって、第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に接続されたトリミング回路である。

**【0015】**

上記本発明の一態様のトリミング回路は、オフリーク電流が極めて小さい第1のトランジスタおよび第2のトランジスタを備える。具体的には、チャネル形成領域に酸化物半導体層を備えるトランジスタであり、そのオフリーク電流の大きさはチャネル幅1 μmあたり $1 \times 10^{-17} A$ 以下である。それぞれのトランジスタのソース電極またはドレイン電極

10

20

30

40

50

の一方と、第3のトランジスタのゲート電極と、容量素子の一方の電極が接続された記憶ノードを備える。このような構成の記憶ノードは電荷の保持能力に優れており、該記憶ノードにゲート電極が接続された第3のトランジスタの動作状態を安定して保持できる。これにより、構成要素の構造を変化させることなく（例えば、素子や配線の破壊を伴うことなく）第3のトランジスタの動作状態を長期間維持できる。その結果、信頼性の高いトリミング回路を提供できる。

#### 【0016】

また、上記本発明の一態様のトリミング回路は、その構成要素の不可逆な構造の変化を伴うことなく第3のトランジスタの動作状態を変更できる。これにより、第3のトランジスタの動作状態を何度も変更できる。その結果、書き換え可能なトリミング回路を提供できる。10

#### 【0017】

また、本発明の一態様は、第1のトランジスタと、第2のトランジスタが、いずれもチャネル形成領域に酸化物半導体層を備える上記のトリミング回路である。

#### 【0018】

上記本発明の一態様のトリミング回路は、オフリーク電流が極めて小さい第1のトランジスタと第2のトランジスタを備える。具体的には、チャネル形成領域に酸化物半導体層を備えるトランジスタであり、それぞれのトランジスタのソース電極またはドレイン電極の一方と、第3のトランジスタのゲート電極と、容量素子の一方の電極が接続された記憶ノードを備える。酸化物半導体層を用いたトランジスタはオフリーク電流が極めて小さい。20 また、酸化物半導体層はスパッタリング法等により簡単に形成できる。これにより、容易に信頼性の高いトリミング回路を提供できる。また、他の半導体装置（例えばシリコン単結晶を用いた半導体装置）に、積層してトリミング回路を形成できる。その結果、付加価値の高い半導体装置を提供できる。

#### 【0019】

また、本発明の一態様は、一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、ゲート電極が書き込み端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、ゲート電極が前記記憶ノードに電気的に接続された第3のトランジスタと、を有する。30 また、第1のトランジスタと、第2のトランジスタのオフリーク電流がチャネル幅  $1 \mu m$ あたり  $1 \times 10^{-17} A$  以下であって、第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に接続された、抵抗素子のトリミング回路の駆動方法である。そしてそれは、書き込み端子に第1のトランジスタがオン状態となる信号を、消去端子に第2のトランジスタがオフ状態となる信号を入力して、記憶ノードの電位を第3のトランジスタがオン状態となる電位とする第1のステップと、書き込み端子および消去端子のそれに、第1のトランジスタおよび第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、抵抗素子をトリミングされた状態とするトリミング回路の駆動方法である。40

#### 【0020】

上記本発明の一態様のトリミング回路の駆動方法は、記憶ノードの電位を第3のトランジスタがオン状態となる電位とするステップと、記憶ノードにソース電極またはドレイン電極が接続された第1のトランジスタおよび第2のトランジスタをオフ状態とするステップを有する。これにより、トリミング回路を構成するいずれの要素の構造を変化せることなく、可逆的に第3のトランジスタの動作状態を変更できる。その結果、信頼性の高いトリミング回路の駆動方法を提供できる。

#### 【0021】

また、本発明の一態様は、一方の電極が記憶ノードに、他方の電極が接地電位線に、それぞれ電気的に接続された容量素子と、ゲート電極が書き込み端子に、ソース電極またはド50

レイン電極の一方が記憶ノードに、他方が電源電位線に、それぞれ電気的に接続された第1のトランジスタと、ゲート電極が消去端子に、ソース電極またはドレイン電極の一方が記憶ノードに、他方が接地電位線に、それぞれ電気的に接続された第2のトランジスタと、ゲート電極が記憶ノードに電気的に接続された第3のトランジスタと、を有する。また、第1のトランジスタと、第2のトランジスタのオフリーク電流がチャネル幅  $1 \mu m$ あたり  $1 \times 10^{-17} A$  以下であって、第3のトランジスタのソース電極およびドレイン電極が抵抗素子に並列に接続された、抵抗素子のトリミング回路の駆動方法である。そしてそれは、書き込み端子に第1のトランジスタをオフ状態となる信号を、消去端子に第2のトランジスタがオン状態となる信号を入力して、記憶ノードの電位を第3のトランジスタがオフ状態となる電位とする第1のステップと、書き込み端子および消去端子のそれぞれに、第1のトランジスタおよび第2のトランジスタがオフ状態となる信号を入力する第2のステップとを含む、抵抗素子を利用可能な状態とするトリミング回路の駆動方法である。

#### 【0022】

上記本発明の一態様のトリミング回路の駆動方法は、記憶ノードの電位を第3のトランジスタがオフ状態となる電位とするステップと、記憶ノードにソース電極またはドレイン電極が接続された第1のトランジスタおよび第2のトランジスタをオフ状態とするステップを有する。これにより、トリミング回路を構成するいずれの要素の構造も変化することなく、可逆的に第3のトランジスタの動作状態を変更できる。その結果、信頼性の高いトリミング回路の駆動方法を提供できる。

#### 【0023】

また、本発明の一態様は、上述の第2のステップに続いて、書き込み端子に第1のトランジスタをオン状態となる信号を、消去端子に前記第2のトランジスタがオフ状態となる信号を入力して、記憶ノードの電位を第3のトランジスタがオン状態となる電位とするか、書き込み端子に第1のトランジスタがオフ状態となる信号を、消去端子に第2のトランジスタがオン状態となる信号を入力して、記憶ノードの電位を第3のトランジスタがオフ状態となる電位として、記憶ノードの電位を第2のステップと異なる電位とする、第3のステップと、書き込み端子および消去端子のそれぞれに、第1のトランジスタおよび第2のトランジスタがオフ状態となる信号を入力する第4のステップと、を含む、抵抗素子のトリミング状態を変更するトリミング回路の駆動方法である。

#### 【0024】

上記本発明の一態様のトリミング回路の駆動方法は、記憶ノードの電位を駆動前とは異なる電位とするステップと、記憶ノードにソース電極またはドレイン電極が接続された第1のトランジスタおよび第2のトランジスタをオフ状態とするステップを有する。これにより、トリミング回路を構成するいずれの要素の構造も変化することなく、可逆的に第3のトランジスタの動作状態を変更できる。その結果、書き換え可能なトリミング回路の駆動方法を提供できる。

#### 【発明の効果】

#### 【0025】

本発明の一態様によれば、信頼性の高いトリミング回路を提供できる。または、書き換え可能なトリミング回路を提供できる。または、信頼性の高いトリミング回路の駆動方法を提供できる。または、書き換え可能なトリミング回路の駆動方法を提供できる。

#### 【図面の簡単な説明】

#### 【0026】

【図1】実施の形態に係るトリミング回路の構成を説明する図。

【図2】実施の形態に係るトリミング回路の動作を説明する図。

【図3】実施の形態に係るトリミング回路の構成を説明する図。

【図4】実施の形態に係るトリミング回路の作製方法を説明する図。

【図5】実施の形態に係るトリミング回路の作製方法を説明する図。

【図6】実施の形態に係る酸化物材料の構造を説明する図。

【図7】実施の形態に係る酸化物材料の構造を説明する図。

10

20

30

40

50

【図8】実施の形態に係る酸化物材料の構造を説明する図。

【図9】実施の形態に係る酸化物材料の構造を説明する図。

【発明を実施するための形態】

【0027】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0028】

(実施の形態1)

本実施の形態では、オフリーク電流が極めて小さいトランジスタのソース電極またはドレイン電極に接続された記憶ノードと、該記憶ノードにゲート電極が接続されたトランジスタを備えるトリミング回路の構成について、図1を参照して説明する。

【0029】

本発明の一態様のトリミング回路の構成を図1に示す。図1に例示するトリミング回路100は、容量素子140と、第1のトランジスタ110と、第2のトランジスタ120と、第3のトランジスタ130とを有する。なお、第1のトランジスタ110と、第2のトランジスタ120は、バンドギャップが2.5eV以上の半導体材料をチャネル形成領域に備え、オフリーク電流が極めて小さいトランジスタである。オフリーク電流を極めて小さくすることで、記憶ノード150に書き込まれた電荷を長期間保持できる。例えばバンドギャップが3.15eVの酸化物半導体層をチャネル形成領域に備え、オフリーク電流の大きさがチャネル幅1μmあたり $1 \times 10^{-17} A$ 以下であるトランジスタを用いることができる。

20

【0030】

第1のトランジスタ110と、第2のトランジスタ120に用いることができるトランジスタは、バンドギャップがシリコン半導体の1.12eVよりも大きな半導体材料をそのチャネル形成領域に備えるトランジスタが好適である。例えば、バンドギャップが2.5eV以上、好ましくは3.0eV以上の半導体材料をチャネル形成領域に備えるトランジスタ、具体的には酸化物半導体、窒化物半導体、酸窒化物半導体、炭化物半導体、半導体特性を示すダイヤモンド薄膜等をチャネル形成領域に備えるトランジスタを用いることができる。バンドギャップが2.5eV以上の半導体材料をチャネル形成領域に備えるトランジスタは、バンドギャップが1.12eVのシリコン半導体をチャネル形成領域に備えるトランジスタよりもオフリーク電流を小さくできる。

30

【0031】

なお、第1のトランジスタと第2のトランジスタのオフリーク電流を低減するために、様々な構成のトランジスタを用いることができる。例えば、直列に接続された二つ以上のチャネル形成領域を有する半導体層を含むマルチゲート型のトランジスタをもちいてもよい。また、ソース電極またはドレイン電極とチャネル形成領域の間に間隔（オフセットともいう）が設けられたトランジスタを用いてもよい。

40

【0032】

容量素子140は、その一方の電極が記憶ノード150に、他方の電極が接地電位線にそれぞれ電気的に接続されている。

【0033】

記憶ノード150は、バンドギャップが2.5eV以上の半導体材料をチャネル形成領域に備え、オフリーク電流が低減された第1のトランジスタ110と、第2のトランジスタ120と、容量素子140とに、接続されている。容量素子140を設けると、サージ電流などにより記憶ノード150の電位が不安定になる現象の発生を抑制でき、信頼性が高まるため好ましい。

50

**【 0 0 3 4 】**

第1のトランジスタ110は、ゲート電極が書き込み端子115に、ソース電極またはドレイン電極の一方が記憶ノード150に、他方が電源電位線にそれぞれ電気的に接続されている。なお、電源電位線には接地電位より高い電源電位Vddが供給されている。

**【 0 0 3 5 】**

第2のトランジスタ120は、ゲート電極が消去端子125に、ソース電極またはドレイン電極の一方が記憶ノード150に、他方が接地電位線にそれぞれ電気的に接続されている。

**【 0 0 3 6 】**

第3のトランジスタ130は、ゲート電極が記憶ノード150に電気的に接続され、ソース電極およびドレイン電極が抵抗素子105に並列に接続されている。10

**【 0 0 3 7 】**

記憶ノード150は、容量素子140の一方の電極が接続され、オフリーク電流が極めて小さい第1のトランジスタ110により電源電位線から電気的に切り離され、オフリーク電流が極めて小さい第2のトランジスタ120により接地電位線から電気的に切り離されている。このように構成された、記憶ノード150は書き込まれた電荷を長期間安定して保持できる。

**【 0 0 3 8 】**

書き込まれた電荷を長期間安定して保持できる記憶ノード150に第3のトランジスタ130のゲート電極が接続された構成により、当該ゲート電極を介して、第3のトランジスタ130の動作状態（具体的にはオン状態またはオフ状態のいずれか一方）を長期間維持できる。20

**【 0 0 3 9 】**

また、この構成によれば、いずれの構成要素の不可逆な構造の変化を伴うことなく第3のトランジスタ130の動作状態を長期間維持できるため、特に信頼性が高い。また、不可逆な構造の変化を伴うことなく記憶ノード150の電位を書き換えて、第3のトランジスタ130の動作状態を何度も変更できる。

**【 0 0 4 0 】**

本発明の一態様によれば、信頼性の高いトリミング回路を提供できる。または、書き換え可能なトリミング回路を提供できる。30

**【 0 0 4 1 】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。。

**【 0 0 4 2 】****(実施の形態2)**

本実施の形態では、オフリーク電流が極めて小さいトランジスタのソース電極またはドレイン電極に接続された記憶ノードと、該記憶ノードにゲート電極が接続されたトランジスタを備えるトリミング回路の駆動方法について、図2を参照して説明する。具体的には、実施の形態1で例示したトリミング回路100の駆動方法について説明する。

**【 0 0 4 3 】****<駆動方法例1.>**

はじめに、トリミング回路に並列に接続された素子や回路を利用不可能な状態（トリミング状態）とする方法について図2(A)と、図2(C)を用いて説明する。

**【 0 0 4 4 】**

書き込み端子115に第1のトランジスタ110がオン状態となる信号を、消去端子125に第2のトランジスタ120がオフ状態となる信号を入力する。その結果、記憶ノード150は第1のトランジスタ110を介して電源電位線と接続され、電荷が容量素子140に接続されている記憶ノード150に蓄積される。また、記憶ノード150にゲート電極が接続された第3のトランジスタはオン状態となり、そのソース電極とドレイン電極を介して、第3のトランジスタに電流が流れようになる。なお、ここまでを駆動方法例14050

の第 1 のステップとする(図 2 (A) 参照)。

【0045】

次いで、書き込み端子 115 に第 1 のトランジスタ 110 がオフ状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオフ状態となる信号を入力する。その結果、記憶ノード 150 は電源電位線または接地電位線のいずれからも電気的に切り離され、記憶ノード 150 に書き込んだ電荷が保持される。なお、ここまでを駆動方法例 1 の第 2 のステップとする(図 2 (C) 参照)。

【0046】

上記本発明の一様のトリミング回路 100 の駆動方法は、記憶ノード 150 の電位を第 3 のトランジスタ 130 がオン状態となる電位とする第 1 のステップと、記憶ノード 150 にソース電極またはドレイン電極が接続された第 1 のトランジスタ 110 および第 2 のトランジスタ 120 をオフ状態とする第 2 のステップを有する。これにより、トリミング回路 100 を構成するいずれの要素の構造も変化することなく、第 3 のトランジスタ 130 により多くの電流が流れるようにできる。その結果、信頼性の高いトリミング回路の駆動方法を提供できる。

10

【0047】

<駆動方法例 2.>

次に、トリミング回路に並列に接続された素子や回路を利用可能な状態とする方法について図 2 (B) と、図 2 (C) を用いて説明する。

20

【0048】

書き込み端子 115 に第 1 のトランジスタ 110 がオフ状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオン状態となる信号を入力する。その結果、記憶ノード 150 は第 2 のトランジスタ 120 を介して接地電位線と接続され、記憶ノード 150 は接地電位と等しくなる。また、記憶ノード 150 にゲート電極が接続された第 3 のトランジスタはオフ状態となり、そのソース電極とドレイン電極に並列に接続された抵抗素子 105 に電流が流れようになる。なお、ここまでを駆動方法例 2 の第 1 のステップとする(図 2 (B) 参照)。

【0049】

次いで、書き込み端子 115 に第 1 のトランジスタ 110 がオフ状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオフ状態となる信号を入力する。その結果、記憶ノード 150 は電源電位線または接地電位線のいずれからも電気的に切り離され、記憶ノード 150 に書き込んだ電荷が保持される。なお、ここまでを駆動方法例 2 の第 2 のステップとする(図 2 (C) 参照)。

30

【0050】

上記本発明の一様のトリミング回路 100 の駆動方法は、記憶ノード 150 の電位を第 3 のトランジスタ 130 がオフ状態となる電位とする第 1 のステップと、記憶ノード 150 にソース電極またはドレイン電極が接続された第 1 のトランジスタ 110 および第 2 のトランジスタ 120 をオフ状態とする第 2 のステップを有する。これにより、トリミング回路 100 を構成するいずれの要素の構造も変化することなく、第 3 のトランジスタ 130 のソース電極とドレイン電極に並列に接続された抵抗素子 105 により多くの電流が流れようできる。その結果、信頼性の高いトリミング回路 100 の駆動方法を提供できる。

40

【0051】

<駆動方法例 3.>

次に、駆動方法例 1 または駆動方法例 2 に記載した方法を用いてトリミング状態が設定されたトリミング回路 100 の設定を、変更する方法について説明する。

【0052】

書き込み端子 115 に第 1 のトランジスタ 110 をオン状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオフ状態となる信号を入力して、記憶ノード 150 の電位を第 3 のトランジスタ 130 がオン状態(図 2 (A) 参照)となる電位とするか、書き

50

込み端子 115 に第 1 のトランジスタ 110 がオフ状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオン状態となる信号を入力して、記憶ノード 150 の電位を第 3 のトランジスタ 130 がオフ状態（図 2 (B) 参照）となる電位とした後、駆動方法例 1 または駆動方法例 2 に記載した方法を用いてトリミング状態が設定された記憶ノード 150 の電位を書き換える。なお、ここまででのステップを、駆動方法例 1 または駆動方法例 2 で説明したいずれか一方の駆動方法の第 1 のステップおよび第 2 のステップの後について行うため、駆動方法例 3 の第 3 のステップとする。

#### 【0053】

次いで、書き込み端子 115 に第 1 のトランジスタ 110 がオフ状態となる信号を、消去端子 125 に第 2 のトランジスタ 120 がオフ状態となる信号を入力する。その結果、記憶ノード 150 は電源電位線または接地電位線のいずれからも電気的に切り離され、記憶ノード 150 に書き込んだ電荷が保持される。なお、ここまでを駆動方法例 3 の第 4 のステップとする（図 2 (C) 参照）。

10

#### 【0054】

上記本発明の一態様のトリミング回路 100 の駆動方法は、記憶ノード 150 の電位を、駆動方法例 3 を用いてトリミング回路 100 を駆動する前とは異なる電位とする第 3 のステップと、記憶ノード 150 にソース電極またはドレイン電極が接続された第 1 のトランジスタ 110 および第 2 のトランジスタ 120 をオフ状態とする第 4 のステップと、を有する。これにより、トリミング回路を構成するいずれの要素の構造も変化することなく、第 3 のトランジスタ 130 の動作状態を変更できる。その結果、書き換え可能なトリミング回路 100 の駆動方法を提供できる。

20

#### 【0055】

##### <変形例>

駆動方法例 3 では、第 3 のトランジスタ 130 の動作状態を変更する方法について記載したが、第 3 のトランジスタ 130 の動作状態を変更せず、書き込み端子 115 と消去端子 125 に信号を改めて入力して、データを書き込む駆動方法も、本発明の一態様ということができる。

#### 【0056】

本発明の一態様のトリミング回路は、第 1 のトランジスタ 110 と、第 2 のトランジスタ 120 に、オフリーク電流が極めて小さいトランジスタを備え、記憶ノード 150 に書き込まれた電荷を長期間保持できる。ここで、記憶ノード 150 が電荷を保持している状態を維持するように書き込み端子 115 と、消去端子 125 に信号を入力することにより、さらに信頼性を向上できる。

30

#### 【0057】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

#### 【0058】

##### (実施の形態 3)

本実施の形態では、本発明の一態様のトリミング回路の構成について、図 3 を参照して説明する。具体的には、酸化物半導体以外の半導体を用いたトランジスタとチャネル形成領域に酸化物半導体層を備えるトランジスタと、を含むトリミング回路の構成について説明する。

40

#### 【0059】

本発明の一態様のトリミング回路の構成を図 3 に示す。図 3 (A) は、トリミング回路 300 の上面図であり、図 3 (B) は図 3 (A) に示す切断線 C1 - C2 における断面図であり、図 3 (C) は同じく図 3 (A) に示す切断線 D1 - D2 における断面図である。

#### 【0060】

図 3 に例示するトリミング回路 300 は、第 3 のトランジスタ 330 と、抵抗素子 305 が形成された基板 301 上に、絶縁層 304 を介して設けられた第 1 のトランジスタ 310 と、第 2 のトランジスタ 320 と、容量素子 340 と、を有する。

50

**【 0 0 6 1 】**

<第3のトランジスタと抵抗素子の構成>

本実施の形態では、第3のトランジスタ330のチャネル形成領域に酸化物半導体以外の半導体材料を適用する場合について説明する。具体的には、基板301にシリコン単結晶基板を用い、その表面に第3のトランジスタ330が形成された構成について説明する(図3(B)参照)。

**【 0 0 6 2 】**

なお、酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができる。また、有機半導体材料などを用いてもよい。

10

**【 0 0 6 3 】**

また、いずれの半導体材料も非結晶状態を含んでいても、結晶状態を含んでいてもよいが、単結晶半導体基板を用いると、高速に動作可能なトランジスタを作製できるため好ましい。

**【 0 0 6 4 】**

また、SOI基板などを適用することができる。一般に「SOI基板」は、絶縁表面上にシリコン半導体膜が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体膜が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体膜は、シリコン半導体膜に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体膜が設けられた構成のものが含まれるものとする。

20

**【 0 0 6 5 】**

素子分離絶縁層302が第3のトランジスタ330を囲むように設けられている。第3のトランジスタ330のゲート電極331は絶縁層303に設けられた開口部を介して配線332と電気的に接続されている。

**【 0 0 6 6 】**

配線332と同じ導電層で作られた配線335が備える屈曲した部分が抵抗素子305として機能する。そして、当該抵抗素子305は、第3のトランジスタ330のソース電極およびドレイン電極に対し並列に接続されている(図3(A)参照)。

**【 0 0 6 7 】**

30

<容量素子、第1のトランジスタ及び第2のトランジスタの構成>

容量素子340は、配線341と配線352の間に絶縁層を挟んで備え、絶縁層304上に形成されている。なお、配線352は絶縁層304に形成された開口部を介して、配線332と接続されている(図3(B)参照)。

**【 0 0 6 8 】**

第1のトランジスタ310は、絶縁層304上に形成された酸化物半導体層313と、ゲート電極として機能する配線311の間にゲート絶縁層312を備える。なお、配線311はその側壁に絶縁層が設けられ、ソース電極またはドレイン電極として機能する配線351および配線352と絶縁されている(図3(C)参照)。

**【 0 0 6 9 】**

40

第2のトランジスタ320は、絶縁層304上に形成された酸化物半導体層323と、ゲート電極として機能する配線321の間にゲート絶縁層322を備える。なお、配線321はその側壁に絶縁層が設けられ、ソース電極またはドレイン電極として機能する配線352および配線353と絶縁されている(図3(C)参照)。

**【 0 0 7 0 】**

本実施の形態で例示するトリミング回路は、オフリーク電流が極めて小さい第1のトランジスタ310と、第2のトランジスタ320を備える。具体的には、チャネル形成領域に酸化物半導体層を備えるトランジスタであり、そのオフリーク電流の大きさはチャネル幅 $1\mu m$ あたり $1 \times 10^{-17} A$ 以下である。オフリーク電流を極めて小さく(例えば、チャネル幅 $1\mu m$ あたり $1 \times 10^{-17} A$ 以下)することで、記憶ノードに書き込まれた電

50

荷を長期間保持できる。

**【0071】**

また、本実施の形態で例示するトリミング回路は、酸化物半導体層を備えるトランジスタを有し、当該酸化物半導体層を備えるトランジスタが、酸化物半導体以外の半導体を用いたトランジスタが形成された基板上に設けられている。このような構成とすることにより、例えば酸化物半導体以外の半導体を用いて、例えば高速に動作するトランジスタと、オフリーケ電流が低減された酸化物半導体を用いたトランジスタを組み合わせて利用できる。その結果、酸化物半導体以外の半導体とオフリーケ電流が低減された酸化物半導体の長所を生かしたトリミング回路、および当該トリミング回路をそなえる半導体装置を提供できる。

10

**【0072】**

また、本実施の形態で例示するトリミング回路は、積層された構成を有する。具体的には、酸化物半導体層を備えるトランジスタと抵抗素子が重ねて設けられている。その結果、トリミング回路が占有する面積を小さくできる。また、当該トリミング回路を適用することにより半導体装置を小型化できる。

**【0073】**

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

**【0074】**

(実施の形態4)

20

本実施の形態では、本発明の一態様のトリミング回路に用いることができるトランジスタの構成について説明する。具体的にはバンドギャップが2.5 eV以上の半導体材料をチャネル形成領域に備えるトランジスタの構成について説明する。なお、本実施の形態で例示するトランジスタの作製方法は実施の形態5で説明する。

**【0075】**

本実施の形態で例示するトランジスタの構成を、図4(D)を用いて説明する。図4(D)はトランジスタの断面を表している。

**【0076】**

本実施の形態で例示するトランジスタ710は、基板701上に下地となる絶縁層704と、酸化物半導体層713と、ゲート絶縁層712と、ゲート電極711と、ソース電極またはドレイン電極として機能する電極751と電極752と、トランジスタを保護する絶縁層705と、を有する。

30

**【0077】**

<下地となる絶縁層の構成>

下地となる絶縁層704は絶縁性の表面を有し、チャネルが形成される酸化物半導体層713の下地となる。

**【0078】**

下地となる絶縁層704は、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどから選ばれた一または複数の材料を含む層の単層構造であっても、2層以上の積層構造であってもよい。

40

**【0079】**

<酸化物半導体層>

チャネルが形成される酸化物半導体層713は、ゲート絶縁層712を介してゲート電極711と重なり、ゲート電極711を挟んで設けられた電極751と電極752と、電気的に接続されている。なお、電極751と電極752は、ソース電極またはドレイン電極として機能する。

**【0080】**

チャネルが形成される酸化物半導体層713の厚さは、2 nm以上200 nm以下、好ましくは5 nm以上30 nm以下とする。

50

## 【0081】

なお、酸化物半導体層713は島状に加工されていなくてもよい。

## 【0082】

酸化物半導体層713は単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

## 【0083】

好ましくは、酸化物半導体層は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)層とする。

## 【0084】

結晶性を有する酸化物半導体層の一例としては、c軸配向結晶(CAAC:c-axis aligned crystals)を有する酸化物半導体層が挙げられる。なお、c軸配向結晶を有する酸化物半導体層の詳細は実施の形態7で説明する。10

## 【0085】

酸化物半導体層713は、その化学量論比に対し、酸素を過剰に含む構成が好ましい。酸素を過剰にすることにより金属酸化物層の酸素欠損に起因するキャリアの生成を抑制することができる。

## 【0086】

酸化物半導体層713は、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。

## 【0087】

また、該酸化物半導体層を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。20

## 【0088】

また、他のスタビライザーとして、ランタノイドである、ラントン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。30

## 【0089】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、40  
In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

## 【0090】

ここで、例えばIn-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、その組成比は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。例えば、SiO<sub>2</sub>が入っていても50

良い。

**【0091】**

また、酸化物半導体として、 $InMO_3 (ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5 (ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

**【0092】**

しかし、これらに限らず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キヤリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。10

**【0093】**

<ゲート絶縁層>

ゲート絶縁層712は酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化窒化アルミニウム、酸化タンタルなどを用いることができる。

**【0094】**

ゲート絶縁層712は高誘電率( $high-k$ )材料を用いることもできる。高誘電率材料としては、酸化ハフニウム、酸化イットリウム、酸化ランタン、ハフニウムシリケート( $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ ))、ハフニウムアルミネート( $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))などをその例として挙げられる。20

**【0095】**

ゲート絶縁層712は単層構造であっても、積層構造であっても良い。例えば、 $high-k$ 材料を含む層と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどから選ばれた材料を含む層との積層構造としてもよい。

**【0096】**

ゲート絶縁層712はその厚さを薄くするか、上述した $high-k$ 材料をその材料に用いると、動作特性を損なうことなくトランジスタを微細化できる。30

**【0097】**

例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。

**【0098】**

一方、 $high-k$ 材料を用いる場合には、その厚さをトンネル効果などに起因するゲートリークが発生する程度に薄くすることなく、トランジスタを微細化できる。

**【0099】**

なお、ゲート絶縁層712に第13族元素および酸素を含む絶縁材料を適用できる。なお、第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。40

**【0100】**

例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが、第13族元素および酸素を含む絶縁材料の一例として挙げられる。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

**【0101】**

酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体材料との相性が良い。したがって、第13族元素および酸素を含む絶縁材料を酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に50

保つことができる。

**【0102】**

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。

**【0103】**

また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のバイルアップを低減することができる。

**【0104】**

例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

**【0105】**

このように、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。

**【0106】**

<ゲート電極>

ゲート電極711はゲート絶縁層712を介して酸化物半導体層713と重なり、トランジスタ710のゲート電極として機能する。

**【0107】**

ゲート電極711は導電材料を含む層の単層構造であっても、2層以上の積層構造であってもよい。

**【0108】**

導電材料は熱処理工程に耐えられる材料であればよく、例えばモリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等から選ばれた一の金属、またはこれらから選ばれた一を含む合金を用いることができる。

**【0109】**

また、リン等の不純物元素をドーピングした多結晶シリコン層に代表される半導体層、ニッケルシリサイドなどのシリサイド層を用いてもよい。

**【0110】**

<ゲート電極上の絶縁層および側壁>

ゲート電極上の絶縁層714aは、ゲート電極711と重なり、絶縁性を有する。

**【0111】**

側壁714bは、ゲート絶縁層712、ゲート電極711、およびゲート電極上の絶縁層714aの積層体の側面に接し、絶縁層を有する。

**【0112】**

<ソース電極およびドレイン電極>

電極751または電極752は、いずれも酸化物半導体層713と電気的に接続し、当該トランジスタのソース電極およびドレイン電極として機能する。

**【0113】**

ソース電極またはドレイン電極として機能する電極は導電材料を含む層の単層構造であっても、2層以上の積層構造であってもよい。

**【0114】**

導電材料は熱処理工程に耐えられる材料であればよく、例えばアルミニウム、クロム、銅、チタン、タンタル、モリブデンおよびタングステンから選ばれた一の金属、またはこれらから選ばれた一を含む合金を用いることができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジムおよびスカンジウムから選ばれた一の金属、またはこれらから選ばれた一を含む合金を用いることもできる。

**【0115】**

また、導電材料は金属窒化物を用いることができる。具体的には、窒化チタン、窒化モリ

10

20

30

40

50

ブデン、窒化タンゲステン等をその例に挙げることができる。

**【0116】**

また、導電材料は導電性の金属酸化物を用いることができる。具体的には、酸化インジウム、酸化スズ、インジウム-スズ酸化物(ITOともいう)、インジウム-亜鉛酸化物、酸化亜鉛、ガリウムまたはアルミニウムが添加された酸化亜鉛、またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

**【0117】**

また、導電材料はグラフェンなどを用いることができる。

**【0118】**

例えば、チタンや窒化チタンからなる単層構造、シリコンを含むアルミニウムの単層構造、アルミニウム層上にチタン層が積層された2層構造、窒化チタン層上にチタン層が積層された2層構造、チタン層とアルミニウム層とチタン層とが積層された3層構造などが挙げられる。

10

**【0119】**

なお、トランジスタのチャネル長(L)は酸化物半導体層に接するソース電極の端部と酸化物半導体層に接するドレイン電極の端部の間隔によって決定される。

**【0120】**

<トランジスタを保護する絶縁層>

トランジスタを保護する絶縁層705は水分等の不純物が外部から侵入する現象を防いで、トランジスタを保護する層である。

20

**【0121】**

絶縁層705の厚みは、少なくとも1nm以上とする。

**【0122】**

絶縁層705はバリア性を有する絶縁体を含む層の単層構造であっても、2層以上の積層構造であってもよい。

**【0123】**

特に、酸化アルミニウムを含む構成が好ましく、酸化アルミニウム層と、他の無機絶縁材料を含む層との積層構造としてもよい。酸化アルミニウムは、水分、酸素、その他の不純物を透過させにくいかからである。

30

**【0124】**

また、絶縁層705は酸素過剰領域を有する酸化物絶縁層と、酸化アルミニウム層の積層体であって、酸化物半導体層側に酸素過剰領域を有する酸化物絶縁層を設ける構成としてもよい。

**【0125】**

酸素過剰領域を有する酸化物絶縁層は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を用いることができる。

**【0126】**

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

40

**【0127】**

(実施の形態5)

本実施の形態では、実施の形態4で説明したバンドギャップが2.5eV以上の半導体材料をチャネル形成領域に備えるトランジスタ710の作製方法について、図4を用いて説明する。

**【0128】**

<下地となる絶縁層の形成>

はじめに、チャネルが形成される酸化物半導体層の下地となる絶縁層704を形成する。下地となる絶縁層704は、基板701上にプラズマCVD法又はスピッタリング法等により形成する。

**【0129】**

50

基板 701 は下地となる絶縁層を形成する工程以後の工程において、処理に耐えうる程度の耐熱性を有すれば良く、その大きさには制限はない。

#### 【0130】

基板 701 はあらかじめ他の半導体素子が設けられていてもよい。

#### 【0131】

基板 701 として、例えば、バリウムホウケイ酸ガラスやアルミニオホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することもできる。

#### 【0132】

基板 701 として、可撓性を有する基板を用いてもよい。可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板上にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置する場合は、作製基板と酸化物半導体層を含むトランジスタとの間に剥離層を設けるとよい。

#### 【0133】

<酸化物半導体層の形成>

次に、チャネルが形成される酸化物半導体層 713 を下地となる絶縁層 704 上に形成する。

#### 【0134】

酸化物半導体層は、スパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法により成膜できる。

#### 【0135】

例えば、酸化物半導体として In - Ga - Zn - O 系の材料を用いる場合、ターゲットを用いて作製することができる。ターゲットの材料及びその組成比は様々なものを用いることが可能であり、例えば、In<sub>2</sub>O<sub>3</sub> と Ga<sub>2</sub>O<sub>3</sub> と ZnO を 1 : 1 : 1 [mol 数比] (= In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO) の割合で含む酸化物ターゲットを用いることができる。また、例えば、In<sub>2</sub>O<sub>3</sub> と Ga<sub>2</sub>O<sub>3</sub> と ZnO を 1 : 1 : 2 [mol 数比] (= In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO) の割合で含む酸化物ターゲットを用いることもできる。

#### 【0136】

また、酸化物半導体として In - Zn - O 系の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、In : Zn = 50 : 1 ~ 1 : 2 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 25 : 1 ~ 1 : 4)、好ましくは In : Zn = 20 : 1 ~ 1 : 1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 10 : 1 ~ 1 : 2)、さらに好ましくは In : Zn = 15 : 1 ~ 1 . 5 : 1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub> : ZnO = 15 : 2 ~ 3 : 4) とする。例えば、In - Zn - O 系酸化物半導体の形成に用いるターゲットは、原子数比が In : Zn : O = X : Y : Z のとき、Z > 1 . 5 X + Y とする。

#### 【0137】

また、例えば、酸化物半導体として In - Sn - Zn - O 系の材料を用いる場合、ターゲットを用いて作製することができる。ターゲットの組成比は、様々なモノを用いることが可能であり、例えば、In と Sn と Zn を原子数比で 1 : 2 : 2 (= In : Sn : Zn) の割合で含む酸化物ターゲットを用いることができる。また、例えば、In と Sn と Zn を原子数比で 2 : 1 : 3 (= In : Sn : Zn) の割合で含む酸化物ターゲットを用いることができる。また、例えば、In と Sn と Zn を原子数比で 1 : 1 : 1 (= In : Sn : Zn) の割合で含む酸化物ターゲットを用いることができる。また、例えば、In と Sn と Zn を原子数比で 20 : 45 : 35 (= In : Sn : Zn) の割合で含む酸化物ターゲットを用いることができる。

#### 【0138】

なお、ターゲットの相対密度は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99 . 9 % 以下である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体層

10

20

30

40

50

は緻密な膜とすることができます。

**【0139】**

また、酸化物半導体層はキャリア密度を低減し実質的にI型とすることができる。その方法の詳細は、実施の形態6で説明する。

**【0140】**

次に、フォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、酸化物半導体層を選択的にエッチングして島状に形成する(図4(A)参照)。

**【0141】**

なお、該レジストマスクを後退させつつエッチングすると、酸化物半導体層をテーパ形状にできる。島状の酸化物半導体層をテーパ形状にすると、本工程以降に形成される層の断切れを防止し、被覆性を向上できる。10

**【0142】**

<ゲート絶縁層、ゲート電極およびゲート電極上の絶縁層の形成>

次に、ゲート絶縁層712、ゲート電極711、およびゲート電極上の絶縁層714aの積層体を酸化物半導体層713上に形成する。

**【0143】**

ゲート絶縁層となる絶縁層およびゲート電極上の絶縁層となる絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する。

**【0144】**

ゲート電極となる導電層はスパッタリング法等を用いて成膜する。20

**【0145】**

次に、フォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、ゲート絶縁層となる絶縁層、ゲート電極となる導電層およびゲート電極上の絶縁層となる絶縁層をエッチングしてゲート絶縁層712、ゲート電極711、およびゲート電極上の絶縁層714aの積層体を形成する。

**【0146】**

<側壁の形成>

次に、側壁714bをゲート絶縁層712、ゲート電極711、およびゲート電極上の絶縁層714aの積層体の側面に接して形成する。

**【0147】**

側壁となる絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する。30

**【0148】**

次に、異方性のエッチングを行い、積層体の側面に接する絶縁層を残して側壁を形成する(図4(B)参照)。

**【0149】**

<ソース電極またはドレイン電極として機能する電極の形成>

次に、ソース電極またはドレイン電極として機能する電極751、電極752を形成する。

**【0150】**

ソース電極またはドレイン電極となる導電材料を含む層は、スパッタリング法などを用いて成膜する。40

**【0151】**

次に、フォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、導電材料を含む層を選択的にエッチングして電極751、電極752を形成する(図4(C)参照)。なお、同じ導電材料を含む層からなる配線等(図示せず)も同一の工程で形成する。

**【0152】**

なお、チャネル長(L)を10nm以上1000nm(1μm)以下、特に25nm未満のトランジスタを形成する場合、波長が数nm~数十nmの短い超紫外線(Extreme Ultraviolet)を用いてマスクを形成すると好ましい。超紫外線を用いる50

と、解像度が高く焦点深度も大きいからである。

**【0153】**

なお、ソース電極又はドレイン電極として機能する電極をテーパ形状に形成するとよい。ソース電極又はドレイン電極として機能する電極をテーパ形状にすると、本工程以降に形成される層（例えばゲート絶縁層）の断切れを防止し、被覆性を向上できる。なおテーパ角は、例えば、30°以上60°以下とすることが好ましい。

**【0154】**

なお、導電材料を含む層をチタン層や窒化チタン層の単層構造とする場合には、テーパ形状を有するソース電極およびドレイン電極への加工が容易である。

**【0155】**

<トランジスタを保護する絶縁層の形成>

次に、トランジスタを保護する絶縁層705を形成する。

**【0156】**

トランジスタを保護する絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する。

**【0157】**

以上の工程により、チャネルが形成される領域に酸化物半導体材料を用いたトランジスタ710を作製できる。

**【0158】**

なお、本実施の形態において用いるレジストマスクは、フォトリソグラフィ工程により形成されるものに限られない。フォトリソグラフィ法の他に、インクジェット法、印刷法等を適宜用いて形成できる。フォトマスクを使用することなくレジストマスクを形成すると、半導体装置の製造コストを低減することができる。

**【0159】**

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

**【0160】**

(実施の形態6)

本実施の形態では、本発明の一態様のトリミング回路に用いることができるオフリーケ電流が極めて小さい（例えば、チャネル幅1μmあたり $1 \times 10^{-17}$ A以下）トランジスタに適用可能な酸化物半導体層の形成方法について説明する。具体的には、キャリア密度が低減され、実質的にI型の酸化物半導体層の作製方法について、図5を用いて説明する。

**【0161】**

<下地となる絶縁層の構成およびその作製方法>

チャネルが形成される酸化物半導体層の下地となる絶縁層504の少なくとも酸化物半導体層に接する領域は、熱処理により酸素が脱離する絶縁層を含む構成が好ましい。なぜなら、絶縁層504が酸素過剰領域を有すると、酸化物半導体層から絶縁層504に酸素が移動する現象を防ぐことができ、且つ後に説明する加熱処理を施すことで、絶縁層504から酸化物半導体層に、酸素を供給できるからである。

**【0162】**

下地となる絶縁層が積層構造である場合、酸素過剰領域を有する酸化物絶縁層を酸化物半導体層側に備える構成がより好ましい。

**【0163】**

例えば、下地となる絶縁層は、酸化物半導体層側から、酸素過剰領域を有する酸化シリコン層と、酸化アルミニウム層との積層構造とする構成が好ましい。

**【0164】**

なお、本明細書等において、「熱処理により酸素が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算した酸素の脱離量（又は放出量）が $1.0 \times 10^{-8} \text{ cm}^{-3}$ 以上、

10

20

30

40

50

好ましくは  $3.0 \times 10^{-2} \text{ cm}^{-3}$  以上であることをいう。また、「熱処理により酸素が脱離しない」とは、TDS分析にて、酸素原子に換算した酸素の脱離量（又は放出量）が  $1.0 \times 10^{-8} \text{ cm}^{-3}$  未満であることをいう。

#### 【0165】

熱処理により酸素が脱離する絶縁層を作製する方法としては、酸素雰囲気下にて成膜する方法、または、成膜後に酸素（少なくとも、酸素ラジカル、酸素原子または酸素イオンのいずれかを含む）を注入する方法等を挙げることができる。

#### 【0166】

酸素の注入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

10

#### 【0167】

<不純物濃度が低減された酸化物半導体層の形成方法1：成膜方法>

酸化物半導体層413aを、下地となる絶縁層504上に形成する（図5（A）参照）。酸化物半導体層413aは、後にチャネルが形成される酸化物半導体層となるため、水素原子を含む不純物を極力排除されるように形成する。なぜなら、水素原子を含む不純物は、酸化物半導体層にドナー準位を形成し易いからである。

#### 【0168】

水素原子を含む不純物が低減された酸化物半導体層を作製する方法としては、スパッタリング法を用いて成膜するのが好ましい。特に、大気に暴露されていない絶縁層を下地として、該絶縁層に連続して酸化物半導体層を成膜する方法が好ましい。

20

#### 【0169】

例えば、基板表面に付着した水素を含む不純物を、熱処理またはプラズマ処理で除去した後、大気に解放することなく下地となる絶縁層を形成し、続けて大気に解放することなく酸化物半導体層を形成してもよい。このようにすることで、下地となる絶縁層の表面に付着した水素を含む不純物を低減し、また、基板と下地となる絶縁層との界面、及び、下地となる絶縁層と酸化物半導体層との界面に、大気成分が付着する現象を抑制できる。

#### 【0170】

なお、スパッタリング法を用いて酸化物半導体層を成膜する前に、処理室にアルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、下地となる絶縁層の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。

30

#### 【0171】

逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

#### 【0172】

また、酸化物半導体層を、リークレートが小さい処理室を用いて成膜する方法が好ましい。具体的には、スパッタリング装置の処理室のリークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{s}$  以下とすることで、成膜途中ににおける酸化物半導体層中へ、アルカリ金属、水素化物等の不純物の混入を低減することができる。

#### 【0173】

また、酸化物半導体層を吸着型の真空ポンプ（例えば、クライオポンプなど）を用いて排気されたスパッタリング装置の処理室で成膜する方法が好ましい。排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

40

#### 【0174】

また、酸化物半導体層を、スパッタリング装置の処理室内に高純度の雰囲気ガスを供給して、成膜する方法が好ましい。具体的には、水、水酸基を含む化合物または水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、または希ガスと酸素との混合ガスを適宜用いるものとする。

#### 【0175】

50

例えば、アルゴンの純度を、9N(99.999999%)以上(H<sub>2</sub>Oは、0.1ppb、H<sub>2</sub>は、0.5ppb)とし、露点-121とする。また、酸素の純度は、8N(99.999999%)以上(H<sub>2</sub>Oは、1ppb、H<sub>2</sub>は、1ppb)とし、露点-112とする。

#### 【0176】

また、希ガスと酸素の混合ガスを用いる場合には、酸素の流量比率を大きくすることが好ましい。

#### 【0177】

《酸化物半導体層の成膜条件の一例。》

成膜条件の一例としては、基板とターゲットとの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

#### 【0178】

<不純物濃度が低減された酸化物半導体層の形成方法2：第1の熱処理>

水素原子を含む不純物が極力排除された酸化物半導体層413bを形成する(図5(B)参照)。

#### 【0179】

水素原子を含む不純物が低減された酸化物半導体層を作製する方法としては、酸化物半導体層中の水分又は水素などの不純物を低減(脱水化または脱水素化ともいう)するために、酸化物半導体層に第1の熱処理を施す方法が好ましい。

#### 【0180】

第1の熱処理を行う場合、酸化物半導体層に接する絶縁層は、熱処理により酸素が脱離する絶縁層を用いることが好ましい。なぜなら、第1の熱処理を行うと、水素原子を含む不純物とともに、酸素も酸化物半導体層から放出されてしまうからである。酸素が放出された酸化物半導体層に生じる酸素欠損の一部がドナーとなり、酸化物半導体層にキャリアが発生し、トランジスタの特性に影響を与えるおそれがある。

#### 【0181】

第1の熱処理の温度は、例えば、150以上基板歪み点温度未満、好ましくは250以上450以下、さらに好ましくは300以上450以下とする。

#### 【0182】

第1の熱処理の時間は3分～24時間とする。24時間を超える熱処理は生産性の低下を招くため好ましくない。

#### 【0183】

第1の熱処理は酸化性雰囲気または不活性雰囲気で行う。ここで、酸化性雰囲気は、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気は、前述の酸化性ガスが10ppm未満であり、その他が、窒素または希ガスで充填された雰囲気をいう。

#### 【0184】

例えば、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)雰囲気下とする。

#### 【0185】

また、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.9999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

#### 【0186】

10

20

30

40

50

第1の熱処理に用いる加熱装置は特別に限定されない。当該加熱装置は抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。

#### 【0187】

例えば、電気炉や、LRTA (Lamp Rapid Thermal Annealing) 装置、GRTA (Gas Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。10

#### 【0188】

以上の第1の熱処理を施すことにより、酸化物半導体層から水素(水、水酸基を含む化合物)を放出させられる。また、第1の熱処理によって、不純物が低減され、i型(真性)または実質的にi型の酸化物半導体層を形成できる。

#### 【0189】

第1の熱処理によって、酸化物半導体層から不安定なキャリア源である水素を脱離させることができるために、トランジスタのしきい値電圧がマイナス方向へ変動する現象を抑制できる。さらに、トランジスタの信頼性を向上できる。20

#### 【0190】

##### <変形例>

第1の熱処理の後、酸化物半導体層に酸素(少なくとも、酸素ラジカル、酸素原子または酸素イオンのいずれかを含む)を注入してもよい。

#### 【0191】

酸素の注入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

#### 【0192】

##### <ゲート絶縁層の構成およびその作製方法>

チャネルが形成される酸化物半導体層513を覆うゲート絶縁層512の少なくとも酸化物半導体層に接する領域は、熱処理により酸素が脱離する絶縁層を含む構成が好ましい。30  
なぜなら、ゲート絶縁層512が酸素過剰領域を有すると、酸化物半導体層513からゲート絶縁層512に酸素が移動する現象を防ぐことができ、且つ後に説明する第2の加熱処理を施すことで、ゲート絶縁層512から酸化物半導体層513に、酸素を供給できるからである。

#### 【0193】

チャネルが形成される酸化物半導体層を覆う絶縁層が積層構造である場合、酸素過剰領域を有する酸化物絶縁層を酸化物半導体層側に備える構成がより好ましい。

#### 【0194】

例えば、チャネルが形成される酸化物半導体層を覆う絶縁層は、酸化物半導体層側から、酸素過剰領域を有する酸化シリコン層と、酸化アルミニウム層との積層構造とする構成が好ましい。40

#### 【0195】

酸化アルミニウム層は、水素、水分などの不純物、及び酸素の両方を透過させない効果、言い換えると遮断効果(ロック効果)が高く、酸化アルミニウム層を成膜後に第2の加熱処理を行うと、酸化物半導体層からの酸素の放出を防止できるからである。

#### 【0196】

##### <ゲート絶縁層、ゲート電極およびゲート電極上の絶縁層の形成>

次に、ゲート絶縁層512、ゲート電極511、およびゲート電極上の絶縁層514aの積層体を酸化物半導体層513上に形成する。

#### 【0197】

10

20

30

40

50

ゲート絶縁層となる絶縁層およびゲート電極上の絶縁層となる絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する。

【0198】

ゲート電極となる導電層はスパッタリング法等を用いて成膜する。

【0199】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、ゲート絶縁層となる絶縁層、ゲート電極となる導電層およびゲート電極上の絶縁層となる絶縁層をエッチングしてゲート絶縁層512、ゲート電極511、およびゲート電極上の絶縁層514aの積層体を形成する。

【0200】

10

<側壁の形成>

次に、絶縁層514bをゲート絶縁層512、ゲート電極511、およびゲート電極上の絶縁層514aの積層体の側壁に接して形成する。

【0201】

側壁となる絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する。

【0202】

次に、異方性のエッチングを行い、積層体の側面に接する絶縁層を残して側壁を形成する。

【0203】

<酸素が供給された酸化物半導体層の作製方法1：第2の加熱処理>

20

チャネルが形成される酸化物半導体層513は、酸素が供給された酸化物半導体層が好ましい。特に、酸素欠損が補填された酸化物半導体層が好ましい。なぜなら、酸素欠損の一部がドナーとなって酸化物半導体層にキャリアが発生し、トランジスタの特性に影響を与えるおそれがあるからである。

【0204】

酸素が供給された酸化物半導体層を作製する方法としては、熱処理により酸素が脱離する絶縁層とチャネルが形成される酸化物半導体層が接した状態で、第2の加熱処理を施す方法が挙げられる。具体的には、熱処理により酸素が脱離する絶縁層を用いて下地となる絶縁層または／およびチャネルが形成される領域を覆う絶縁層を形成し、第2の加熱処理を施して酸化物半導体層に酸素を供給すればよい（図5（C）参照）。

30

【0205】

なお、第2の加熱処理は、酸化物半導体層のチャネルが形成される領域に熱処理により酸素が脱離する絶縁層を含む絶縁層が接して形成された後であれば、いずれかの工程の後であっても効果を奏する。

【0206】

特に、酸化物半導体層側から、酸素過剰領域を有する酸化シリコン層と、遮断効果（ブロック効果）が高い酸化アルミニウム層との積層構造とし、酸化アルミニウム層が形成された状態で第2の熱処理を施す方法が好ましい。

【0207】

第2の熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下で行えばよいが、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気に水、水素などが含まれないことが好ましい。また、熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0208】

《酸素原子に換算した酸素の脱離量の測定方法。》

以下、酸素の放出量をTDS分析で酸素原子に換算して定量する方法について説明する。

【0209】

50

TDS 分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁層のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の脱離量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

#### 【0210】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁層のTDS分析結果から、絶縁層の酸素分子の脱離量( $N_{O_2}$ )は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして $CH_3OH$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。10

#### 【0211】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \quad (\text{数式1})$$

#### 【0212】

$N_{H_2}$ は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$ は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$ とする。 $S_{O_2}$ は、絶縁層をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照できる。なお、上記した酸素の脱離量の数値は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した数値である。20

#### 【0213】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の脱離量を評価することで、酸素原子の脱離量についても見積もることができる。

#### 【0214】

なお、 $N_{O_2}$ は酸素分子の脱離量である。絶縁層においては、酸素原子に換算したときの酸素の脱離量は、酸素分子の脱離量の2倍となる。30

#### 【0215】

熱処理により酸素が脱離する層の一例として、酸素が過剰な酸化シリコン( $SiO_x (x > 2)$ )がある。酸素が過剰な酸化シリコン( $SiO_x (x > 2)$ )とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

#### 【0216】

<ソース電極またはドレイン電極として機能する電極の形成>

次に、ソース電極またはドレイン電極として機能する電極551、電極552を形成する。40

#### 【0217】

ソース電極またはドレイン電極となる導電材料を含む層は、スパッタリング法などを用いて成膜する。

#### 【0218】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、導電材料を含む層を選択的にエッチングして電極551、電極552を形成する。なお、同じ導電材料を含む層からなる配線等(図示せず)も同一の工程で形成する。

#### 【0219】

なお、チャネル長( $L$ )を10nm以上1000nm(1μm)以下、特に25nm未満のトランジスタを形成する場合、波長が数nm～数十nmの短い超紫外線(Extreme

e U l t r a v i o l e t ) を用いてマスクを形成すると好ましい。超紫外線を用いると、解像度が高く焦点深度も大きいからである。

#### 【 0 2 2 0 】

なお、ソース電極又はドレイン電極として機能する電極をテーパ形状に形成するとよい。ソース電極又はドレイン電極として機能する電極をテーパ形状にすると、本工程以降に形成される層（例えばゲート絶縁層）の断切れを防止し、被覆性を向上できる。なおテーパ角は、例えば、30°以上60°以下とすることが好ましい。

#### 【 0 2 2 1 】

なお、導電材料を含む層をチタン層や窒化チタン層の単層構造とする場合には、テーパ形状を有するソース電極およびドレイン電極への加工が容易である。

10

#### 【 0 2 2 2 】

<トランジスタを保護する絶縁層の形成>

次に、トランジスタを保護する絶縁層505を形成する。

#### 【 0 2 2 3 】

トランジスタを保護する絶縁層は、プラズマCVD法やスパッタリング法等を用いて成膜する（図5（D）参照）。

#### 【 0 2 2 4 】

以上のように、チャネルが形成される酸化物半導体層のキャリアの生成を抑制できるため、トランジスタの特性の変動を抑制できる。

#### 【 0 2 2 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

20

#### 【 0 2 2 6 】

##### （実施の形態7）

本実施の形態では、本発明の一態様のトリミング回路に用いることができるオフリーク電流が極めて小さい（例えば、チャネル幅1μmあたり $1 \times 10^{-17}$ A以下）トランジスタに適用可能な酸化物半導体層について説明する。具体的には、c軸配向結晶を有する酸化物半導体層について説明する。

#### 【 0 2 2 7 】

本実施の形態では、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる（c軸を中心回転した）結晶（C A A C : C A x i s A l i g n e d C r y s t a lともいう。）を含む酸化物について説明する。

30

#### 【 0 2 2 8 】

C A A C - O S 膜は、完全な単結晶ではなく、完全な非晶質でもない。C A A C - O S 膜は、非晶質相に結晶部および非晶質部を有する結晶・非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ）による観察像では、C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、T E MによってC A A C - O S 膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

40

#### 【 0 2 2 9 】

C A A C - O S 膜に含まれる結晶部は、c軸がC A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5

50

°以上5°以下の範囲も含まれることとする。

#### 【0230】

なお、CAC-O<sub>S</sub>膜において、結晶部の分布が一様でなくてもよい。例えば、CAC-O<sub>S</sub>膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAC-O<sub>S</sub>膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

#### 【0231】

CAC-O<sub>S</sub>膜に含まれる結晶部のc軸は、CAC-O<sub>S</sub>膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAC-O<sub>S</sub>膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAC-O<sub>S</sub>膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

10

#### 【0232】

CAC-O<sub>S</sub>膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

#### 【0233】

CACを含む酸化物とは、広義に、非単結晶であって、そのa b面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

20

#### 【0234】

CACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

#### 【0235】

CACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CACを構成する個々の結晶部分のc軸は一定の方向（例えば、CACが形成される基板面、CACの表面などに垂直な方向）に揃っていてもよい。または、CACを構成する個々の結晶部分のa b面の法線は一定の方向（例えば、CACが形成される基板面、CACの表面などに垂直な方向）を向いていてもよい。

30

#### 【0236】

CACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

#### 【0237】

このようなCACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

40

#### 【0238】

CACに含まれる結晶構造の一例について図6乃至図8を用いて詳細に説明する。なお、特に断りがない限り、図6乃至図8は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。また、図6において丸で囲まれたO原子は4配位のO原子を示し、二重丸で囲まれたO原子は3配位のO原子を示す。

#### 【0239】

図6(A)に、1個の6配位のIn原子と、In原子に近接の6個の4配位の酸素原子（以下4配位のO原子）と、を有する構造を示す。ここでは、金属原子が1個に対して、近

50

接の酸素原子のみ示した構造を小グループと呼ぶ。図6(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図6(A)の上半分および下半分にはそれぞれ3個ずつ4配位のO原子がある。図6(A)に示す小グループは電荷が0である。

#### 【0240】

図6(B)に、1個の5配位のGa原子と、Ga原子に近接の3個の3配位の酸素原子(以下3配位のO原子)と、Ga原子に近接の2個の4配位のO原子と、を有する構造を示す。3配位のO原子は、いずれもab面に存在する。図6(B)の上半分および下半分にはそれぞれ1個ずつ4配位のO原子がある。また、In原子も5配位をとるため、図6(B)に示す構造をとりうる。図6(B)に示す小グループは電荷が0である。

#### 【0241】

図6(C)に、1個の4配位のZn原子と、Zn原子に近接の4個の4配位のO原子と、を有する構造を示す。図6(C)の上半分には1個の4配位のO原子があり、下半分には3個の4配位のO原子がある。または、図6(C)の上半分に3個の4配位のO原子があり、下半分に1個の4配位のO原子があつてもよい。図6(C)に示す小グループは電荷が0である。

#### 【0242】

図6(D)に、1個の6配位のSn原子と、Sn原子に近接の6個の4配位のO原子と、を有する構造を示す。図6(D)の上半分には3個の4配位のO原子があり、下半分には3個の4配位のO原子がある。図6(D)に示す小グループは電荷が+1となる。

#### 【0243】

図6(E)に、2個のZn原子を含む小グループを示す。図6(E)の上半分には1個の4配位のO原子があり、下半分には1個の4配位のO原子がある。図6(E)に示す小グループは電荷が-1となる。

#### 【0244】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

#### 【0245】

ここで、これらの小グループ同士が結合する規則について説明する。図6(A)に示す6配位のIn原子の上半分の3個のO原子は、下方向にそれぞれ3個の近接In原子を有し、下半分の3個のO原子は、上方向にそれぞれ3個の近接In原子を有する。図6(B)に示す5配位のGa原子の上半分の1個のO原子は下方向に1個の近接Ga原子を有し、下半分の1個のO原子は上方向に1個の近接Ga原子を有する。図6(C)に示す4配位のZn原子の上半分の1個のO原子は、下方向に1個の近接Zn原子を有し、下半分の3個のO原子は、上方向にそれぞれ3個の近接Zn原子を有する。この様に、金属原子の上方向の4配位のO原子の数と、そのO原子の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のO原子の数と、そのO原子の上方向にある近接金属原子の数は等しい。O原子は4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のO原子の数と、別の金属原子の下方向にある4配位のO原子の数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のO原子を介して結合する場合、4配位のO原子が3個であるため、5配位の金属原子(GaまたはIn)、4配位の金属原子(Zn)のいずれかと結合することになる。

#### 【0246】

これらの配位数を有する金属原子は、c軸方向において、4配位のO原子を介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

#### 【0247】

図7(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図7(B)に、3つの中グループで構成される大グループを示す。なお、図7(C)は

10

20

30

40

50

、図7(B)の層構造をc軸方向から観察した場合の原子配列を示す。

**【0248】**

図7(A)においては、簡単のため、3配位のO原子は省略し、4配位のO原子は個数のみ示し、例えば、Sn原子の上半分および下半分にはそれぞれ3個ずつ4配位のO原子があることを丸枠の3として示している。同様に、図7(A)において、In原子の上半分および下半分にはそれぞれ1個ずつ4配位のO原子があり、丸枠の1として示している。また、同様に、図7(A)において、下半分には1個の4配位のO原子があり、上半分には3個の4配位のO原子があるZn原子と、上半分には1個の4配位のO原子があり、下半分には3個の4配位のO原子があるZn原子とを示している。

**【0249】**

図7(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のO原子が3個ずつ上半分および下半分にあるSn原子が、4配位のO原子が1個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に3個の4配位のO原子があるZn原子と結合し、そのZn原子の下半分の1個の4配位のO原子を介して4配位のO原子が3個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に1個の4配位のO原子があるZn原子2個からなる小グループと結合し、この小グループの下半分の1個の4配位のO原子を介して4配位のO原子が3個ずつ上半分および下半分にあるSn原子と結合している構成である。この中グループが複数結合して大グループを構成する。

**【0250】**

ここで、3配位のO原子および4配位のO原子の場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)原子、Zn(4配位)原子、Sn(5配位または6配位)原子の電荷は、それぞれ+3、+2、+4である。従って、Sn原子を含む小グループは電荷が+1となる。そのため、Sn原子を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図6(E)に示すように、2個のZn原子を含む小グループが挙げられる。例えば、Sn原子を含む小グループが1個に対し、2個のZn原子を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

**【0251】**

具体的には、図7(B)に示した大グループとすることで、In-Sn-Zn-O系の結晶( $In_2SnZn_3O_8$ )を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7(ZnO)_m$ (mは0または自然数。)とする組成式で表すことができる。

**【0252】**

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物(IGZOとも表記する。)、In-Al-Zn-O系酸化物、Sn-Ga-Zn-O系酸化物、Al-Ga-Zn-O系酸化物、Sn-Al-Zn-O系酸化物や、In-Hf-Zn-O系酸化物、In-La-Zn-O系酸化物、In-Ce-Zn-O系酸化物、In-Pr-Zn-O系酸化物、In-Nd-Zn-O系酸化物、In-Sm-Zn-O系酸化物、In-Eu-Zn-O系酸化物、In-Gd-Zn-O系酸化物、In-Tb-Zn-O系酸化物、In-Dy-Zn-O系酸化物、In-Ho-Zn-O系酸化物、In-Yb-Zn-O系酸化物、In-Lu-Zn-O系酸化物や、二元系金属の酸化物であるIn-Zn-O系酸化物、Sn-Zn-O系酸化物、Al-Zn-O系酸化物、Zn-Mg-O系酸化物、Sn-Mg-O系酸化物、In-Mg-O系酸化物や、In-Ga-O系酸化物などを用いた場合も同様である。

**【0253】**

例えば、図8(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

10

20

30

40

50

**【0254】**

図8(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のO原子が3個ずつ上半分および下半分にあるIn原子が、4配位のO原子が1個上半分にあるZn原子と結合し、そのZn原子の下半分の3個の4配位のO原子を介して、4配位のO原子が1個ずつ上半分および下半分にあるGa原子と結合し、そのGa原子の下半分の1個の4配位のO原子を介して、4配位のO原子が3個ずつ上半分および下半分にあるIn原子と結合している構成である。この中グループが複数結合して大グループを構成する。

**【0255】**

図8(B)に3つの中グループで構成される大グループを示す。なお、図8(C)は、図8(B)の層構造をc軸方向から観察した場合の原子配列を示している。10

**【0256】**

ここで、In(6配位または5配位)原子、Zn(4配位)原子、Ga(5配位)原子の電荷は、それぞれ+3、+2、+3であるため、In原子、Zn原子およびGa原子のいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

**【0257】**

また、In-Ga-Zn-O系の層構造を構成する中グループは、図8(A)に示した中グループに限定されず、In原子、Ga原子、Zn原子の配列が異なる中グループを組み合わせた大グループも取りうる。20

**【0258】**

具体的には、図8(B)に示した大グループとすることで、In-Ga-Zn-O系の結晶を得ることができる。なお、得られるIn-Ga-Zn-O系の層構造は、 $In_3 Ga O_3 (ZnO)_n$ (nは自然数。)とする組成式で表すことができる。

**【0259】**

$n = 1$ ( $In_3 Ga Zn O_4$ )の場合は、例えば、図9(A)に示す結晶構造を取りうる。なお、図9(A)に示す結晶構造において、図6(B)で説明したように、Ga原子及びIn原子は5配位をとるため、Ga原子がIn原子に置き換わった構造も取りうる。

**【0260】**

また、 $n = 2$ ( $In_3 Ga Zn_2 O_5$ )の場合は、例えば、図9(B)に示す結晶構造を取りうる。なお、図9(B)に示す結晶構造において、図6(B)で説明したように、Ga原子及びIn原子は5配位をとるため、Ga原子がIn原子に置き換わった構造も取りうる。30

**【0261】**

本発明の一態様に用いるトランジスタを、チャネル形成領域にCACを含む酸化物半導体層が適用された構成とすることで、高い信頼性が期待でき、好ましい。

**【0262】**

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

**【符号の説明】****【0263】**

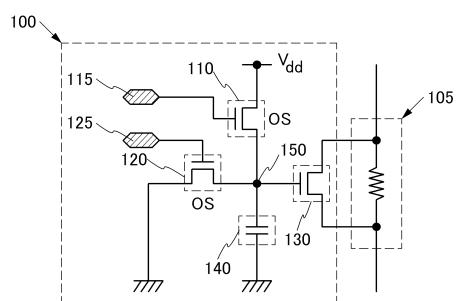
- 100 トランジング回路
- 105 抵抗素子
- 110 トランジスタ
- 115 端子
- 120 トランジスタ
- 125 消去端子
- 130 トランジスタ
- 140 容量素子
- 150 記憶ノード

40

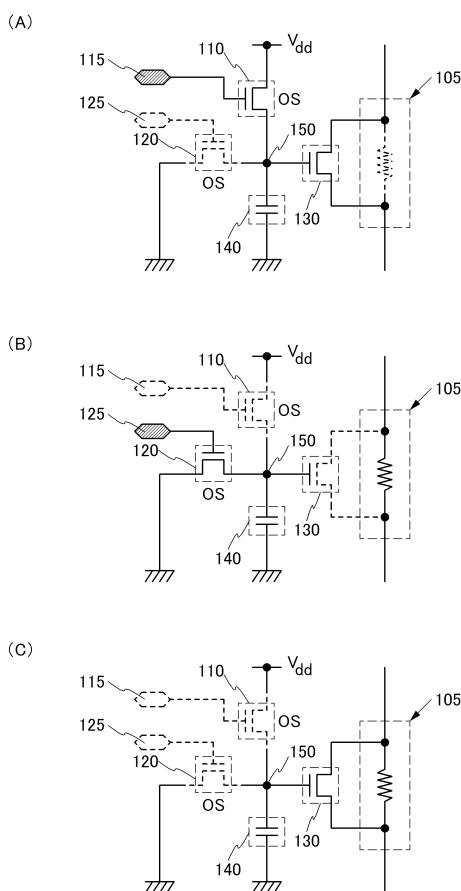
50

3 0 0	トリミング回路	
3 0 1	基板	
3 0 2	素子分離絶縁層	
3 0 3	絶縁層	
3 0 4	絶縁層	
3 0 5	抵抗素子	
3 1 0	トランジスタ	
3 1 1	配線	
3 1 2	ゲート絶縁層	
3 1 3	酸化物半導体層	10
3 2 0	トランジスタ	
3 2 1	配線	
3 2 2	ゲート絶縁層	
3 2 3	酸化物半導体層	
3 3 0	トランジスタ	
3 3 1	ゲート電極	
3 3 2	配線	
3 3 5	配線	
3 4 0	容量素子	
3 4 1	配線	20
3 5 1	配線	
3 5 2	配線	
3 5 3	配線	
4 1 3 a	酸化物半導体層	
4 1 3 b	酸化物半導体層	
5 0 4	絶縁層	
5 0 5	絶縁層	
5 1 1	ゲート電極	
5 1 2	ゲート絶縁層	
5 1 3	酸化物半導体層	30
5 1 4 a	絶縁層	
5 1 4 b	絶縁層	
5 5 1	電極	
5 5 2	電極	
7 0 1	基板	
7 0 4	絶縁層	
7 0 5	絶縁層	
7 1 0	トランジスタ	
7 1 1	ゲート電極	
7 1 2	ゲート絶縁層	40
7 1 3	酸化物半導体層	
7 1 4 a	絶縁層	
7 1 4 b	側壁	
7 5 1	電極	
7 5 2	電極	

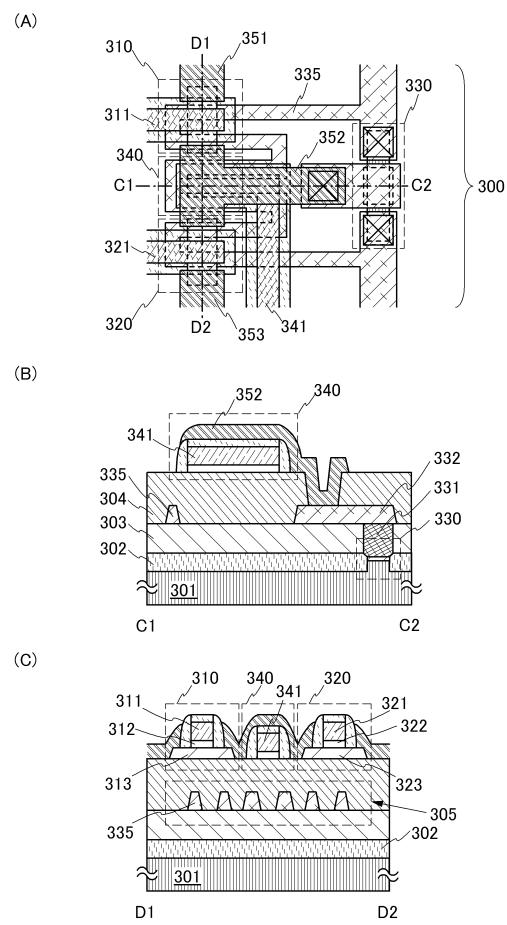
【図1】



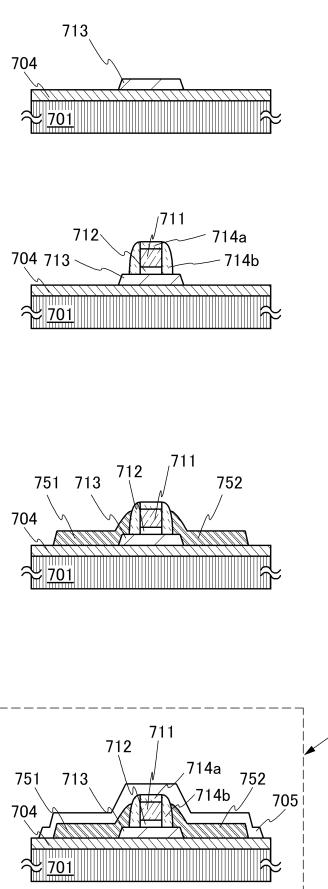
【図2】



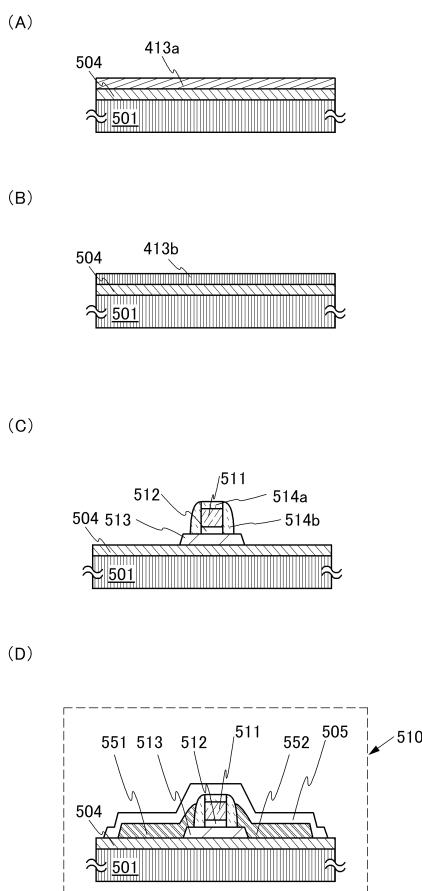
【図3】



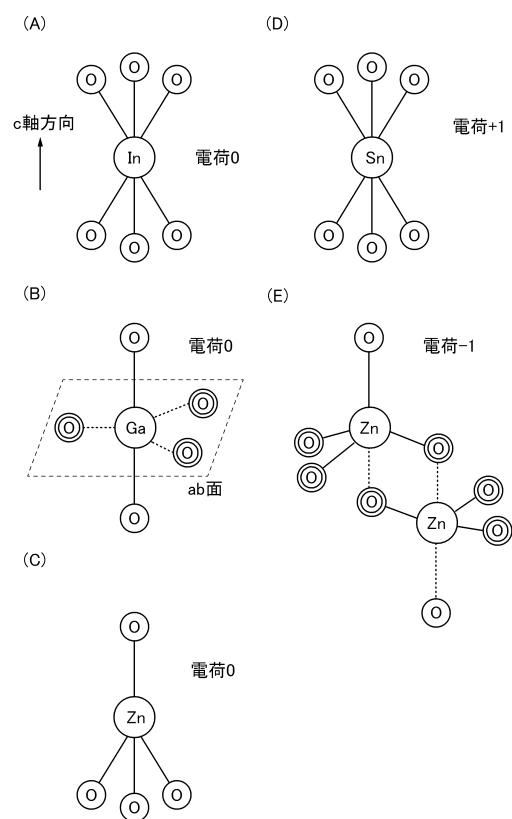
【図4】



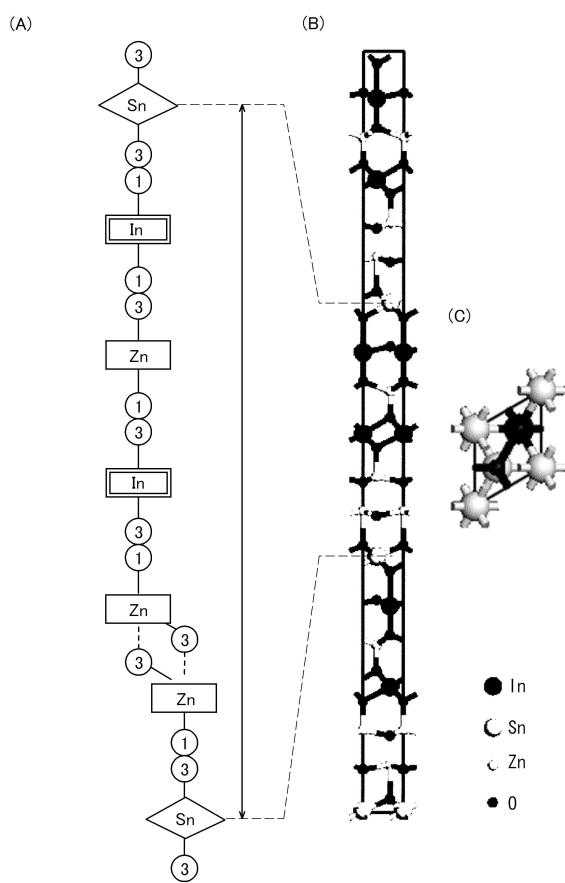
【図5】



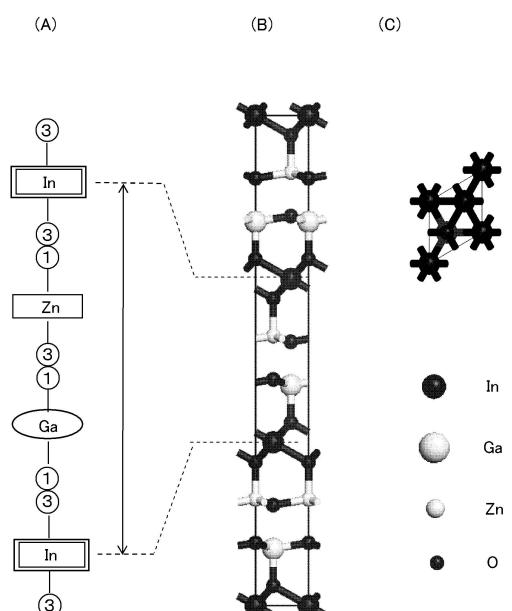
【図6】



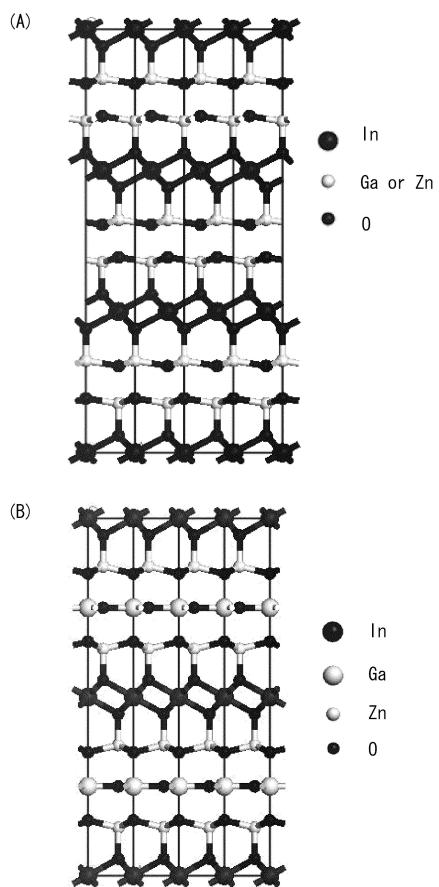
【図7】



【図8】



【図9】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 29/786 (2006.01) H 01 L 27/08 102 E

(56)参考文献 特開2007-059642 (JP, A)  
特表平06-507039 (JP, A)  
特開昭63-179563 (JP, A)  
特開平07-106516 (JP, A)  
特開2001-358239 (JP, A)  
特開昭52-114229 (JP, A)  
特開2008-122429 (JP, A)  
国際公開第2009/081885 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/822  
H 01 L 21/8234  
H 01 L 27/04  
H 01 L 27/08  
H 01 L 27/088  
H 01 L 29/786