

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4314096号  
(P4314096)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl.

F I

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

H

請求項の数 10 (全 27 頁)

|           |                               |           |                     |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2003-374912 (P2003-374912)  | (73) 特許権者 | 000001007           |
| (22) 出願日  | 平成15年11月4日(2003.11.4)         |           | キヤノン株式会社            |
| (65) 公開番号 | 特開2005-140555 (P2005-140555A) |           | 東京都大田区下丸子3丁目30番2号   |
| (43) 公開日  | 平成17年6月2日(2005.6.2)           | (74) 代理人  | 100125254           |
| 審査請求日     | 平成18年11月6日(2006.11.6)         |           | 弁理士 別役 重尚           |
|           |                               | (72) 発明者  | 渡辺 宏                |
|           |                               |           | 東京都大田区下丸子3丁目30番2号 キ |
|           |                               |           | ヤノン株式会社内            |
|           |                               | (72) 発明者  | 池田 達治               |
|           |                               |           | 東京都大田区下丸子3丁目30番2号 キ |
|           |                               |           | ヤノン株式会社内            |
|           |                               | (72) 発明者  | 高橋 一也               |
|           |                               |           | 東京都大田区下丸子3丁目30番2号 キ |
|           |                               |           | ヤノン株式会社内            |

最終頁に続く

(54) 【発明の名称】 半導体集積回路検査装置および半導体集積回路検査方法

(57) 【特許請求の範囲】

【請求項 1】

半導体集積回路の複数の出力端子にそれぞれ接続される複数の抵抗器と、  
前記複数の抵抗器に所定の電圧を印加する印加手段と、  
前記半導体集積回路の入力端子に所定の動作パターン信号を入力する入力手段と、  
前記入力手段による所定の動作パターン信号の入力によって前記複数の抵抗器にそれぞれ流れる電流量の総和を測定する測定手段と、

前記出力端子が同一の抵抗値を有する抵抗器と夫々接続される第1の状態と、前記出力端子が互いに異なる抵抗値を有する抵抗器と夫々接続される第2の状態との間で複数の出力端子に対する複数の抵抗器の接続状態を切替え制御する制御手段と、

前記測定手段によって測定された電流量の総和と、前記半導体集積回路の代わりに予め正常に動作することが確認されている半導体集積回路と同一機能を持った良品サンプルに前記所定の動作パターン信号を入力した際の前記測定手段によって測定された電流量の総和の正常値とを比較する比較手段と、

前記比較手段による比較結果に基づき、前記半導体集積回路が正常であるか否かを判定する判定手段とを有し、

前記判定手段は、前記第1の状態および前記第2の状態の両方において、前記測定された電流量の総和が正常であると判定したときに前記半導体集積回路が正常であると判定することを特徴とする半導体集積回路検査装置。

【請求項 2】

10

20

前記所定の動作パターン信号は、複数の動作ステップから成り、

前記測定手段および前記比較手段は、前記所定の動作パターン信号の動作ステップ毎に、前記測定および前記比較をそれぞれ行うことを特徴とする請求項1記載の半導体集積回路検査装置。

【請求項3】

前記半導体集積回路の複数の出力端子を複数のブロックに分割し、

前記複数のブロックの各々に対して個別に、前記印加手段と前記入力手段と前記測定手段と前記比較手段と前記判定手段とを動作させることを特徴とする請求項1又は2記載の半導体集積回路検査装置。

【請求項4】

前記複数の抵抗器が、前記半導体集積回路の複数の出力端子に、それぞれバッファを介して接続されることを特徴とする請求項1又は2記載の半導体集積回路検査装置。

【請求項5】

前記複数のバッファから信号を出力するタイミングを制御する制御信号を、前記動作パターン信号に同期して、前記複数のバッファに出力する制御信号出力手段を更に有することを特徴とする請求項4記載の半導体集積回路検査装置。

【請求項6】

前記複数のバッファの各々に同時に制御信号が入力することを特徴とする請求項5記載の半導体集積回路検査装置。

【請求項7】

前記複数のバッファの各々に個別に制御信号が入力することを特徴とする請求項5記載の半導体集積回路検査装置。

【請求項8】

前記制御信号出力手段が、前記判定手段によって異常であると判定された動作ステップにおいて、前記制御信号を前記複数のバッファのそれぞれに順次入力させ、前記判定手段によって出力端子を順に判定することを特徴とする請求項7記載の半導体集積回路検査装置。

【請求項9】

前記比較手段が、電流量の総和の正常値として所定幅の判定基準ゾーンを有し、

前記半導体集積回路に対して前記測定手段によって測定した電流量が、前記判定基準ゾーン内に収まっているか否かを判別し、前記測定手段によって測定した電流量が前記判定基準ゾーン内に収まっていない場合に、前記半導体集積回路に異常があると決定することを特徴とする請求項2記載の半導体集積回路検査装置。

【請求項10】

半導体集積回路の複数の出力端子にそれぞれ接続される複数の抵抗器を備えた半導体集積回路検査装置における半導体集積回路検査方法であって、

前記複数の抵抗器に所定の電圧を印加する印加ステップと、

前記半導体集積回路の入力端子に所定の動作パターン信号を入力する入力ステップと、

前記所定の動作パターン信号の入力によって前記複数の抵抗器にそれぞれ流れる電流量の総和を測定する測定ステップと、

前記出力端子が同一の抵抗値を有する抵抗器と夫々接続される第1の状態と、前記出力端子が互いに異なる抵抗値を有する抵抗器と夫々接続される第2の状態との間で複数の出力端子に対する複数の抵抗器の接続状態を切替え制御する制御ステップと、

前記測定ステップによって測定された電流量の総和と、前記半導体集積回路の代わりに予め正常に動作することが確認されている半導体集積回路と同一機能を持った良品サンプルに前記所定の動作パターン信号を入力した際の前記測定ステップにおいて測定された電流量の総和の正常値とを比較する比較ステップと、

前記比較ステップにおける比較結果に基づき、前記半導体集積回路が正常であるか否かを判定する判定ステップとを有し、

前記判定ステップにおいて、前記第1の状態および前記第2の状態の両方において前記

10

20

30

40

50

測定された電流量の総和が正常であると判定したときに前記半導体集積回路が正常であると判定することを特徴とする半導体集積回路検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路検査装置および半導体集積回路検査方法に関し、特に、半導体集積回路の機能検査を行う半導体集積回路検査装置、該装置に適用される半導体集積回路検査方法に関する。

【背景技術】

【0002】

10

従来、論理回路を含む半導体集積回路の機能検査では、該半導体集積回路の機能を検査するための所定のテストパターンを半導体集積回路に入力し、該半導体集積回路から出力された出力パターンを出力パターン期待値と比較することによって、良品／不良品の判定を行う方法が用いられている（例えば、非特許文献1参照）。この所定のテストパターンは、該テストパターンを半導体集積回路に入力したときに該半導体集積回路から出力されるべき出力パターンの期待値が、論理シミュレーション等によって予め判明しているようなテストパターンである。

【0003】

図16は、従来の半導体集積回路の検査装置の構成例を示す図である。

【0004】

20

被検査IC101の信号端子102は、ピンエレクトロニクス106の入出力端子107へ接続される。

【0005】

入出力端子107は、ドライバ109、コンパレータ110、負荷108へ接続される。ドライバ109、コンパレータ110は、パターン検査装置111へ接続される。

【0006】

パターン検査装置111は、被検査IC101の機能を検査するためのパターン信号をメモリ112から読み書きし、信号端子102が入力状態である場合、メモリ112から読み出したパターン信号をドライバ109へ送り、ドライバ109がそれを被検査IC101へ送る。信号端子102が出力状態である場合は、信号端子102を介して被検査IC101から出力される出力パターンをコンパレータ110が受け、それをパターン検査装置111がメモリ112へ貯える。

30

【0007】

負荷108には、信号端子102の出力論理（ハイレベルやローレベル）に応じて負荷電流が流れる。なお、ドライバ109は、信号端子102が出力状態である場合、出力をハイインピーダンス状態に切替えて、余計な電流が流れ込まないようにする。

【0008】

メモリ112へ貯えられた被検査IC101の出力パターンは、制御装置113により期待値と比較され、一致しているか否かが表示装置114に表示される。

【0009】

40

被検査IC101の信号端子102が、図16には1つだけ図示されるが、実際には複数存在し、ピンエレクトロニクス106は、被検査IC101が持つ信号端子の数と同数だけ備えられる。また、被検査IC101の電源端子104は、検査装置に内蔵される電源103などに接続され、GND端子105も検査装置のGNDへ接地される。

【0010】

従来の検査装置は、例えば以上のように構成され、このような検査装置として一般にLSI(IC)テストなどが用いられている。

【非特許文献1】「VLSI試験／故障解析技術」、株式会社トリケップス、1992年、p.119～120

【発明の開示】

50

## 【発明が解決しようとする課題】

## 【0011】

ところで、上記従来の出力パターンの期待値が判明しているテストパターンによる検査方法では、測定対象となる半導体集積回路の規模が増大するにつれて、全ての論理状態をシミュレーションしたテストパターンを作成することが困難となり、テストパターンでの未検出領域が存在することになってしまう。その結果、半導体集積回路を構成部品の1つとする機械装置等において、上記の未検出領域で該機械装置が使用されたときに、正常動作しないという不具合が発生する虞があった。

## 【0012】

そうした不具合が発生した場合、機械装置の不良現象に基づき論理シミュレーション及び故障シミュレーションを行い、その不良現象を検出可能なテストパターンを作成し、そのテストパターンを当初のテストパターンに追加する方法がとられていた。

## 【0013】

しかしながら、機械装置内での使用において半導体集積回路の論理状態を確認することが困難な場合も多く、またシミュレーションによる方法は膨大な量のデータを処理しなければならず、もっと簡易な方法が求められていた。

## 【0014】

また、図16に示す上記従来の検査装置では次のような問題点があった。

## 【0015】

(1) 被検査IC101の出力端子や入出力端子などの複数の端子の出力状態を、コンパレータ110によって常時監視する必要があった。

## 【0016】

(2) 制御装置113が、コンパレータ110で検出された被検査IC101の信号端子102の出力状態を、メモリ112に格納されている出力パターンの期待値と高速で比較しなければならなかった。

## 【0017】

(3) 被検査IC101の端子数が多い場合、また、複数の被検査ICを一度に検査するパラレルテストを行う場合、コンパレータ110を多数用意したり、メモリ112の容量を大きくしたりする必要があり、このため、LSIテストの規模が大きくなってしまう。また、複数の端子に対して同時に高速で検査・判定を行う必要があり、これは高度の技術が要求され、検査装置の高コスト化が避けられない。

## 【0018】

本発明はこのような問題点に鑑みてなされたものであって、論理シミュレーション及び故障シミュレーションを行わず、半導体集積回路の良品/不良品の判定を簡易に行うことを可能にした半導体集積回路検査装置および半導体集積回路検査方法を提供することを目的とする。

## 【0019】

また、小型化、高速処理化、低コスト化を図った半導体集積回路検査装置および半導体集積回路検査方法を提供することを他の目的とする。

## 【課題を解決するための手段】

## 【0020】

上記目的を達成するために、請求項1記載の半導体集積回路検査装置は、半導体集積回路の複数の出力端子にそれぞれ接続される複数の抵抗器と、前記複数の抵抗器に所定の電圧を印加する印加手段と、前記半導体集積回路の入力端子に所定の動作パターン信号を入力する入力手段と、前記入力手段による所定の動作パターン信号の入力によって前記複数の抵抗器にそれぞれ流れる電流量の総和を測定する測定手段と、前記出力端子が同一の抵抗値を有する抵抗器と夫々接続される第1の状態と、前記出力端子が互いに異なる抵抗値を有する抵抗器と夫々接続される第2の状態との間で複数の出力端子に対する複数の抵抗器の接続状態を切替え制御する制御手段と、前記測定手段によって測定された電流量の総和と、前記半導体集積回路の代わりに予め正常に動作することが確認されている半導体集

10

20

30

40

50

積回路と同一機能を持った良品サンプルに前記所定の動作パターン信号を入力した際の前記測定手段によって測定された電流量の総和の正常値とを比較する比較手段と、前記比較手段による比較結果に基づき、前記半導体集積回路が正常であるか否かを判定する判定手段とを有し、前記判定手段は、前記第1の状態および前記第2の状態の両方において、前記測定された電流量の総和が正常であると判定したときに前記半導体集積回路が正常であると判定することを特徴とする。

【0025】

また、請求項10記載の半導体集積回路検査方法は、半導体集積回路の複数の出力端子にそれぞれ接続される複数の抵抗器を備えた半導体集積回路検査装置における半導体集積回路検査方法であって、前記複数の抵抗器に所定の電圧を印加する印加ステップと、前記半導体集積回路の入力端子に所定の動作パターン信号を入力する入力ステップと、前記所定の動作パターン信号の入力によって前記複数の抵抗器にそれぞれ流れる電流量の総和を測定する測定ステップと、前記出力端子が同一の抵抗値を有する抵抗器と夫々接続される第1の状態と、前記出力端子が互いに異なる抵抗値を有する抵抗器と夫々接続される第2の状態との間で複数の出力端子に対する複数の抵抗器の接続状態を切替え制御する制御ステップと、前記測定ステップによって測定された電流量の総和と、前記半導体集積回路の代わりに予め正常に動作することが確認されている半導体集積回路と同一機能を持った良品サンプルに前記所定の動作パターン信号を入力した際の前記測定ステップにおいて測定された電流量の総和の正常値とを比較する比較ステップと、前記比較ステップにおける比較結果に基づき、前記半導体集積回路が正常であるか否かを判定する判定ステップとを有し、前記判定ステップにおいて、前記第1の状態および前記第2の状態の両方において前記測定された電流量の総和が正常であると判定したときに前記半導体集積回路が正常であると判定することを特徴とする。

【発明の効果】

【0030】

本発明によれば、出力端子が同一の抵抗値を有する抵抗器と夫々接続される第1の状態、および出力端子が互いに異なる抵抗値を有する抵抗器と夫々接続される第2の状態の両方において、複数の抵抗器に夫々流れた電流量の総和が正常であると判定したときに半導体集積回路が正常であると判定するので、論理シミュレーションおよび故障シミュレーションを行わず、半導体集積回路の良品/不良品の判定を簡易に行うことができる。

【発明を実施するための最良の形態】

【0046】

以下、本発明を実施するための最良の形態について、図面を参照して説明する。

【0047】

〔第1の実施の形態〕

図1は、本発明に係る第1の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

【0048】

図中1は、検査対象となる論理回路を含む半導体集積回路(DUT)であり、該DUT1の出力端子(OUT)及び入出力端子(I/O)の全てが抵抗ユニット2を介して電圧印加回路4に接続される。抵抗ユニット2は、並列に接続された同じ抵抗値の複数の抵抗を含み、該複数の抵抗の各一端がDUT1の出力端子及び入出力端子にそれぞれ接続され、各他端が短絡して電圧印加回路4に接続される。電圧印加回路4は、マイナス端が接地された直流電源6と、該直流電源6のプラス端と抵抗ユニット2との間に設けられた電流測定回路3とからなり、電圧印加回路4は、DUT1の電源電圧VDD端子の電位と同電位を出力する。

【0049】

5は動作パターン発生器であり、DUTを構成部品の一つとする機械装置での使用に基づいて決まる、DUTの機能を検査するための所定の動作パターン(論理信号0,1)を発生し、DUT1の入力端子(IN)及び入力状態の入出力端子(I/O)に出力する。

この結果、所定の動作パターンの動作ステップ毎の静止状態（過渡状態から安定状態に移した後の状態）において、DUT 1の各出力端子（OUT）から出力論理信号（0，1）が出力され、この状態で、出力端子（OUT）及び入出力端子（I/O）にそれぞれ接続された抵抗ユニット2の各抵抗に流れる電流の総和を、電流測定回路3が測定する。なお、電流測定回路3を含む電圧印加回路4及び動作パターン発生器5はLSIテスト8で構成され、LSIテスト8は、後述の測定結果の保存や比較等の情報処理機能を備えている。

#### 【0050】

一方、上記の所定の動作パターンの入力で正常に動作することが確認されている、DUT 1と同一機能の半導体集積回路（以下「良品サンプル」という）をDUT 1に代わって用いて、図1に示す構成において所定の動作パターンの動作ステップ毎に抵抗ユニット2の各抵抗にそれぞれ流れる電流の総和を電流測定回路3によって予め測定しておき、この測定結果をLSIテスト8に保存しておく。そしてLSIテスト8が、この良品サンプルを用いて予め得られた測定結果と、DUT 1によって得られた測定結果とを動作ステップ毎に比較する。

10

#### 【0051】

なお、DUT 1や良品サンプルに入力される所定の動作パターンは、論理シミュレーションにより出力期待値が予め求められているものである必要はない。また、電流測定回路3は、電圧印加回路4から出力される電圧値と、抵抗ユニット2を構成する1つの抵抗の値とで計算される、該1つの抵抗を流れる電流値の測定分解能を有するとともに、該1つの抵抗を流れる電流値に、抵抗ユニット2を構成する全抵抗の数を乗算して得られる電流値をカバーできる測定レンジを有する。

20

#### 【0052】

図2は、動作パターン発生器5から発生される所定の動作パターンと、電流測定回路3で測定される電流値とを示すタイミングチャートである。

#### 【0053】

図2において（A）は、動作パターン発生器5からDUT 1に入力される動作パターンを示し、（B）は、抵抗ユニット2を流れる電流の総和のパターン（以下「電流パターン」という）を示し、（C）は電流測定タイミング信号を示し、該電流測定タイミング信号に応じて電流測定回路3で電流測定が行われる。

30

#### 【0054】

電流測定タイミング信号は、動作パターンの各動作ステップにおける静止状態時に発生されるように設定されており、該電流測定タイミング信号に応じて電流測定回路3が、良品サンプルとDUT 1とに対して電流測定を実施し、LSIテスト8が、動作ステップ毎に測定された両電流値を動作ステップ毎に比較する。

#### 【0055】

各動作ステップにおいて電流測定回路3によって測定される電流値について、次に説明する。すなわち、電圧印加回路4の抵抗ユニット2側の電圧をDUT 1の電源電圧VDD端子と同電位としたため、各動作ステップで、DUT 1の出力端子（OUT）において出力論理が0（出力電圧が低レベル）となる出力端子と、各動作ステップで出力状態になるDUT 1の入出力端子（I/O）において出力論理が0となる入出力端子とに接続された、抵抗ユニット2を構成する各抵抗にだけ電流が流れる。そのため、電流測定回路3によって測定される電流値は、抵抗ユニット2を構成する1つの抵抗に流れる電流値に、前記の出力端子の数と入出力端子の数との和を乗算した値になる。

40

#### 【0056】

電流測定回路3によって測定されたDUT 1に関する電流値が、良品サンプルに関する電流値と異なる動作ステップが存在した場合は、その動作ステップにおけるDUT 1の論理0の端子の総数が、良品サンプルと異なることを意味し、それは良品サンプルと異なる出力論理の端子が存在し、DUT 1が不良品であることを意味する。

#### 【0057】

50

例えば図 2 ( B ) に示す動作ステップ 2 において、9 は良品サンプルでの電流パターンを示し、10 は DUT 1 での電流パターンを示し、また動作ステップ 4 においては、11 が DUT 1 での電流パターン、12 が良品サンプルでの電流パターンを示す。動作ステップ 2 においては、DUT 1 での電流値が良品サンプルよりも大きくなっているが、これは動作ステップ 2 において、出力論理 0 の端子数が良品サンプルよりも DUT 1 の方が多くなっていることを意味し、また動作ステップ 4 においては、DUT 1 での電流値が良品サンプルよりも小さく、これは、動作ステップ 4 において出力論理 0 の端子数が良品サンプルよりも DUT 1 の方が少ないことを意味する。このように、電流パターンの違いから、この 2 つの動作ステップにおいて、DUT 1 が、良品サンプルと異なっていることが検出される。

10

#### 【 0 0 5 8 】

以上のように、第 1 の実施の形態では、DUT の出力端子及び入出力端子の全てを、同一抵抗値の複数の抵抗をそれぞれ介して、電流測定回路を備えた電圧発生回路に接続し、所定の動作パターンの動作ステップ毎に、前記複数の抵抗を流れる電流値の総和を、DUT の良品サンプルにおける同電流値の総和と比較し、DUT の良品 / 不良品の判定を行う。これによって、従来のように、動作パターンの出力期待値を予めシミュレーションして求めることなしに、論理回路を含む半導体集積回路の良品 / 不良品の判定が可能となる。

#### 【 0 0 5 9 】

なお、上記の第 1 の実施の形態において、後述の第 2 の実施の形態のように、DUT の出力端子及び入出力端子を複数のブロックに分割して、各ブロックごとに電流測定および比較を行うようにしてもよい。また、後述の第 3 の実施の形態のように、ブロック分割を繰り返して DUT の出力異常端子を絞り込むようにしてもよい。

20

#### 【 0 0 6 0 】

##### 〔 第 2 の実施の形態 〕

第 1 の実施の形態においては、DUT に所定の動作パターンを入力し、これに応じて出力論理が 0 となった DUT の端子数を、良品サンプルに入力した同一の所定動作パターンに応じて出力論理が 0 となった端子数と、所定動作パターンの動作ステップ毎に比較して、DUT の良品 / 不良品の判定を行っている。

#### 【 0 0 6 1 】

上記の端子数の比較は、具体的には、DUT の出力端子及び入出力端子（出力状態）にそれぞれ接続した抵抗に、動作ステップ毎の静止状態時に流れる電流の総和を、良品サンプルでの同電流の総和と比較することで、DUT の良否の判定を行っている。

30

#### 【 0 0 6 2 】

ところで、第 1 の実施の形態では、出力論理が 1 になるべき出力端子（出力状態の入出力端子も含む）に出力論理 0 が出力され、また同時に、出力論理が 0 になるべき出力端子に出力論理 1 が出力され、かつ、それらの出力論理 0 が出力された端子数と、出力論理 1 が出力された端子数とが同数であった場合、この DUT は、本来不良と判定されるべきにも拘らず、良品と誤判定されてしまう。これは、DUT の出力端子及び入出力端子にそれぞれ接続された各抵抗の抵抗値が全て同一であるためであり、第 2 の実施の形態では、こうした上記の誤判定を防止するようにしたものである。

40

#### 【 0 0 6 3 】

図 3 は、第 2 の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

#### 【 0 0 6 4 】

図中 14 は、検査対象となる論理回路を含む半導体集積回路（DUT）であり、該 DUT 14 の出力端子（OUT）及び入出力端子（I/O）の全てがスイッチ 17 および抵抗ユニット 19 を介して電圧印加回路 21 に接続される。抵抗ユニット 19 は、後述のブロックごとに、並列に接続された同じ抵抗値  $r_0$  の  $n$  個の抵抗と、互いに異なる抵抗値  $r_1 \sim r_n$  の  $n$  個の抵抗とを含み、該  $4n$  個の抵抗の各一端がスイッチ 17 の一方側各端子にそれぞれ接続され、各他端が短絡して電圧印加回路 21 に接続される。スイッチ 17 の他方側各端子は、DUT 1 の出力端子及び入出力端子にそれぞれ接続される。DUT 14 の

50

出力端子及び入出力端子、スイッチ 17 並びに抵抗ユニット 19 は、DUT 14 の端子数  $n$  ごとに分割され、例えば 2 つのブロック (ブロック 1, 2) にそれぞれ分割される。

【0065】

スイッチ 17 は、リレーなどで構成され、スイッチコントロール信号発生器 18 からの信号に応じて、ブロック毎に 3 つの接続形態をとる。例えばブロック 1 を例に挙げて説明すると、第 1 の接続形態では、ブロック 1 に属する DUT 14 の出力端子 (OUT) を抵抗値  $r_0$  の  $n$  個の抵抗にそれぞれ接続し、第 2 の接続形態では、ブロック 1 に属する DUT 14 の出力端子を抵抗値  $r_1 \sim r_n$  の  $n$  個の抵抗にそれぞれ接続し、第 3 の接続形態では、ブロック 1 に属する DUT 14 の出力端子をいずれの抵抗にも接続しない。ブロック 2 でも同様な接続形態となるが、ブロック 2 では、ブロック 2 に属する DUT 14 の端子が出力端子 (OUT) 及び入出力端子 (I/O) になる点がブロック 1 とは異なっている。なおスイッチ 17 は、ブロック 1 とブロック 2 とで異なる接続形態を同時に選択することができる。

10

【0066】

電圧印加回路 21 は、マイナス端が接地された直流電源 7 と、該直流電源 7 のプラス端と抵抗ユニット 19 との間に設けられた電流測定回路 20 とからなり、電圧印加回路 21 は、DUT 14 の電源電圧 VDD 端子の電位と同電位を出力する。

【0067】

第 2 の実施の形態における動作パターン発生器は、第 1 の実施の形態の動作パターン発生器と同一であり、DUT を構成部品の一つとする機械装置での使用に基づいて決まる所定の動作パターンを発生して、DUT 14 の入力端子 (図示を省略) および入出力端子 (I/O) に出力する。なお、この所定の動作パターンも第 1 の実施の形態と同じく、論理シミュレーションにより出力期待値を予め求めておく必要がないものである。

20

【0068】

電流測定回路 20 は、抵抗ユニット 19 の各抵抗に流れる電流の総和を測定する。なお、電流測定回路 20 を含む電圧印加回路 21、動作パターン発生器、及びスイッチコントロール信号発生器 18 は LSI テスタ 13 で構成され、該 LSI テスタ 13 は、電流測定回路 20 で得られた測定結果の保存、それらの比較、スイッチ 17 の動作制御等の情報処理・制御機能を備えている。

【0069】

図 4 は、第 2 の実施の形態における LSI テスタ 13 において実行される DUT に対する検査処理の手順を示すフローチャートである。

30

【0070】

まずステップ S1 において、スイッチコントロール信号発生器 18 からスイッチ 17 に、ブロック 1 ではスイッチ 17 が第 1 の接続形態になるように、ブロック 2 ではスイッチ 17 が第 3 の接続形態になるように制御するスイッチコントロール信号を出力させる。これによって、DUT 14 のブロック 1 における出力端子 (OUT) が、スイッチ 17 を介して、抵抗ユニット 19 のブロック 1 における抵抗値  $r_0$  の各抵抗にそれぞれ接続され、一方、DUT 14 のブロック 2 における出力端子 (OUT) および入出力端子 (I/O) は、スイッチ 17 を介して、いずれの抵抗にも接続されない。

40

【0071】

ステップ S2 では、動作パターン発生器から DUT 14 の入力端子 (図 4 では図示を省略) 及び入出力端子に所定の動作パターンを入力し、該所定の動作パターンの各動作ステップの静止状態時において、DUT 14 の出力端子及び入出力端子 (ブロック 2 の場合) にそれぞれ接続された抵抗ユニット 19 の各抵抗に流れる電流の総和を電流測定回路 20 で測定する。なお、電流測定回路 20 は、抵抗ユニット 19 を構成する各抵抗にそれぞれ流れる電流量を識別して検出可能な測定分解能を有するとともに、抵抗ユニット 19 を構成する各抵抗にそれぞれ流れる電流の総和をカバーできる測定レンジを有するものとする。

【0072】

50



次にステップS 3で、ステップS 2で測定された動作ステップ毎の電流値を、D U T 1 4に代わって良品サンプルを用いてステップS 2と同様の手順で予め測定した動作ステップ毎の電流値と比較し、その結果、電流値が異なる動作ステップが存在した場合は、ステップS 4へ進んで、D U T 1 4は不良であると判定する。

【0073】

一方、良品サンプルと電流値の異なる動作ステップが存在しない場合は、ステップS 5へ進んで、スイッチコントロール信号発生器18からスイッチ17に、ブロック1ではスイッチ17が第2の接続形態になるように、ブロック2ではスイッチ17が第3の接続形態になるように制御するスイッチコントロール信号を出力させる。これによって、D U T 1 4のブロック1における出力端子(O U T)が、スイッチ17を介して、抵抗ユニット19のブロック1における抵抗値 $r_1 \sim r_n$ の各抵抗にそれぞれ接続され、一方、D U T 1 4のブロック2における出力端子(O U T)および入出力端子(I / O)は、スイッチ17を介して、いずれの抵抗にも接続されない。

【0074】

ステップS 6では、ステップS 2と同一の所定の動作パターンを動作パターン発生器からD U T 1 4に入力し、該所定の動作パターンの各動作ステップの静止状態時において、D U T 1 4の出力端子及び入出力端子(ブロック2の場合)にそれぞれ接続された抵抗ユニット19の各抵抗に流れる電流の総和を電流測定回路20で測定する。

【0075】

次にステップS 7で、ステップS 6で測定された動作ステップ毎の電流値を、D U T 1 4に代わって良品サンプルを用いてステップS 6と同様の手順で予め測定した動作ステップ毎の電流値と比較し、その結果、電流値が異なる動作ステップが存在した場合は、ステップS 8へ進んで、D U T 1 4は不良であると判定する。

【0076】

一方、良品サンプルと電流値の異なる動作ステップが存在しない場合は、ステップS 9へ進んで、他のブロックに対して、ステップS 1～S 8と同様の処理を実施する。すなわち、本実施の形態のようにブロックが2つ存在し、ブロック1に対してステップS 1～S 8の処理が実施された場合は、今度はブロック2に対してステップS 1～S 8と同様の処理が実施され、この場合は、ブロック1でスイッチ17が第3の接続形態になるように制御される。

【0077】

そして全てのブロックに対してステップS 1～S 8と同様の処理が実施された場合、次のステップS 10に進んで、全てのブロックにおけるD U T 1 4と良品サンプルとでの測定結果が一致した場合は、D U T 1 4が良品であると判定する。

【0078】

かくして、出力論理が1になるべき出力端子に出力論理0が出力され、また同時に、出力論理が0になるべき出力端子に出力論理1が出力され、かつ、それらの出力論理0が出力された端子数と、出力論理1が出力された端子数とが同数であって場合、第1の実施の形態では、このD U Tが、本来不良と判定されるべきにも拘らず、良品と誤判定されてしまう。しかし、こうした場合であっても、第2の実施の形態では、スイッチ17を第2の接続形態に制御することによって、D U Tの出力端子及び入出力端子にそれぞれ接続される各抵抗の抵抗値を互いに異なる $r_1 \sim r_n$ に切り換えることができ、これによって、各抵抗を流れる電流量がそれぞれ異なることになる。したがって、端子数がD U Tと良品サンプルとで同数であっても、各抵抗を流れる電流の総和はD U Tと良品サンプルとで異なり、第2の実施の形態では、上記の誤判定を防止することができる。

【0079】

また逆に、各抵抗の抵抗値が互いに異なる場合の測定で、各抵抗を流れる電流の総和がD U Tと良品サンプルとで同じであったとしても、各抵抗の抵抗値を互いに同一にした測定で、端子数がD U Tと良品サンプルとで異なる場合(各抵抗を流れる電流の総和がD U Tと良品サンプルとで異なる場合)には、D U Tは不良品と判定する。

## 【 0 0 8 0 】

このように、第 2 の実施の形態では、各抵抗の抵抗値が同一の場合と互いに異なる場合との両方で、DUT の良品 / 不良品の判定を確実に行うことが可能となる。

## 【 0 0 8 1 】

なお、抵抗ユニット 19 において各抵抗の抵抗値を互いに異ならせての電流測定では、抵抗値の高い抵抗に流れる電流値が小さくなる。所定の測定分解能と測定レンジとを備えた電流測定回路 20 が、抵抗値の最も高い抵抗に流れる最小の電流値を識別して検出するとともに、各抵抗を流れる電流の総和を測定できるためには、測定対象の DUT の端子数に制限を設ける必要がある。そのため、第 2 の実施の形態では、DUT の出力端子および入出力端子の全てを、複数のブロックに分けて、ブロック毎に測定を行っている。したがって、DUT の出力端子および入出力端子の全ての端子数から、分割すべきブロック数が決まる。ブロックに分割しなくても、電流測定回路 20 が、抵抗値の最も高い抵抗に流れる最小の電流値を識別して検出でき、かつ各抵抗を流れる電流の総和を測定できるならば、ブロックに分割する必要はない。

10

## 【 0 0 8 2 】

〔第 3 の実施の形態〕

次に第 3 の実施の形態を説明する。

## 【 0 0 8 3 】

第 3 の実施の形態の構成は、基本的に第 2 の実施の形態の構成と同一であるので、第 3 の実施の形態の説明では、第 2 の実施の形態の構成を流用する。

20

## 【 0 0 8 4 】

第 3 の実施の形態では、図 4 に示す第 2 の実施の形態のフローチャートのステップ S 4 またはステップ S 8 で不良と判定された DUT のブロックに対して、更にブロックの分割を繰り返して、不良となっている端子を絞り込むようにしている。

## 【 0 0 8 5 】

図 5 は、第 3 の実施の形態における不良端子の絞り込み手順を示すフローチャートである。

## 【 0 0 8 6 】

このフローチャートは、図 4 に示す第 2 の実施の形態のフローチャートのステップ S 4 またはステップ S 8 の実行後に実行されるものである。

30

## 【 0 0 8 7 】

まずステップ S 11 において、第 2 の実施の形態のステップ S 4 またはステップ S 8 で不良と判定された DUT のブロックを複数のブロックに分割する。

## 【 0 0 8 8 】

次のステップ S 12 で、ステップ S 11 で分割された各ブロックに対して、図 4 に示す第 2 の実施の形態のステップ S 1 ~ S 9 と同様な電流測定および比較を行い、不良ブロックを特定する。

## 【 0 0 8 9 】

ステップ S 13 では、ステップ S 11 で特定された不良ブロックが更に分割可能か否かを判別する。すなわち、該不良ブロック内に DUT の端子が複数存在してそれらを分割可能か否かを判別する。分割可能であればステップ S 11 に戻り、分割不可能であればステップ S 14 へ進んで、ステップ S 11 で特定された不良ブロック内に含まれる DUT の端子に不良が存在すると決定する。

40

## 【 0 0 9 0 】

〔第 4 の実施の形態〕

第 1 の実施の形態において、電流測定回路 3 での測定精度 (SN 比) を上げるために、抵抗ユニット 2 を構成する各抵抗の抵抗値を小さく設定して、各抵抗のうちの 1 つの抵抗において、対応の DUT の出力端子または入出力端子から論理出力 1 (高レベル出力) が出力されている時と、論理出力 0 (低レベル出力) が出力されている時に該 1 つの抵抗にそれぞれ流れる電流値の差を大きくすることが考えられるが、一方で、DUT の 1 端子あ

50

たりの出力電流には制限があり、DUTによっては、測定に必要なS/N比にするための出力電流を得られない場合があり得る。また、DUTにおいて1端子あたりの出力電流は制限内であっても、出力端子及び入出力端子の全ての出力電流を大きくすると、DUTの消費電力の制限を越えてしまうために、出力電流を大きくできない場合が考えられる。

【0091】

第4の実施の形態では、こうした問題を解決するようにしている。

【0092】

図6は、第4の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

【0093】

第4の実施の形態の構成は、基本的に第1の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付して、その説明を省略する。

【0094】

第4の実施の形態では、DUT1の出力端子(OUT)及び入出力端子(I/O)の全てと抵抗ユニット2との間にバッファユニット31が新たに設けられる。バッファユニット31は、DUT1の出力端子(OUT)及び入出力端子(I/O)の各々と個別に接続される複数のバッファから構成され、該複数のバッファは、抵抗ユニット2を構成する複数の抵抗とそれぞれ接続される。

【0095】

バッファユニット31は、入力インピーダンスが高く、一方、出力インピーダンスが低く、また入力信号電圧を増幅して出力できる所定の出力能力を備えている。

【0096】

バッファユニット31の入力インピーダンスが高いため、バッファユニット31に接続されるDUT1の出力端子及び入出力端子に対して負荷側からの影響がほとんどなく、また、DUT1の出力電流が小さくなるので、DUT1の消費電力が許容消費電力を超えることもない。

【0097】

また、バッファユニット31の出力能力が高いため、DUT1の出力端子及び入出力端子に直接接続することができないような、DUT1の出力端子及び入出力端子の出力能力を超えさせてしまう抵抗値を持った抵抗を接続することが可能であり、これによって、論理出力1(高レベル出力)が出力されている時と、論理出力0(低レベル出力)が出力されている時に、抵抗ユニット2の1つの抵抗にそれぞれ流れる電流値の差を、バッファユニット31の出力能力の範囲内で大きくすることができる。

【0098】

〔第5の実施の形態〕

第1の実施の形態において、DUT1の出力端子及び入出力端子の各出力は、電流測定回路3が電流測定するタイミングに至るまでの期間、不安定な出力状態で推移するので、測定タイミングにおける抵抗ユニット2の各抵抗にそれぞれ流れる電流が互いに均一ではなく、また該各電流の合計量が時間的に均一ではなく、そのため各抵抗での発熱量が互いに均一ではなく、また抵抗ユニット2全体の発熱量が時間的に均一ではない。したがって、この発熱のために抵抗ユニット2の各抵抗の抵抗値が本来とは異なった値になっているとともに、互いに異なっている。また、抵抗ユニット2全体に流れる合計電流が時間的に均一でないため、電流測定回路3に流れる電流量も時間的に均一でなく、これによって、電流測定回路3自身の発熱量も時間的に一定ではない。そのため、電流測定回路3によって得られる測定値には、熱による誤差が含まれてしまう。かくして、第1の実施の形態では、電流測定回路3によって得られる測定値には、抵抗ユニット2の各抵抗の熱による相互の抵抗値の違いに起因する誤差と、電流測定回路3自身の熱による時間的な測定誤差との両方を含むことになる。

【0099】

第5の実施の形態では、こうした問題を解決するようにしている。

## 【 0 1 0 0 】

図 7 は、第 5 の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

## 【 0 1 0 1 】

第 5 の実施の形態の構成は、基本的に第 1 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付して、その説明を省略する。

## 【 0 1 0 2 】

第 5 の実施の形態でも、第 4 の実施の形態と同様に、DUT 1 の出力端子 (OUT) 及び入出力端子 (I/O) の全てと抵抗ユニット 2 との間にバッファユニット 33 が新たに設けられる。バッファユニット 33 は、DUT 1 の出力端子 (OUT) 及び入出力端子 (I/O) の各々と個別に接続される複数のバッファから構成され、該複数のバッファは、抵抗ユニット 2 を構成する複数の抵抗とそれぞれ接続される。バッファユニット 33 は、入力インピーダンスが高く、一方、出力インピーダンスが低く、また入力信号電圧を増幅して出力できる所定の出力能力を備えている。

10

## 【 0 1 0 3 】

さらにバッファユニット 33 は、動作パターン発生器 32 からライン 34 を介して送られる ON/OFF 制御信号に応じて、バッファユニット 33 を構成する各バッファから同時に出力を行ったり、該出力を同時に停止 (各バッファの出力インピーダンスを高くする) したりする機能を備える。

20

## 【 0 1 0 4 】

動作パターン発生器 32 は、第 1 の実施の形態の動作パターン発生器 5 と同一の機能の他に、電流測定タイミング信号に同期して ON/OFF 制御信号を出力する機能を備える。

## 【 0 1 0 5 】

図 8 は、第 5 の実施の形態において ON/OFF 制御信号に応じて抵抗ユニット 2 に流れる電流パターンを示すタイミングチャートである。

## 【 0 1 0 6 】

動作パターン発生器 32 は、所定の動作パターン (A) を DUT 1 に出力すると同時に、ON/OFF 制御信号 (C) をバッファユニット 33 へ出力する。ON/OFF 制御信号の ON 期間は、所定の動作パターン (A) を入力された DUT 1 が、各動作ステップにおいて比較的安定した電流パターン (B) を出力できる期間に設定され、この ON 期間において、DUT 1 からの出力論理信号に基づいた電流 (電流パターン) が抵抗ユニット 2 に流れる。この電流量を電流測定回路 3 が測定する。

30

## 【 0 1 0 7 】

ON/OFF 制御信号の OFF 期間には、抵抗ユニット 2 に全く電流が流れない。このため、OFF 期間には、抵抗ユニット 2 や電流測定回路 3 で被測定電流に基づく発熱が発生せず、発熱に起因する電流測定回路 3 での電流測定値の誤差は解消され、抵抗ユニット 2 に流れる電流の総和に関する DUT 1 と良品サンプルとの比較をより精度良く行うことができる。

## 【 0 1 0 8 】

## 〔 第 6 の実施の形態 〕

第 3 の実施の形態においては、不良判定となった DUT の出力異常端子を絞り込むために、DUT 1 と抵抗ユニット 2 を構成する各抵抗とをそれぞれ個別に接続できるスイッチ 17 を設けるとともに、抵抗ユニット 2 に、互いに異なる抵抗値の複数の抵抗を追加し、DUT 1 に接続すべき抵抗ユニット 2 の各抵抗をスイッチ 17 で個別に選択できるようにしているが、この第 3 の実施の形態の構成では、回路規模が大きくなってしまいう問題がある。

40

## 【 0 1 0 9 】

第 6 の実施の形態では、こうした問題を解決するようにしている。

## 【 0 1 1 0 】

50

図 9 は、第 6 の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

【 0 1 1 1 】

第 6 の実施の形態の構成は、基本的に第 1 の実施の形態の構成と同じであるので、同一構成部分には同一の参照符号を付して、その説明を省略する。

【 0 1 1 2 】

第 6 の実施の形態でも、第 4 の実施の形態と同様に、DUT 1 の出力端子 (OUT) 及び入出力端子 (I/O) の全てと抵抗ユニット 2 との間にバッファユニット 36 が新たに設けられる。バッファユニット 36 は、DUT 1 の出力端子 (OUT) 及び入出力端子 (I/O) の各々と個別に接続される複数のバッファから構成され、該複数のバッファは、抵抗ユニット 2 を構成する複数の抵抗とそれぞれ接続される。バッファユニット 36 は、入力インピーダンスが高く、一方、出力インピーダンスが低く、また入力信号電圧を増幅して出力できる所定の出力能力を備えている。

10

【 0 1 1 3 】

さらにバッファユニット 36 は、動作パターン発生器 35 から複数のライン 37 を介してそれぞれ送られる各 ON/OFF 制御信号に応じて、バッファユニット 36 を構成する各バッファから個別に出力を行ったり、該出力を停止したりする機能を備える。

【 0 1 1 4 】

動作パターン発生器 35 は、第 1 の実施の形態の動作パターン発生器 5 と同一の機能の他に、電流測定タイミング信号に同期して各 ON/OFF 制御信号を、バッファユニット 36 の各バッファに個別に出力する機能を備える。

20

【 0 1 1 5 】

図 10 は、第 6 の実施の形態において各 ON/OFF 制御信号に応じて抵抗ユニット 2 に流れる電流パターンおよび出力異常端子の絞込みを示すタイミングチャートである。

【 0 1 1 6 】

まず、第 5 の実施の形態と同様に、各 ON/OFF 制御信号を同一の信号形態にして、バッファユニット 36 の各バッファに対して、所定の動作パターンの動作ステップ毎に、同時に出力して、DUT 1 での電流パターンを良品サンプルでの電流パターンと比較する。この結果、ある動作ステップで電流パターンが異なっていた場合、この動作ステップにおいて、出力異常端子の絞込みを次のように行う。

30

【 0 1 1 7 】

動作パターン発生器 35 は、電流パターンが異なっていた動作ステップを動作パターン (A) として出力しながら、ON 状態の ON/OFF 制御信号をバッファユニット 36 の各バッファに対して順に出力する ((D) ~ (G))。この ON 状態の ON/OFF 制御信号を出力されているバッファ以外の残りのバッファには OFF 状態の ON/OFF 制御信号を出力する。そして、ON 状態の ON/OFF 制御信号を出力されているバッファに接続された抵抗にのみ流れる電流を電流測定回路 3 で測定して、該測定値 (C) を、同じ状態で予め得られた良品サンプルの測定値 (B) と比較して、ON 状態の ON/OFF 制御信号を出力されているバッファに接続された DUT の端子に対する出力異常判別を行う。

40

【 0 1 1 8 】

図 10 (C) にマーク「NG」で示すように、DUT 1 での電流パターン (C) と良品サンプルでの電流パターン (B) とが異なる値となった時、ON 状態の ON/OFF 制御信号を出力されているバッファを特定することにより、該バッファに接続されている DUT 1 の出力端子もしくは入出力端子を出力異常端子と特定することができる。

【 0 1 1 9 】

この特定方法では、DUT 1 に所定の動作パターンを何度も入力する必要は無く、DUT 1 と良品サンプルとの各測定値が異なった動作ステップに入った状態を維持したまま、動作パターン発生器 35 から出力する ON/OFF 制御信号を操作するだけでよいため、出力異常端子を特定するまでの所要時間の短縮を図ることができる。

50

## 【 0 1 2 0 】

## 〔 第 7 の実施の形態 〕

第 7 の実施の形態の構成は、基本的に第 1 の実施の形態の構成と同じであるので、第 7 の実施の形態の説明では、第 1 の実施の形態の構成を流用する。

## 【 0 1 2 1 】

第 7 の実施の形態では、抵抗ユニット 2 が、異なる抵抗値をもった各抵抗から構成される他の抵抗ユニットと交換可能であり、また、電流測定回路 3 の測定レンジを変更可能であるものとする。また、LSI テスタ 8 によって行われる検査処理が第 1 の実施の形態と異なっている。

## 【 0 1 2 2 】

第 7 の実施の形態では、良品サンプルに対して、所定の動作パターンの全動作ステップに亘って電流測定を行い、得られた動作ステップ毎の電流量の総和の内、最大電流値と最小電流値と求め、これらの最大電流値と最小電流値とを基に、最大電流値と最小電流値とをそれぞれ中心として所定幅を持った 2 つの判定基準ゾーンを作成する。次に、DUT に対して同様に、所定の動作パターンの全動作ステップに亘って電流測定を行い、得られた動作ステップ毎の電流量の総和の内、最大電流値と最小電流値と求め、これらの最大電流値と最小電流値とが、上記の 2 つの判定基準ゾーン内にそれぞれ収まるか否かを判別して、DUT に対する良品 / 不良品の判定を行う。

## 【 0 1 2 3 】

図 1 1 は、第 7 の実施の形態における判定基準ゾーンを含む電流パターンを示すタイミングチャートである。

## 【 0 1 2 4 】

図中 4 1 は、( A ) に示す所定の動作パターンの動作ステップ 1 における良品サンプルから得られる電流値であり、電流測定回路 3 によって測定された電流値である。( B ) に示す 4 2 は、良品サンプルの全動作ステップに亘る電流パターンの中で最大電流値を示し、4 3 は、良品サンプルの全動作ステップに亘る電流パターンの中で最小電流値を示す。( C ) に示す 4 4 は、最大電流値 4 2 を基に決定された最大電流値判定基準ゾーンの上限値を示し、4 5 は、最大電流値判定基準ゾーンの下限値を示す。4 6 は、最小電流値 4 3 を基に決定された最小電流値判定基準ゾーンの上限値を示し、4 7 は、最小電流値判定基準ゾーンの下限値を示す。

## 【 0 1 2 5 】

最大電流値判定基準ゾーンの上限値 4 4 は、良品サンプルの最大電流値 4 2 に、抵抗ユニット 2 の 1 つの抵抗を流れる電流値の 5 0 % を加えた値であり、最大電流値判定基準ゾーンの下限値 4 5 は、良品サンプルの最大電流値 4 2 から、抵抗ユニット 2 の 1 つの抵抗を流れる電流値の 5 0 % を減じた値である。最小電流値判定基準ゾーンの上限値 4 6 は、良品サンプルの最小電流値 4 3 に、抵抗ユニット 2 の 1 つの抵抗を流れる電流値の 5 0 % を加えた値であり、最小電流値判定基準ゾーンの下限値 4 7 は、良品サンプルの最小電流値 4 3 から、抵抗ユニット 2 の 1 つの抵抗を流れる電流値の 5 0 % を減じた値である。

## 【 0 1 2 6 】

例えば、DUT に対して実施した電流測定で得られた電流パターン ( C ) における 4 8 は、全動作ステップの中の最大電流値を示す。この最大電流値 4 8 は、最大電流値判定基準ゾーンの上限値 4 4 を超えているので、DUT は不良品と判定する。

## 【 0 1 2 7 】

また同様に、DUT における最大電流値が最大電流値判定基準ゾーンの下限値 4 5 を下回る場合、DUT における全動作ステップの中の最小電流値が最小電流値の判定基準の上限値 4 6 を超える場合、DUT における最小電流値が最小電流値判定基準ゾーンの下限値 4 7 を下回る場合も、DUT を不良品と判定する。

## 【 0 1 2 8 】

以上のように、判定基準ゾーンを利用して簡易的に DUT の良品 / 不良品の選別を行う。これを「第 1 次選別」とする。

10

20

30

40

50

## 【 0 1 2 9 】

次に、第 1 の実施の形態と同様に、電流パターンを動作ステップ毎に良品サンプルと D U T とで比較して D U T の良品 / 不良品の選別を行う「第 2 次選別」を実施するが、その前に、電流測定回路 3 の測定レンジに対する最適設定と、抵抗ユニット 2 の各抵抗の抵抗値に対する最適設定を行う。

## 【 0 1 3 0 】

第 2 次選別は、第 1 の実施の形態で説明したように、所定の動作パターンの動作ステップ毎に出力論理 0 となる端子数を電流値に変換して、良品 / 不良品を選別する方法であることから、電流測定回路 3 は、D U T の電流の流れる端子の総数が 1 つでも異なった場合の電流差を検出できる分解能が必要である一方、全動作ステップの中での最大電流値が測定できる電流測定レンジを持つ必要がある。

10

## 【 0 1 3 1 】

ところで、抵抗ユニット 2 を構成する各抵抗の抵抗値を小さく設定して、各抵抗にそれぞれ流れる電流値を大きくすると、電流の流れる端子数の違いによる電流差も大きくなるが、全動作ステップの中での最大電流値も大きくなり、電流測定回路 4 の電流測定レンジも大きくする必要がある。電流測定レンジを大きくした場合、電流測定回路 4 の最小分解能が大きくなってしまう。また、測定対象の D U T の端子数が多い場合も電流測定レンジを大きくする必要がある。

## 【 0 1 3 2 】

図 1 2 は、電流測定回路 4 の最適な電流測定レンジを設定し、また抵抗ユニットの各抵抗の最適な抵抗値を選択するための処理の手順を示すフローチャートである。この処理は、情報処理機能を備えた L S I テスタ 8 によって実行されるが、その一部を L S I テスタ 8 の利用者が行うようにしてもよい。

20

## 【 0 1 3 3 】

まずステップ S 2 1 において、第 1 次選別で得た良品サンプルの全動作ステップの中での最大電流値 4 2 を基に、電流測定回路 4 の電流測定レンジを、最大電流値 4 2 を測定できる条件下で測定レンジが最も低くなるように設定する。

## 【 0 1 3 4 】

次にステップ S 2 2 で、良品サンプルの最大電流値 4 2 を基に、良品サンプルにおいて全動作ステップの中で、出力論理が同時に 0 となる端子の数が最大となる場合の端子数を求める。

30

## 【 0 1 3 5 】

ステップ S 2 3 では、ステップ S 2 2 で求めた最大端子数を基に、ステップ S 2 1 で設定した電流測定レンジで測定可能な範囲で、抵抗ユニット 2 を構成する各抵抗に流れる電流値が最大となるような抵抗値を持った抵抗ユニットを抵抗ユニット 2 用を選択する。

## 【 0 1 3 6 】

このようにして設定された電流測定レンジを備えた電流測定回路 3 と、各抵抗が上記のように選択された抵抗値を持った抵抗ユニット 2 とを用いて、第 2 次選別を行う。

## 【 0 1 3 7 】

これにより、まず第 1 次選別を行うことで、最大電流値または最小電流値が良品サンプルと異なる D U T については、簡易に D U T の良品 / 不良品の判定ができて、第 2 次選別の実行を省略でき、検査時間を短縮することができる。

40

## 【 0 1 3 8 】

また、第 2 次選別では、電流測定回路 3 の電流測定レンジの最適化と、抵抗ユニット 2 を構成する各抵抗の抵抗値の最適化とを前もって行うので、D U T の良品 / 不良品の判定をより精度よく行うことができる。

## 【 0 1 3 9 】

なお、第 7 の実施の形態では、良品サンプルにおける最大電流値および最小電流値を検出して、それらから作成された最大電流値判定基準ゾーンおよび最小電流値判定基準ゾーンを用いて、D U T の良品 / 不良品の判定を行っているが、これに代わって、良品サンプ

50

ルにおける最大電流値または最小電流値を検出して、それから作成された最大電流値判定基準ゾーンまたは最小電流値判定基準ゾーンを用いて、DUTにおける最大電流値または最小電流値を対応の判定基準ゾーンと比較することによってDUTの良品/不良品の判定を行うようにしてもよい。

【0140】

〔第8の実施の形態〕

第8の実施の形態の半導体集積回路検査装置では、被検査IC（半導体集積回路）と同じ機能を持ち正常に動作する標準IC（良品サンプル）を、被検査ICに対して対に並べて検査を行う。

【0141】

10

図13は、第8の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【0142】

標準IC50は、被検査IC59と同じ機能をもった検査の基準となるICであり、DC及びACの電気特性や機能が正常であって、予め良品サンプルとして確認されたものである。なお、標準IC50の実際の端子は多数存在するが、図13では、入力端子52、出力端子53、入出力端子54を代表例として説明する。被検査IC59も同様である。

【0143】

標準IC50の入力端子52は、被検査IC59の入力端子61及び機能検査装置70のドライバ71へ接続され、出力端子53は、被検査IC59の出力端子62へ抵抗器67を介して接続される。

20

【0144】

標準IC50の入出力端子54は、被検査IC59の入出力端子63に抵抗器68と抵抗器69とを介して接続される。抵抗器68と抵抗器69との接続点には機能検査装置70のドライバ72が接続される。

【0145】

ドライバ71、72は、パターン発生器73から被検査IC59の機能検査のためのパターン信号を入力される。

【0146】

次に、標準IC50、被検査IC59の電源端子51、電源端子60に電流計56、電流計65をそれぞれ介して、機能検査装置70より供給される電源57、電源66をそれぞれ接続する。

30

【0147】

電流計56、電流計65での検出値は比較器58へそれぞれ送られ、比較器58は、2つの検出値の絶対値の差を所定のレベルと比較し、その結果を制御装置74へ送るようにする。

【0148】

制御装置74は、比較器58の結果から被検査IC59の良否を判定して、その判定結果を表示装置75へ送る。2つの検出値の絶対値の差が所定のレベルを超えていると、被検査IC59は不良品と判定される。

40

【0149】

次に、動作について説明する。

【0150】

初めに、機能検査装置70のパターン発生器73から、被検査IC59を検査するためのパターン信号をドライバ71、72へ送り、該パターン信号がドライバ71、72から入力端子52、入力端子61、及び入力状態の入出力端子54、入出力端子63に対して送られる。これによって、標準IC50及び被検査IC59は動作を開始し、入力パターン信号の各動作ステップ（ベクター）に従った出力を始める。

【0151】

標準IC50及び被検査IC59の各出力端子及び入出力端子同士は、抵抗器を介して

50



ショート状態にあり、もし被検査 IC 59 に欠陥があり正常な信号を出力しない場合、標準 IC 50 から被検査 IC 59 へ、もしくは被検査 IC 59 から標準 IC 50 へ、抵抗器 67 や抵抗器 68、69 を介して出力電流が流れる。

【0152】

この出力電流の電流値は、「高レベル」を出力している端子の電圧から、「低レベル」を出力している端子の電圧を減算し（こうして得られた値は通常、電源電圧とほぼ等しい値に相当）、この電圧を抵抗器 67 の抵抗値で除算した値、あるいは抵抗器 68 の抵抗値と抵抗器 69 の抵抗値との和で除算した値となる。

【0153】

そして上記の出力電流は、標準 IC 50 から被検査 IC 59 へ、またはその逆方向に流れるので、2つの IC の電源端子 51、60 に流れる電流量に差が生じることになる。

10

【0154】

この2つの IC の電源端子 51、60 に流れる電流量を、電流計 56、電流計 65 で検出し、比較器 58 が、2つの電流量の差の絶対値を所定値と比較する。そして比較器 58 は、2つの電流量の差の絶対値が所定値以上である場合には、比較器 58 より制御装置 74 へ信号を送り、被検査 IC 59 を不良品と判定して表示装置 75 へ検査結果を表示させる。

【0155】

なお、入出力端子 54、入出力端子 63 が出力状態の時、入出力端子 63 がハイインピーダンスになる不良の場合、入出力端子 63 に電流が流れないので、入出力端子 54 にも電流が流れず、したがって比較器 58 で電流差は検出されない。そこで、パターン発生器 73 が、出力論理と反対の論理の出力をドライバ 72 に出力させ、入出力端子 54 に電流が流れるようにして、比較器 58 で電流差が検出できるようにする。これによって、入出力端子 63 がハイインピーダンスになる不良でも、該不良を検出できるようにする。

20

【0156】

また、入出力端子 54、入出力端子 63 がハイインピーダンス状態の時は、パターン発生器 73 がドライバ 72 を、パターン信号の 1 動作ステップ（ベクター）内で「高レベル」、「低レベル」に切り替え、どちらのレベルでも比較器 58 で電流差が検出できないとき、入出力端子 54、入出力端子 63 がともにハイインピーダンス状態であるとする。

【0157】

同様に、被検査 IC 59 の出力端子 62 がハイインピーダンス（Hi-Z もしくは、3-state）機能を持つ場合も、上記の入出力端子 63 での検出方法と同じ方法でハイインピーダンスの状態を検出する。

30

【0158】

なお、上記の第 8 の実施の形態では、電源端子 51 や電源端子 60 の側に電流計 56、電流計 65 を接続しているが、電流計を GND 端子 55、GND 端子 64 の側へ接続したり、電源端子及び GND 端子の両側へ挿入するようにして、精度の高い検査を行うようにしてもよい。

【0159】

また、電流計 56、電流計 65 を、ピーク値を検出タイプの電流形で代えたり、電流波形を積分するタイプの電流形で代えたりすることも可能である。

40

【0160】

〔第 9 の実施の形態〕

第 9 の実施の形態では、パターン発生器が、被検査 IC（半導体集積回路）の出力論理の期待値を出力し、該パターン発生器を、被検査 IC に対して対に並べて検査を行う。

【0161】

図 14 は、第 9 の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【0162】

被検査 IC 78 の電源端子 77 は、検査装置 83 より供給される電源 76 へ接続され、

50

GND端子82はGNDへ接地される。被検査IC78の入力端子79、出力端子80、入出力端子81は、検査装置83の出力端子84a～84cへそれぞれ接続させる。

【0163】

出力端子84a～84cは、抵抗器85a～85cをそれぞれ介してドライバ88a～88cへ接続される。ドライバ88a～88cの電源端子89a～89cはまとめて電流計87を介して電源86へ接続される。電源86は、被検査IC78の電源76の電圧と同じ電圧に設定される。

【0164】

ドライバ88a～88cのGND端子90a～90cはまとめて電流計91を介してGNDへ接地される。

10

【0165】

ドライバ88a～88cにはパターン発生器92から被検査IC78の機能検査のためのパターン信号が入力される。このパターン信号は、機能検査のための入力論理とその時の出力論理の期待値とから構成される。

【0166】

パターン発生器92は、制御装置93で制御される。電流計87、電流計91の検出値は比較器94へ送られ、比較器94は、2つの検出値の少なくとも一方を所定レベルと比較し、その結果を制御装置93へ送る。

【0167】

制御装置93は、比較器94からの比較結果から被検査IC78の良否を判定して、その判定結果を表示装置95へ送る。2つの検出値の少なくとも一方が所定レベルを超えていれば、被検査IC78が不良品と判定される。

20

【0168】

次に動作について説明する。

【0169】

初めに、検査装置83のパターン発生器92が、被検査IC78を検査するためのパターン信号をドライバ88a、ドライバ88cを介して被検査IC78の入力端子79や入出力端子81へ出力する。このパターン信号を受け取った被検査IC59は動作を開始し、入力パターン信号に従った出力を始める。

【0170】

30

被検査IC78の出力端子80及び入出力端子81は、抵抗器85b、抵抗器85cをそれぞれ介して検査装置83のドライバ88b、ドライバ88cとショート状態にあるので、もし被検査IC78に欠陥があって正常な信号を出力しない場合、検査装置83のドライバ88b、ドライバ88cから被検査IC78へ、もしくは被検査IC78からドライバ88b、ドライバ88cへ、抵抗器85b、抵抗器85cを介して電流が流れる。

【0171】

被検査IC78が良品である場合、ドライバ88bの出力と被検査IC78の出力端子80の信号、あるいはドライバ88cの出力と入出力端子81の信号とは、レベルが一致していて、電流計87、電流計91には、ドライバ88a～88cがスイッチングする時の瞬間的な貫通電流以外の電流はほとんど流れない。

40

【0172】

しかし、被検査IC78が不良品である場合には、ドライバ88bやドライバ88cが電流をソースあるいはシンクするので、電流計87、電流計91のいずれか、又は両方に大きな電流が流れることになる。

【0173】

比較器94が、電流計87、電流計91で検出した2つの電流値を所定値（電源電圧を抵抗器85bまたは抵抗器85cの抵抗値で除算して得られた電流値に相当）と比較し、その比較結果を制御装置93へ送る。制御装置93は、2つの電流値が所定値以上であるという比較結果ならば、被検査IC78を不良品と判定して、表示装置95にその判定結果を表示させる。

50

## 【 0 1 7 4 】

なお、被検査 IC 78 の入出力端子 81 がハイインピーダンス状態であることが疑われる場合は、パターン発生器 92 が、ドライバ 88c をパターン信号の 1 動作ステップ (1 ベクター) 内で「高レベル」、「低レベル」に切り替える。これらのどちらのレベルでも電流計 87、電流計 91 に電流が流れないことによって、入出力端子 81 のハイインピーダンス状態を確認することができる。

## 【 0 1 7 5 】

同様に、被検査 IC 78 の出力端子 80 がハイインピーダンス (Hi-Z もしくは、3-state) 機能を持つ場合も、入出力端子 81 に対する上記のレベル切換と同じ方法によって、出力端子 80 のハイインピーダンスの状態を確認することができる。

10

## 【 0 1 7 6 】

なお、抵抗器 85a は、出力端子 84a ~ 84c が同じ回路構成となるように挿入しているが、特に必要が無ければ省略してもよい。

## 【 0 1 7 7 】

また、第 9 の実施の形態では、ドライバ 88a ~ 88c の電源端子 89a ~ 89c、GND 端子 90a ~ 90c をそれぞれまとめて電流計 87、電流計 91 へ接続しているが、これに代わって、ドライバ 88a ~ 88c の各々に電流計を用意したり、ドライバ 88a ~ 88c の各々に、電流計 87、電流計 91 を接続する、しないを選択可能にしてもよい。これによって、被検査 IC 78 の各端子毎の特性をより高い精度で検査することも可能となる。

20

## 【 0 1 7 8 】

また、第 9 の実施の形態では、ドライバ 88b と出力端子 80 との間に抵抗器 85b を挿入しているが、この抵抗器 85b をコンデンサなど他の部品や回路で代えることが可能である。また、電流計 87、電流計 91 を、ピーク値を検出タイプの電流形で代えたり、電流波形を積分するタイプの電流形で代えたりすることも可能である。

## 【 0 1 7 9 】

〔 第 10 の実施の形態 〕

第 10 の実施の形態は、第 9 の実施の形態の半導体集積回路検査装置の入出力端子の検査方法を発展させたものである。

## 【 0 1 8 0 】

図 15 は、第 10 の実施の形態における半導体集積回路の入出力端子用の検査装置の構成を示すブロック図である。

30

## 【 0 1 8 1 】

被検査 IC 201 の電源端子 204 は電源 203 へ接続され、GND 端子 205 は GND へ接地される。被検査 IC 201 の入出力端子 202 は検査装置 206 の出力端子 207 へ接続させる。

## 【 0 1 8 2 】

出力端子 207 は抵抗器 208 を介してドライバ 209 へ接続され、ドライバ 209 はパターン発生器 218 へ接続される。パターン発生器 218 は、被検査 IC 201 の機能検査のためのパターン信号をドライバ 209 に出力する。このパターン信号は、被検査 IC 201 の機能検査のための入力パターン及びこの入力パターンに応じて被検査 IC 201 が正常であれば出力するだろう期待値を含む。

40

## 【 0 1 8 3 】

ドライバ 209 の電源端子 210 は、電流計 213 を介して電源 212 へ接続される。電源 212 は、被検査 IC 201 の電源 203 の電圧と同じ電圧に設定される。ドライバ 209 の GND 端子 211 は電流計 214 を介して GND へ接地される。

## 【 0 1 8 4 】

また、出力端子 207 は抵抗器 215 へも接続され、抵抗器 215 はハイインピーダンス検査用ドライバ 216 へ接続される。ハイインピーダンス検査用ドライバ 216 はパターン発生器 218 へ接続され、パターン発生器 218 に接続されたドライバ 209 が出力

50

する論理信号に対して反転した論理信号（負論理の出力信号）を出力する。

【0185】

なお、ハイインピーダンス検査用ドライバ216には出力イネーブル端子217を設け、この出力イネーブル端子217にパターン発生器218から、パターン信号に応じてイネーブル信号およびディセーブル信号が入力される。ハイインピーダンス検査用ドライバ216は、イネーブル信号が入力されると出力状態になり、ディセーブル信号が入力されるとハイインピーダンス状態になって出力しない状態になる。

【0186】

パターン発生器218は制御装置219で制御される。

【0187】

電流計213、電流計214の検出値は比較器220へ送られ、比較器220は、2つの検出値の少なくとも一方を所定値と比較し、その比較結果を制御装置219へ送る。制御装置219は、2つの検出値の少なくとも一方が所定値を超えていれば、被検査IC201が不良品であると判定し、その判定結果を表示装置221へ送り、表示させる。

【0188】

なお、図15では被検査IC201に1端子だけの入出力端子202を図示するが、実際には入出力端子は複数存在し、ドライバおよびハイインピーダンス検査用ドライバも各入出力端子に対応して複数存在し、複数のドライバは、図14に示す第9の実施の形態のように、電流計213、電流計214に接続される。

【0189】

次に動作について説明する。

【0190】

被検査IC201の入出力端子202が入力状態もしくはハイインピーダンス状態を疑われる時は、パターン発生器218が、ハイインピーダンス検査用ドライバ216の出力イネーブル端子217にディセーブル信号を出力して、ハイインピーダンス検査用ドライバ216の出力をハイインピーダンス状態にする。

【0191】

そしてパターン発生器218は、被検査IC201の入出力端子202が入力状態であれば、ドライバ209を介して被検査IC201へパターン信号を出力する。また、被検査IC201の入出力端子202がハイインピーダンス状態を疑われる場合は、ドライバ209の出力を「高レベル」、「低レベル」に切り替えて、どちらのレベルでも電流計213、214に電流が流れないことからハイインピーダンス状態を確認する。

【0192】

以上の動作は第9の実施の形態の場合と同じである。

【0193】

次に被検査IC201の入出力端子202が出力状態へ変わった時、パターン発生器218はハイインピーダンス検査用ドライバ216の出力イネーブル端子217にイネーブル信号を出力して、ハイインピーダンス検査用ドライバ216を出力状態にする。この出力状態になったハイインピーダンス検査用ドライバ216は、パターン発生器218から送られたパターン信号を反転して出力するので、ドライバ209の出力論理に対して反転した負論理（反対の出力信号）を出力する。

【0194】

もし、被検査IC201の入出力端子202の出力が「高レベル」で、期待値も「高レベル」であるとする、ドライバ209の出力も「高レベル」であり、抵抗器208に電流は流れない。しかしこのとき、ハイインピーダンス検査用ドライバ216は「低レベル」を出力するので、入出力端子202との間に電位差が生じて、入出力端子202から抵抗器215を介してハイインピーダンス検査用ドライバ216側へ電流が流れる。なお、ドライバ209も「高レベル」を出力しているが、抵抗器208が介在するので、ドライバ209からハイインピーダンス検査用ドライバ216側へ電流はほとんど流れない。ドライバ209にほとんど電流が流れないので、被検査IC201は良品と判定される。

10

20

30

40

50

## 【 0 1 9 5 】

次に、被検査 IC 201 の入出力端子 202 の期待値が「高レベル」であるのに、入出力端子 202 がハイインピーダンス状態となる不良について、以下に説明する。

## 【 0 1 9 6 】

もし、パターン発生器 218 が、ハイインピーダンス検査用ドライバ 216 の出力イネーブル端子 217 にディセーブル信号を出力していて、ハイインピーダンス検査用ドライバ 216 の出力がハイインピーダンス状態になっている場合、被検査 IC 201 の入出力端子 202 の期待値が「高レベル」、すなわち、ドライバ 209 の出力が「高レベル」であり、このとき、入出力端子 202 がハイインピーダンス状態であるとする、抵抗器 208 には電流が流れず、入出力端子 202 がハイインピーダンス状態となる不良を検出できない。つまり、ハイインピーダンス検査用ドライバ 216 が存在しないような、第 9 の実施の形態の装置では、入出力端子 202 がハイインピーダンス状態となる不良を検出できないことがわかる。

10

## 【 0 1 9 7 】

そこで第 10 の実施の形態ではこうした場合に、パターン発生器 218 が、ハイインピーダンス検査用ドライバ 216 の出力イネーブル端子 217 にイネーブル信号を出力していて、出力イネーブル端子 217 を出力状態にする。そのため、ハイインピーダンス検査用ドライバ 216 は、ドライバ 209 の出力が「高レベル」であるので、「低レベル」を出力する。このとき、入出力端子 202 がハイインピーダンス状態になっているならば、「高レベル」であるドライバ 209 から抵抗器 208、抵抗器 215 を介してハイインピーダンス検査用ドライバ 216 へ電流が流れ込む。この電流が電流計 213 によって検出されるので、被検査 IC 201 が不良であると判定され、入出力端子 202 がハイインピーダンス状態となる不良が検出され得る。

20

## 【 0 1 9 8 】

なお、第 10 の実施の形態において比較器 220 で用いる比較基準としての所定値は、第 9 の実施の形態と異なり、電源 212 の電源電圧を、抵抗器 208 の抵抗値と抵抗器 215 の抵抗値との和で除算して得た値である。

## 【 0 1 9 9 】

以上の説明では、被検査 IC 201 の入出力端子 202 の期待値が「高レベル」であり、入出力端子 202 がハイインピーダンス状態の不良である場合であったが、被検査 IC 201 の入出力端子 202 の期待値が「低レベル」であり、入出力端子 202 がハイインピーダンス状態の不良である場合は、ハイインピーダンス検査用ドライバ 216 が「高レベル」を出力するので、ハイインピーダンス検査用ドライバ 216 から抵抗器 215、抵抗器 208 を介してドライバ 209 に電流が流れ、この電流が電流計 214 で検出される。したがって、この場合も被検査 IC 201 が不良であると判定され、入出力端子 202 がハイインピーダンス状態となる不良が検出され得る。

30

## 【 0 2 0 0 】

一般的に、半導体集積回路の機能検査（ファンクション検査）は DC 電気特性検査後に実施されるので、入出力端子を持たない LSI、出力端子にハイインピーダンス機能のない LSI では、オープン不良などのハイインピーダンス状態となる不良が、DC 電気特性検査によって検出される。しかし、内部ロジックのコントロールによって入出力端子がハイインピーダンス状態となる LSI では、内部ロジックの論理的不良によりハイインピーダンス状態となることも想定されるので、本実施の形態のような検査装置が有効となる。

40

## 【 0 2 0 1 】

なお、上記の各実施の形態では、被検査半導体集積回路（IC）と、良品サンプル（標準 IC）あるいは検査装置との出力信号の不一致を各電源端子に流れる電流によって検出することを原理の根幹としており、電源端子に流れる電流波形をどの様に観測して検出するかは、対象となる IC に合わせて選択されるべきものであり、また、その検出値の比較の方法も、対象となる IC に合わせて選択されるべきものである。

## 【 0 2 0 2 】

50

なおまた、本発明は、デジタルＩＣだけでなく、Ｄ／ＡコンバータなどのアナログＩＣの検査にも適用可能である。

【図面の簡単な説明】

【０２０３】

【図１】本発明に係る第１の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【図２】動作パターン発生器から発生される所定の動作パターンと、電流測定回路で測定される電流値とを示すタイミングチャートである。

【図３】第２の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【図４】第２の実施の形態におけるＬＳＩテストにおいて実行されるＤＵＴに対する検査処理の手順を示すフローチャートである。

10

【図５】第３の実施の形態における不良端子の絞り込み手順を示すフローチャートである。

【図６】第４の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

【図７】第５の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

【図８】第５の実施の形態においてＯＮ／ＯＦＦ制御信号に応じて抵抗に流れる電流パターンを示すタイミングチャートである。

【図９】第６の実施の形態における半導体集積回路検査装置の構成を示すブロック図である。

20

【図１０】第６の実施の形態において各ＯＮ／ＯＦＦ制御信号に応じて抵抗に流れる電流パターンおよび出力異常端子の絞り込みを示すタイミングチャートである。

【図１１】第７の実施の形態における判定基準ゾーンを含む電流パターンを示すタイミングチャートである。

【図１２】電流測定回路の最適な電流測定レンジを設定し、また抵抗ユニットの各抵抗の最適な抵抗値を選択するための処理の手順を示すフローチャートである。

【図１３】第８の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【図１４】第９の実施の形態の半導体集積回路検査装置の構成を示すブロック図である。

【図１５】第１０の実施の形態における半導体集積回路の入出力端子用の検査装置の構成を示すブロック図である。

30

【図１６】従来の半導体集積回路の検査装置の構成例を示す図である。

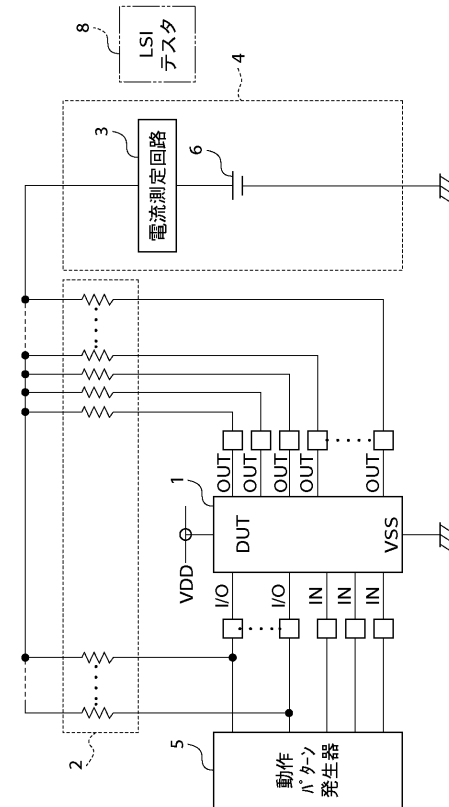
【符号の説明】

【０２０４】

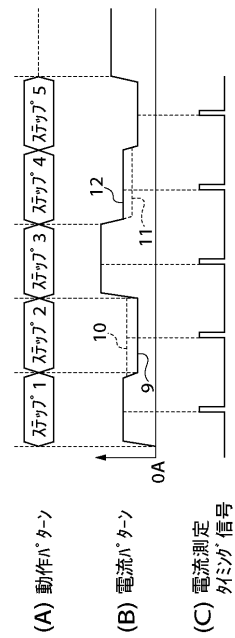
- １ 半導体集積回路（ＤＵＴ）
- ２ 抵抗ユニット（複数の抵抗器）
- ３ 電流測定回路（測定手段）
- ４ 電圧印加回路（印加手段）
- ５ 動作パターン発生器（入力手段）
- ６ 直流電源
- ７ 直流電源
- ８ ＬＳＩテスト（比較手段、判定手段）
- １３ ＬＳＩテスト
- １４ 半導体集積回路（ＤＵＴ）
- １７ スイッチ
- １８ スイッチコントロール信号発生器
- １９ 抵抗
- ２０ 電流測定回路
- ２１ 電圧印加回路

40

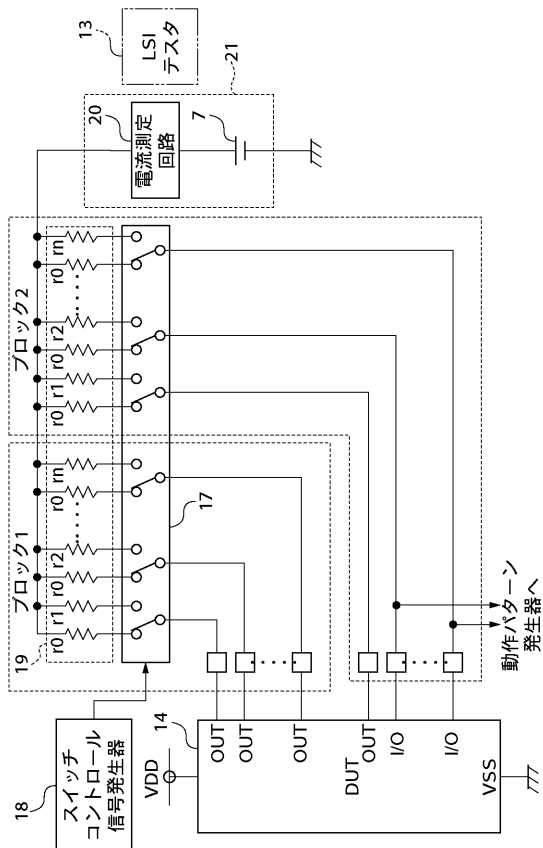
【 図 1 】



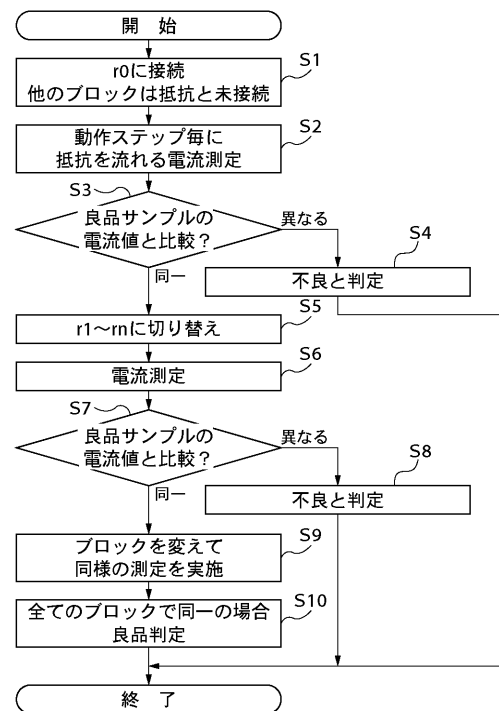
【 図 2 】



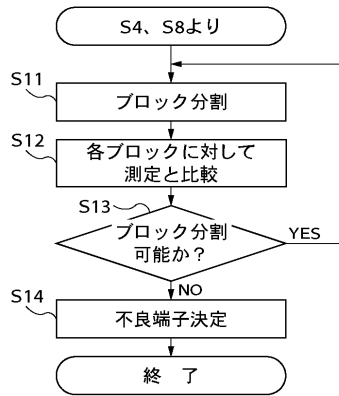
【 図 3 】



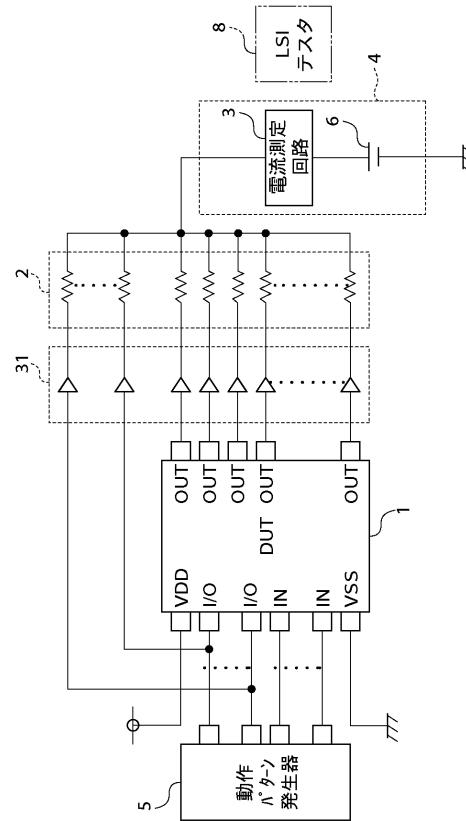
【圖 4】



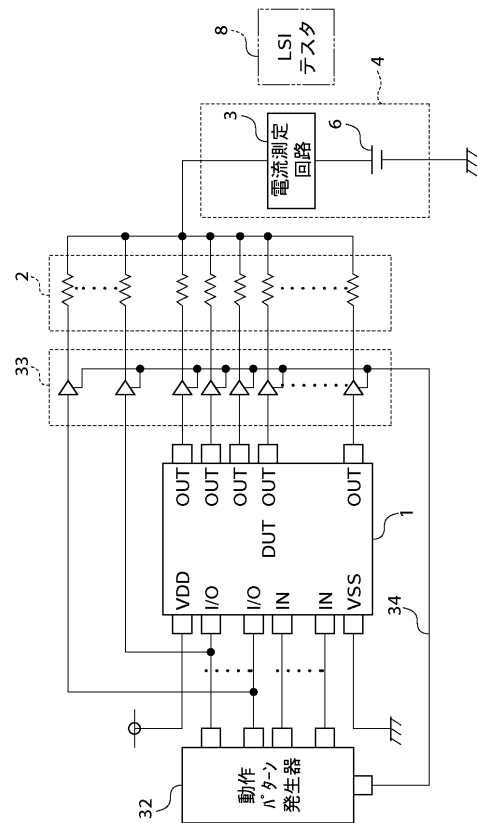
【図 5】



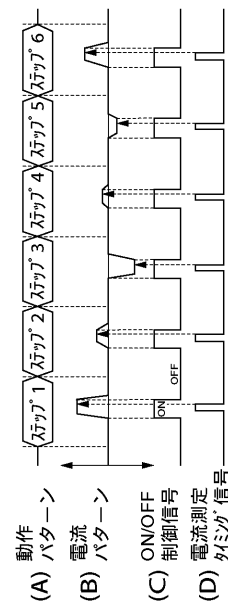
【図 6】



【図 7】

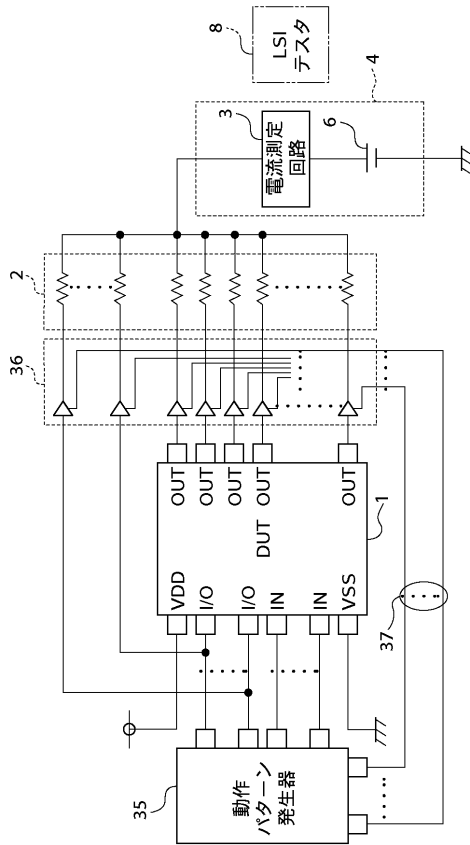


【図 8】

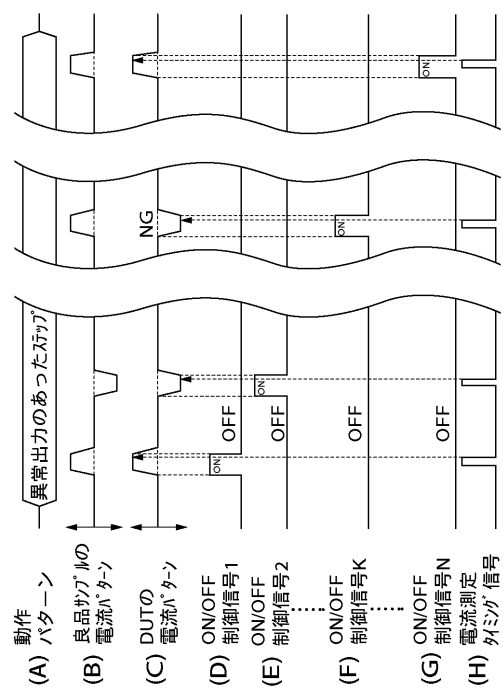




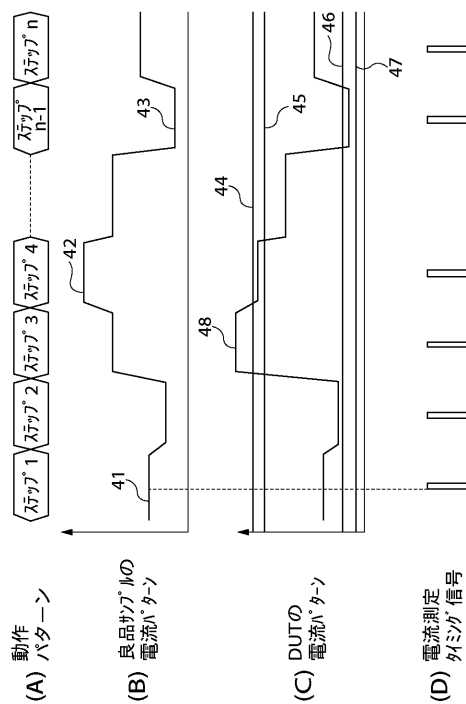
【 図 9 】



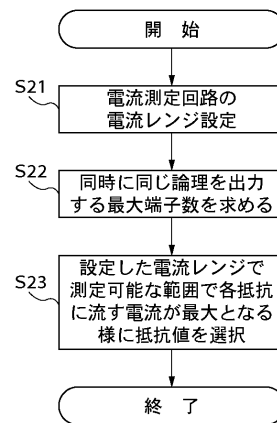
【 図 1 0 】



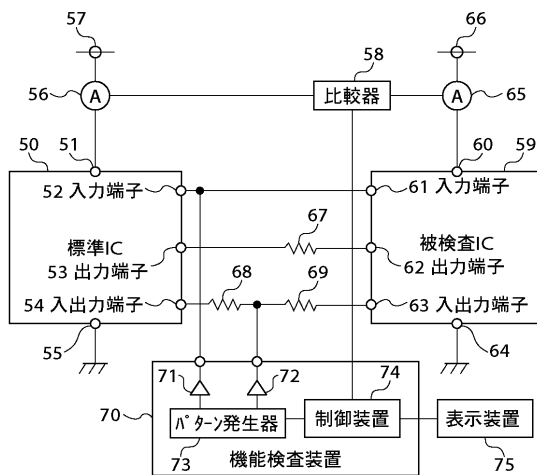
【 図 1 1 】



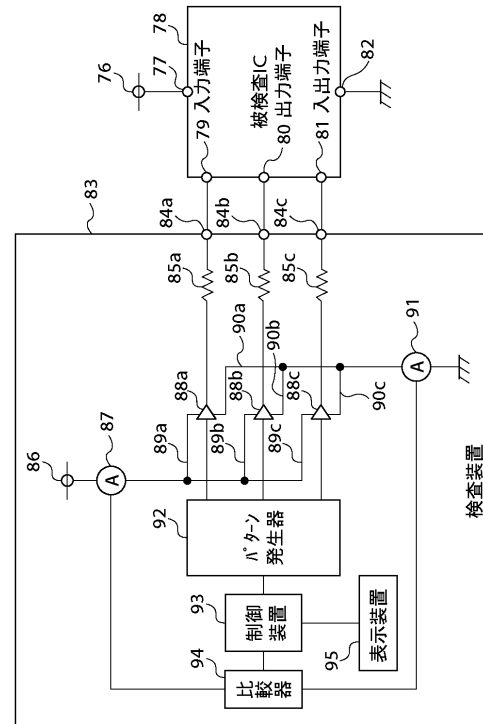
【 図 1 2 】



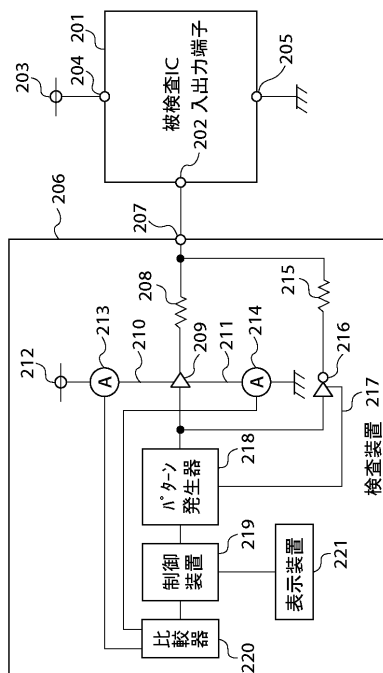
【図 13】



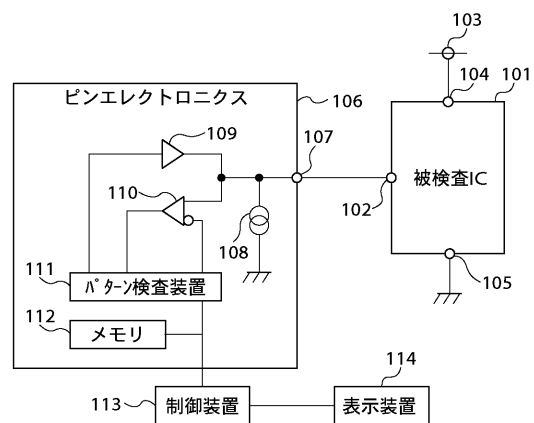
【図 14】



【図 15】



【図 16】



---

フロントページの続き

審査官 関根 洋之

(56)参考文献 特開2002-168923(JP,A)  
特開2002-181894(JP,A)  
特開平08-285925(JP,A)  
特開平05-341006(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G01R 31/28