

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6283122号
(P6283122)

(45) 発行日 平成30年2月21日(2018.2.21)

(24) 登録日 平成30年2月2日(2018.2.2)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 E
HO 1 L 21/265 (2006.01)	HO 1 L 29/78 6 5 2 D
	HO 1 L 29/78 6 5 2 F
請求項の数 3 (全 33 頁) 最終頁に続く	

(21) 出願番号	特願2016-561122 (P2016-561122)	(73) 特許権者	000005108
(86) (22) 出願日	平成26年11月26日(2014.11.26)		株式会社日立製作所
(86) 国際出願番号	PCT/JP2014/081148		東京都千代田区丸の内一丁目6番6号
(87) 国際公開番号	W02016/084141	(74) 代理人	110001689
(87) 国際公開日	平成28年6月2日(2016.6.2)		青稜特許業務法人
審査請求日	平成28年11月2日(2016.11.2)	(72) 発明者	小林 慶亮
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
		(72) 発明者	久本 大
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
		(72) 発明者	望月 和浩
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
最終頁に続く			

(54) 【発明の名称】 半導体スイッチング素子および炭化珪素半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型のSiC半導体基板と、
 前記SiC半導体基板上に形成された第1導電型のドリフト領域と、
 前記ドリフト領域の表層に間隔を開けて形成された第1及び第2の単位セルと、
 前記第1及び第2の単位セルに跨るように形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたゲート電極を備え、
 前記単位セルの其々は、
 第2導電型のベース領域と、
 前記ベース領域において表層にそのベース領域に囲まれるように形成された第1導電
 型のソース領域と、を有し、
 前記ゲート絶縁膜は、
 前記第1の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと
 も一部、に被るように形成され、
 前記第2の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと
 も一部、に被るように形成され、
 前記ドリフト領域の少なくとも一部、に被る様に形成されており、
 前記ゲート絶縁膜下における、前記ベース領域のオフ方向に沿った断面形状は、
 前記ベース領域の、前記オフ方向と反対方向の、第2導電型の不純物注入領域の冶金
 学的境界の水平方向拡がり端において、

前記ドリフト領域の表面近傍における、前記ドリフト領域と前記第2導電型の不純物注入領域の冶金学的境界がなす角度が90度未満となり、

前記ゲート電極下における、前記第2導電型の不純物注入領域である前記ベース領域の水平方向拡がり、アップステップ側の前記単位セルとダウンステップ側の前記単位セルとで、対称となることを特徴とする半導体スイッチング素子。

【請求項2】

前記SiC半導体基板がn型4H-SiC半導体基板であり、表面が(0001)面から[11-20]方向へ2度~8度オフしたことを特徴とする請求項1記載の半導体スイッチング素子。

【請求項3】

前記ベース領域は、前記第2導電型の不純物を前記SiC半導体基板表面に対して斜め方向に注入して形成されたことを特徴とする請求項1記載の半導体スイッチング素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置と、その製造方法、及びこれらを用いた電力変換装置等に関するものである。

【背景技術】

【0002】

炭化珪素(SiC)は、シリコンと比べてバンドギャップが大きく、絶縁破壊電界も1桁程度大きいという特徴がある。このため、次世代のパワーデバイスとして有望視され、ダイオードやトランジスタなど様々なデバイスの研究がなされている。特にSiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)は、高耐圧、低損失、高速スイッチングが理論的に可能な素子であり、現在、主流となっているSi-IGBT(Insulated Gate Bipolar Transistor)を置き換えることで電力損失を大幅に低減できると期待され、SiC-MOSFETの研究開発が盛んに行われている。SiCはSiに比べてバンドギャップが広く、高い絶縁破壊強度を有するが、その分SiC-MOSFETやSiC-IGBTではゲート絶縁膜にかかる電界が問題となる。

【0003】

このため、ゲート絶縁膜に掛かる電界に偏りが無い様、対称性の良い構造にする事が求められる。SiC-DMOSFET(Double-Diffused MOSTET)では、電流密度向上を目的に、チャネル幅(W)を長くすることが求められる。チャネル幅(W)を長く出来、対称性の良い構造として、p型ベース領域を矩形、六角形にして並べる構造や、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続する構造が良く知られている。以下では、矩形のp型ベース領域を正方格子状に並べて配置した構造をBOX構造と称し、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続する構造をString構造と称す。

【0004】

図1はBOX構造における従来の一般的なSiC-DMOSFETのセルのパターン配置を示す上面図である。p型ベース領域10、ソース領域20、ベースコンタクト領域11の位置関係を示している。ここで(単位)セルとは、少なくともベース領域10とソース領域20を備える単位をいうものとする。

【0005】

図2はString構造における従来の一般的なSiC-DMOSFETのセルのパターン配置を示す上面図である。おなじく、p型ベース領域10、ソース領域20、ベースコンタクト領域11の位置関係を示している。

【0006】

図3は図1及び、図2のB-B'における断面図である。図3において、1は基板、2はドリフト層、10はベース領域、11はベースコンタクト領域、20はソース領域、21はドレイン領域、32はゲート絶縁膜、33は層間膜、40はゲート材料膜、41はソ

10

20

30

40

50

ーソースコンタクト共通電極，42はドレインコンタクト電極，51はソーススペース共通コンタクト、52はドレインコンタクトである。

【0007】

図3に示すようなSiC-DMOSFETは、n+型の炭化珪素基板上1に、n-型ドリフト層2とp型ベース領域10をエピタキシャル成長やイオン注入によって形成し、n+型のソース領域20とp+型のベースコンタクト領域11とn+型のドレイン領域21をイオン注入によって形成する。この様な炭化珪素基板に対し、熱酸化法や堆積酸化膜を利用してゲート絶縁膜32を形成し、ゲート絶縁膜32を介してゲート電極を形成する。更に、n+型のソース領域20とp+型のベースコンタクト領域11に接するように、ソーススペース共通コンタクト51と、ドレインコンタクト電極42と、層間膜33、表面保護膜を形成する事で、SiC-DMOSFETが完成する。

10

【0008】

図4はBOX構造における電界集中点を示す。

【0009】

DMOSFETがオフの時、即ちゲート電極にオン電圧以下の電圧が印加されており、ドレインコンタクト電極に電圧が印加されている場合、図3、図4に示すように、BOX構造においては、セルに囲まれたJFET領域の中心に電界が集中し、ゲート絶縁膜に掛かる電界強度が高くなる事が知られている。また、図2、図3に示すようにString構造においては、p型ベース領域に挟まれたJFET領域の中心線上に電界が集中し、ゲート絶縁膜に掛かる電界強度が高くなる事が知られている。このゲート絶縁膜に掛かる電界を緩和することを目的に、特許文献1や特許文献2に示すようなBOX構造における電界集中領域にp型やp+型の電界緩和領域を追加する発明がある。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2009-094314

【特許文献2】特開2013-247252

【発明の概要】

【発明が解決しようとする課題】

【0011】

SiC結晶を電子デバイス用途で用いるためには、異なるポリタイプの混在がないSiC単結晶のエピタキシャル成長技術が重要となる。品質の良いエピタキシャル成長技術としてステップフロー成長法がよく用いられている。ステップフロー成長とは、例えば{0001}面等の結晶面から数度(例えば4度、8度)のオフセット角(以下、オフ角と称す)を導入した面に対して、エピタキシャル成長を行う方法である。例えば図3の構成では、基板1表面にオフ角を導入し、その上にエピタキシャル成長を行う。

30

【0012】

図5はステップフロー成長を用いたエピタキシャルウェハの表面形状を示す断面図である。図5A、5Bに示すようにこのステップフロー成長を用いたエピタキシャルウェハには原理的にオフ角が存在しており、{0001}面はウェハ表面に対してオフ角(例えば2度~8度、以下実施例では主に4度を例にする)の分だけ傾いた左右非対称な結晶となっている。ウェハ表面(主面)1800は幾何学的には、基板表面の最も低い点あるいは高い点を結んだ平面と考えることができる。なお、図5は原理図のため、実際の製品では面や角が、厳密な平面や角を構成していない場合もある。実質的には、ウェハ表面の微細な凹凸を平均化あるいは無視した面と考えることができる。便宜的には、ウェハを例えば図3に示した板形状の物体として把握した場合、その表面と考えればよい。以下では、最も面積の広い面(図5では{0001}面)を階段の踏み面に見立てて、階段の上段側をアップステップ側、下段側をダウンステップ側と呼ぶ。更に、アップステップ側からダウンステップ側に向かう方向をオフ方向と定義する。

40

【0013】

50

図6は、2次元モンテカルロシミュレーションによる、アルミニウムイオン (Al^{+}) の4H-SiC基板上のエピタキシャル層への注入の計算機実験の結果である。アルミニウムイオンは基板表面に垂直に入射しているものとする。図5に示したようなオフ角に起因する結晶の非対称を考慮して、イオン注入プロファイルの計算をおこなうと、イオン注入が深くなるにつれて、アップステップ側よりもダウンステップ側のプロファイルの方が結晶内に広がる事が判った。これは、エピタキシャル層の表面がオフ角をもつため、注入時に Al^{+} イオンが受ける散乱の影響が $[11-20]$ 方向と $[-1-120]$ 方向とで異なるためである。この Al の分布の拡がりの違いのために、 $[11-20]$ 方向の方が $[-1-120]$ 方向よりもマスクエッジの下方での Al の濃度分布の曲率が大きくなり、注入後の Al の拡散範囲が広い。これは、ゲート酸化膜にかかる電界の電界緩和効果がセルのアップステップ側よりもダウンステップ側の方が大きい事をしめす。

10

【0014】

図7は上記の電界緩和効果のかたよりによる、BOX構造における電界集中点のずれを示す平面図である。

【0015】

図8は上記の電界緩和効果のかたよりによる、String構造における電界集中点のずれを示す平面図である。

【0016】

ゲート酸化膜にかかる電界が強くなる点は、例えば図7に示すBOX構造においては、セルに囲まれたJFET領域の中心からダウンステップ方向へシフトする。図8に示すString構造においては、p型ベース領域に挟まれたJFET領域の中心線上からダウンステップ方向へシフトする。ゲート酸化膜にかかる電界が強くなる点がダウンステップ方向へシフトする事により、従来構造ではゲート絶縁膜における耐圧の低下や、設計との相違が生じ、問題となる。本発明は、上記課題を鑑みてなされたものであり、本発明の目的は耐圧特性に優れるSiC-DMOSFET及びSiC-IGBTを提供する事である。

20

【課題を解決するための手段】

【0017】

本発明の半導体装置によれば、第1導電型の半導体基板と、半導体基板の主面上に形成された第1導電型のドリフト領域と、ドリフト領域の表層に形成された第2導電型のベース領域と、を備え、第2導電型のベース領域の形状は、オフ方向と反対方向の第1導電型のドリフト領域の表面における第2導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、第1導電型のドリフト領域と第2導電型の不純物注入領域の冶金学的境界とがなす角度が90度未満となる特徴を備える。

30

【0018】

あるいは、第2導電型のベース領域を第1及び第2のベース領域として構成する特徴を備える。

【0019】

本発明の他の観点は、上記特徴を有する半導体スイッチング素子、および、これを製造するための製造方法である。

【0020】

本発明の他の観点は、上記特徴を有する半導体スイッチング素子を用いた電力変換装置、3相モータシステム、あるいは、これらを用いた自動車、および鉄道車両である。

40

【発明の効果】

【0021】

本発明の半導体装置によれば、p型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

【図面の簡単な説明】

【0022】

【図1】従来の縦型炭化珪素半導体装置の平面図である。

50

- 【図2】従来の縦型炭化珪素半導体装置の平面図である。
- 【図3】従来の縦型炭化珪素半導体装置の断面図である。
- 【図4】従来の縦型炭化珪素半導体装置の平面図である。
- 【図5A】ステップフロー成長を用いた4H-SiCエピタキシャルウェハ表面形状を示す断面図である。
- 【図5B】ステップフロー成長を用いた4H-SiCエピタキシャルウェハ表面形状を示す断面図である。
- 【図6】アルミニウムイオンの4H-SiC基板上的エピタキシャル層への注入の計算機実験の結果を示す断面図である。
- 【図7】縦型炭化珪素半導体装置の電界集中部のずれを示す平面図である。 10
- 【図8】縦型炭化珪素半導体装置の電界集中部のずれを示す平面図である。
- 【図9】n型4H-SiC[000-1]方向ならびに[000-1]方向から[11-20]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。
- 【図10】n型4H-SiC[000-1]方向から[-1-120]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。
- 【図11A】実施例1における炭化珪素半導体装置の断面図である。
- 【図11B】実施例1における炭化珪素半導体装置の断面図である。
- 【図11C】実施例1における炭化珪素半導体装置の断面図である。 20
- 【図11D】実施例1における炭化珪素半導体装置の断面図である。
- 【図11E】実施例1における炭化珪素半導体装置の断面図である。
- 【図11F】実施例1における炭化珪素半導体装置の断面図である。
- 【図11G】実施例1における炭化珪素半導体装置の断面図である。
- 【図11H】実施例1における炭化珪素半導体装置の断面図である。
- 【図11I】実施例1における炭化珪素半導体装置の断面図である。
- 【図11J】実施例1における炭化珪素半導体装置の断面図である。
- 【図11K】実施例1における炭化珪素半導体装置の断面図である。
- 【図11L】実施例1における炭化珪素半導体装置の断面図である。
- 【図12A】実施例1～3における炭化珪素半導体装置の平面図である。 30
- 【図12B】実施例1～3における炭化珪素半導体装置の断面図である。
- 【図12C】実施例1～3における炭化珪素半導体装置の平面図である。
- 【図12D】実施例1～3における炭化珪素半導体装置の断面図である。
- 【図12E】実施例1～3における炭化珪素半導体装置の平面図である。
- 【図12F】実施例1～3における炭化珪素半導体装置の断面図である。
- 【図12G】実施例1～3における炭化珪素半導体装置の平面図である。
- 【図12H】実施例1～3における炭化珪素半導体装置の断面図である。
- 【図13A】実施例2における炭化珪素半導体装置の断面図である。
- 【図13B】実施例2における炭化珪素半導体装置の断面図である。
- 【図13C】実施例2における炭化珪素半導体装置の断面図である。 40
- 【図13D】実施例2における炭化珪素半導体装置の断面図である。
- 【図13E】実施例2における炭化珪素半導体装置の断面図である。
- 【図13F】実施例2における炭化珪素半導体装置の断面図である。
- 【図13G】実施例2における炭化珪素半導体装置の断面図である。
- 【図13H】実施例2における炭化珪素半導体装置の断面図である。
- 【図13I】実施例2における炭化珪素半導体装置の断面図である。
- 【図13J】実施例2における炭化珪素半導体装置の断面図である。
- 【図13K】実施例2における炭化珪素半導体装置の断面図である。
- 【図13L】実施例2における炭化珪素半導体装置の断面図である。
- 【図14A】実施例3における炭化珪素半導体装置の断面図である。 50

【図14B】実施例3における炭化珪素半導体装置の断面図である。

【図14C】実施例3における炭化珪素半導体装置の断面図である。

【図14D】実施例3における炭化珪素半導体装置の断面図である。

【図14E】実施例3における炭化珪素半導体装置の断面図である。

【図14F】実施例3における炭化珪素半導体装置の断面図である。

【図14G】実施例3における炭化珪素半導体装置の断面図である。

【図14H】実施例3における炭化珪素半導体装置の断面図である。

【図14I】実施例3における炭化珪素半導体装置の断面図である。

【図14J】実施例3における炭化珪素半導体装置の断面図である。

【図14K】実施例3における炭化珪素半導体装置の断面図である。

【図14L】実施例3における炭化珪素半導体装置の断面図である。

【図15】本発明の実施例の電力変換装置（インバータ）の回路図である。

【図16】本発明の実施例の電力変換装置（インバータ）の回路図である。

【図17】本発明の実施例の電気自動車の構成図である。

【図18】本発明の実施例の昇圧コンバータの回路図である。

【図19】本発明の実施例の鉄道車両の構成図である。

【発明を実施するための形態】

【0023】

以下の実施例において、便宜上その必要があるときは、複数のセクションまたは実施例に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0024】

また、以下の実施例において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0025】

また、以下の実施例において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0026】

また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものではないことは言うまでもない。同様に、以下の実施例において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0027】

また、以下の実施例で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。なお、実施例を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。特に異なる実施例間で機能に対応するものについては、形状、不純物濃度や結晶性等で違いがあっても同じ符号を付すこととする。また、図は説明の単純化のために、主要部位の構成のみを示しており、図の縮尺や寸法は実際のものとは合わせていない。

【0028】

以下の実施例では、注入イオンの導電型をn-型、n型、n+型、p-型、p型、p+型と称すが、n-型、n型、n+型としたい領域へ注入する不純物は、例えば窒素（N）イオンまたはリン（P）を、p-型、p型、p+型としたい領域へ注入する不純物は、例えばアルミニウム（Al）イオンを用いる。

【0029】

以下、本実施例を図面に基づいて詳細に説明する。

10

20

30

40

50

【0030】

まず、本発明に先立って本発明者らによって検討されたオフセット角を考慮したアルミニウム (Al) イオンのイオン注入プロファイルについて説明する。

【0031】

図9は、n型4H-SiC [000-1]方向ならびに [000-1]方向から [11-20]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。

図10は、n型4H-SiC [000-1]方向から [-1-120]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。

10

【0032】

図9および図10では、モンテカルロシミュレーションを用いて、表面が(0001)面から [11-20]方向へ4度オフしたn型4H-SiC基板10に対し、種々の方位からAlをイオン注入した場合におけるイオン注入領域の冶金学的境界(n型4H-SiC基板10とAlイオン注入領域40との境界(pn接合面))を求めた結果である。n型4H-SiC基板10中のドナー密度は $3 \times 10^{15} \text{ cm}^{-3}$ 、Alイオンの注入エネルギーの範囲は30keV~150keV、Alイオンの総注入量は $2 \times 10^{14} \text{ cm}^{-2}$ である。

【0033】

なお、注入エネルギー、n型4H-SiC基板10中のドナー密度、Alイオンの総注入量を変えた場合、冶金学的境界の水平方向拡がりや冶金学的境界の深さの絶対値は変化するが、アップステップ側とダウンステップ側の冶金学的境界の水平方向拡がりの対称性やn型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は維持される。このため、p型ベース領域のイオン注入においても、上記アップステップ側とダウンステップ側の冶金学的境界の水平方向拡がりの対称性やn型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は維持される。イオン注入マスク50の断面形状は、その側面がn型4H-SiC基板10の表面に対し86度の傾斜を持つようにした。

20

【0034】

図9(a)は、Alイオンを [000-1]方向に注入した場合のシミュレーション結果を示す。この場合、Alイオンのうち、ある割合は格子の間隙を抜けて結晶の奥深くにまで侵入し(チャネリング)、Alイオン注入領域40の冶金学的境界の深さが1.58 μm まで達する。その一方で、Alイオン注入領域40の冶金学的境界の水平方向拡がりは [11-20]方向および [-1-120]方向に略対称であり、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりはイオン注入マスク50端から両方向ともに0.27 μm と等しい。

30

【0035】

図9(b)は、Alイオンを [000-1]方向から [-1-120]方向へ4度傾斜した方向に注入、すなわちn型4H-SiC基板10の表面に垂直に注入した場合のシミュレーション結果を示す。この場合、前記図9(a)に見られるチャネリングは抑制されている。しかし、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、 [-1-120]方向が0.28 μm 、 [11-20]方向が0.17 μm と非対称となる。

40

【0036】

図9(c)は、Alイオンを [000-1]方向から [-1-120]方向へ8度傾斜した方向に注入した場合のシミュレーション結果を示す。この場合、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりの非対称性が、前記図9(b)よりもさらに拡大し、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、 [-1-120]方向が0.28 μm 、 [11-20]方向が0.10 μm となっている。

50

【 0 0 3 7 】

また、図 9 (b) および (c) に示すように、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がり非対称となっている場合は、オフ方向と反対方向の n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がり端 (A l イオン注入領域 4 0 の端部) において、n 型 4 H - S i C 基板 1 0 の表面と A l イオン注入領域 4 0 の冶金学的境界とがなす角度は 9 0 度以上となっている。

【 0 0 3 8 】

これに対し、図 1 0 (a)、(b) および (c) に示すように、A l イオンを [0 0 0 - 1] 方向から [1 1 - 2 0] 方向へ 4 度、8 度および 1 2 度傾斜した方向にそれぞれ注入すると、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりの対称性が回復し、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりは、[- 1 - 1 2 0] 方向および [1 1 - 2 0] 方向のいずれも 0 . 2 7 μ m となる。

【 0 0 3 9 】

また、図 9 (a)、図 1 0 (a)、(b) および (c) に示すように、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりが対称となっている場合は、オフ方向と反対方向の n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がり端 (A l イオン注入領域 4 0 の端部) において、n 型 4 H - S i C 基板 1 0 の表面と A l イオン注入領域 4 0 の冶金学的境界とがなす角度は 9 0 度未満となっている。

【 0 0 4 0 】

なお、図 1 0 (d) に示すように、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりの対称性は、A l イオンを [0 0 0 - 1] 方向から [1 1 - 2 0] 方向へ 1 6 度傾斜した方向に注入すると消失し、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりは、[- 1 - 1 2 0] 方向が 0 . 3 1 μ m、[1 1 - 2 0] 方向が 0 . 0 5 μ m となる。

【 0 0 4 1 】

また、図 1 0 (d) に示すように、n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がりが非対称となっている場合は、オフ方向と反対方向の n 型 4 H - S i C 基板 1 0 の表面における A l イオン注入領域 4 0 の冶金学的境界の水平方向拡がり端 (A l イオン注入領域の端部) において、n 型 4 H - S i C 基板 1 0 の表面と A l イオン注入領域 4 0 の冶金学的境界とがなす角度は 9 0 度以上となっている。

【 0 0 4 2 】

このように、表面が (0 0 0 1) 面から [1 1 - 2 0] 方向へ 4 度オフした n 型 4 H - S i C 基板に対して、A l イオンを [0 0 0 - 1] 方向から [- 1 - 1 2 0] 方向へ 0 度以上、4 度未満、または、[0 0 0 - 1] 方向から [1 1 - 2 0] 方向へ 0 度以上、1 2 度以下の範囲の傾斜した方向に注入して A l イオン注入領域を形成することにより、S i C - M O S 構造における p 型ベース領域の対称性を従来プロセスよりも向上する事が出来る。この際、A l イオン注入領域の形状は、n 型 4 H - S i C 基板の表面における A l イオン注入領域の冶金学的境界の水平方向拡がりはオフ方向とその反対方向とで略対称となり、かつ、A l イオン注入領域の形状は、オフ方向と反対方向の n 型 4 H - S i C 基板の表面における A l イオン注入領域の冶金学的境界の水平方向拡がり端 (A l イオン注入領域の端部) において、n 型 4 H - S i C 基板の表面と A l イオン注入領域の冶金学的境界とがなす角度が 9 0 度未満となる特徴を有する。

【 0 0 4 3 】

次に図 6 に示した、アルミニウムイオンの 4 H - S i C 基板上的エピタキシャル層への注入の計算機実験の結果について、詳細に説明する。オフ角に起因する結晶の非対称を考慮して、イオン注入プロファイルの計算をおこなうと、イオン注入が深くなるにつれて、

10

20

30

40

50

アップステップ側よりもダウンステップ側のプロファイルの方が結晶内に広がる。これは、エピタキシャル層の表面がオフ角をもつため、注入時に Al^+ イオンが受ける散乱の影響が $[11-20]$ 方向と $[-1-120]$ 方向とで異なるためである。この Al の分布の拡がりの違いのために、 $[11-20]$ 方向の方が $[-1-120]$ 方向よりもマスクエッジの下方での Al の濃度分布の曲率が大きくなり、注入後の Al の拡散範囲が広い。

【0044】

この振る舞いを MOS 構造の p 型ベース領域で考えると、チャンネルとなるゲート絶縁膜と p 型ベース領域界面では、注入深さが浅いため Al^+ イオンが受ける散乱の影響が小さく、チャンネル長は揃っている。しかしながら、注入深さが深くなるにつれて、 Al^+ イオンが受ける散乱の影響が大きくなり、p 型ベース領域の冶金学的境界の水平方向拡がり

10

【0045】

上記検討の結果を受けて、p 型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事を目的に、以下では p 型ベース領域の形成に斜方イオン注入法を用いて形成した半導体装置を実施例 1 で説明する。

【0046】

実施例 1 のデバイスは、第 1 導電型の半導体基板と、半導体基板上に形成された第 1 導電型のドリフト領域と、ドリフト領域の表層に間隔を開けて形成された第 1 及び第 2 の単位セルと、第 1 及び第 2 の単位セルに跨るように形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極を備える。単位セルの其々は、第 2 導電型のベース領域と、ベース領域において表層にそのベース領域に囲まれるように形成された第 1 導電型のソース領域とを有する。ゲート絶縁膜は、第 1 の単位セルのソース領域の少なくとも一部、ベース領域の少なくとも一部、に被るように形成され、第 2 の単位セルのソース領域の少なくとも一部、ベース領域の少なくとも一部、に被るように形成され、ドリフト領域の少なくとも一部、に被る様に形成されている。ゲート絶縁膜下における、ベース領域のオフ方向に沿った断面形状は、ベース領域の、オフ方向と反対方向の（すなわちアップステップ側の）、第 2 導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、ドリフト領域の表面近傍における、ドリフト領域と第 2 導電型の不純物注入領域の冶金学的境界がなす角度が 90 度未満となることを特徴とする半導体スイッチング素子である。

20

【0047】

スイッチング素子のベース領域の製法としては、第 2 導電型の不純物を基板表面に対して斜め方向に注入して形成する例を説明している。本実施例のデバイスは良好な対称性を有している。

30

【0048】

また、p 型ベース領域の表面近傍と、その他の領域のイオン注入を別マスクとし、二回の注入で p 型ベース領域を形成した半導体装置を実施例 2 と 3 で説明する。

【0049】

実施例 2 と 3 のデバイスとして説明される典型例は、実施例 1 との変更点を主に説明すれば、ベース領域が、ドリフト領域の表層に形成された第 2 導電型の第一のベース領域と第 2 導電型の第二のベース領域を備え、前記第一のベース領域は前記第二のベース領域よりも浅い位置に形成され、第二のベース領域は、第一のベース領域の下部に第一のベース領域と一部重なるように形成されている。

40

【0050】

実施例 2 では、第一のベース領域と第二のベース領域は、異なるマスクを用い、第 2 導電型の不純物を基板表面に対して注入して形成する例を示す。

【0051】

実施例 3 では、第一のベース領域は、ソース領域を形成するのに用いたマスクを用い、第 2 導電型の不純物を基板表面に対して複数方向から斜め方向に注入して形成される例を示す。

【0052】

50

以上のように、以下の実施例では、第2導電型のベース領域を形成する工程において、炭化珪素ドリフト層の表面に斜めにイオン注入する工程を用いる、あるいは、斜めにイオン注入する工程と垂直にイオン注入する工程とをくみあわせて用いることで、デバイスの対称性を改善する手法を示している。

【0053】

ウェハを傾けてイオン注入する工程として、典型例を示せば、表面が(0001)面から[11-20]方向へ4度オフしたn型4H-SiC基板の場合、Alイオンを基板の[000-1]方向から[-1-120]方向へ0度以上4度未満、または、[000-1]方向から[11-20]方向へ0度以上12度以下の範囲の傾斜した方向から注入するものがあげられる。

10

【実施例1】

【0054】

[半導体装置]

図11Kは、本実施例に係わる炭化珪素半導体装置であるSiC-MOSFETの構造を示した断面図である。図11Lはドリフト領域表面とp型のベース領域の冶金学的境界とがなす角度を示した断面図である。

【0055】

図11Kにおいて、炭化珪素半導体装置であるSiC-MOSFETは、表面が(0001)面から[11-20]方向へ4度オフしたn型4H-SiC基板と、前記半導体基板の主面上に形成されたn型のドリフト領域とを有する。

20

【0056】

図11Lにも示すように、上記、ドリフト領域表面とp型のベース領域のアップステップ側の冶金学的境界とがなす角度が90度未満となる特徴を有する。さらに、ドリフト領域表面とp型のベース領域の冶金学的境界から、ドリフト領域内のp型のベース領域の冶金学的境界までの水平方向拡がり、アップステップ側とダウンステップ側で略対称となる。

【0057】

ドリフト領域2の表層には間隔を開けて形成されたp型のベース領域10を有する。p型のベース領域は、後に図12で説明するように、p型ベース領域を矩形、六角形にして並べる構造や、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続するString構造を用いた。

30

【0058】

図11Kの構成では、ベース領域10において表層にそのベース領域10に囲まれるように形成されるn+型のソース領域20と、ベース領域10において表層にそのベース領域10に囲まれるように、且つソース領域20以外の領域に形成されるベース領域10よりも高不純物濃度のp+型のベースコンタクト領域11を有する。p+型のベースコンタクト領域11とは、ベース領域10に電気的な接続を取るための領域である。さらに、ソース領域20、及びベースコンタクト領域11上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域20の一部、及びベース領域10、及びドリフト領域2、及び電界緩和領域上に被る様に形成されたゲート絶縁膜32と、ソース領域20とベース領域10に接するソースベースコンタクト51と、ウェハの裏面にn型のドレイン領域21と、ドレイン領域21に接するドレインコンタクト52と、チャネル領域上部のゲート絶縁膜32に接するゲート電極40と、ソースベースコンタクト51と接するソースベースコンタクト共通電極41と、ドレインコンタクト52と接するドレインコンタクト電極42と、表面保護膜を有する。更に、裏面にp型の領域を追加し、SiC-IGBTとしても良い。

40

【0059】

なお、p型ベース領域としてBOX構造を用いる場合には、p型ベース領域に囲まれるドリフト領域の中心で電界集中を生じるため、p型の電界緩和領域を設けても良い。

50

【 0 0 6 0 】

図 1 2 に種々の電界緩和領域の形成例を、基板面上から見た平面図および断面図で示す。構成を示す図中のハッチングは図7と同様である。

【 0 0 6 1 】

電界緩和領域は、図 1 2 A , 図 1 2 B に示すようなソース領域とベースコンタクト領域が形成され正方格子状に配列されたベース領域の単位セルにおいて、ベース領域の一つの角部から、その角部と第二近接となる他のセル角部方向に他のベース領域と接続しない範囲で伸展する形状で構成できる。ここで、単位セルとは、少なくともベース領域とソース領域を備える構成をいう。また、第 2 近接とは、2 番目に近い距離の単位セルをいう。距離は、単位セルの幾何学的重心同士の間隔と定義することができる。

10

【 0 0 6 2 】

また、図 1 2 C , 図 1 2 D に示すようなソース領域とベースコンタクト領域が形成され六角格子状に配列されたベース領域の単位セルにおいてベース領域の角部から、第 1 近接となる他のセルの 2 つの角部を直線で結んだ中点方向に他のセルと接続しない範囲で伸展する形状とすることができる。ここで第 1 近接とは、1 番目に近い距離の単位セルをいう。

【 0 0 6 3 】

本実施例では、p+型のベースコンタクト領域は、前記ソース領域に囲まれるように形成したが、p+型のベースコンタクト領域は、ベース領域にさえ囲まれていれば良いため、必ずしもソース領域に囲まれるように形成する必要は無い。なお、p+型のベースコンタクト領域をソース領域に囲まれるように形成した場合には、ベース領域のコンタクトを取るために、ベース領域とp+型のベースコンタクト領域が接するように形成する必要がある。

20

【 0 0 6 4 】

また、図 1 2 E , 図 1 2 F に示すような前記ソース領域とベースコンタクト領域が形成され正方格子状に配列された前記ベース領域の 4 つの単位セルに囲まれた領域において、ゲート絶縁膜に掛かる電界が強くなる点を含むように配置した十字形状の形状や、図 1 2 G , 図 1 2 H に示すような前記ソース領域とベースコンタクト領域が形成され正方格子状に配列された前記ベース領域の 4 つの単位セルに囲まれた領域において、ゲート絶縁膜に掛かる電界が強くなる点を含むように配置した直線形状の形状とすることができる。このような電界緩和領域は、以降の他の実施例でも適宜適用が可能である。

30

[半 導 体 装 置 の 製 造 方 法]

次に上記 SiC - MOSFET の製造方法について説明する。

【 0 0 6 5 】

図 1 1 A から図 1 1 K は、図 1 と 2 の B - B ' における本実施例 1 の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

【 0 0 6 6 】

上記記載の半導体装置は図 1 1 A に示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板 1 には、例えば、4 ° のオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である n + 型 4 H - SiC ウェハ 1 を用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の炭化珪素エピタキシャル層 2 を積層した。

40

【 0 0 6 7 】

次に、p 型ベース領域 1 0 にイオン注入するためにマスク 3 0 をして、図 1 1 B に示すように、炭化珪素エピタキシャル層 2 の表層部に、Al イオンを [0 0 0 - 1] 方向から [- 1 - 1 2 0] 方向へ 0 度以上 4 度未満、または、[0 0 0 - 1] 方向から [1 1 - 2 0] 方向へ 0 度以上 1 2 度以下の範囲の傾斜した方向に注入して、p 型ベース領域 1 0 を形成した。なお、不純物の注入深さは、注入角によって変化するため、例えば、1 μ m 程度となるように注入エネルギーを調整した。また、不純物濃度は、例えば、 5×10^{16}

50

$\sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。またこの際、必要性があれば p 型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

【 0 0 6 8 】

なお、本実施例では、一回の斜め注入で p 型ベース領域 1 0 を形成したが、図 6 に示すように、チャンネル付近となるゲート絶縁膜と p 型ベース領域界面では、注入深さが浅いため Al⁺イオンが受ける散乱の影響が小さいため、注入深さが浅い領域を Al⁺イオンを [0 0 0 - 1] 方向から [- 1 - 1 2 0] 方向へ 4 度傾斜した方向に注入、すなわち n 型 4 H - SiC 基板 1 0 の表面に垂直に注入して形成し、ついで注入深さが深い領域を Al⁺イオンを [0 0 0 - 1] 方向から [- 1 - 1 2 0] 方向へ 0 度以上 4 度未満、または、[0 0 0 - 1] 方向から [1 1 - 2 0] 方向へ 0 度以上 1 2 度以下の範囲の傾斜した方向に注入しても良い。この方法を用いた場合には、完成した半導体装置は、ドリフト領域表面と p 型のベース領域のアップステップ側の冶金学的境界とがなす角度が 9 0 度以上となる特徴を有し、ドリフト領域表面と p 型のベース領域の冶金学的境界から、ドリフト領域内の p 型のベース領域の冶金学的境界までの水平方向拡がり、アップステップ側とダウンステップ側で略対称となる。

10

【 0 0 6 9 】

次に、ソース領域 2 0 にイオン注入するためにマスク 3 0 をして、図 1 1 C に示すように、炭化珪素エピタキシャル層 2 の表層部にマスク 3 0 を介して N イオンを注入し、ソース領域 2 0 を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、ソース領域 2 0 に注入するイオンは P イオンでも良い。その後、上記マスク 3 0 を除去した。ソース領域 2 0 へのイオン注入は、基板に垂直でよい。

20

【 0 0 7 0 】

次に、ベースコンタクト領域 1 1 にイオン注入するためにマスク 3 0 をして、図 1 1 D に示すように、炭化珪素エピタキシャル層 2 の表層部にマスク 3 0 を介して Al⁺イオンを注入し、ベースコンタクト領域 1 1 を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。ただし、注入深さはソース領域 2 0 と同程度か、それよりも深くする必要がある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域 1 1 に注入するイオンは B イオンでも良い。またこの際、必要性があれば p 型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

30

ベースコンタクト領域 1 1 へのイオン注入は、基板に垂直でよい。

【 0 0 7 1 】

次に、図 1 1 F に示すように、炭化珪素基板 1 の裏面に、N イオンを注入し、ドレイン領域 2 1 を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。また、ドレイン領域 2 1 に注入するイオンは P イオンでも良い。

【 0 0 7 2 】

続いて、炭化珪素基板 1 および炭化珪素エピタキシャル層 2 の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば $1600 \sim 1800$ の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマアッシングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

40

【 0 0 7 3 】

次に、図 1 1 G に示すように、前記半導体基板上にゲート絶縁膜 3 2 を形成する。本実施例では厚さ $10 \sim 100 \text{ nm}$ 程度の堆積酸化膜を形成した。

【 0 0 7 4 】

続いて、図 1 1 H に示すように、厚さ $100 \sim 300 \text{ nm}$ 程度の n 型多結晶シリコン膜からなるゲート材料膜 4 0 を堆積した。

【 0 0 7 5 】

続いて、図 1 1 I に示すように、ゲート材料膜 4 0 を覆うように層間膜 3 3 を形成した

50

【0076】

続いて、図11Jに示すように、 n^+ 型のソース領域20と p^+ 型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、700 ~ 1000 のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。その後、ゲート電極とコンタクトを取る為に、層間膜33をエッチングし、ゲートコンタクトホールを形成した。

【0077】

続いて、図11Kにしめすようなソースベースコンタクト共通電極41を形成した。併せて、裏面のドレイン領域21上もシリサイド化して、ドレインコンタクト52を形成し、更にドレインコンタクト電極42を形成した。シリサイドメタルやソースベースコンタクト共通電極41とドレインコンタクト電極42には例えばNi, Al等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域20、 p 型ベース領域10、ベースコンタクト領域11、ドレイン領域21の形成する順番は入れ替えても良い。

【0078】

本実施例の炭化珪素半導体装置によれば、 p 型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

【実施例2】

【0079】

[半導体装置]

図13Kは、本実施例に係わる炭化珪素半導体装置であるSiC-MOSFETの構造を示した断面図である。図13Lはドリフト領域表面と p 型のベース領域の冶金学的境界とがなす角度を示した断面図である。

【0080】

図13Kにおいて、炭化珪素半導体装置であるSiC-MOSFETは、以下の特徴を有する。

【0081】

表面が(0001)面から[11-20]方向へ4度オフした n 型4H-SiC基板1と、半導体基板1の主面上に形成された n 型のドリフト領域とを有する。

【0082】

ドリフト領域の表層には間隔を開けて形成された第一の p 型ベース領域100と第二の p 型ベース領域101を有する。第一の p 型ベース領域100は第二の p 型ベース領域101よりも浅い位置に形成され、第二の p 型ベース領域101は、第一の p 型ベース領域100の下部に第一の p 型ベース領域100と一部重なるように形成されている。

【0083】

第一の p 型ベース領域100においては、図13Lにも示すように、ドリフト領域表面と第一の p 型ベース領域100のアップステップ側の冶金学的境界とがなす角度が90度以上となる。また、アップステップ側の第二の p 型ベース領域101のドリフト領域との冶金学的境界は第一の p 型ベース領域100のドリフト領域との冶金学的境界よりも、アップステップ側に突出している。このため、第一の p 型ベース領域100と第二の p 型ベース領域101の境界付近では冶金学的境界は角部を持つ。

【0084】

なお、 p 型のベース領域100, 101のセル構造は、図12に示したように、 p 型ベース領域を矩形、六角形にして並べる構造や、 p 型ベース領域を長辺の長い矩形とし、 p 型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、 p 型ベース領

10

20

30

40

50

域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続するString構造を用いた。

【0085】

ベース領域100、101において表層にそのベース領域に囲まれるように形成されるn+型のソース領域20と、ベース領域において表層にそのベース領域に囲まれるように、且つソース領域20以外の領域に形成されるベース領域よりも高不純物濃度のp+型のベースコンタクト領域11を有する。p+型のベースコンタクト領域11とは、ベース領域に電氣的な接続を取るための領域である。

【0086】

なお、n+型のソース領域20の端部から、第二のp型ベース領域101の冶金学的境界までの水平方向の距離は、アップステップ側とダウンステップ側で略対称となる。さらに、ソース領域20、及びベースコンタクト領域11上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域20の一部、及びベース領域、及びドリフト領域、及び電界緩和領域上に被る様に形成されたゲート絶縁膜32と、ソース領域20とベース領域100、101に接するソースベースコンタクト51と、ウェハの裏面にn型のドレイン領域21と、ドレイン領域21に接するドレインコンタクト52と、チャンネル領域上部のゲート絶縁膜32に接するゲート電極40と、ソースベースコンタクト51と接するソースベースコンタクト共通電極41と、ドレインコンタクト52と接するドレインコンタクト電極42と、表面保護膜を有する。更に、裏面にp型の領域を追加し、SiC-IGBTとしても良い。

【0087】

なお、p型ベース領域としてBOX構造を用いる場合には、第二のp型ベース領域101に囲まれるドリフト領域の中心で電界集中を生じるため、先に図12で説明したように、p型の電界緩和領域を設けても良い。

[半導体装置の製造方法]

次に上記SiC-MOSFETの製造方法について説明する。

【0088】

図13Aから図13Kは、図1と2のB-B'における本実施例2の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

【0089】

上記記載の半導体装置は図13Aに示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板1には、例えば、8°、4°、2°、0.5°などのオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であるn+型4H-SiCウェハを用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の炭化珪素エピタキシャル層2を積層した。

【0090】

次に、第一のp型ベース領域100にイオン注入するためにマスクをして、図13Bに示すように、炭化珪素エピタキシャル層2の表層部に、[000-1]方向から[11-20]方向に4度傾斜した方向から、即ちウェハに垂直に、Alイオンを注入した。なお、[000-1]方向から[-1-120]方向へ0度以上4度未満、または、[000-1]方向から[11-20]方向へ0度以上12度以下の範囲の傾斜した方向に注入して、第一のp型ベース領域を形成しても良い。不純物の注入深さは、例えば、0.2μm程度となるようにした。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。図6で説明したように、打ち込み深さの深い領域に比べて、打ち込み深さの浅い領域では、不純物領域の対称性は良好であることが期待できる。その後、上記マスクを除去した。

【0091】

続いて、第二のp型ベース領域101にイオン注入するためにマスクをして、図13Cに示すように、炭化珪素エピタキシャル層2の表層部に、[000-1]方向から[11

10

20

30

40

50

- 20] 方向に4度傾斜した方向から、即ちウェハに垂直に、Alイオンを注入した。不純物の注入深さは、例えば、ウェハ表面から深さ方向に50nmの位置よりも深い領域に注入し、例えば、1 μ m程度まで注入した。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。なお、第二のp型ベース領域形成に用いたマスクは、第二のp型ベース領域のアップステップ側の冶金学的境界が、第一のp型ベース領域のアップステップ側の冶金学的境界よりも、アップステップ方向に位置するように形成されるマスクを用いた。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

【0092】

次に、ソース領域20にイオン注入するためにマスクをして、図13Dに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してNイオンを注入し、ソース領域20を形成した。なお、不純物の注入深さは、例えば、0.1~0.5 μ mの範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、ソース領域20に注入するイオンはPイオンでも良い。その後、上記マスクを除去した。

10

【0093】

次に、ベースコンタクト領域11にイオン注入するためにマスクをして、図13Eに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してAlイオンを注入し、ベースコンタクト領域11を形成した。なお、不純物の注入深さは、例えば、0.1~0.5 μ mの範囲である。ただし、注入深さはソース領域20と同程度か、それよりも深くする必要はある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域11に注入するイオンはBイオンでも良い。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

20

【0094】

次に、図13Fに示すように、炭化珪素基板1の裏面に、Nイオンを注入し、ドレイン領域21を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。また、ドレイン領域21に注入するイオンはPイオンでも良い。

【0095】

続いて、炭化珪素基板1および炭化珪素エピタキシャル層2の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば1600~1800の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマエッチングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

30

【0096】

次に、図13Gに示すように、前記半導体基板上にゲート絶縁膜32を形成する。本実施例では厚さ10~100nm程度の堆積酸化膜を形成した。

【0097】

続いて、図13Hに示すように、厚さ100~300nm程度のn型多結晶シリコン膜からなるゲート材料膜40を堆積した。

40

【0098】

続いて、図13Iに示すように、ゲート材料膜40を覆うように層間膜33を形成した。

【0099】

続いて、図13Jに示すように、n⁺型のソース領域20とp⁺型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、700~1000のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。その後、ゲート電極とコンタクトを取る為に、層間膜33をエッチングし、ゲートコンタクトホールを形成した。

50

【 0 1 0 0 】

続いて、図 1 3 K にしめすようなソースベースコンタクト共通電極 4 1 を形成した。併せて、裏面のドレイン領域 2 1 上もシリサイド化して、ドレインコンタクト 5 2 を形成し、更にドレインコンタクト電極 4 2 を形成した。シリサイドメタルやソースベースコンタクト共通電極 4 1 とドレインコンタクト電極 4 2 には例えば Ni, Al 等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域 2 0、第一の p 型ベース領域 1 0 0、第二の p 型ベース領域 1 0 1、ベースコンタクト領域 1 1、ドレイン領域 2 1 の形成する順番は入れ替えても良い。

【 0 1 0 1 】

本実施例の炭化珪素半導体装置によれば、p 型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

【 実施例 3 】

【 0 1 0 2 】

[半導体装置]

図 1 4 K は、本実施例に係わる炭化珪素半導体装置である SiC - MOSFET の構造を示した断面図である。図 1 4 L はドリフト領域表面と p 型のベース領域の冶金学的境界とがなす角度を示した断面図である。

【 0 1 0 3 】

図 1 4 K において、炭化珪素半導体装置である SiC - MOSFET は、以下の特徴を有する。

【 0 1 0 4 】

表面が (0 0 0 1) 面から [1 1 - 2 0] 方向へ 4 度オフした n 型 4 H - SiC 基板 1 と、前記半導体基板の主面上に形成された n 型のドリフト領域とを有する。

【 0 1 0 5 】

ドリフト領域の表層には間隔を開けて形成された第一の p 型ベース領域 1 0 0 と第二の p 型ベース領域 1 0 1 を有する。上記、第一の p 型ベース領域 1 0 0 は第二の p 型ベース領域 1 0 1 よりも浅い位置に形成され、第二の p 型ベース領域 1 0 1 は、第一の p 型ベース領域 1 0 0 の下部に第一の p 型ベース領域 1 0 0 と一部重なるように形成されている。第一の p 型ベース領域 1 0 0 においては、図 1 4 L にも示すように、ドリフト領域表面と第一の p 型ベース領域 1 0 0 のダウンステップ側とアップステップ側共に、冶金学的境界とがなす角度が 9 0 度以上となる特徴を有する。また、第一の p 型ベース領域 1 0 0 と第二の p 型ベース領域 1 0 1 は別マスクで形成されるため、第一の p 型ベース領域 1 0 0 と第二の p 型ベース領域 1 0 1 の境界付近では冶金学的境界は角部を持つ。

【 0 1 0 6 】

なお、p 型のベース領域 1 0 0、1 0 1 のセル構造は、p 型ベース領域を矩形、六角形にして並べる構造や、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する String 構造を用いた。

【 0 1 0 7 】

ベース領域において表層にそのベース領域に囲まれるように形成される n+型のソース領域 2 0 と、ベース領域において表層にそのベース領域に囲まれるように、且つソース領域 2 0 以外の領域に形成されるベース領域よりも高不純物濃度の p+型のベースコンタクト領域 1 1 を有する。p+型のベースコンタクト領域 1 1 とは、ベース領域に電氣的な接続を取るための領域である。なお、n+型のソース領域 2 0 から、第一の p 型ベース領域 1 0 0 の表層、即ち SiC 基板とゲート絶縁膜の界面付近、における p 型ベース領域のドリフト領域表面との冶金学的境界までの長さは、p 型ベース領域におけるアップステップ側とダウンステップ側で略対称となる。

10

20

30

40

50

【0108】

また、 $n+$ 型のソース領域20の端部から、第二の p 型ベース領域101の冶金学的境界までの水平方向の距離は、アップステップ側とダウンステップ側で略対称となる。

【0109】

さらに、ソース領域20、及びベースコンタクト領域11上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域の一部、及びベース領域、及びドリフト領域、及び電界緩和領域上に被る様に形成されたゲート絶縁膜32と、ソース領域とベース領域に接するソースベースコンタクト51と、ウェハの裏面に n 型のドレイン領域21と、ドレイン領域21に接するドレインコンタクト52と、チャンネル領域上部のゲート絶縁膜32に接するゲート電極と、ソースベースコンタクトと接するソースベースコンタクト共通電極41と、ドレインコンタクトと接するドレインコンタクト電極42と、表面保護膜を有する。更に、裏面に p 型の領域を追加し、SiC-IGBTとしても良い。

10

【0110】

なお、 p 型ベース領域としてBOX構造を用いる場合には、第二の p 型ベース領域に囲まれるドリフト領域の中心で電界集中を生じるため、先に図12で説明したように、 p 型の電界緩和領域を設けても良い。

[半導体装置の製造方法]

次に上記SiC-MOSFETの製造方法について説明する。

【0111】

図14Aから図14Kは、図1と2のB-B'における本実施例3の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

20

【0112】

上記記載の半導体装置は図14Aに示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板1には、例えば、 8° 、 4° 、 2° 、 0.5° などのオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である $n+$ 型4H-SiCウェハを用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の炭化珪素エピタキシャル層2を積層した。

【0113】

次に、ソース領域20にイオン注入するためにマスクをして、図14Bに示すように、炭化珪素エピタキシャル層2の表層部にマスク30を介してNイオンを注入し、ソース領域20を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、ソース領域20に注入するイオンはPイオンでも良い。

30

【0114】

その後、図14Cに示すように、ソース領域20にイオン注入するために使用したマスクを用いて、第一の p 型ベース領域100を斜方からイオン注入をする方法を用いて形成した。

【0115】

不純物の注入角度、及びマスクのテーパ角、注入エネルギーは、ウェハ垂直方向の不純物の注入深さが、例えば、 $0.1 \sim 0.5 \mu\text{m}$ 程度となるように、第一の p 型ベース領域100とゲート絶縁膜界面における冶金学的境界の拡がり、即ち p 型ベース領域100におけるチャンネル長が、例えば、 $0.1 \sim 1.0 \mu\text{m}$ 程度となるように調整した。また、斜方からイオン注入をする際には、第一の p 型ベース領域100が持つ辺の数だけ垂直な方向から注入した。例えば、BOX構造では、4辺あるため、4回に分けて注入する。本実施例で用いたString構造においても、終端部を含めると、4辺で形成されているため、各辺に垂直な方向から4回に分けて注入した。

40

【0116】

本実施例では、不純物の注入深さが約 $0.2 \mu\text{m}$ 、冶金学的境界の拡がり $0.5 \mu\text{m}$

50

になるようにした。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。図6で説明したように、打ち込み深さの深い領域に比べて、打ち込み深さの浅い領域では、不純物領域の対称性は良好であることが期待できる。その後、上記マスクを除去した。

【0117】

次に、第二のp型ベース領域101にイオン注入するためにマスクをして、図14Dに示すように、炭化珪素エピタキシャル層2の表層部に、[000-1]方向から[11-20]方向に4度傾斜した方向から、即ちウェハに垂直に、Alイオンを注入した。不純物の注入深さは、例えば、ウェハ表面から深さ方向に50nmの位置よりも深い領域に注入し、例えば、1 μm 程度まで注入した。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。なお、第二のp型ベース領域形成に用いたマスクは、マスクの開口端部と、前記ソース領域20の形成に用いたマスクの開口端部までの距離が、ダウンステップ側よりもアップステップ側の方が長くなるようなマスクを用いた。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

10

【0118】

次に、ベースコンタクト領域11にイオン注入するためにマスクをして、図14Eに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してAlイオンを注入し、ベースコンタクト領域11を形成した。なお、不純物の注入深さは、例えば、0.1~0.5 μm の範囲である。ただし、注入深さはソース領域20と同程度か、それよりも深くする必要はある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域11に注入するイオンはBイオンでも良い。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

20

【0119】

次に、図14Fに示すように、炭化珪素基板1の裏面に、Nイオンを注入し、ドレイン領域21を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。また、ドレイン領域21に注入するイオンはPイオンでも良い。

【0120】

続いて、炭化珪素基板1および炭化珪素エピタキシャル層2の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば1600~1800の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマアッシングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

30

【0121】

次に、図14Gに示すように、前記半導体基板上にゲート絶縁膜32を形成する。本実施例では厚さ10~100nm程度の堆積酸化膜を形成した。

【0122】

続いて、図14Hに示すように、厚さ100~300nm程度のn型多結晶シリコン膜からなるゲート材料膜40を堆積した。

40

【0123】

続いて、図14Iに示すように、ゲート材料膜40を覆うように層間膜33を形成した。

【0124】

続いて、図14Jに示すように、n⁺型のソース領域20とp⁺型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、700~1000のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。その後、ゲート電極とコンタクトを取る為に、層間膜33をエッチングし、ゲートコンタクトホールを形成した。

50

【0125】

続いて、図14Kにしめすようなソースベースコンタクト共通電極41を形成した。併せて、裏面のドレイン領域21上もシリサイド化して、ドレインコンタクト52を形成し、更にドレインコンタクト電極42を形成した。シリサイドメタルやソースベースコンタクト共通電極41とドレインコンタクト電極42には例えばNi, Al等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域20、第一のp型ベース領域100、第二のp型ベース領域101、ベースコンタクト領域11、ドレイン領域21の形成する順番は入れ替えても良い。

【0126】

本実施例の炭化珪素半導体装置によれば、p型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。また、実施例2記載の方法より、マスクを一枚減らすことが出来るので、プロセスコストを低減できる。さらに、実施例1及び実施例2記載の方法では、チャンネルをマスクあわせによって形成していたため、チャンネル長のばらつきが生じる可能性がある。本実施例では、n+ソース領域と同一マスクを用いるため、チャンネル長のばらつきを低減することが出来る。

【実施例4】

【0127】

本実施例では、前述の実施例1～3記載の半導体装置を備えた電力変換装置について説明する。図15は、本実施例の電力変換装置（インバータ）の回路図である。

【0128】

図15に示すように、本実施例のインバータは、パワーモジュール302内に、スイッチング素子であるSiC-MOSFET304と、ダイオード305とを有する。各単相において、端子306～310を介して、電源電圧(Vcc)と負荷(例えばモータ)301の入力電位との間にSiC-MOSFET304とダイオード305とが逆並列に接続されており(上アーム)、負荷301の入力電位と接地電位(GND)との間にもSiC-MOSFET素子304とダイオード305とが逆並列に接続されている(下アーム)。つまり、負荷301では各単相に2つのSiC-MOSFET304と2つのダイオード305が設けられており、3相で6つのスイッチング素子304と6つのダイオード305が設けられている。そして、個々のSiC-MOSFET304のゲート電極には、端子311、312を介して、制御回路303が接続されており、この制御回路303によってSiC-MOSFET304が制御されている。従って、本実施例のインバータは、制御回路303でパワーモジュール302を構成するSiC-MOSFET304を流れる電流を制御することにより、負荷301を駆動することができる。

【0129】

パワーモジュール302内での、SiC-MOSFET304の機能について以下に説明する。負荷301として、例えばモータを制御駆動させるためには所望の電圧の正弦波を負荷301に入力する必要がある。制御回路303はSiC-MOSFET304を制御し、矩形波のパルス幅を動的に変化させるパルス幅変調動作を行っている。出力された矩形波はインダクタを経ることで、平滑化され、擬似的な所望の正弦波となる。SiC-MOSFET304は、このパルス幅変調動作を行うための矩形波を作り出す。

【0130】

SiC-MOSFET304に、前述の実施例1～3の半導体装置を用いることにより、例えば、SiC-MOSFET304のオン抵抗が小さいので、冷却のためのヒートシンクなどの構造を小さくし、パワーモジュール302を小型化および軽量化することができる。ひいては電力変換装置を小型化および軽量化することができる。また、SiC-MOSFET304のゲート絶縁膜の信頼性が高いので、パワーモジュール302を長寿命化することができる。

10

20

30

40

50

【0131】

また、本実施例の電力変換装置は、3相モータシステムとすることができる。図15に示した負荷301は3相モータであり、スイッチング素子に前述の実施例1～3において説明した半導体装置を備えた電力変換装置を用いることにより、3相モータシステムの小型化や高性能化を実現することができる。

【実施例5】

【0132】

本実施例では、前述の実施例1～3記載の半導体装置を備える電力変換装置を説明する。図16は、本実施例の電力変換装置(インバータ)を示す回路図である。

【0133】

図16に示すように、本実施例のインバータは、パワーモジュール402内にスイッチング素子としてSiC-MOSFET404を備えている。各単相において、端子405～409を介して、電源電圧(Vcc)と負荷(例えばモータ)401の入力電位との間にSiC-MOSFET404が接続されており(上アーム)、負荷401の入力電位と接地電位(GND)との間にもSiC-MOSFET素子404が接続されている(下アーム)。つまり、負荷401では各単相に2つのSiC-MOSFET404が設けられており、3相で6つのスイッチング素子404が設けられている。そして、個々のSiC-MOSFET304のゲート電極には、端子410、411を介して、制御回路403が接続されており、この制御回路403によってSiC-MOSFET404が制御されている。従って、本実施例のインバータでは、制御回路403でパワーモジュール402内のSiC-MOSFET404を流れる電流を制御することにより、負荷401を駆動することができる。

【0134】

パワーモジュール402内のSiC-MOSFET404の機能について以下に説明する。SiC-MOSFETの機能の1つとして、本実施例でも実施例3と同様に、パルス幅変調動作を行うための矩形波を作り出す機能を有している。本実施例ではさらに、SiC-MOSFET404は、実施例3のダイオード305の役割も担う。例えば、モータのように負荷401にインダクタンスを含む場合、SiC-MOSFET404をOFFしたとき、インダクタンスに蓄えられたエネルギーを必ず放出しなければならない(還流電流)。実施例3では、ダイオード305がこの役割を担う。一方、本実施例では、同期整流駆動を用いるので、環流電流を流す役割をSiC-MOSFET404が担う。本実施例の同期整流駆動では、還流時にSiC-MOSFET404のゲートをONにし、SiC-MOSFET404を逆導通させる。

【0135】

したがって、還流時導通損失はダイオードの特性ではなく、SiC-MOSFET404の特性で決まる。また、同期整流駆動を行う場合、上下アームが短絡することを防ぐため、上下のSiC-MOSFETが共にOFFとなる不動作時間が必要となる。この不動作時間の間はSiC-MOSFET404のドリフト層とp型ボディ層によって形成される内蔵PNダイオードが駆動する。ただし、SiCはキャリアの走行距離がSiより短く、不動作時間の間の損失は小さく、例えば、実施例3のダイオード305をSiCショットキーバリアダイオードとした場合と、同等である。

【0136】

このように、本実施例では、SiC-MOSFET404に、前述の実施例1～3の半導体装置を用いることにより、例えば、SiC-MOSFET404が高性能な分、還流時の損失を小さくでき、さらなる高性能化が可能になる。また、還流ダイオードをSiC-MOSFET404とは別に設けないため、パワーモジュール402をさらに小型化することができる。

【0137】

また、本実施例の電力変換装置は、3相モータシステムとすることができる。図21に示した負荷401は3相モータであり、パワーモジュール402に、前述の実施例1～3

10

20

30

40

50

記載の半導体装置を備えることにより、3相モータシステムの小型化や高性能化を実現することができる。

【実施例6】

【0138】

実施例4または実施例5で説明した3相モータシステムは、ハイブリット自動車、電気自動車、燃料電池自動車などの自動車に用いることができる。本実施例では、3相モータシステムを搭載した自動車を、図17および図18を用いて説明する。図17は、本実施例の電気自動車の構成を示す概略図である。図18は、本実施例の昇圧コンバータの回路図である。

【0139】

図17に示すように、本実施例の電気自動車は、駆動輪501aおよび駆動輪501bが接続された駆動軸502に動力を入出力可能とする3相モータ503と、3相モータ503を駆動するためのインバータ504と、バッテリー505と、を備える。さらに、本実施例の電気自動車は、昇圧コンバータ508と、リレー509と、電子制御ユニット510と、を備え、昇圧コンバータ508は、インバータ504が接続された電力ライン506と、バッテリー505が接続された電力ライン507とに接続されている。

【0140】

3相モータ503は、永久磁石が埋め込まれたロータと、3相コイルが巻回されたステータとを備えた同期発電電動機である。インバータ504には、前述の実施例3または前述の実施例4において説明したインバータを用いることができる。

【0141】

昇圧コンバータ508は図18に示すように、インバータ513に、リアクトル511および平滑用コンデンサ112が接続された構成からなる。インバータ513は、例えば、前述の実施例4で説明したインバータと同様であり、インバータ内の素子構成も同じである。本実施例でも、実施例4と同様にスイッチング素子をSiC-MOSFET514とし、同期整流駆動させる。

【0142】

図17の電子制御ユニット510は、マイクロプロセッサと、記憶装置と、入出力ポートとを備えており、3相モータ503のロータ位置を検出するセンサからの信号、またはバッテリー505の充放電値などを受信する。そして、インバータ504、昇圧コンバータ508、およびリレー509を制御するための信号を出力する。

【0143】

このように、本実施例によれば、電力変換装置であるインバータ504および昇圧コンバータ508に、前述の実施例3および前述の実施例4の電力変換装置を用いることができる。また、3相モータ503、およびインバータ504などからなる3相モータシステムに、前述の実施例3または前述の実施例4の3相モータシステムを用いることができる。これにより、電気自動車の省エネルギー化、小型化、軽量化や電力変換装置の省スペース化を図ることができる。

【0144】

なお、本実施例では、電気自動車について説明したが、エンジンも併用するハイブリット自動車、バッテリー505が燃料電池スタックとなった燃料電池自動車にも同様に上述の3相モータシステムを適用することができる。

【実施例7】

【0145】

実施例4および実施例5の3相モータシステムは、鉄道車両に用いることができる。本実施例では、3相モータシステムを用いた鉄道車両を図19を用いて説明する。図19は、本実施例の鉄道車両のコンバータおよびインバータを含む回路図である。

【0146】

図19に示すように、鉄道車両には架線OW(例えば25kV)からパンタグラフPGを介して電力が供給される。トランス609を介して電圧が1.5kVまで降圧され、コ

10

20

30

40

50

ンバータ607で交流から直流に変換される。さらに、キャパシタ608を介してインバータ602で直流から交流に変換されて、負荷601である3相モータが駆動される。コンバータ607内の素子構成は実施例3のようにSiC-MOSFETおよびダイオードを併用してもよく、また実施例4のようにSiC-MOSFET単独でもよい。

【0147】

本実施例では、実施例5のようにスイッチング素子をSiC-MOSFET604として同期整流駆動させる。なお、図19では、実施例4で説明した制御回路は省略している。また、図中、符号RTは線路、符号WHは車輪を示す。

【0148】

このように本実施例によればコンバータ607に、実施例4または実施例5の電力変換装置を用いることができる。また、負荷601、インバータ602、および制御回路からなる3相モータシステムに、実施例4または実施例5の3相モータシステムを用いることができる。これにより、鉄道車両の省エネルギー化や、3相モータシステムを含む床下部品の小型化による低床化および軽量化を図ることができる。

【0149】

本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

【0150】

トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができる。

【0151】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【産業上の利用可能性】

【0152】

本発明は、炭化ケイ素を用いた半導体装置およびその半導体装置の製造方法、ならびにその半導体装置を用いたパワーモジュール、インバータ、自動車および鉄道車両に適用して有効である。

【符号の説明】

【0153】

- 1 炭化珪素基板
- 2 炭化珪素層
- 10 ベース領域
- 11 ベースコンタクト領域
- 20 ソース領域
- 21 ドレイン領域
- 30 マスク
- 32 ゲート絶縁膜
- 33 層間膜
- 40 ゲート材料膜
- 41 ソースベースコンタクト共通電極
- 42 ドレインコンタクト電極
- 51 ソースベース共通コンタクト
- 52 ドレインコンタクト

10

20

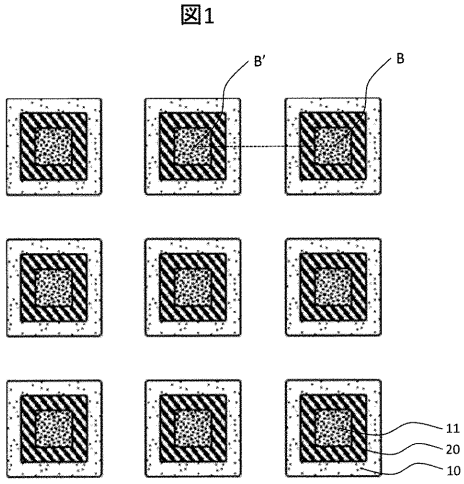
30

40

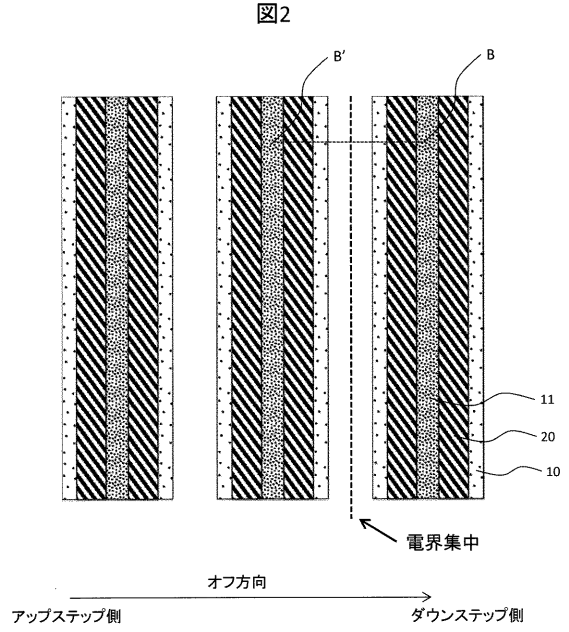
50

6 0	電界緩和領域	
1 0 0	第一のベース領域	
1 0 1	第二のベース領域	
3 0 1	負荷	
3 0 2	パワーモジュール	
3 0 3	制御回路	
3 0 4	S i C - M O S F E T	
3 0 5	ダイオード	
3 0 6 ~ 3 1 2	端子	
4 0 1	負荷	10
4 0 2	パワーモジュール	
4 0 3	制御回路	
4 0 4	S i C - M O S F E T	
4 0 5 ~ 4 1 1	端子	
5 0 1 a	駆動輪	
5 0 1 b	駆動輪	
5 0 2	駆動軸	
5 0 3	3相モータ	
5 0 4	インバータ	
5 0 5	バッテリー	20
5 0 6	電力ライン	
5 0 7	電力ライン	
5 0 8	昇圧コンバータ	
5 0 9	リレー	
5 1 0	電子制御ユニット	
5 1 1	リアクトル	
5 1 2	平滑用コンデンサ	
5 1 3	インバータ	
5 1 4	S i C - M O S F E T	
6 0 1	負荷	30
6 0 2	インバータ	
6 0 7	コンバータ	
6 0 8	キャパシタ	
6 0 9	トランス	
O W	架線	
P G	パンタグラフ	
R T	線路	
W H	車輪	

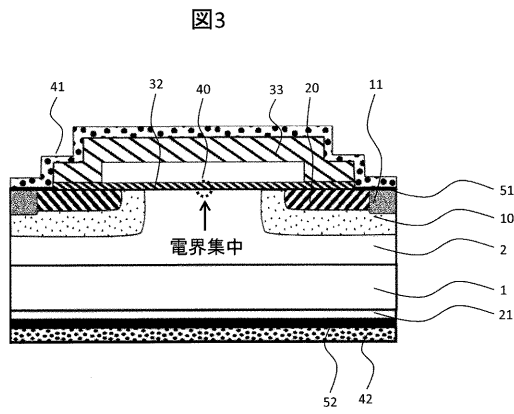
【 図 1 】



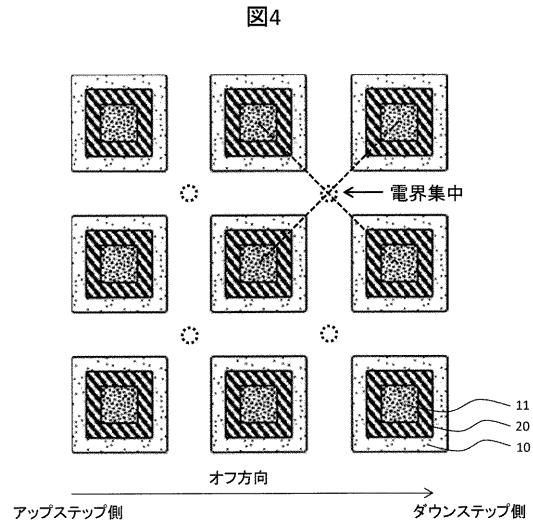
【 図 2 】



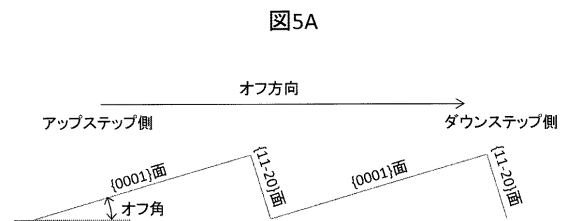
【 図 3 】



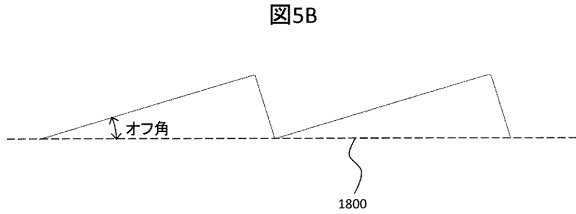
【 図 4 】



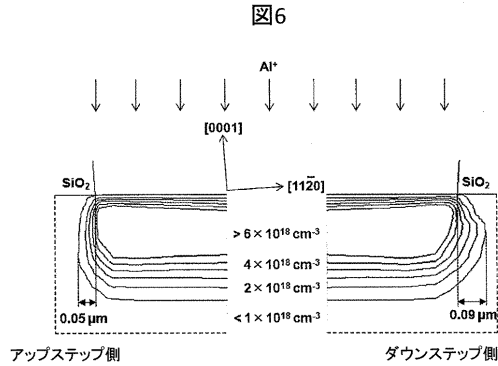
【 図 5 A 】



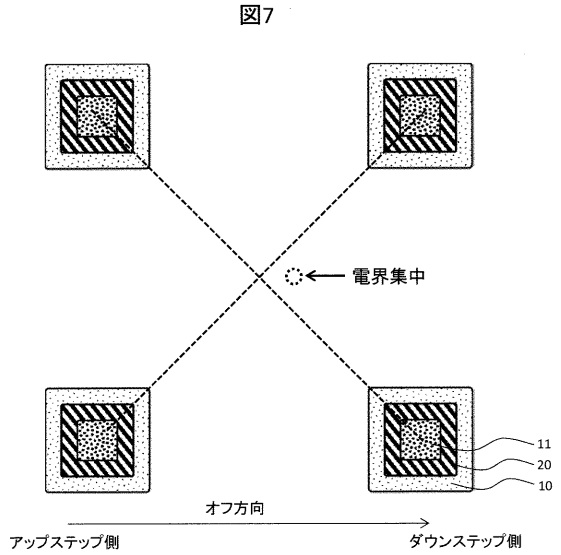
【図5B】



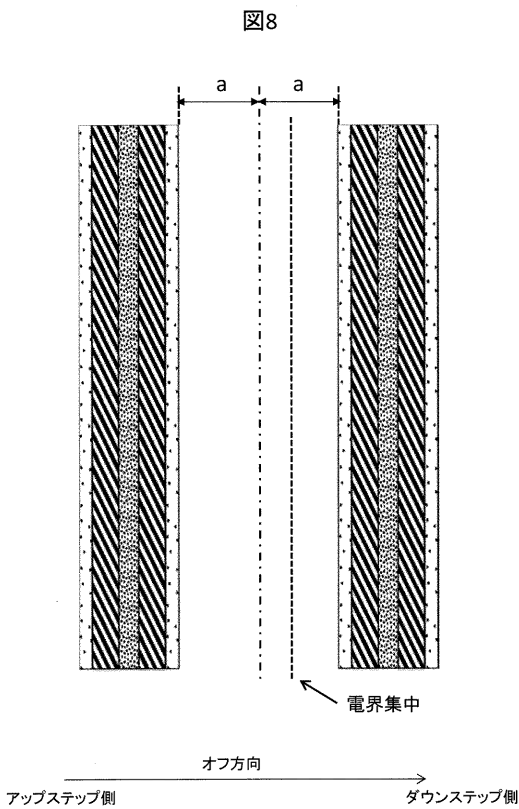
【図6】



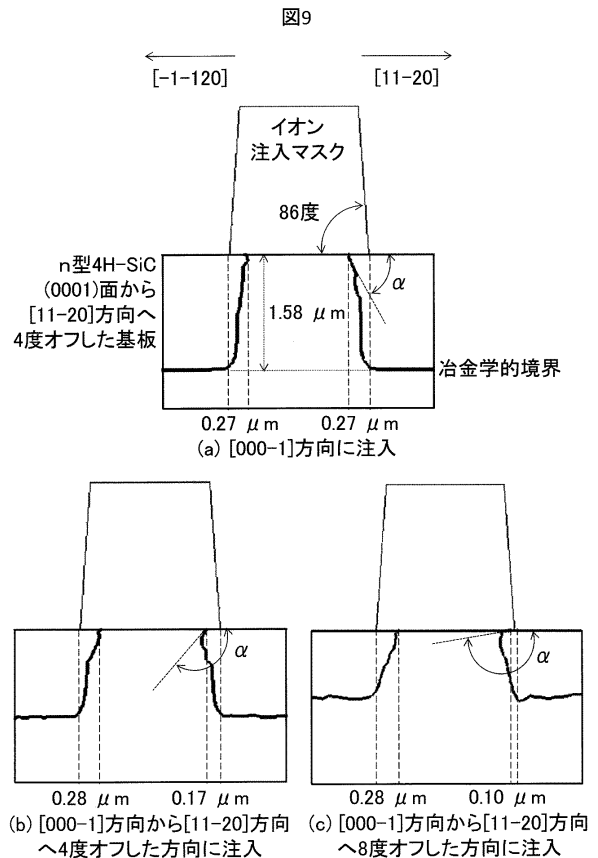
【図7】



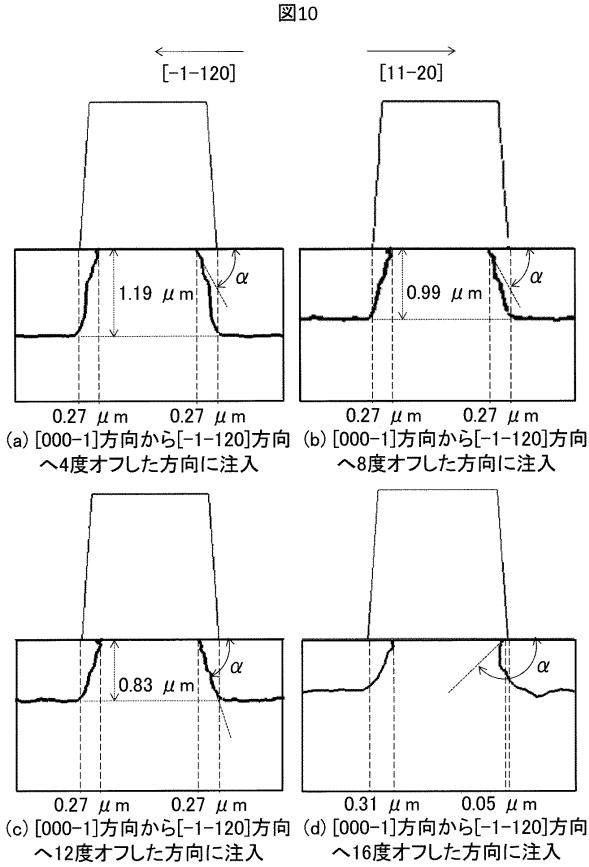
【図8】



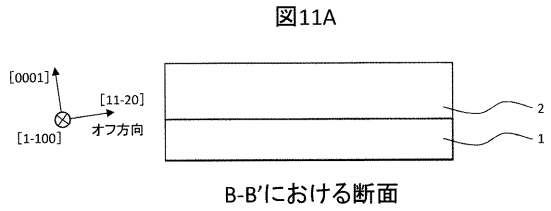
【図9】



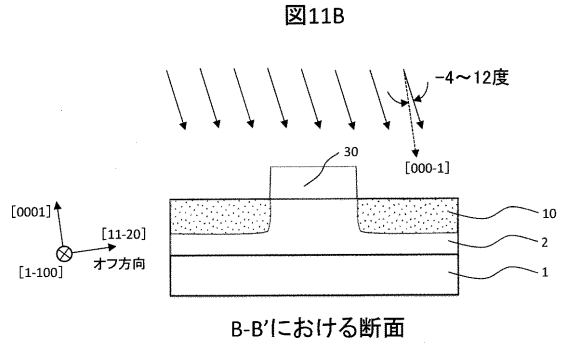
【図10】



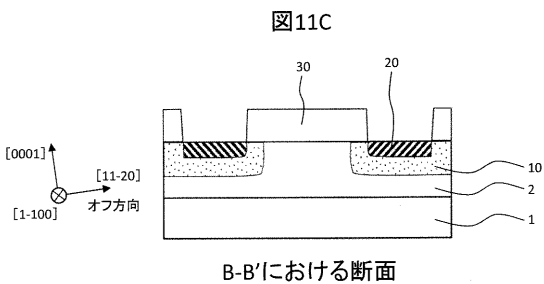
【図11A】



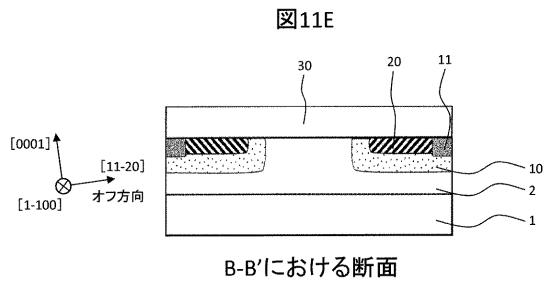
【図11B】



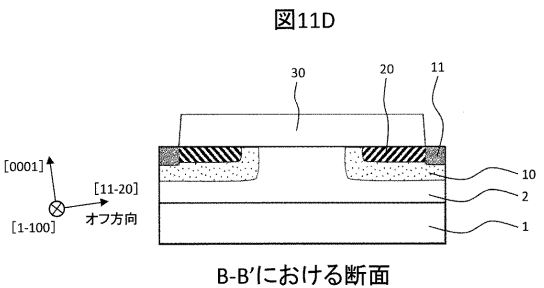
【図11C】



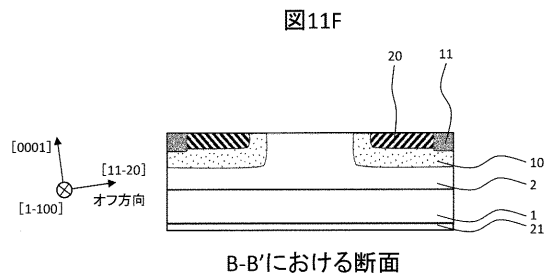
【図11E】



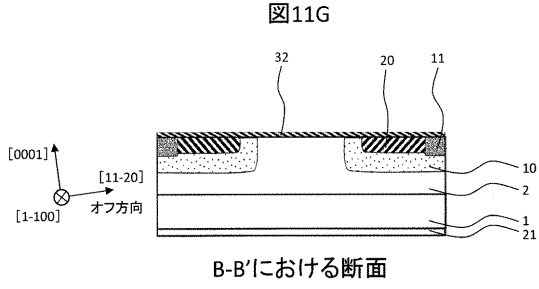
【図11D】



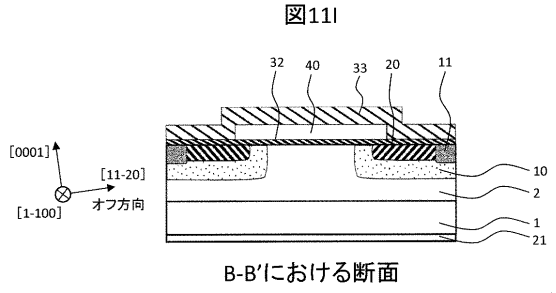
【図11F】



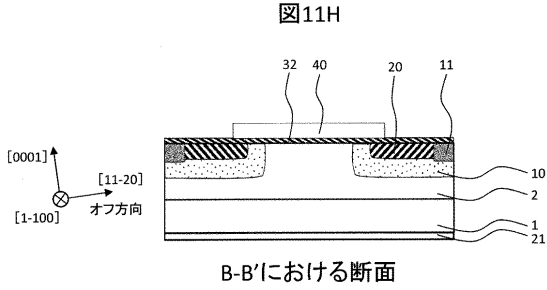
【図11G】



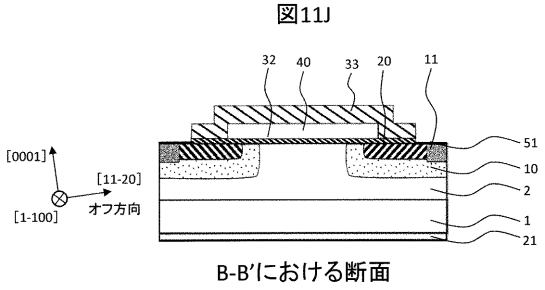
【図11I】



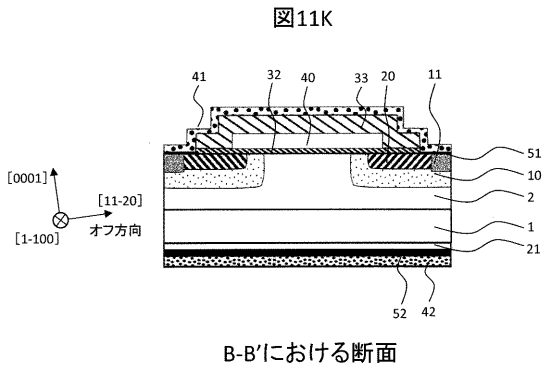
【図11H】



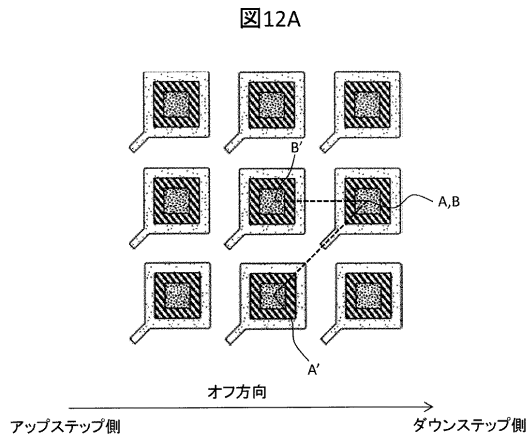
【図11J】



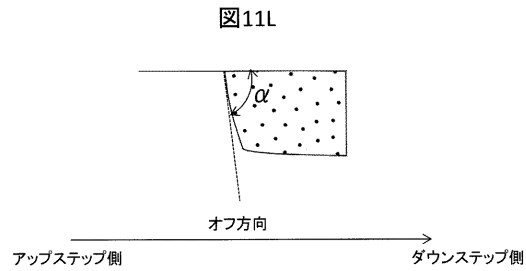
【図11K】



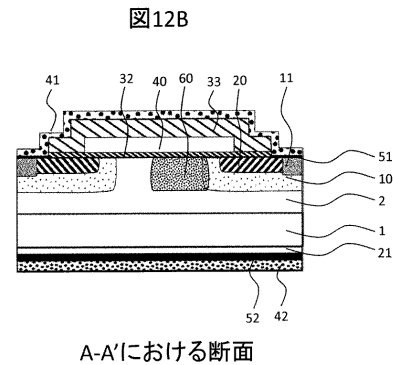
【図12A】



【図11L】

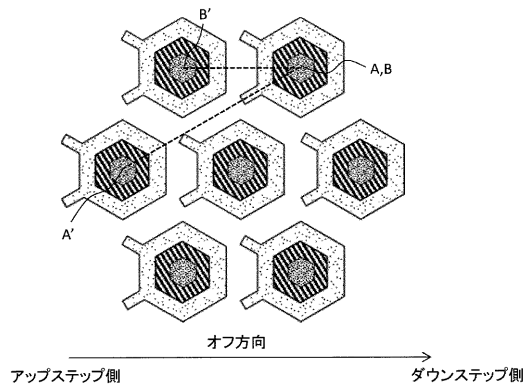


【図12B】



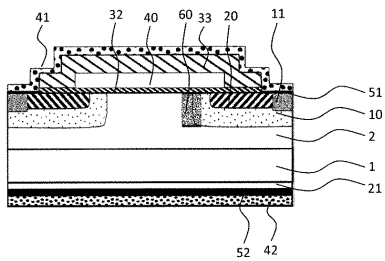
【図12C】

図12C



【図12D】

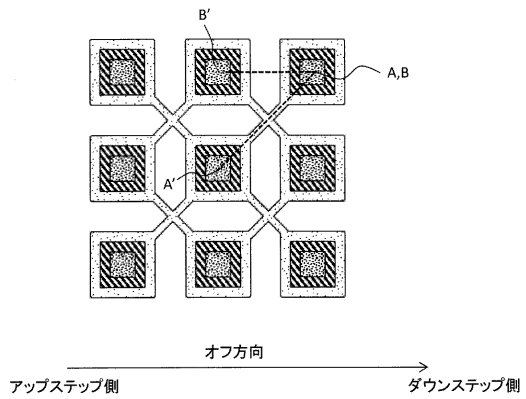
図12D



A-A'における断面

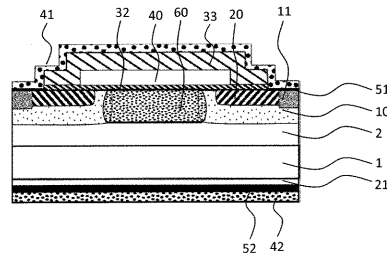
【図12E】

図12E



【図12F】

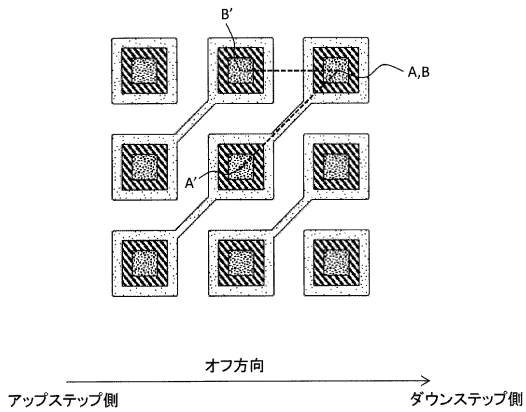
図12F



A-A'における断面

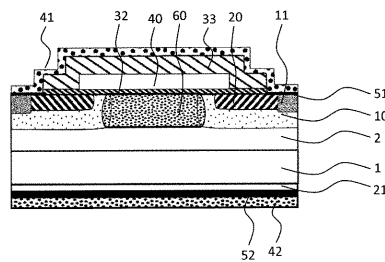
【図12G】

図12G



【図12H】

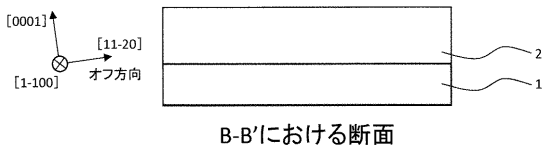
図12H



A-A'における断面

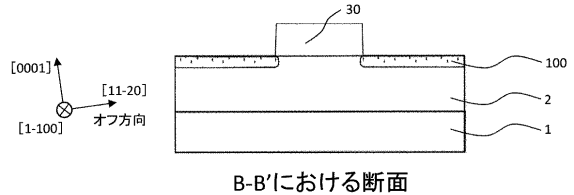
【図13A】

図13A



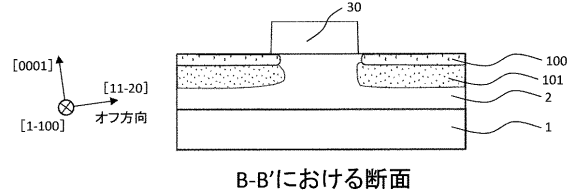
【図13B】

図13B

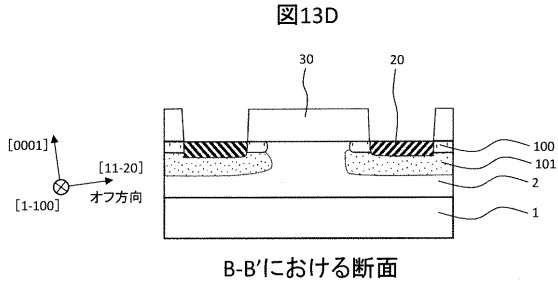


【図13C】

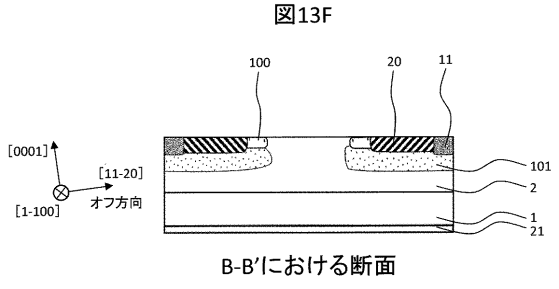
図13C



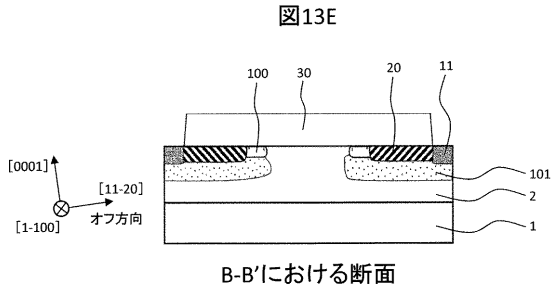
【図13D】



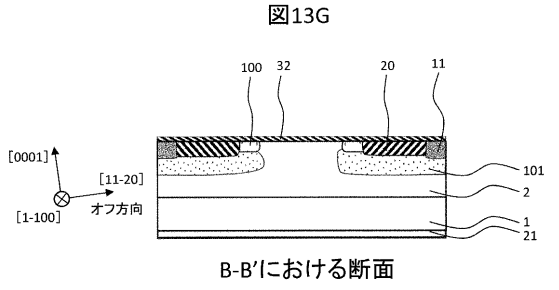
【図13F】



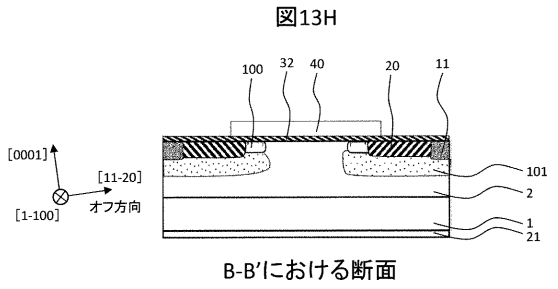
【図13E】



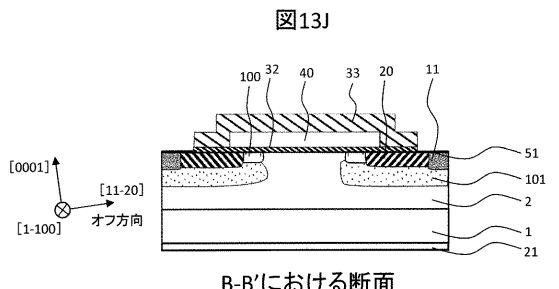
【図13G】



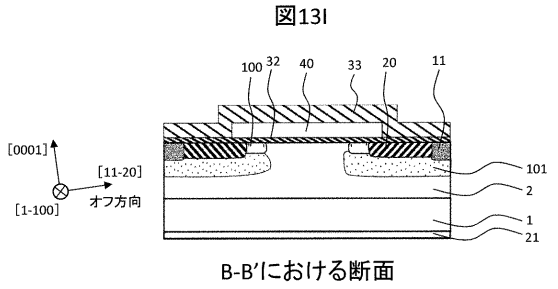
【図13H】



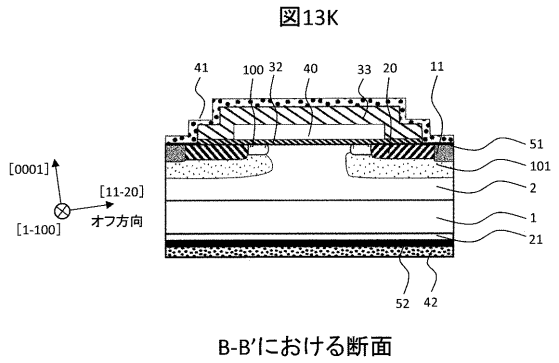
【図13J】



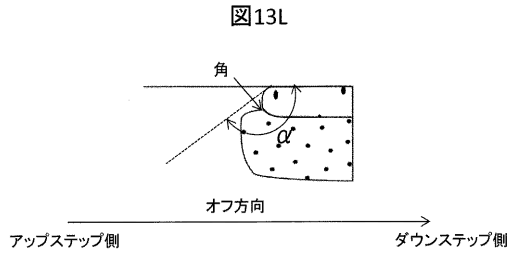
【図13I】



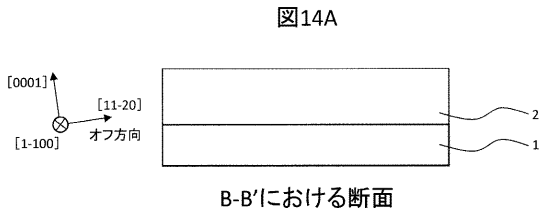
【図13K】



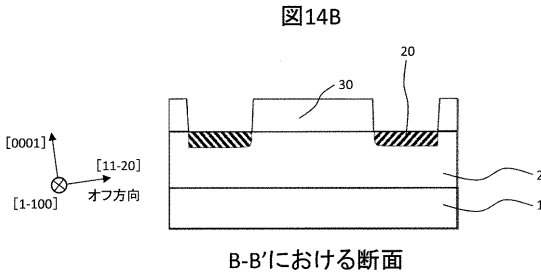
【図13L】



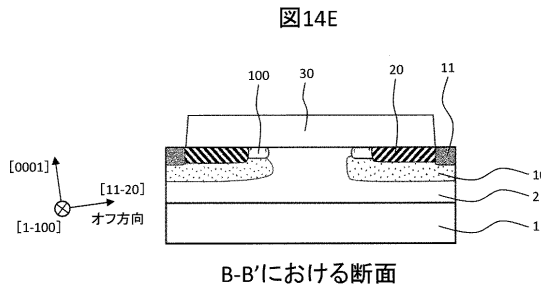
【図14A】



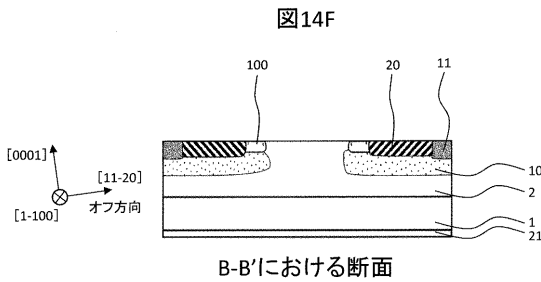
【図14B】



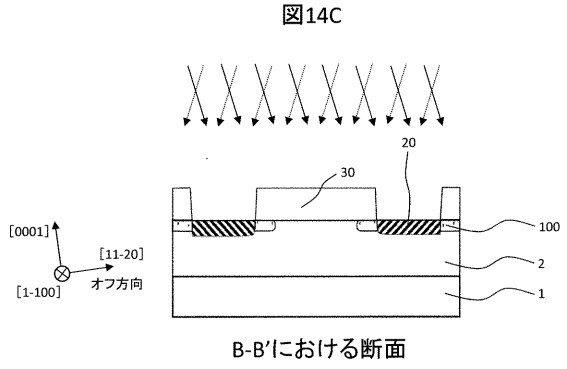
【図14E】



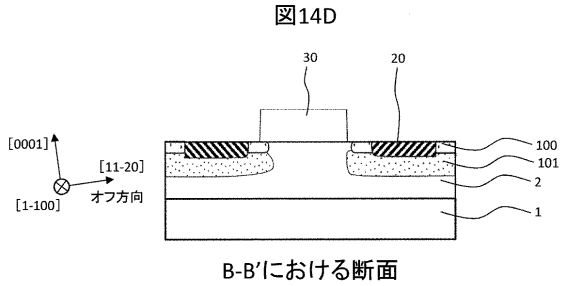
【図14F】



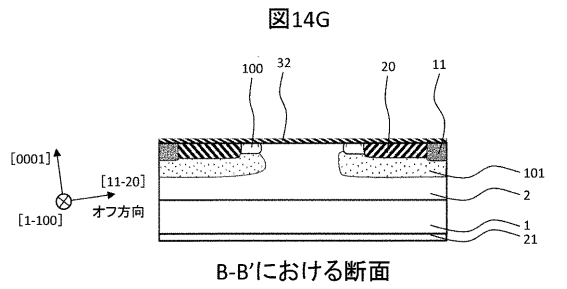
【図14C】



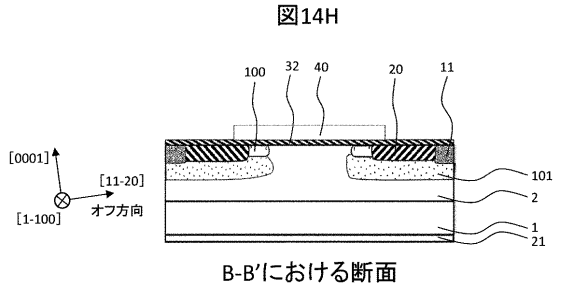
【図14D】



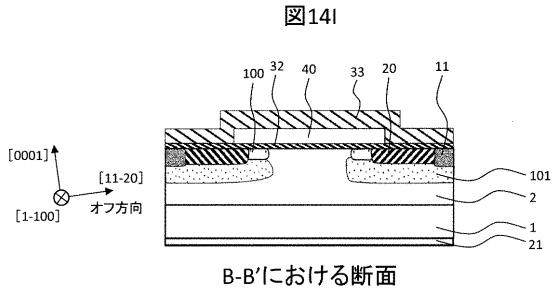
【図14G】



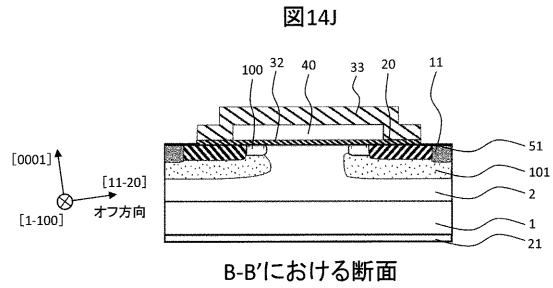
【図14H】



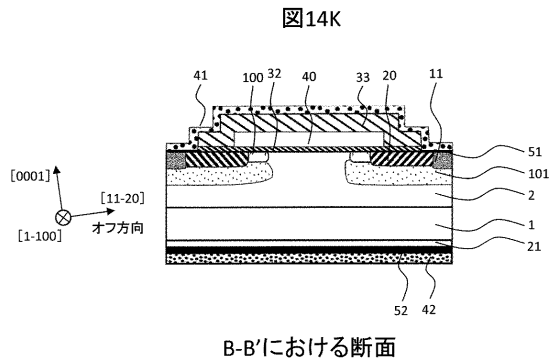
【図14I】



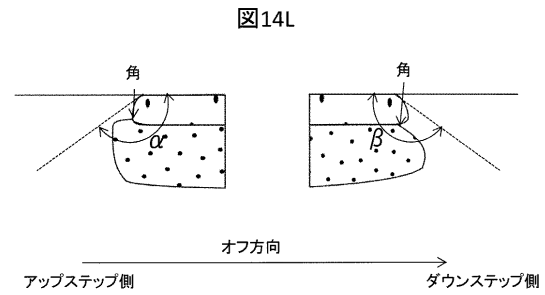
【図14J】



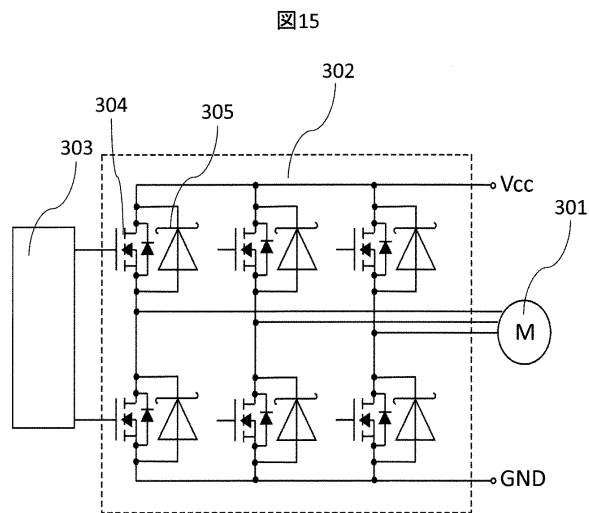
【図14K】



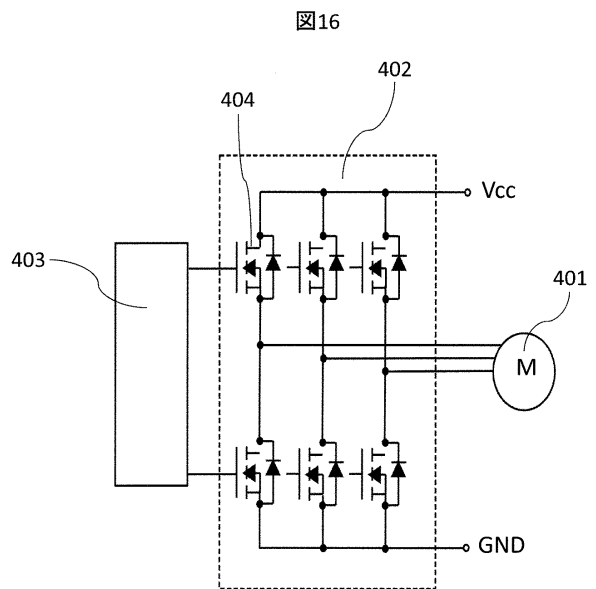
【図14L】



【図15】

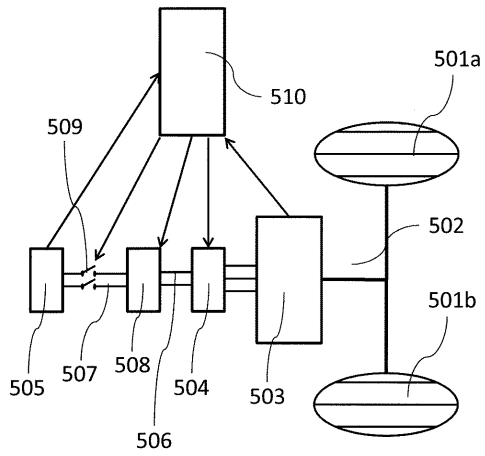


【図16】



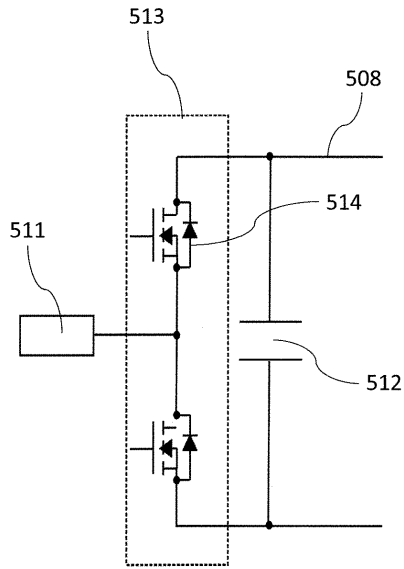
【 図 1 7 】

図17



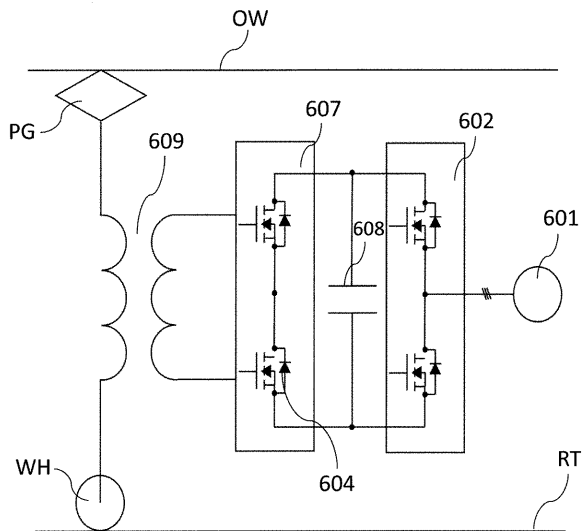
【 図 1 8 】

図18



【 図 1 9 】

図19



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 S
H 0 1 L	29/78	6 5 2 J
H 0 1 L	29/78	6 5 2 C
H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/78	6 5 2 E
H 0 1 L	21/265	V
H 0 1 L	21/265	U

審査官 小川 将之

(56)参考文献 特開2014-170886(JP,A)

特開2006-237511(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 9 / 7 8
H 0 1 L	2 9 / 1 2
H 0 1 L	2 1 / 3 3 6