



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	102006901411520
Data Deposito	05/05/2006
Data Pubblicazione	05/11/2007

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	01	L		

Titolo

DISPOSITIVO A SEMICONDUTTORE A FLUSSO DI CORRENTE VERTICALE CON BASSA RESISTENZA DI SUBSTRATO E PROCESSO DI FABBRICAZIONE DI TALE DISPOSITIVO
--

TO 2006 A 000329

D E S C R I Z I O N E

Del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

con sede a VIA C. OLIVETTI, 2

20041 AGRATE BRIANZA (MI)

Inventori: MAGRI' Angelo, MARINO Antonio Damaso Maria

*** **

La presente invenzione si riferisce ad un dispositivo a semiconduttore a flusso di corrente verticale con bassa resistenza di substrato e a un processo di fabbricazione di tale dispositivo.

È noto che, nei dispositivi a semiconduttore a flusso di corrente verticale (ad esempio transistori bipolari e a effetto di campo, IGBT, diodi Schottky e a giunzione), la massima corrente nello stato di conduzione è limitata dalla cosiddetta resistenza di stato attivo (o resistenza di ON) presente fra i terminali di conduzione.

La resistenza di stato attivo, che ovviamente deve essere minimizzata, è determinata dalla somma di vari contributi, associati alle diverse strutture che formano il dispositivo. La figura 1 mostra in modo schematico una successione di strati normalmente presenti in un dispositivo a flusso di corrente verticale incapsula-

CERBARO Elena
(Iscritta all' Albo n. 426/BM)

to in un "package" 2. Il dispositivo 1 incapsulato comprende una piastrina ("die") 3 semiconduttrice collegata a un primo e a un secondo elettrodo 4, 5 del package 2 (qui mostrato solo in parte). La piastrina 3 include un substrato 6, che funge da supporto e da strato di connessione per strutture attive 7, non illustrate in dettaglio (ad esempio, regioni di sorgente e di canale di un transistor MOS). Su un lato fronte 3a della piastrina 3, le strutture attive 7 sono provviste di elettrodi metallici 8 collegati al primo elettrodo 4 del package mediante fili o ponticelli 9. Un lato retro 3b della piastrina 3, definito da una faccia del substrato 6, è rivestito da uno strato di metallizzazione posteriore 10 e fissato al secondo elettrodo 5 del package mediante uno strato di incollaggio 11 conduttivo.

La resistenza di stato attivo è determinata in parte dal "package" (elettrodi 4, 5, fili e/o ponticelli 9, contatti), in parte dalle strutture attive 7 e in parte da resistenze parassite del substrato 6, dello strato di metallizzazione posteriore 10, dello strato di incollaggio 11 e delle relative interfacce. Lo sviluppo di soluzioni costruttive innovative ha permesso in tempi recenti di ridurre in modo sostanziale la resistenza delle strutture attive 7. Allo stesso modo, l'esigenza pressante di abbattere il consumo e di mi-

niaturizzare i componenti per poterli incorporare in apparecchi portatili sempre più sofisticati ha accelerato lo sviluppo anche dei "packages" sia dal punto di vista degli ingombri, sia dal punto di vista elettrico, riducendo ulteriormente la resistenza di stato attivo. Perciò, specialmente in alcune applicazioni di tensione relativamente bassa (20-30 V), importanza sempre maggiore è associata ai contributi della resistenza parassita di substrato, dell'interfaccia di contatto con lo strato di metallizzazione posteriore 10 e, in misura minore, della resistenza dello strato di metallizzazione posteriore 10 stesso e dello strato di incollaggio 11. Da un lato, quindi, sarebbe auspicabile diminuire il contributo alla resistenza di stato attivo da parte delle strutture sopra elencate. D'altra parte, la resistenza parassita di substrato, che ha un peso determinante, dipende essenzialmente dallo spessore del substrato 5, che non può essere ridotto oltre un certo limite (circa 100 μm). In caso contrario, infatti, il substrato 5 perderebbe la sua funzione meccanica di supporto tanto durante la lavorazione delle fette semiconduttrici, quanto dopo il taglio e la separazione dei dispositivi fabbricati, e il rischio di collasso delle strutture sarebbe troppo elevato.

Scopo della presente invenzione è fornire un di-

spositivo a semiconduttore a flusso di corrente verticale e un processo di fabbricazione di tale dispositivo che permettano di superare le limitazioni descritte, in particolare riducendo la resistenza parassita di substrato.

Secondo la presente invenzione vengono realizzati un dispositivo a semiconduttore a flusso di corrente verticale e un processo di fabbricazione di tale dispositivo, come definiti nelle rivendicazioni 1 e, rispettivamente, 12.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte alcune forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra una sezione trasversale attraverso un dispositivo a semiconduttore a flusso di corrente verticale di tipo noto, incapsulato in un package;

- le figure 2-5 sono sezioni trasversali attraverso una fetta semiconduttrice in successive fasi di un procedimento per la fabbricazione di un dispositivo a semiconduttore a flusso di corrente verticale in accordo a una prima forma di attuazione della presente invenzione;

- la figura 6 è una vista in pianta dall'alto del-

la fetta di figura 5;

- la figura 7 mostra la stessa vista di figura 5, in una successiva fase di fabbricazione;

- la figura 8 è una vista prospettica parziale della fetta di figura 7;

- la figura 9 mostra una sezione trasversale attraverso una piastrina ("die") ottenuta dal taglio della fetta di figura 7, dopo un'ulteriore fase di fabbricazione, e incorporante il dispositivo a semiconduttore in accordo alla prima forma di attuazione dell'invenzione;

- la figura 10 mostra la piastrina di figura 9 incapsulata in un package;

- la figura 11 è un grafico che mostra grandezze relative al dispositivo di figura 9 e 10;

- la figura 12 è una vista in pianta dall'alto di una fetta semiconduttrice in una fase intermedia di un procedimento in accordo a una seconda forma di realizzazione dell'invenzione;

- la figura 13 è una vista prospettica parziale della fetta di figura 12 in una successiva fase di fabbricazione;

- la figura 14 è una vista in pianta dall'alto di una fetta semiconduttrice in una fase intermedia di un procedimento in accordo a una terza forma di realizza-

zione dell'invenzione;

- la figura 15 è una vista prospettica parziale della fetta di figura 14 in una successiva fase di fabbricazione;

- la figura 16a è una sezione trasversale attraverso una fetta semiconduttrice in una fase intermedia di un procedimento in accordo a una quarta forma di realizzazione dell'invenzione;

- la figura 16b mostra una variante della forma di realizzazione di figura 16a;

- la figura 17 è una sezione trasversale attraverso una fetta semiconduttrice in una fase intermedia di un procedimento in accordo a una quinta forma di realizzazione dell'invenzione;

- le figura 18-21 sono sezioni trasversali attraverso una fetta semiconduttrice in successive fasi di un procedimento per la fabbricazione di un dispositivo a semiconduttore a flusso di corrente verticale in accordo a una sesta forma di attuazione della presente invenzione;

- la figura 22 mostra una sezione trasversale attraverso una piastrina ("die") ottenuta dal taglio della fetta di figura 19, dopo un'ulteriore fase di fabbricazione, e incorporante il dispositivo a semiconduttore in accordo alla sesta forma di attuazione

dell'invenzione; e

- la figura 23 mostra la piastrina di figura 20 incapsulata in un package.

La figura 2 illustra una fetta semiconduttrice 20, comprendente un substrato 21 e uno strato epitassiale 22, aventi uno stesso tipo di conducibilità, ad esempio N, e diversi livelli di drogaggio. Mediante fasi convenzionali di fabbricazione dei semiconduttori (quali, ad esempio, deposizione, crescita e sagomatura di strati semiconduttori e dielettrici, mascherature, fasi di impianto e attivazione di specie ioniche droganti, deposizione e definizione di strati metallici e così via), una faccia fronte 20a della fetta semiconduttrice 20, dove si trova anche lo strato epitassiale 22, viene lavorata per realizzare una porzione frontale di un transistor MOS 23 a flusso di corrente verticale, qui illustrato solo schematicamente. In particolare, la porzione frontale del transistor MOS 23 comprende: una regione di sorgente 25 anulare; una regione di corpo 26, anch'essa di forma anulare, formata nello strato epitassiale 22 e alloggiante la regione di sorgente 25; una regione di porta 27, separata dallo strato epitassiale 22 mediante una regione di ossido di porta 28 e, inoltre, parzialmente sovrapposta alla regione di sorgente 25 e alla regione di corpo 26; uno strato protet-

tivo 29, ricoprente lo strato epitassiale 22 e la regione di porta 28; contatti di sorgente 30 e contatti di porta 31, passanti attraverso lo strato protettivo 29 e sporgenti sulla faccia fronte 20a della fetta semiconduttrice 20.

Successivamente, figura 3, la fetta semiconduttrice 20 viene capovolta e viene assottigliata meccanicamente mediante fresatura, fino a quando il substrato 21 ha raggiunto uno spessore H prefissato. Una superficie libera del substrato 21, opposta alla faccia fronte 20a definisce una faccia retro 20b della fetta semiconduttrice 20.

Una maschera "hard" 33 avente aperture 36 (figura 4) viene poi formata sulla faccia retro 20b della fetta semiconduttrice 20 mediante deposizione e sagomatura di uno strato di maschera hard (non illustrato per intero), ad esempio di ossido di silicio o di nitrato di silicio e avente uno spessore compreso fra 500 nm e 2000 nm. La deposizione è preferibilmente una deposizione PECVD (Plasma Enhanced Chemical Vapor Deposition). La sagomatura dello strato di maschera hard viene eseguita con un processo fotolitografico, utilizzando una maschera di resist 35.

Il substrato 21 viene poi attaccato in modo anisotropo per aprire trincee 38 con sezione trasversale

rettangolare attraverso le aperture 36 della maschera hard 33, come mostrato in figura 5. Le trincee 38 hanno una profondità D_T minore dello spessore H del substrato 21 e quindi si estendono attraverso il substrato 21 stesso senza attraversarlo completamente. Preferibilmente, la profondità D_T delle trincee 38 è compresa fra il 25% e il 75% dello spessore H del substrato 21. Inoltre, lo sviluppo delle trincee 38 è definito dalla forma delle aperture 36 della maschera hard 33 (figura 6). Nella forma di realizzazione qui descritta, in particolare, le trincee 38 sono rettilinee e disposte fra loro parallele. Inoltre, le trincee 38 hanno uguale larghezza W e sono uniformemente distanziate fra loro. Preferibilmente, l'area complessivamente occupata dalle trincee 38 è pari a circa il 10% dell'area totale della faccia retro 20b della fetta semiconduttrice 20.

Dopo aver rimosso la maschera hard 33 (figura 7), una struttura di metallizzazione posteriore 40 viene formata sulla faccia retro 20b della fetta semiconduttrice 20 mediante deposizione in sequenza di uno o più strati metallici, qui non mostrati in dettaglio (ad esempio, $TiNiAu$, $CrNiAu$, $TiNiAg$). La struttura di metallizzazione posteriore 40 riempie le trincee 38, formando così vie metalliche 41 ad alta conduttività che si protendono dalla faccia retro 20b verso l'interno

del substrato 21, senza attraversarlo completamente. Come mostrato in figura 8, le vie metalliche 41 hanno la forma di nervature rettilinee con sezione trasversale rettangolare, fra loro parallele e alloggiate nel substrato 21.

La fetta semiconduttrice 20 presenta a questo punto contatti elettrici sia sulla faccia fronte 20a (contatti di sorgente 30 e un contatto di porta 31), sia sulla faccia retro 20b (struttura di metallizzazione posteriore 40).

Successivamente (figura 9), la fetta semiconduttrice 20 viene suddivisa in piastrine ("dice") 45, ciascuna delle quali comprende almeno un transistor MOS 23.

Infine, ogni piastrina 45 viene incapsulata in un package 46, ottenendo così la struttura mostrata in figura 10. Più precisamente, la struttura di metallizzazione 40 della piastrina 45 viene fissata a un elettrodo di pozzo 47 del package 46 mediante uno strato di incollaggio 43 conduttivo, mentre i contatti di sorgente 30 e il contatto di porta 31 vengono rispettivamente collegati a un elettrodo di sorgente e a un elettrodo di porta (non mostrati) mediante fili 48 (o altro tipo di connessioni elettriche).

Nel transistor MOS 23 descritto, le componenti di

resistenza dovute al substrato 21 e all'interfaccia fra il substrato 21 stesso e la struttura di metallizzazione 40 sono vantaggiosamente ridotte. In pratica, infatti, le vie metalliche 41 definiscono un percorso ad alta conduttività in parallelo a porzioni del substrato 21, abbattendone la resistenza. Per chiarezza, si faccia riferimento allo schema elettrico equivalente riportato in figura 10, dove sono evidenziati tre contributi:

un primo contributo, rappresentato mediante un primo resistore 50, è dovuto a una porzione continua del substrato 21, compresa fra lo strato epitassiale 23 e la sommità delle vie metalliche 41;

un secondo contributo, rappresentato mediante secondi resistori 51, è dovuto a porzioni del substrato 21 comprese fra vie metalliche 41;

un terzo contributo, rappresentato mediante terzi resistore 52, è dovuto alle vie metalliche 41.

Al primo resistore 50 è associata una resistenza R_0 data da:

$$R_0 = \rho_{\text{SUB}} \frac{H_s - D_T}{A_T} \quad (1)$$

dove ρ_{SUB} è la resistività del substrato 21 e A_T è l'area totale della faccia retro 20b della piastrina 45.

I valori di resistenza complessivamente associati ai secondi resistori 51 e ai terzi resistori 52, indicati rispettivamente con R_1 e R_2 , sono invece dati da:

$$R_1 = \rho_{\text{SUB}} \frac{D_T}{A_T - A_V} \quad (2)$$

$$R_2 = \rho_V \frac{D_T}{A_V} \quad (3)$$

dove ρ_V è la resistività delle vie metalliche 41 e A_V è la porzione dell'area totale A_T da esse complessivamente occupata (nel caso descritto, $A_V \cong 0.1 A_T$). Il valore di resistenza R_2 associato ai terzi resistori 52 (vie metalliche 41) è decisamente più basso del valore di resistenza R_1 associato ai secondi resistori 51 (porzioni del substrato 21 disposte in parallelo alle vie metalliche 41). La resistività ρ_V delle vie metalliche 41 è infatti normalmente almeno due ordini di grandezza inferiore alla resistività ρ_{SUB} del substrato 21.

La resistenza totale R_T è quindi data da

$$R_T = R_0 + (R_1 // R_2) \cong R_0 + R_2 \quad (4)$$

che è minore della resistenza che avrebbe il substrato 21 (continuo) in assenza delle vie metalliche 21.

Come illustrato nel grafico di figura 11, che mostra le variazioni percentuali della resistenza totale R_T in funzione della frazione di area A_V/A_T occupata dalle vie metalliche 41 rispetto all'area totale A_T , un miglioramento significativo è ottenuto già con $A_V \cong 0.1$

A_T , come già sopra indicato. In pratica, le vie metalliche 41 occupano una piccola parte dell'area totale A_T della piastrina 45 e quindi la funzione strutturale di supporto del substrato 21 viene preservata.

Anche la resistenza associata all'interfaccia fra il substrato 21 e la struttura di metallizzazione posteriore 40 è ridotta, perché la presenza delle vie metalliche aumenta considerevolmente la superficie di contatto fra di essi. Un ulteriore vantaggio derivante dall'aumento della superficie di contatto fra strutture semiconduttrici e strutture metalliche è la migliore capacità di dissipare il calore prodotto durante il funzionamento del transistor MOS 23.

Un altro vantaggio risiede nel fatto che le vie metalliche non richiedono di essere allineate alle strutture attive realizzate nello strato epitassiale 22. La fabbricazione è quindi semplificata.

Le figure 12 e 13 mostrano una seconda forma di realizzazione dell'invenzione. In questo caso (figura 12), nel substrato 21 viene aperta una trincea 38^I a forma di griglia, che delimita colonne 39. Come mostrato in figura 13, uno o più strati metallici (non illustrati separatamente) vengono depositi in successione per realizzare una struttura di metallizzazione posteriore 40^I e la trincea 38^I viene così riempita (la por-

zione della struttura di metallizzazione 40^I eccedente le trincee 38^I , per chiarezza, è illustrata a tratteggio). La struttura di metallizzazione posteriore 40^I comprende perciò vie metalliche 41^I che si protendono verso l'intermo del substrato 21 e definiscono una griglia alloggiata nel substrato 21 stesso.

In accordo a una terza forma di realizzazione dell'invenzione, mostrata nelle figure 14 e 15, nel substrato 21 vengono realizzate una pluralità di trincee 38^{II} cilindriche (o prismatiche), uniformemente distribuite sulla faccia retro 20b della fetta semiconduttrice 20. Successivamente (figura 15), una struttura di metallizzazione posteriore 40^{II} viene realizzata mediante deposizione di uno o più strati metallici (non mostrati separatamente) in sequenza, riempiendo le trincee 38^{II} (la porzione della struttura di metallizzazione 40^I eccedente le trincee 38^{II} , per chiarezza, è illustrata a tratteggio). La struttura di metallizzazione posteriore 40^{II} comprende perciò vie metalliche 41^{II} conformate come spine alloggiare nel substrato 21.

Secondo una quarta forma di realizzazione (figura 16a), il substrato 21 viene attaccato in umido dopo la fase di assottigliamento e vengono aperte trincee 38^{III} aventi sezione trasversale trapezoidale. Una struttura di metallizzazione posteriore 40^{III} viene poi realizzata

mediante deposizione di uno o più strati metallici (non mostrati separatamente) in sequenza, riempiendo le trincee 38^{III}. La struttura di metallizzazione posteriore 40^{III} comprende perciò vie metalliche 41^{III} aventi la forma di nervature con sezione trasversale trapezoidale. Secondo una variante (figura 16b), le trincee e le nervature, rispettivamente indicate con 38^{IV} e 41^{IV}, hanno sezione triangolare.

Una quinta forma di realizzazione dell'invenzione è mostrata in figura 17. In questo caso, dopo la fase di assottigliamento, nel substrato 21 vengono aperte trincee 38^V che lo attraversano completamente. Una struttura di metallizzazione posteriore 40^V viene poi realizzata mediante deposizione di uno o più strati metallici (non mostrati separatamente) in sequenza, riempiendo le trincee 38^V. Vengono così realizzate vie metalliche 41^V che attraversano completamente il substrato 21, fino allo strato epitassiale 22.

Una sesta forma di attuazione dell'invenzione verrà di seguito descritta con riferimento alle figure 18-23.

In questo caso, una fetta semiconduttrice 120 comprende inizialmente un substrato 121 e uno strato epitassiale 122. Mediante fasi convenzionali di fabbricazione dei semiconduttori, una faccia fronte 120a della

fetta semiconduttrice 120, dove si trova anche lo strato epitassiale 122, viene lavorata per realizzare una porzione frontale di un transistor MOS 123 a flusso di corrente verticale, qui illustrato solo schematicamente. In particolare, la porzione frontale del transistor MOS 123 comprende: una regione di sorgente 125 anulare; una regione di corpo 126, anch'essa di forma anulare, formata nello strato epitassiale 122 e alloggiante la regione di sorgente 125; una regione di porta 127, separata dallo strato epitassiale 122 mediante una regione di ossido di porta 128 e, inoltre, parzialmente sovrapposta alla regione di sorgente 125 e alla regione di corpo 126; uno strato protettivo 129, ricoprente lo strato epitassiale 122 e la regione di porta 128; contatti di sorgente 130 e contatti di porta 131, passanti attraverso lo strato protettivo 129 e sporgenti sulla faccia fronte 120a della fetta semiconduttrice 120.

Come mostrato in figura 19, la fetta semiconduttrice 12 viene capovolta e una maschera hard 133 viene realizzata su una sua faccia retro 120b, definita da una superficie libera del substrato 122. Quindi, il substrato 122 viene attaccato in modo anisotropo utilizzando la maschera hard 133, per aprire trincee 138, fino a una profondità prefissata. Inoltre, le trincee 138 sono fra loro parallele e sono uniformemente di-

stanziare.

Dopo aver rimosso la maschera hard 133 (figura 20), il substrato 121 viene nuovamente attaccato chimicamente e assottigliato fino a raggiungere uno spessore H prefissato. Preferibilmente, viene eseguito un attacco umido. In questa fase, le trincee 138 tendono ad allargarsi, specialmente verso l'imbocco sulla faccia retro 120b della fetta semiconduttrice 120, e la loro sezione trasversale diventa di forma trapezoidale. La profondità D finale delle trincee 138 è pari a una frazione prefissata dello spessore H del substrato 121, preferibilmente compresa fra il 25% e il 75%. Inoltre, le trincee 138 occupano complessivamente una frazione dell'area totale della faccia retro 120b pari a circa il 10%.

Successivamente (figura 21), una struttura di metallizzazione posteriore 140 viene formata sulla faccia retro 120b mediante deposizione in sequenza di uno o più strati metallici (non mostrati individualmente). Nella forma di realizzazione qui descritta, inoltre, lo spessore complessivo della struttura di metallizzazione posteriore 140 è tale per cui le trincee 138 in questa fase vengono riempite solo parzialmente e su una superficie 140a opposta al substrato 121 rimangono depressioni 139. Comunque, la struttura di metallizzazione

posteriore 140, insinuandosi nelle trincee 138, formano vie metalliche 141 ad alta conduttività che si protendono dalla faccia retro 120b verso l'interno del substrato 121, senza attraversarlo completamente. Le vie metalliche 141 sono conformate come nervature rettilinee parallele e alloggiate nel substrato 121 e presentano sezione trasversale sostanzialmente trapezoidale. La fetta semiconduttrice 120 presenta a questo punto contatti elettrici sia sulla faccia fronte 120a (contatti di sorgente 130 e un contatto di porta 130), sia sulla faccia retro 120b (struttura di metallizzazione posteriore 140).

Poi (figura 22), la fetta semiconduttrice 120 viene suddivisa in piastrine ("dice") 145, ciascuna delle quali comprende almeno un transistor MOS 123.

Infine, ogni piastrina 145 viene incapsulata in un package 146, ottenendo così la struttura mostrata in figura 23. La struttura di metallizzazione 140 della piastrina 145 viene fissata a un elettrodo di pozzo 147 del package 146 mediante uno strato di incollaggio 143 conduttivo, che riempie completamente le depressioni 139. I contatti di sorgente 130 e il contatto di porta 131 vengono rispettivamente collegati a un elettrodo di sorgente e a un elettrodo di porta (non mostrati) mediante fili 148 (o altri tipi di connessioni elettri-

che). Vantaggiosamente, la superficie di contatto fra la struttura di metallizzazione posteriore 140 e lo strato di incollaggio 143 è ampliata, perché non è piana, e perciò la relativa resistenza di interfaccia è ridotta.

Risulta infine evidente che al dispositivo e al metodo descritti possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione, come definita nelle rivendicazioni allegate. In particolare, l'invenzione può essere sfruttata per realizzare qualsiasi tipo di dispositivo a semiconduttore con flusso di corrente verticale, quali, in particolare, transistori JFET, bipolari, IGBT, diodi Schottky e diodi a giunzione.

CERBARO Elena
(iscritta all'Albo n. 426/BM)

R I V E N D I C A Z I O N I

1. Dispositivo a semiconduttore a flusso di corrente verticale comprendente:

un corpo (20, 45; 120, 145) includente un substrato (21; 121) di materiale semiconduttore;

almeno un contatto elettrico (30, 31; 130; 131) su una prima faccia (20a; 120a) di detto corpo (20, 45; 120, 145);

una struttura di metallizzazione (40; 40^I; 40^{II}; 40^{III}; 40^{IV}; 140) su una seconda faccia (20b; 120b) di detto corpo (20, 45; 120, 145), opposta a detta prima faccia (20a; 120a);

caratterizzato dal fatto che detta struttura di metallizzazione (40; 40^I; 40^{II}; 40^{III}; 40^{IV}; 140) comprende vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) proiettantisi da detta seconda faccia (20b; 120b) all'interno di detto substrato (21; 121), in modo da formare un percorso ad alta conduttività (52) in parallelo a porzioni (51) di detto substrato (21; 121).

2. Dispositivo secondo la rivendicazione 1, in cui dette vie metalliche (41; 41^{III}; 41^{IV}; 41^V; 141) comprendono una pluralità di nervature rettilinee parallele e alloggiate in detto substrato (21).

3. Dispositivo secondo la rivendicazione 1, in cui dette vie metalliche (41^I) definiscono una griglia al-

CERBARO Elena
(Iscritta all'Albo n. 426/BM)

loggiata in detto substrato (21).

4. Dispositivo secondo la rivendicazione 1, in cui dette vie metalliche (41^{II}) sono conformate come spine alloggiate in detto substrato (21).

5. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui una superficie (140a) di detta struttura di metallizzazione (140) opposta a detto substrato (121) presenta depressioni (139) in corrispondenza di dette vie metalliche (141).

6. Dispositivo secondo la rivendicazione 5, in cui dette depressioni (139) sono riempite con un materiale incollante conduttivo.

7. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui dette vie metalliche (41 ; 41^I ; 41^{II} ; 141) occupano un'area (A_V) pari a circa il 10% di un'area totale (A_T) di detta seconda faccia (20b; 120b) o inferiore.

8. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui detto substrato (21; 121) ha uno spessore (H) e dette vie metalliche (41 ; 41^I ; 41^{II} ; 41^{III} ; 41^{IV} ; 141) hanno una profondità (D) minore di detto spessore (H).

9. Dispositivo secondo la rivendicazione 8, in cui detta profondità (D) di dette vie metalliche (41 ; 41^I ; 41^{II} ; 41^{III} ; 41^{IV} ; 141) è compresa fra circa il 25% e il

75% di detto spessore (H) di detto substrato (21; 121).

10. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui dette vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) sono uniformemente distribuite in detto substrato (21; 121).

11. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui dette vie metalliche (41; 41^{III}; 41^{IV}; 41^V; 141) hanno sezione trasversale rettangolare, trapezoidale o triangolare.

12. Procedimento di fabbricazione di un dispositivo a semiconduttore, comprendente le fasi di:

formare almeno un contatto elettrico (30, 31; 130, 131) su una prima faccia (20a; 120a) di un corpo (20, 45; 120, 145) includente un substrato (21; 121) di materiale semiconduttore; e

formare una struttura di metallizzazione (40; 40^I; 40^{II}; 40^{III}; 40^{IV}; 140) su una seconda faccia (20b; 120b) di detto corpo (20, 45; 120, 145), opposta a detta prima faccia (20a; 120a);

caratterizzato dal fatto che detta fase di formare detta struttura di metallizzazione (40; 40^I; 40^{II}; 40^{III}; 40^{IV}; 140) comprende formare vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) proiettantisi da detta seconda faccia (20b; 120b) all'interno di detto substrato (21), in modo da formare un percorso ad alta conduttività.

vità (52) in parallelo a porzioni (51) di detto substrato (21; 121).

13. Procedimento secondo la rivendicazione 12, in cui detta fase di formare vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) comprende aprire almeno una trincea (38; 38^I; 38^{II}; 38^{III}; 38^{IV}; 38^V; 138) in detto substrato (21; 121) e depositare almeno un materiale metallico all'interno di detta almeno una trincea (38; 38^I; 38^{II}; 38^{III}; 38^{IV}; 38^V; 138).

14. Procedimento secondo la rivendicazione 13, in cui detta fase di depositare almeno un materiale metallico comprende riempire detta almeno una trincea (38; 38^I; 38^{II}; 38^{III}; 38^{IV}; 38^V).

15. Procedimento secondo la rivendicazione 13, in cui detta fase di depositare almeno un materiale metallico comprende riempire parzialmente detta almeno una trincea (138), in modo da lasciare depressioni (139) su una superficie (140a) di detta struttura di metallizzazione (140) opposta a detto substrato (121), in corrispondenza di dette vie metalliche (141).

16. Procedimento secondo la rivendicazione 15, comprendente la fase di riempire dette depressioni (139) con un materiale incollante conduttivo.

17. Procedimento secondo una qualsiasi delle rivendicazioni 12-16, comprendente la fase di assottigliare

detto substrato (21; 121) fino a detto spessore (H).

18. Procedimento secondo la rivendicazione 17, in cui detta fase di assottigliare comprende assottigliare meccanicamente detto substrato (21), prima di formare detta almeno una trincea (38; 38^I; 38^{II}; 38^{III}; 38^{IV}; 38^V).

19. Procedimento secondo la rivendicazione 17, in cui detta fase di assottigliare comprende attaccare chimicamente detto substrato (121), dopo aver formato detta almeno una trincea (138).

20. Procedimento secondo la rivendicazione 19, in cui detta fase di attaccare chimicamente comprende allargare detta almeno una trincea (138).

21. Procedimento secondo una qualsiasi delle rivendicazioni 12-20, in cui dette vie metalliche (41; 41^{III}; 41^{IV}; 41^V; 141) comprendono una pluralità di nervature rettilinee parallele e alloggiate in detto substrato (21).

22. Procedimento secondo una qualsiasi delle rivendicazioni 12-20, in cui dette vie metalliche (41^I) definiscono una griglia alloggiata in detto substrato (21).

23. Procedimento secondo una qualsiasi delle rivendicazioni 12-20, in cui dette vie metalliche (41^{II}) sono conformate come spine alloggiate in detto substrato.

to (21).

24. Procedimento secondo una qualsiasi delle rivendicazioni 12-20, in cui dette vie metalliche (41; 41^I; 41^{II}; 141) occupano un'area (A_V) pari a circa il 10% di un'area totale (A_T) di detta seconda faccia (20b; 120b) o inferiore.

25. Procedimento secondo una qualsiasi delle rivendicazioni 12-24, in cui detto substrato (21; 121) ha uno spessore (H) e dette vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 141) hanno una profondità (D) minore di detto spessore (H).

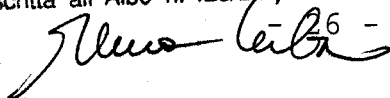
26. Procedimento secondo la rivendicazione 25, in cui detta profondità (D) di dette vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 141) è compresa fra circa il 25% e il 75% di detto spessore (H) di detto substrato (21; 121).

27. Procedimento secondo una qualsiasi delle rivendicazioni 12-26, in cui dette vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) sono uniformemente distribuite in detto substrato (21; 121).

28. Procedimento secondo una qualsiasi delle rivendicazioni 12-27, in cui dette vie metalliche (41; 41^I; 41^{II}; 41^{III}; 41^{IV}; 41^V; 141) hanno sezione trasversale rettangolare, trapezoidale o triangolare.

p.i.: STMICROELECTRONICS S.R.L.

CERBARO Elena
(Iscritta all' Albo n. 426/BM)



CAMERA DI COMMERCIO
INDUSTRIA ARTIGIANATO E AGRICOLTURA
DI TORINO

CERBARO Elena
(Iscritta all' Albo n. 426/BM)

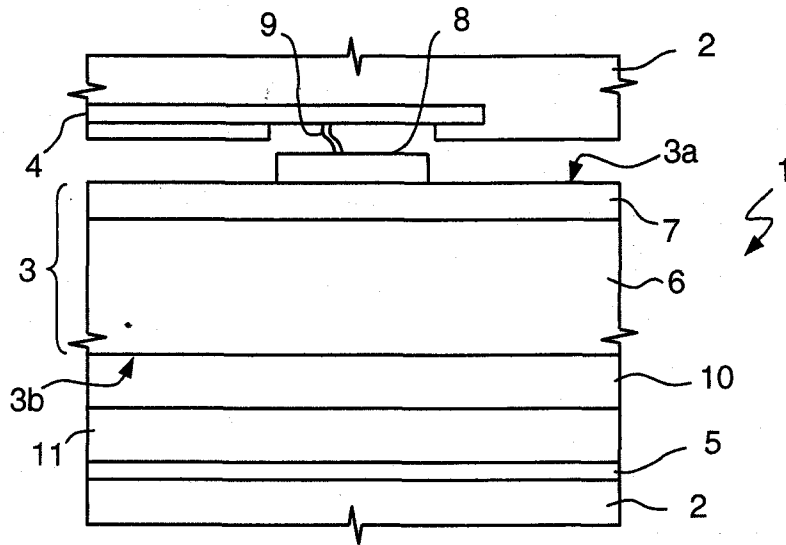


Fig.1

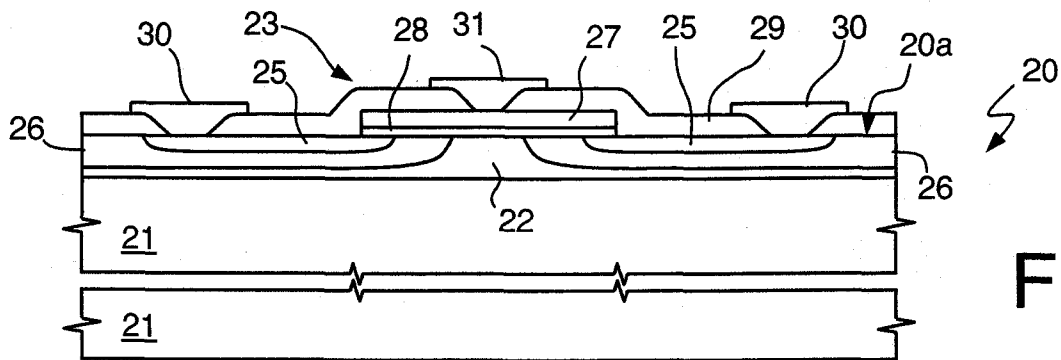


Fig.2

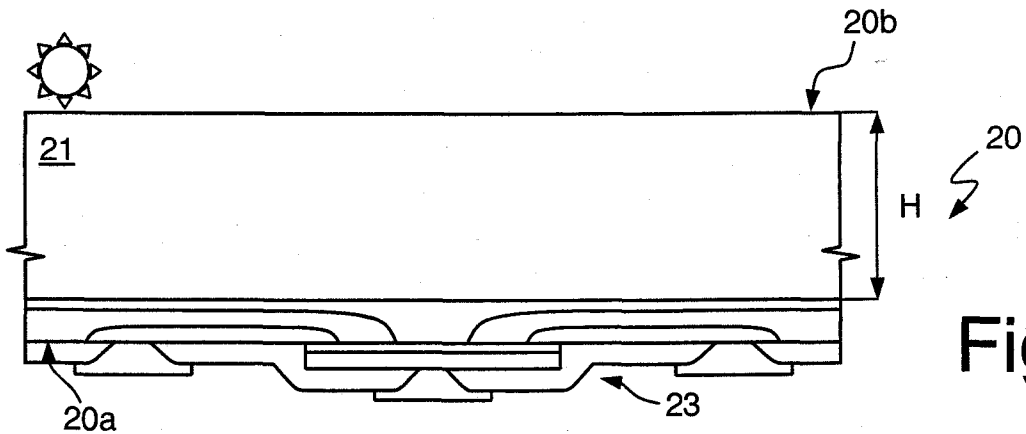


Fig.3

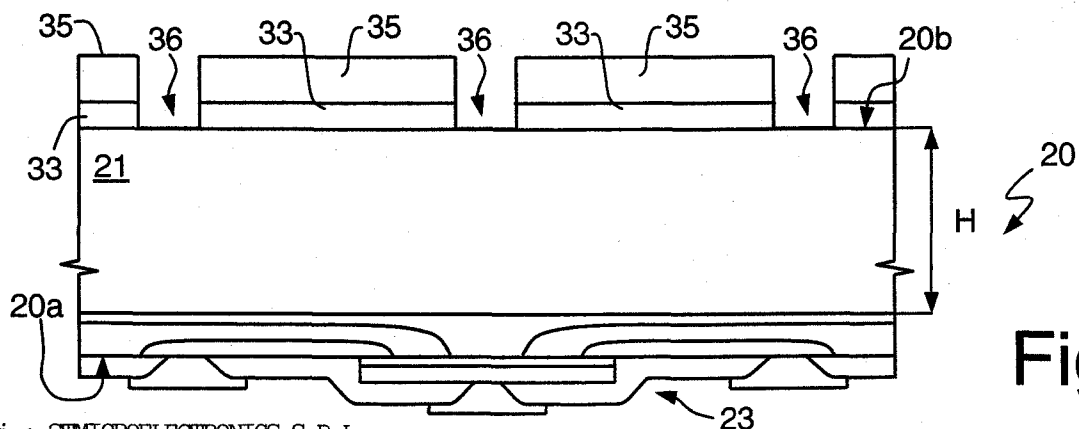
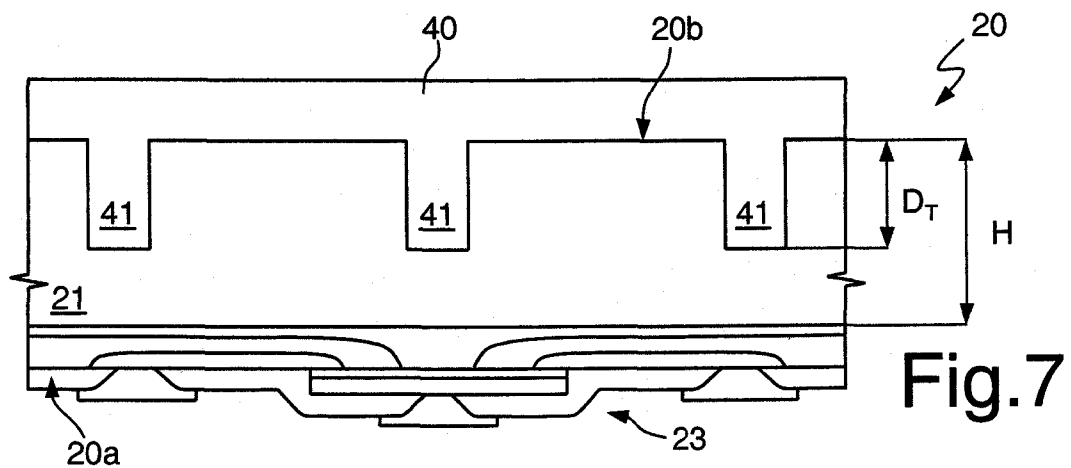
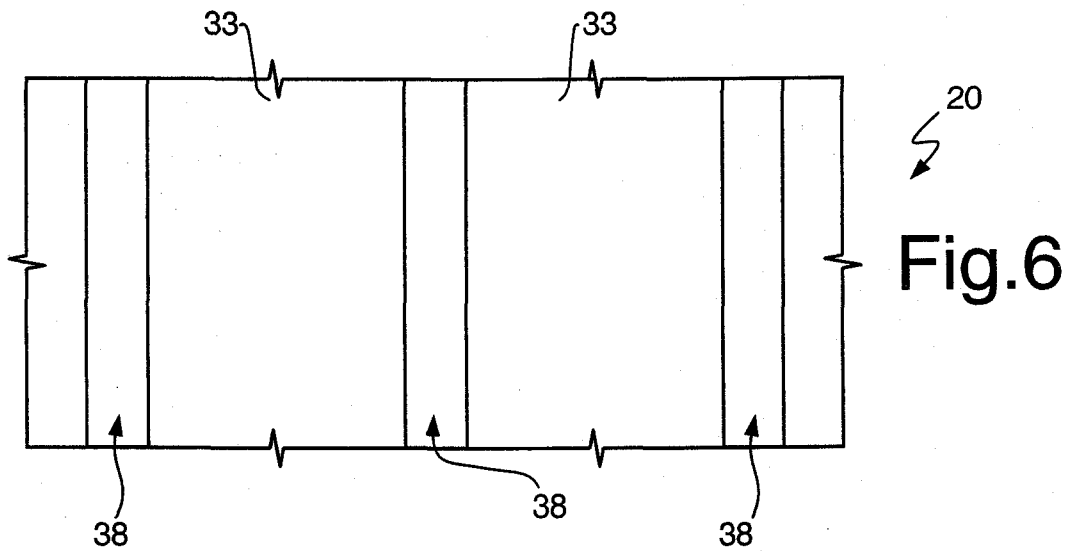
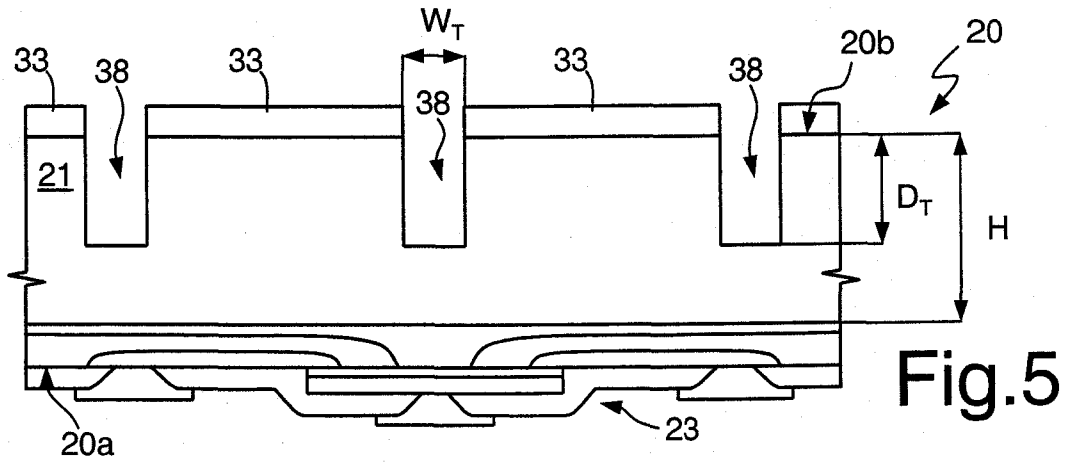


Fig.4



TO 2006 A 000329

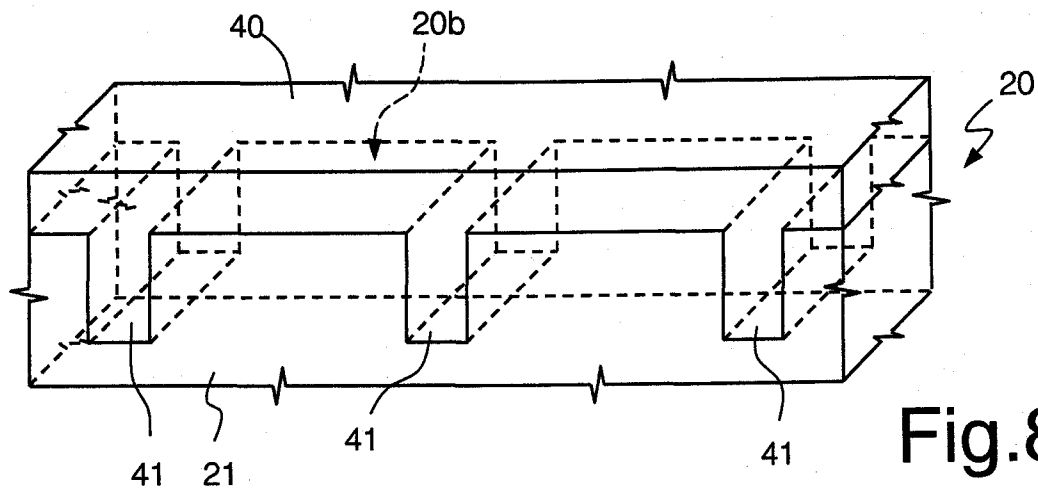


Fig. 8

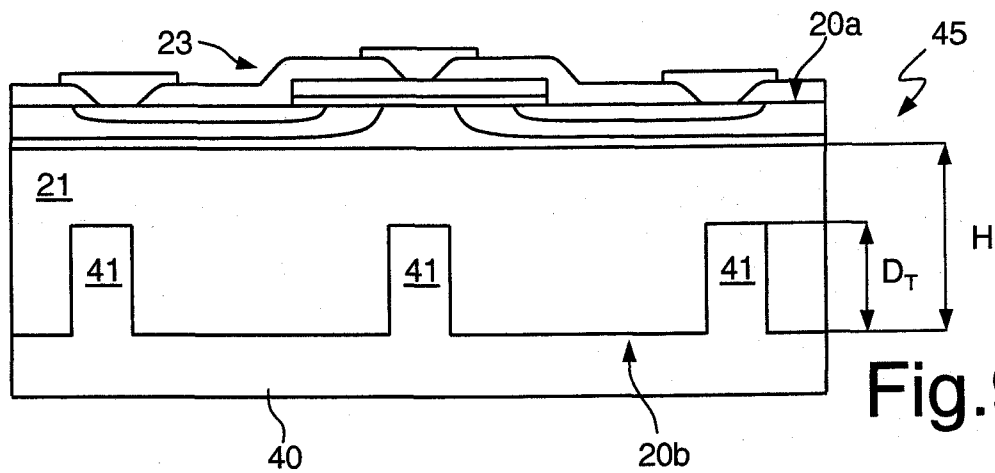


Fig. 9

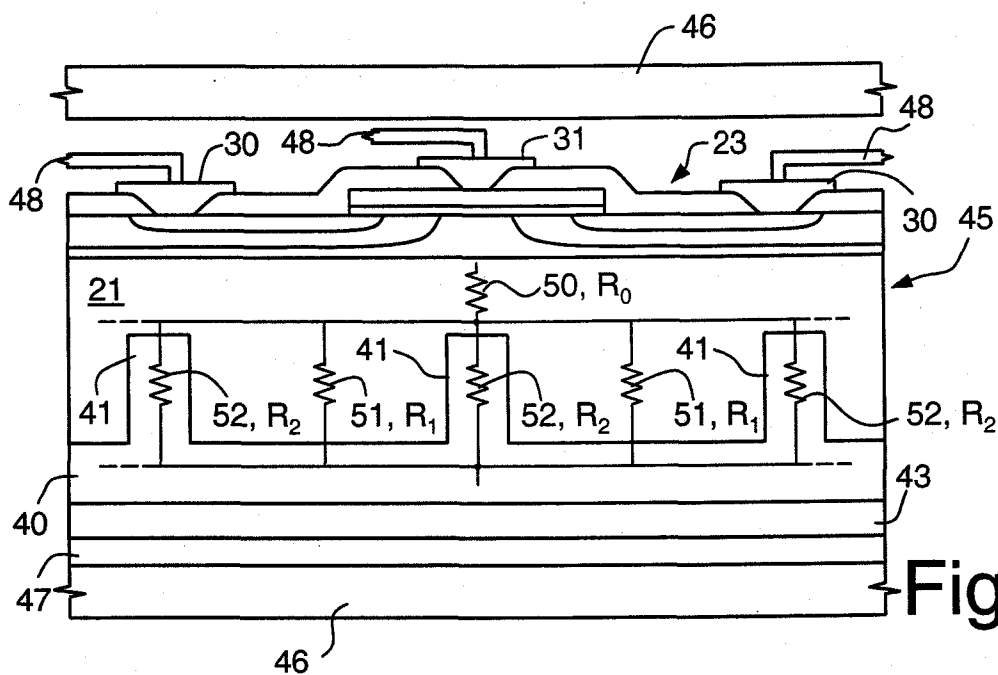


Fig. 10

TO 2006 A 000329

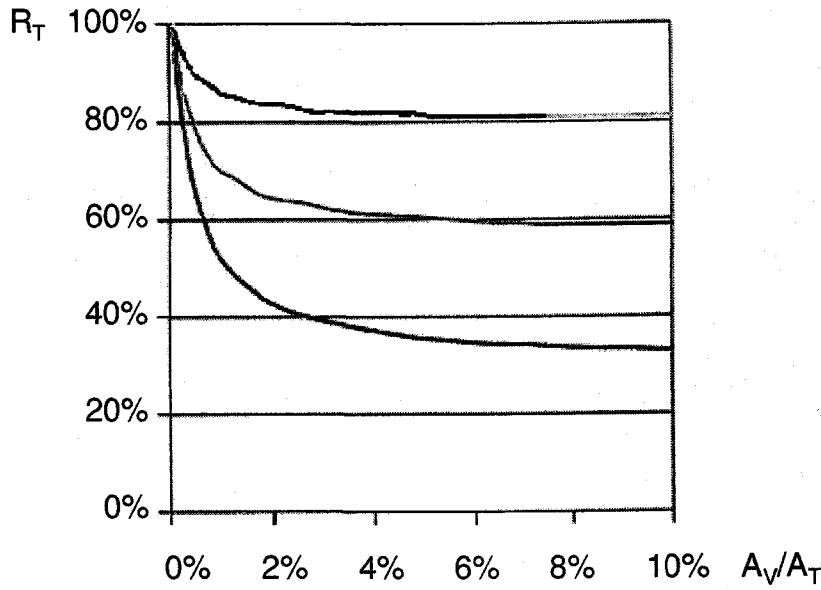


Fig.11

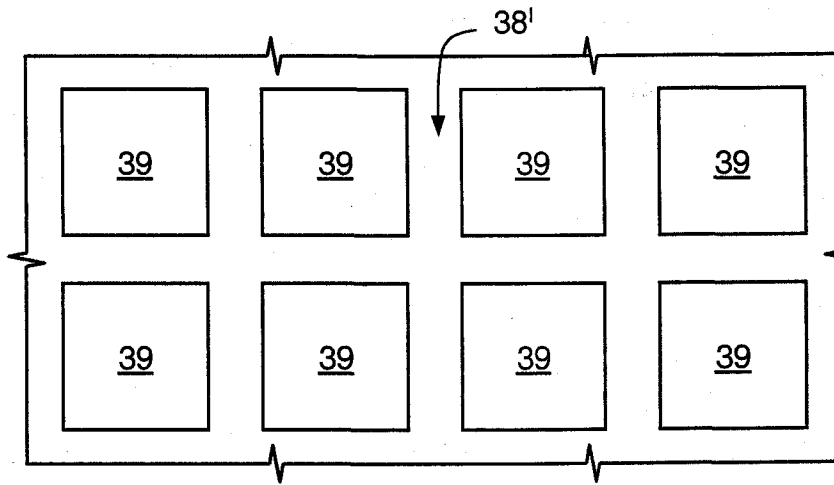


Fig.12

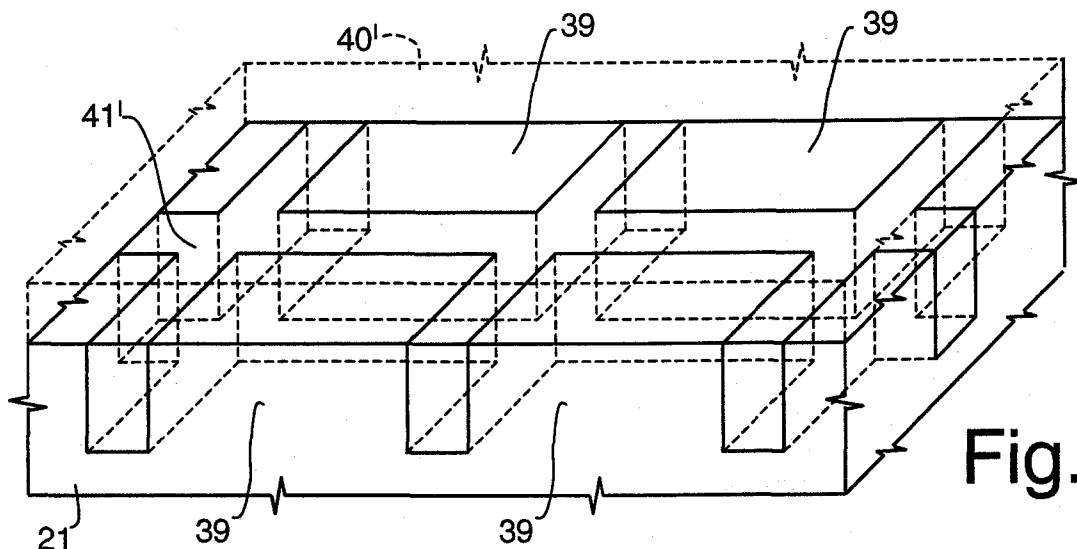


Fig.13

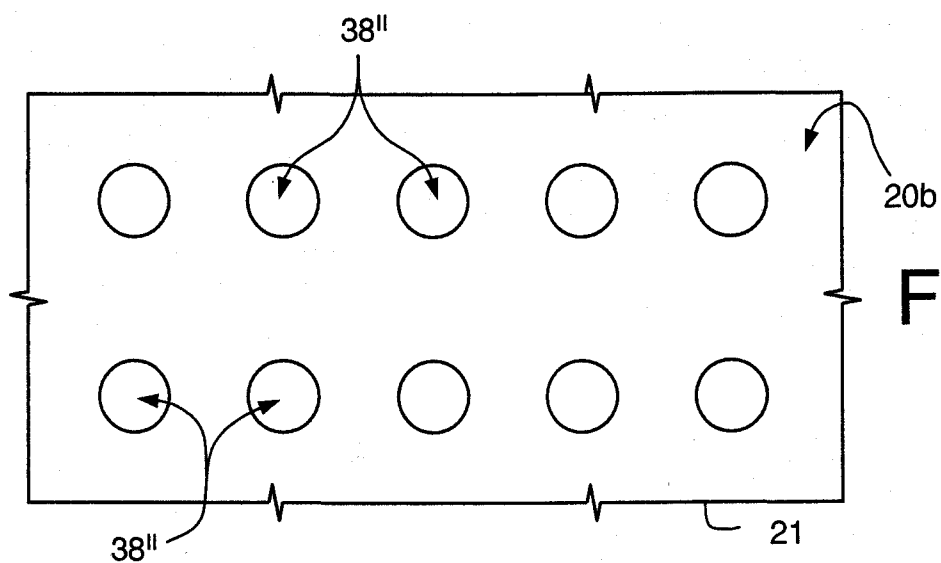


Fig. 14

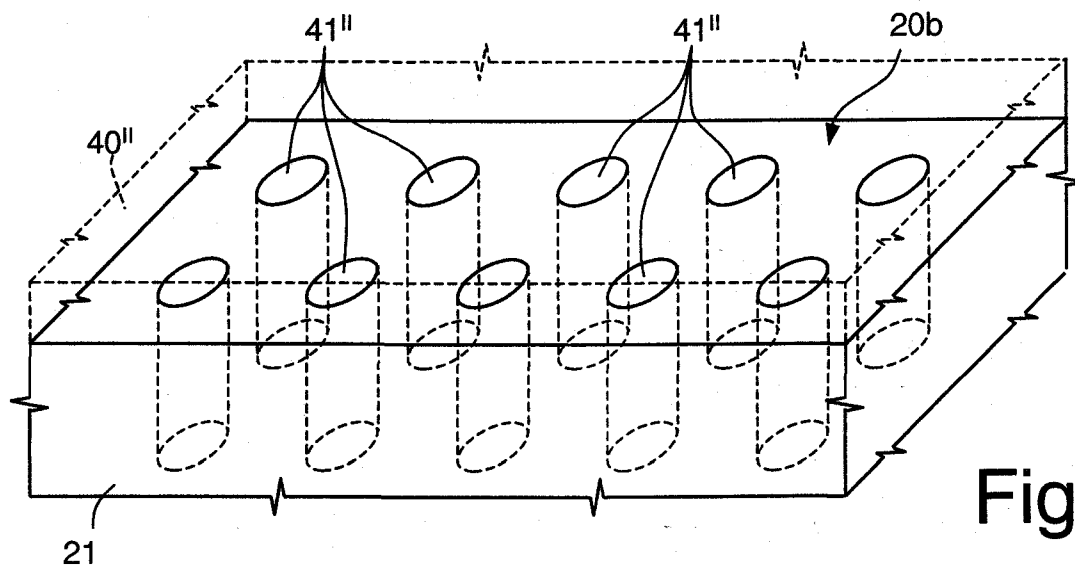


Fig. 15

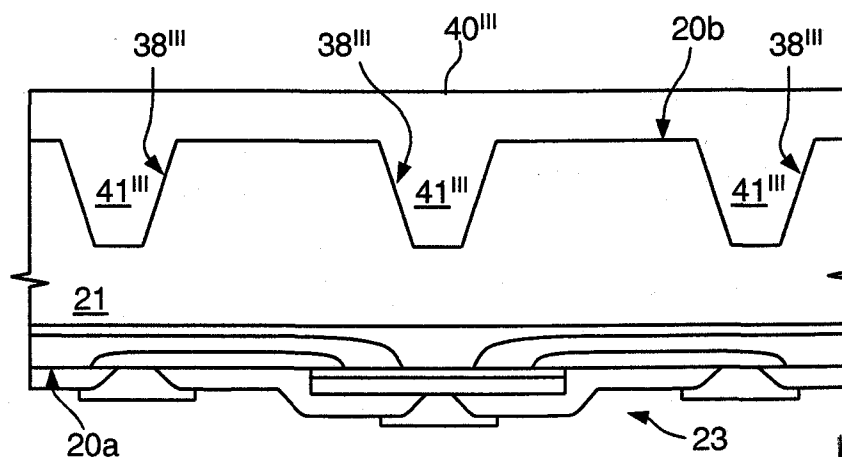


Fig. 16a

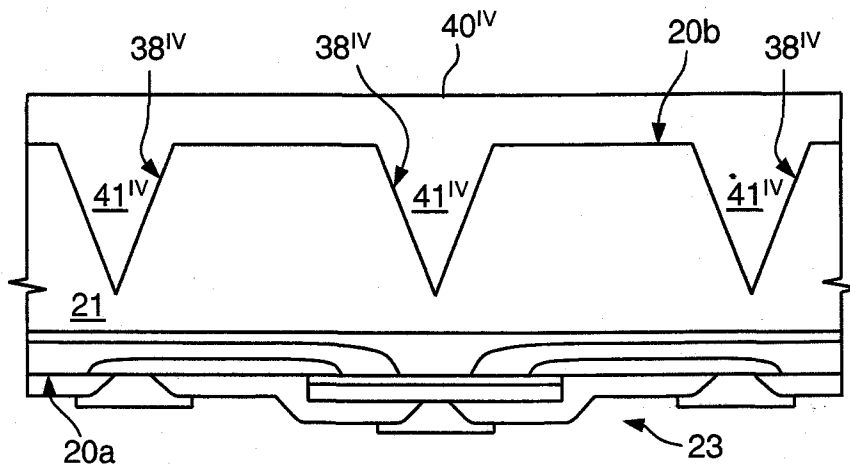


Fig.16b

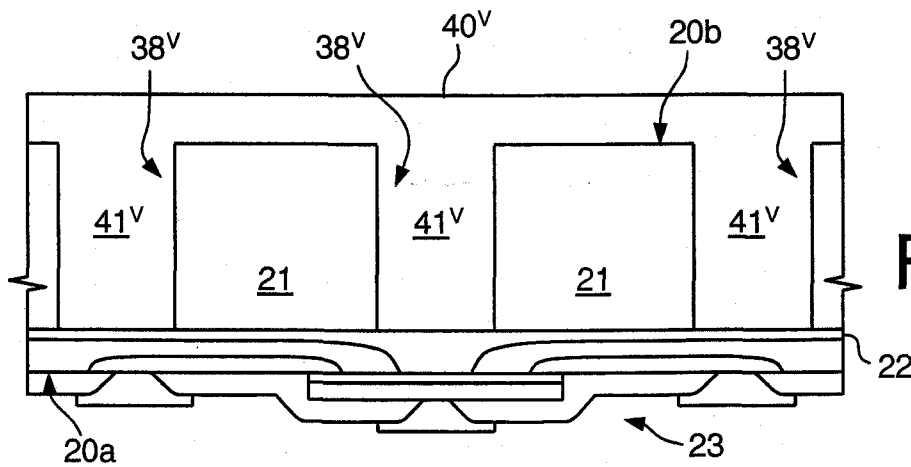


Fig.17

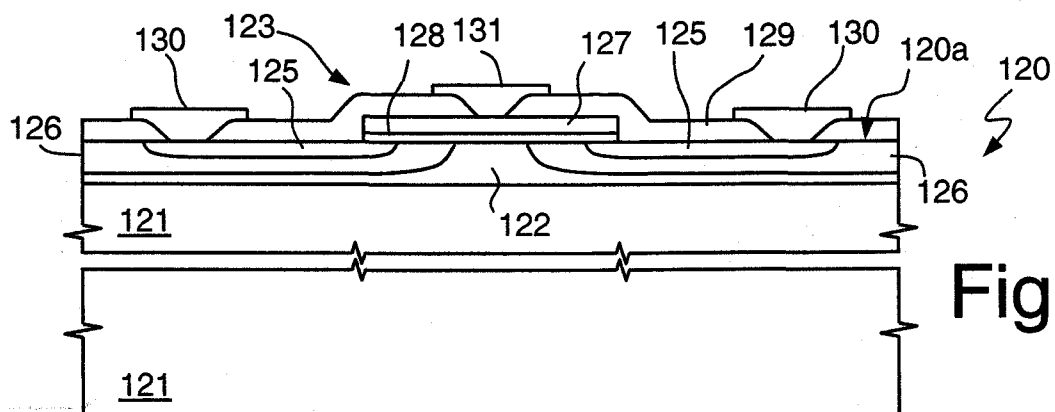


Fig.18

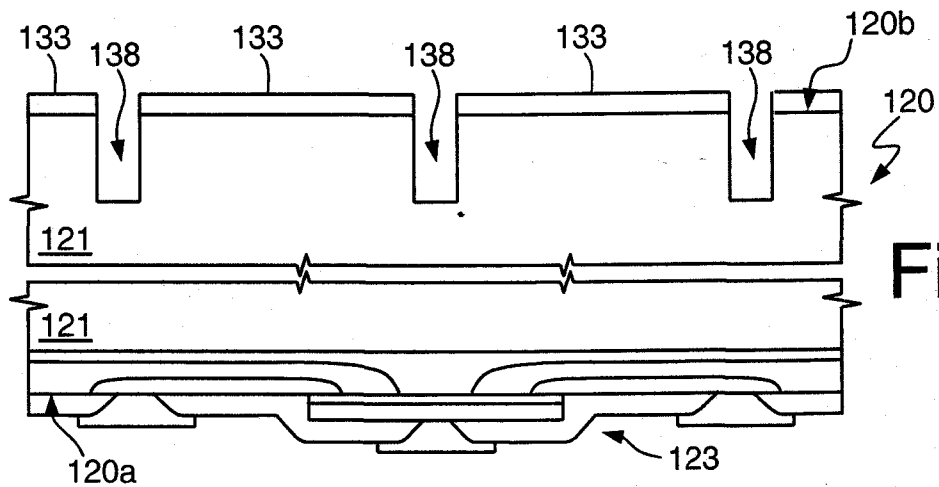


Fig.19

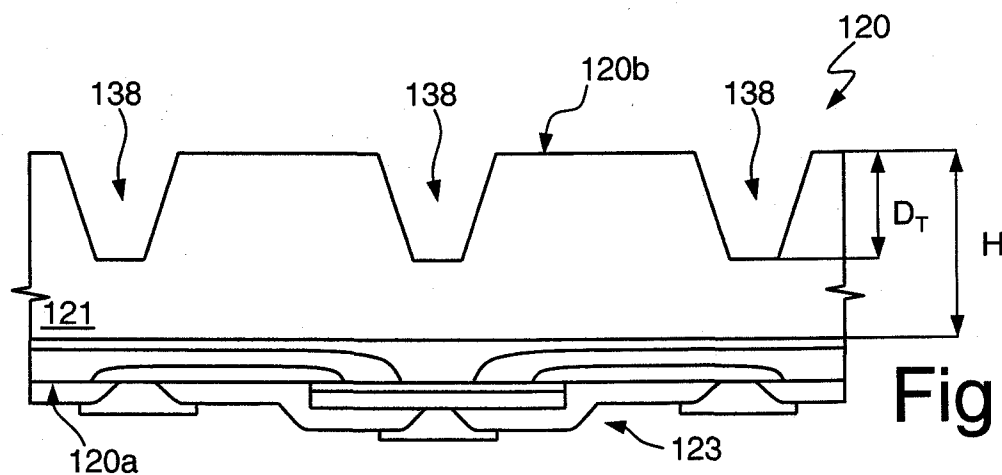


Fig.20

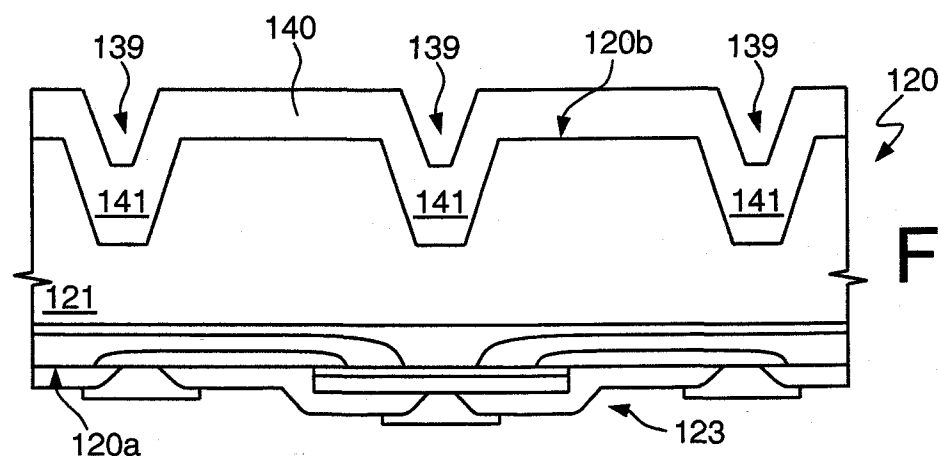


Fig.21

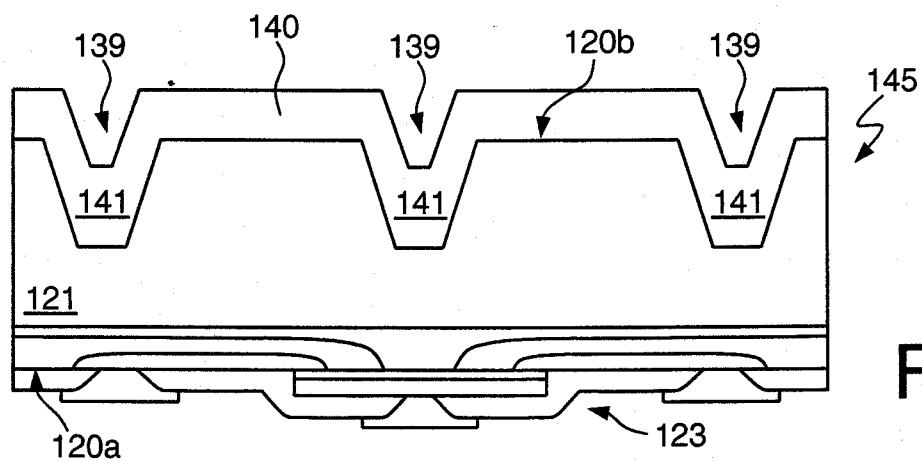


Fig.22

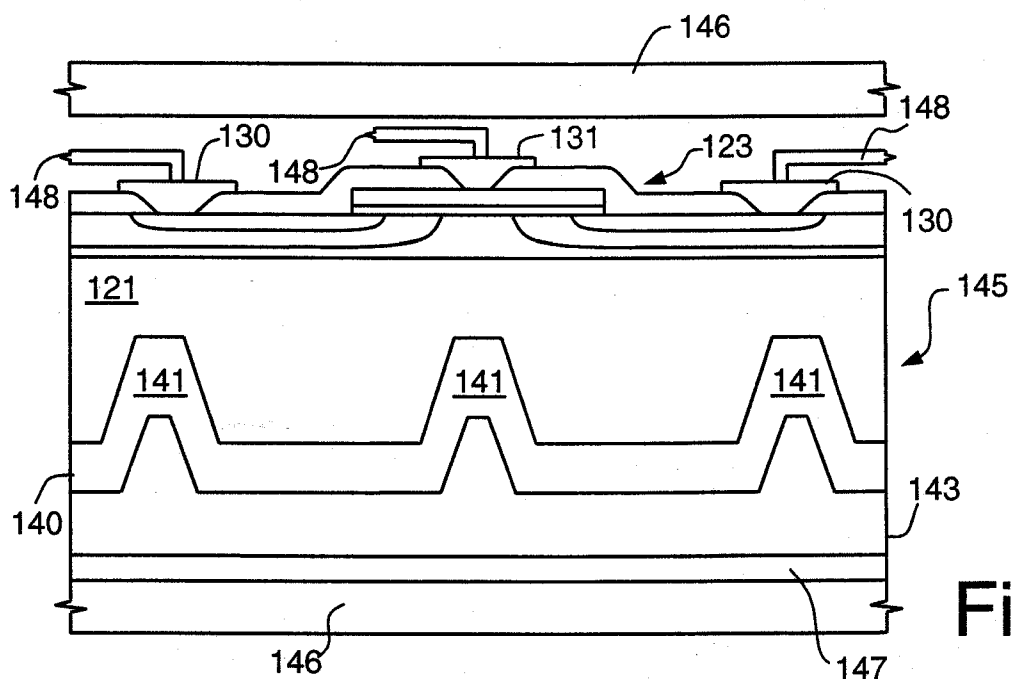


Fig.23

p.i.: SIMICROELECTRONICS S.R.L.

CERBARO Elena
 CERBARO Elena
 (Iscritta all' Albo n. 426/BM)

CAMERA DI COMMERCIO
 INDUSTRIA ARTIGIANATO E AGRICOLTURA
 DI TORINO