

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5417703号
(P5417703)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年11月29日(2013.11.29)

(51) Int.Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 F
 HO 1 L 29/812 (2006.01) HO 1 L 29/80 L

請求項の数 16 (全 19 頁)

<p>(21) 出願番号 特願2007-296465 (P2007-296465) (22) 出願日 平成19年11月15日(2007.11.15) (65) 公開番号 特開2009-123932 (P2009-123932A) (43) 公開日 平成21年6月4日(2009.6.4) 審査請求日 平成22年10月15日(2010.10.15)</p> <p>(出願人による申告) 国等の委託研究の成果に係る特許出願(平成18年度独立行政法人新エネルギー・産業技術総合開発機構からの委託研究「窒化物半導体を用いた低電力型高周波デバイスの開発」、産業技術力強化法第19条の適用を受ける特許出願)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100109313 弁理士 机 昌彦 (74) 代理人 100124154 弁理士 下坂 直樹 (72) 発明者 村瀬 康裕 東京都港区芝五丁目7番1号 日本電気株式会社内 (72) 発明者 田能村 昌宏 東京都港区芝五丁目7番1号 日本電気株式会社内</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板の表面に設けられたチャンネル層と、
 前記チャンネル層上に形成されたドレイン電極と、
 前記チャンネル層上に前記ドレイン電極とは離間して形成されたソース電極と、
 前記チャンネル層上で前記ドレイン電極と前記ソース電極との間に配置されたゲート電極と

、
 前記ドレイン電極の表面に形成された第1の絶縁膜と、
 前記ドレイン電極の、前記チャンネル層との接合面と対向する面である、前記ドレイン電極の上面に形成された前記第1の絶縁膜上の少なくとも一部に設けられたガード電極と、
 前記ガード電極の表面を覆うように形成された第2の絶縁膜と、を備え、
 前記ガード電極は、前記ドレイン電極を挟んで配置された前記ゲート電極同士を接続し前記第2の絶縁膜上方に位置する金属配線の少なくとも一部と前記第2の絶縁膜上方に位置する前記ゲート電極の少なくとも一部のいずれか少なくとも一方と、前記ドレイン電極との間に位置し、

10

前記ガード電極と前記ソース電極が電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

前記ガード電極と、前記ゲート電極或いは前記金属配線との最小間隔が、前記ガード電極

20

と前記ドレイン電極との最小間隔よりも大きいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート電極が複数存在し、前記ドレイン電極と前記ソース電極のうち少なくともいずれか一方が複数存在し、他の一方が少なくとも一以上存在することを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】

前記ゲート電極或いは前記金属配線と前記第 2 の絶縁膜の間に空隙が存在することを特徴とする請求項 1 乃至 3 記載のいずれか一項に記載の半導体装置。

【請求項 5】

前記ドレイン電極の上面の全面を、前記ガード電極が前記第 1 の絶縁膜を介して覆うことを特徴とする請求項 1 乃至 4 記載のいずれか一項に記載の半導体装置。

【請求項 6】

前記ドレイン電極の上面と、前記ドレイン電極の、前記チャネル層との接合面以外の面を、前記ガード電極が前記第 1 の絶縁膜を介して覆うことを特徴とする請求項 1 乃至 5 記載のいずれか一項に記載の半導体装置。

【請求項 7】

前記第 1 の絶縁膜が、前記ドレイン電極と前記ゲート電極の間の前記チャネル層上まで延在し、前記ガード電極が、前記ドレイン電極と前記ゲート電極の間に延在された前記第 1 の絶縁膜上まで延在することを特徴とする請求項 1 乃至 6 記載のいずれか一項に記載の半導体装置。

【請求項 8】

前記ゲート電極同士を接続する前記金属配線を複数有することを特徴とする請求項 1 乃至 7 記載のいずれか一項に記載の半導体装置。

【請求項 9】

前記チャネル層と前記ゲート電極との接合面に対して垂直方向における前記ゲート電極と前記ドレイン電極を含む断面での前記ゲート電極の形状が、T型、Y型、マッシュルーム形状であることを特徴とする請求項 1 乃至 8 記載のいずれか一項に記載の半導体装置。

【請求項 10】

前記チャネル層と前記ゲート電極との接合面に対して垂直方向で前記ドレイン電極から前記ガード電極に向かう延長上に、前記ゲート電極の一部或いは前記金属配線が存在していることを特徴とする請求項 1 乃至 9 記載のいずれか一項に記載の半導体装置。

【請求項 11】

前記ゲート電極と前記ドレイン電極の前記半導体基板上での間隔が $1\mu\text{m}$ 以下であることを特徴とする請求項 1 乃至 10 記載のいずれか一項に記載の半導体装置。

【請求項 12】

前記第 1 の絶縁膜が SiO_2 からなることを特徴とする請求項 1 乃至 11 記載のいずれか一項に記載の半導体装置。

【請求項 13】

前記半導体基板が複数の層からなることを特徴とする請求項 1 乃至 12 記載のいずれか一項に記載の半導体装置。

【請求項 14】

前記ガード電極と前記ソース電極は導体によって接続されていて、前記導体と前記ゲート電極の間に空隙が存在することを特徴とする請求項 1 乃至 13 記載のいずれか一項に記載の半導体装置。

【請求項 15】

前記導体が、複数の前記金属配線の間配置されることを特徴とする請求項 1 乃至 14 記載のいずれか一項に記載の半導体装置。

【請求項 16】

前記ソース電極が2つ存在し、

10

20

30

40

50

前記ドレイン電極が1つ存在し、
 前記ゲート電極が2つ存在し、
 前記ドレイン電極が2つの前記ゲート電極に挟まれ、
 2つの前記ゲート電極が2つの前記ソース電極に挟まれ、
 2つの前記ゲート電極が前記金属配線により接続されていることを特徴とする請求項1乃至15記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特にゲート長が短く高周波数で動作する半導体装置に関するものである。

10

【背景技術】

【0002】

電界効果トランジスタ(Field Effect Transistor; FET)や高電子移動度トランジスタ(High Electron Mobility Transistor; HEMT)において、数十GHz以上の高い周波数での動作を実現するにはゲート電極のゲート長を短くすること、特に1 μm 以下にすることが有効である。

【0003】

しかし、ゲート長の微細化に伴いゲート抵抗が増大する。そのため、半導体装置の高周波特性が劣化する。

【0004】

20

そこで、ゲート抵抗を低減させるために、ゲート電極の表面積を増加させる方法が用いられている。例えば、ゲート電極の形状を、T型、Y型、マッシュルーム形状等とし、ショットキー接合部におけるゲート長を短くしつつ、ショットキー接合部より上層の電極表面積を広くする方法である。例えば、特許文献1にはT型のゲート電極について記載されている。

【0005】

しかしながら、この方法には次に述べるような問題がある。まず、ゲート電極の上層の厚さがレジスト膜厚に制限されてしまうため、ゲート抵抗の低減には限界がある。さらに、特許文献1に記載されているように、ゲートを微細化するに従い電極形成時のレジスト開口寸法 w とレジスト高さ d の比(w/d)が小さくなる。そのため、ゲート電極を形成する際に電子線蒸着などによる断線等を引き起こしやすくなる。

30

【0006】

そこで、上記問題を解決するための方法として、エアブリッジ構造のゲート電極を用いる方法が特許文献2に開示されている。これは、ゲート電極のショットキー接合部より上層を、チャンネル層表面と平行方向に広がるように設けられた構造である。特許文献2のゲート電極の下にはソース電極やドレイン電極が配置され、ゲート電極はソース電極やドレイン電極を跨ぐように形成されている。ゲート電極をこのような構造にすることによって、ゲート電極におけるショットキー接合部より上層の電極表面積が広くなり、ゲート抵抗を低減することができる。

【0007】

40

特許文献2に開示されているエアブリッジ構造のゲート電極について図10を用いてさらに説明する。図10は特許文献2に記載されているFETの構造を示す。図10に示されるFETは、半導体基板100と半導体基板100に設けられたソース電極1、ドレイン電極3、及びゲート電極2を有する。ゲート電極2は、ソース電極1とドレイン電極3の間の中央に配置された狭いゲートフィンガー部302と、一対のウィング304と、端部が垂れ下がったT字に似た両側エアブリッジ部303を含む一体型構造であり、ゲート電極2はソース電極1及びドレイン電極3を跨いでいる。ゲート電極のエアブリッジ部の端部が接合するゲートパッド301は導電性材料から成り、基板100上に形成される。

【0008】

このように、図10のFETでは、ゲート電極をエアブリッジ構造にすることによって、

50

ゲート電極 2 におけるショットキー接合部より上層の電極表面積を大きくしている。このため、ゲート抵抗を低減することができる。さらに、ゲートパッド 301 がゲート電極 2 を受け止めることによって、ゲートフィンガー部 302 にかかる応力を減少できる。このため、ゲート電極を安定して基板上に設置することができる。

【0009】

【特許文献 1】特開2004-55677号公報

【特許文献 2】特開2001-102393号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら上述の関連技術には下記に示す問題がある。

【0011】

特許文献 1 および 2 に記載の T 型、Y 型、マッシュルーム形状等やエアブリッジ構造のゲート電極を用いて、ゲート電極におけるショットキー接合部より上層の電極表面積を増やすことによって、ゲート抵抗は低減される。しかし、前述した形状又は構造のゲート電極を用いても、得られる高周波利得劣化の改善効果は不十分である。これは、ゲート抵抗以外の要因が高周波利得を劣化させるからである。

【0012】

ゲート電極を前述した形状又は構造にすると、ドレイン電極上層近傍にゲート電極の一部が位置し、両電極間に絶縁膜が存在するため、ドレイン電極とゲート電極の間に寄生容量 (C_{gd}) が生じる。さらに、ゲート電極とソース電極の間にも寄生容量 (C_{gs}) が生じており、ドレイン電極とソース電極の間にも寄生容量 (C_{ds}) が生じている。このうち、ドレイン電極とゲート電極の間に生じる寄生容量 (C_{gd}) が高周波利得を実現する上で特に問題となる。

【0013】

周波数と高周波利得の理想的な関係について図 12 を用いて説明する。図 12 の横軸は周波数、縦軸は所定の周波数に対する高周波利得を表している。通常、高周波装置では周波数が高くなるにしたがって高周波利得は下がる。周波数と高周波利得の理想的な関係とは、図 12 に示すように周波数の上昇に応じて高周波利得が常に一定の傾きで下がり続ける関係である。

【0014】

しかし、実際の高周波装置では様々な容量が電極間で発生しており、それら容量による影響によって高周波利得は低くなる。

【0015】

高周波利得には最大安定化利得 (Maximum Stable Gain; MSG) 領域と最大有能利得 (Maximum Available Gain; MAG) 領域がある。MSG 領域とは、周波数の上昇に応じて一定の傾きで高周波利得が下がる範囲を指す。一方、MAG 領域とは MSG 領域よりも高周波の範囲を指し、その始まりは高周波利得が急激に下がり始める点である。一般に、高周波利得は MSG 領域では 3 dB/oct、MAG 領域では 6 dB/oct の割合で下がる。前述した周波数と高周波利得の理想的な関係とは、MSG に従って利得が低下するものであるとも言える。理想的でない場合は、ある周波数で MSG から MAG に切り替わる。

【0016】

C_{gd} と C_{gs} が高周波利得に与える影響について図 13 を用いて説明する。図 13 の C_{gd} は、 C_{gd} が存在する場合の高周波利得特性を示している。図 13 の C_{gs} は C_{gs} が存在する場合の高周波利得特性を示している。図 13 に示すように、 C_{gd} は MSG の範囲で高周波利得を劣化させ、さらに MSG から MAG に切り替わる周波数を下げる。一方、 C_{gs} は MSG の範囲では高周波利得にほとんど影響を与えず、MSG から MAG に切り替わる周波数のみを下げる。したがって、 C_{gd} の方が C_{gs} よりも高周波利得に対して悪影響を与える。なお、 C_{ds} は高周波利得にほとんど影響を与えないため、グラフ中には示していない。

【0017】

10

20

30

40

50

以上のとおり、特許文献 1、2 に記載のようなゲート電極を用いると、ゲート電極及びゲート電極のエアブリッジ部と、ドレイン電極との間に存在するCgdにより、MSG領域で高周波利得が劣化し、さらにMSGからMAGに切り替わる周波数が下がる。そのため、半導体装置の高周波特性を十分に改善できないという問題点がある。

【0018】

加えて、特許文献 2 記載のエアブリッジ構造のゲート電極に関しては、高出力化と高集積化の両方を実現する上でさらなる問題がある。これは高出力化を実現するためにゲート電極の本数を増加させる場合、エアブリッジ構造のゲート電極が占める面積が大きいためトランジスタ全体の面積が増大し、高集積化が図れないという問題である。

【0019】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、半導体装置の高周波利得の劣化を防止することである。加えて、高出力で高集積化が可能な半導体装置を実現することである。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明の半導体装置は、半導体基板と、前記半導体基板の表面に設けられたチャンネル層と、前記チャンネル層上に形成されたドレイン電極と、前記チャンネル層上に前記ドレイン電極とは離間して形成されたソース電極と、前記チャンネル層上で前記ドレイン電極と前記ソース電極との間に配置されたゲート電極と、前記ドレイン電極の表面に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上の少なくとも一部に設けられたガード電極と、前記ガード電極の表面を覆うように形成された第 2 の絶縁膜と、を備え、前記ガード電極は、前記ドレイン電極を挟んで配置された前記ゲート電極同士を接続する金属配線の少なくとも一部と前記ゲート電極の少なくとも一部のいずれか少なくとも一方と、前記ドレイン電極との間に位置し、前記ガード電極と前記ソース電極が電氣的に接続されていることを特徴とする。

【0021】

加えて、本発明の半導体装置の製造方法は、半導体基板表面上に、ソース電極を形成する工程と、ドレイン電極を形成する工程と、前記ドレイン電極上に第 1 の絶縁膜を成膜する工程と、前記第 1 の絶縁膜上で、前記ドレイン電極の少なくとも一部を覆う部分にガード電極を形成する工程と、前記ソース電極と前記ドレイン電極の間にゲート電極を形成する工程と、前記ガード電極上に第 2 の絶縁膜を成膜する工程と、前記ガード電極上の前記第 2 の絶縁膜に開口部を設け、前記ガード電極と前記ソース電極とを電氣的に接続する導体を形成する工程と、を備えることを特徴とする。

【発明の効果】

【0022】

本発明によれば、ゲート電極とドレイン電極の間に発生する寄生容量による影響を減らすことにより、高周波利得の優れた半導体装置を実現する。加えて、高出力で高集積化が可能な半導体装置を実現することである。

【発明を実施するための最良の形態】

【0023】

以下に、本発明に係る半導体装置及びその製造方法について、図 1 乃至図 9 を参照して説明する。

【0024】

〔第 1 の実施形態〕第 1 の実施形態では、本発明に係る半導体装置について説明する。ここでいう半導体装置とは、半導体基板上に形成された FET である。

【0025】

本実施形態の FET の断面構造を図 1 に示す。本実施形態における FET は、半導体基板 100 上に形成される。基板 100 上にはチャンネル層 101 が形成されている。チャンネル層 101 上にはソース電極 1 及びドレイン電極 3 及びゲート電極 2 が形成されている。ソース電極 1 とドレイン電極 3 は離間していて、それらの間にゲート電極 2 が配置されている。

10

20

30

40

50

絶縁膜 201 はドレイン電極 3 の表面に形成されている。ガード電極 4 は絶縁膜 201 上の少なくとも一部に設けられている。ガード電極 4 は、ゲート電極 2 の少なくとも一部とドレイン電極 3 の間に位置している。さらに、ガード電極 4 とゲート電極 2 の短絡を防ぐために、第 2 の絶縁膜 202 がガード電極 4 の表面を覆うように形成されている。絶縁膜 201 は、ソース電極 1 及びドレイン電極 3 及びゲート電極 2 が形成されている部分以外のチャンネル層 101 上にも形成されている。図中には示されていないが、ガード電極 4 はソース電極 1 と電氣的に接続されている。

【0026】

上述の構造において、ゲート電極 2 の一部とドレイン電極 3 の間にガード電極 4 が配置されている。そのため、ゲート電極 2 とドレイン電極 3 の間に生じていた寄生容量 (C_{gd}) は、ゲート電極 2 とガード電極 4 の間に生じる寄生容量 ($C_{gg'}$) と、ガード電極 4 とドレイン電極 3 の間に生じる寄生容量 ($C_{g'd}$) に置き換えられる。加えて、ガード電極 4 はソース電極 1 と接続されている。したがって、 $C_{gg'}$ は C_{gs} 、 $C_{g'd}$ は C_{ds} に置き換えることができる。

10

【0027】

通常、寄生容量は高周波利得を劣化させる。図 13 を用いて前述したとおり、 C_{gd} は MSG を劣化させ、MSG から MAG に切り替わる周波数を下げる。対して、 C_{gs} は MSG から MAG に切り替わる周波数を下げるのみである。 C_{ds} にいたっては利得にほとんど影響を与えない。したがって、 C_{gd} を C_{gs} と C_{ds} に変換することによって、MSG の劣化を防ぐことができ、良好な高周波特性が得られる。

20

【0028】

加えて、一般に、高周波用半導体装置はその目的としている高周波数が MSG の範囲内になるよう設計される。そして、本発明による半導体装置では、前述したとおり MSG における劣化を防ぐことができるため、高周波での動作において、十分な利得特性を得ることができる。

【0029】

本実施形態の FET で、ガード電極 4 が、ドレイン電極 3 とゲート電極 2 の間に、ドレイン電極 3 の少なくとも一部を覆うように、絶縁膜 201 上に設けられている。一般に、FET の高周波動作及び高集積化を実現させるためには、ドレイン電極 3 とゲート電極 2 の基板上での間隔は短い方が望ましい。ただし、この場合、両電極間の僅かな隙間にガード電極を設置することは製造技術上困難である。本実施形態の FET では、ドレイン電極 3 を覆うようにガード電極 4 を形成することによって、ドレイン電極 3 とゲート電極 2 の基板上での間隔に関係なく、ガード電極 4 をドレイン電極 3 とゲート電極 2 の間に配置させることができる。

30

【0030】

さらに、本実施形態の FET では、チャンネル層 101 とゲート電極 2 との接合面に対して垂直方向でドレイン電極 3 からガード電極 4 に向かう延長上に、ゲート電極 2 の一部である、T 型ゲート電極 2 の張り出し部が存在している。この場合、ドレイン電極 3 の、チャンネル層 101 との接合面と対向する面であるドレイン電極 3 の上面と、T 型ゲート電極 2 の張り出し部の間で C_{gd} が発生している。したがって、ガード電極をドレイン電極の上面に絶縁膜を介して形成することによって、効率的に C_{gd} を C_{gs} と C_{ds} に変換して、高周波利得の劣化を防ぐことができる。

40

【0031】

本実施形態の FET で用いる半導体基板は、半導体基板に用いられる一般的な材料であれば良い。例えば、GaAs 等 III-V 族半導体基板や GaN 等窒化物半導体に広く用いられる SiC がある。また、Si 基板も一般的に利用されている。

【0032】

本実施形態の FET で用いる絶縁膜は、低誘電材料から作られる膜で良く、特にその素材は限定しない。絶縁膜の素材の例として、SiN、SiO₂、Al₂O₃ が挙げられ、特に誘電率が低い方が好ましい。

50

【0033】

絶縁膜の厚さについては、薄すぎると後述するゲート電極とソース電極の間に生じる寄生容量 (Cgs) が大きくなり、その結果、高周波利得が低減する。そこで、例えばSiO₂膜を用いた場合は、少なくとも50 nm、より好ましくは100 nm程度の厚さがあることが望ましい。なお、絶縁膜の最適な厚さは誘電率によって決定されるため、絶縁膜素材に応じて変わる。

【0034】

本実施形態のFETで用いるソース電極とドレイン電極は、基板に用いる材料とオーミック性を示す金属であれば良い。ゲート電極は基板に用いる材料とショットキー性を示す金属であれば良い。例えば、窒化物半導体を基板として用いた場合は、ドレイン電極及びソース電極としてTi/Al系の合金、ゲート電極としてニッケルと金を用いることができる。図1においては、ソース電極1及びドレイン電極3の形状が長方形であるが、形状はこれらに限らず、他の形状でも良い。

10

【0035】

ゲート電極2の形状は、図1ではT型であるが、その形状はこれに限るものではなく、T型ゲート電極の張り出し部のように、ゲート電極の一部がチャンネル層に対して平行方向に広がり、ゲート電極2とドレイン電極3の間にガード電極4が存在していれば良い。したがって、チャンネル層とゲート電極との接合面に対して垂直方向におけるゲート電極とドレイン電極を含む断面でのゲート電極の形状が、Y型、マッシュルーム形状、エアブリッジ構造等でも良い。前述したような形状又は構造のゲート電極を用いることによって、ゲート電極の上層の表面積が拡大するため、ゲート抵抗の低減が期待できる。

20

【0036】

図1ではソース電極1、ドレイン電極3、ゲート電極2はそれぞれ1本ずつしかないが、ゲート電極が、ソース電極とドレイン電極の間に配置されていれば、各電極は複数あってもよい。

【0037】

基板上でのゲート電極とドレイン電極の間隔及びゲート電極とソース電極の間隔は、目的としている周波数や動作電圧によって変わる。例えば、30 GHz以上の高周波数で用いる場合、各間隔は1 μm以下が望ましい。

【0038】

なお、図1では、ゲート電極2は絶縁膜202に接しているが、ゲート電極2と絶縁膜202が接している必要はなく、間に空気等が存在していても良い。間に空気を挟むことによって、ゲート電極とガード電極の間に生じる寄生容量 (Cg'g) を減らすことができる。

30

【0039】

本実施形態のFETで用いるガード電極は、一般的な導電性材料から作られていれば良い。ガード電極には、例えば、チタンと金を用いることができる。

【0040】

第1の実施形態を表す図1では、ドレイン電極3の、チャンネル層101との接合面と対向する面である、ドレイン電極3の上面の全面を、ガード電極4が絶縁膜201を介して覆っている。ガード電極は、CgdをCgsとCdsに置き換える役割を担っているため、Cgdが生じている領域に設ける。Cgdは、通常、ゲート電極とドレイン電極の間の至る箇所で生じている。したがって、Cgdが生じている、ゲート電極とドレイン電極の間に設ければ、ガード電極の大きさがドレイン電極の大きさと比べて小さい場合でも、一定のCgdをCgsとCdsに置き換えることは可能である。しかし、より多くのCgdをCgsとCdsに置き換えるためには、図1で示すように、ドレイン電極の上面の全面をガード電極で覆うのが望ましい。

40

【0041】

図1では、ガード電極を1つ設けているが、その数は1つに限定されない。複数のガード電極を、ゲート電極とドレイン電極の間に設けても良い。

【0042】

50

ガード電極の厚さは、CgdをCgsとCdsに置き換えられるだけの厚さがあれば良く、その厚さは特に限定されない。

【0043】

ドレイン電極の上面と、ドレイン電極のチャンネル層との接合面以外の表面を、ガード電極が絶縁膜を介して覆うのも有効である。例えば、図1の場合、ドレイン電極3上面と、ドレイン電極3のチャンネル層101との接合面以外の面である、ドレイン電極3の側面のうち、ゲート電極2に近い方の側面は、ゲート電極2に対向している。そのため、そのドレイン電極3側面とゲート電極2の間にもCgdが発生している。したがって、特にガード電極が厚い場合、ドレイン電極3側面を絶縁膜201を介してガード電極で覆うことによって、Cgdによる影響を減らすことができる。

10

【0044】

ガード電極4は、ドレイン電極3とゲート電極2の間に形成された絶縁膜201上まで延在しても良い。このようにガード電極4が延在することによって、FETにおけるゲート電極2とドレイン電極3の間に生じる真性容量を減少させ、MSGの劣化を防ぐことができる。また、ゲート電極2とドレイン電極3の間の耐圧も上げることができる。ただし、ガード電極とゲート電極は接続しないようにすることが望ましい。

【0045】

ソース電極1とガード電極4は電氣的に接続されていれば良く、接続に用いる導体の材料は、電流が流れる一般的な金属であれば良い。接続方法は、例えば、ガード電極4を覆う絶縁膜にスルーホールを設けてエアブリッジ構造の導体で接続する方法などが挙げられる。この場合、導体とゲート電極の間に空隙が存在することとなる。

20

【0046】

本実施形態ではFETを用いて本発明について説明した。しかし、本発明において、本発明の効果が得られる半導体装置はこれに限るものでなく、HEMTなど各種半導体のいずれでも構わない。

【0047】

次に図1に示したFETの製造方法について、図2(a)乃至図2(e)を参照して説明する。図2(a)乃至図2(e)は、上述の半導体装置の製造方法の第1工程、第2工程、第3工程、第4工程、第5工程をそれぞれ工程順に示した断面図である。

【0048】

第1工程では、図2(a)に示すように、半導体基板100上の上に形成されたバッファ層を含むチャンネル層101の表面上に、フォトリソを用いて所望のパターニングを行う。そして、電子線蒸着法等を用いてチャンネル層101の表面上にオーミック接合のソース電極1とドレイン電極3を形成する。本実施形態においては、電極成分としてTi/Al系金属を用いている。

30

【0049】

第2工程では、図2(b)に示すように、プラズマCVD法等を用いてドレイン電極3上、チャンネル層102上、ソース電極1上に絶縁膜201を成膜する。絶縁膜201は少なくともドレイン電極3上に形成すれば良い。本実施形態においては、絶縁膜201をSiNとし、膜厚を200 nmとしている。

40

【0050】

第3工程では、図2(c)に示すように、絶縁膜201の表面上にフォトリソを用いてパターニングを行い電子線蒸着法等を用いて、絶縁膜201上でドレイン電極の少なくとも一部を覆う部分にガード電極4を形成する。本実施形態においては、ガード電極4の成分としてTi/Al系金属を用いている。

【0051】

第4工程では、図2(d)に示すように、絶縁膜201とガード電極4上にプラズマCVD法等を用いてさらに絶縁膜202を成膜する。絶縁膜202は少なくともガード電極4上に形成すれば良い。本実施形態においては、絶縁膜202を例えばSiNとし、膜厚を60 nmとしている。

50

【 0 0 5 2 】

第5工程では、図2(e)に示すように、絶縁膜202の表面上に電子線露光とエッチング技術を用いて絶縁膜202に開口を形成する。さらに電子線蒸着法等を用いてゲート電極2を形成する。本実施形態においては、ゲート電極2の成分としてNi/Au金属を用いている。パターニングはフォトリソなどを用いて行う。

【 0 0 5 3 】

第6工程では、ウェットまたはドライエッチングなどによってソース電極1上の絶縁膜201と絶縁膜202を除去する。さらに、ガード電極4上の絶縁膜202をウェットまたはドライエッチングなどによって除去し、スルーホールを設ける。その後、ガード電極4とソース電極1を接続する導体を形成する。これら一連の工程によって図1に示した半

10

【 0 0 5 4 】

なお、図1と図2(a)~(e)を用いて本実施形態におけるFETの製造方法を説明したが、製造方法はこれに限定するものではない。本発明においては、ドレイン電極3とゲート電極2の間で、ドレイン電極3の少なくとも一部を覆うように、ドレイン電極3上に絶縁膜201を介してガード電極4を形成されるものであれば、各工程が他の方法により行われるものであっても良い。

【 0 0 5 5 】

以上、説明したとおり、第1の実施形態におけるFETでは、図1に示すとおり、ゲート電極2の少なくとも一部とドレイン電極3の間に、ドレイン電極3の少なくとも一部を覆うように、絶縁膜201上に設けられたガード電極4を形成することによって、CgdをCgsとCdsに置き換えることができる。従って、高周波利得の劣化を抑えることが可能となる。

20

【 0 0 5 6 】

〔第2の実施形態〕第2の実施形態では、本発明に係る、ガード電極とゲート電極の間隔が、ガード電極とドレイン電極の間隔よりも大きいことを特徴とする半導体装置について説明する。本実施形態は、第1の実施形態の応用であるため、第1の実施形態と同様な点については説明を省略する。

【 0 0 5 7 】

本実施形態と第1の実施形態の異なる点について図3を用いて説明する。図3は本実施形態のFETの断面図を示す。

30

【 0 0 5 8 】

本実施形態におけるFETでは、第2の絶縁膜202が第1の絶縁膜201よりも厚い。そのため、ガード電極4とゲート電極2の間隔が、ガード電極4とドレイン電極3の間隔よりも大きい。

【 0 0 5 9 】

一般に、電極の間隔が大きくなるほど電極間に生じる寄生容量は小さくなる。したがって、ガード電極4とゲート電極2の間隔を大きくすることによってCgg'(Cgs)が小さくなり、その結果、良好な高周波利得を得ることができる。

【 0 0 6 0 】

ここで、ガード電極とゲート電極の間隔及びガード電極とドレイン電極の間隔とは、各々の電極間における最小間隔のことを指す。最小間隔とは、一方の電極のあらゆる箇所を起点とし、もう一方の電極を終点として延ばした間隔のうち、最も短くなる間隔を指す。

40

【 0 0 6 1 】

例えば図3のような場合、ガード電極4とゲート電極2の間隔は第2の絶縁膜202の厚さと等しい。

【 0 0 6 2 】

〔第3の実施形態〕第3の実施形態では、本発明に係る、ゲート電極を2本備え、ゲート電極同士が金属配線によって接続されている半導体装置について説明する。本実施形態は、第1の実施形態の応用であるため、第1の実施形態と同様な点については説明を省略する。

50

【 0 0 6 3 】

本実施形態と第 1 の実施形態の異なる点について図 4、図 5 を使って説明する。図 4 は、本実施形態の FET の断面図を示す。図 5 は図 4 に示した FET の平面図である。本実施形態の FET を図 5 に示す点線で切断した際の断面図が図 4 である。

【 0 0 6 4 】

本実施形態における基板 1 0 0 上には半導体層からなるバッファ層領域を含んだチャネル層 1 0 1 が形成されている。チャネル層 1 0 1 の上には、電子供給層 1 0 2 が形成されている。この電子供給層 1 0 2 上に、ソース電極 1 が 2 本、ドレイン電極 3 が 1 本、ゲート電極 2 が形成されている。ドレイン電極 3 を挟んで配置されたゲート電極 2 同士は金属配線 5 によって接続されている。ガード電極 4 は、金属配線 5 の少なくとも一部とドレイン電極 3 との間に位置している。

10

【 0 0 6 5 】

本実施形態における FET では、ガード電極 5 は、ドレイン電極 3 と金属配線 5 の間で、絶縁膜 2 0 1 上にドレイン電極の少なくとも一部を覆うように形成されている。金属配線 5 はゲート電極 2 同士を接続しているため、金属配線 5 とドレイン電極 3 の間には寄生容量 C_{gd} が生じている。ガード電極 5 を、ドレイン電極 3 と金属配線 5 の間に設置することによって、 C_{gd} を C_{gs} と C_{ds} に置き換えることができ、その結果、高周波利得の劣化を抑えることができる。

【 0 0 6 6 】

本実施形態における FET には、図 4、図 5 に示すように、ゲート電極 2 が 2 本ある。さらに、図 4 に示すように、ソース電極 1、ゲート電極 2、ドレイン電極 3 が並列している。このような構造を用いることによって、高出力化が可能となる。

20

【 0 0 6 7 】

なお、ガード電極は、金属配線で接続されたゲート電極とドレイン電極との間に配置されても良い。

【 0 0 6 8 】

本実施形態における FET では、ゲート電極 2 同士が金属配線 5 によって電氣的に接続されている。ゲート電極同士を金属配線で接続することによって、各ゲート電極の動作が均一化できるため、半導体装置の高出力化と高利得化が可能となる。

【 0 0 6 9 】

ゲート電極の数は特に 2 本に限定されない。半導体装置の出力はゲート電極の数に応じて増えるので、より高い出力を得たい場合は、ゲート電極の数を増やしても良い。ただし、ゲート電極はソース電極とドレイン電極の間に配置されるのが望ましい。

30

【 0 0 7 0 】

ソース電極とドレイン電極の数は、ゲート電極がソース電極とドレイン電極の間に配置されている限り、その数は限定されるものではない。例えば、本実施形態における FET の場合は、図 4 に示すとおり、ソース電極 1 が 2 本、ドレイン電極 3 が 1 本、ゲート電極 2 が 2 本ある。そして、ドレイン電極 3 は、2 本のゲート電極 2 に挟まれている。さらに、2 本のゲート電極 2 は、2 本のソース電極 1 に挟まれている。このような構造にすることによって、ソース電極、ドレイン電極、ゲート電極の数はそれぞれ異なるが、ゲート電極がソース電極とドレイン電極に挟まれるという配置が実現できる。

40

【 0 0 7 1 】

本実施形態における FET では、図 5 に示すように、ゲート電極 2 同士を接続する金属配線 5 が 4 本あるが、その数は 4 本に限定されるものではない。ゲート電極同士が電氣的に接続されていれば、各ゲート電極の動作は均一化されるので、金属配線の数は 1 本でも良い。

【 0 0 7 2 】

図 5 で示す金属配線 5 のゲート電極における長手方向の長さである、金属配線 5 の幅はより広い方が望ましい。金属配線 5 の幅を広くすることによって、ゲート電極 2 のショットキー接合部よりも上層の表面積を増やすことができ、ゲート抵抗を低減できる。

50

【0073】

金属配線5の材料は、電流が流れる一般的な導体であれば良く、その素材は特に限定しない。

【0074】

本実施形態におけるFETでは、複数の層からなる半導体基板を用いている。複数の層からなる基板の例として、GaNバッファ層・チャネル層とAlGaIn電子供給層で構成されるようなIII-V族窒化物半導体による基板が挙げられる。このように、複数の層にすることで高速化、高周波化など優れた特性を示すFETを作成することができる。

【0075】

本発明は、特許文献2に示されたエアブリッジ構造のゲート電極にも適用可能である。本発明を適用することによって、特許文献2記載の構造を採用した半導体装置における高周波利得の劣化を低減できる。

10

【0076】

本発明による半導体装置を利用すると、省スペースでの高出力化、集積化を容易に実現できる。特許文献2の構造を示した図10では、ゲート電極2のエアブリッジ端部に接続されたゲートパッド301がソース電極1及びドレイン電極3の隣に配置されている。この構造でゲート電極の数を増やす場合、図10の半導体装置を電極幅方向に並べることになるため、半導体装置が肥大化してしまう。対して、本発明では図4に示すように、各々のゲート電極2がソース電極1及びドレイン電極3の隣に配置されるため、限られた空間に効率良くソース電極及びドレイン電極及びゲート電極を配置することができる。

20

【0077】

次に図4に示したFETの製造方法について、図6(a)乃至図6(e)を参照して説明する。図6(a)乃至図6(e)は、上述の半導体装置の製造方法の第1工程、第2工程、第3工程、第4工程、第5工程をそれぞれ工程順に示した断面図である。

【0078】

第1工程では、図6(a)に示すように、半導体基板100上に形成されたバッファ層を含むチャネル層101、電子供給層102からなる複層の表面上に、フォトリソストを用いて所望のパターニングを行う。そして、電子線蒸着法等を用いて複層の表面上にソース電極1とドレイン電極3を形成する。本実施形態においては、電極成分としてTi/Al系金属を用いている。

30

【0079】

第2工程では、図6(b)に示すように、プラズマCVD法等を用いてドレイン電極3上、電子供給層102上、ソース電極1上に絶縁膜201を成膜する。絶縁膜201は少なくともドレイン電極3上に形成すれば良い。本実施形態においては、絶縁膜201を窒化シリコン(SiN)とし、膜厚を200 nmとしている。

【0080】

第3工程では、図6(c)に示すように、絶縁膜201の表面上にフォトリソストを用いてパターニングを行い電子線蒸着法等を用いて、絶縁膜201上でドレイン電極の少なくとも一部を覆う部分に形成する。本実施形態においては、ガード電極4の成分としてTi/Al系金属を用いている。パターニングはフォトリソストなどを用いて行う。

40

【0081】

第4工程では、図6(d)に示すように、絶縁膜201の表面上に電子線露光とエッチング技術を用いて絶縁膜に開口を形成する。さらに電子線蒸着法等を用いてゲート電極2を形成する。本実施形態においては、ゲート電極2の成分としてNi/Au金属を用いている。パターニングはフォトリソストなどを用いて行う。

【0082】

第5工程では、図6(e)に示すように、ガード電極4上、絶縁膜201上、ゲート電極2上にプラズマCVD法等を用いてさらに絶縁膜202を成膜する。本実施形態においては、絶縁膜202を例えばSiNとし、膜厚を60 nmとしている。絶縁膜202は少なくともガード電極4上に形成すれば良い。

50

【 0 0 8 3 】

第6工程では、ウェットまたはドライエッチングなどによってソース電極1上部の絶縁膜201と絶縁膜202、ゲート電極2上部の絶縁膜202を除去する。その後、スパッタとメッキ技術を用いて、ゲート電極2同士を接続する金属配線5を絶縁膜202上に形成する。さらに、ガード電極4上の絶縁膜202をウェットまたはドライエッチングなどによって除去し、スルーホールを設ける。その後、ガード電極4とソース電極1を接続する導体を形成する。これら一連の工程によって図4に示した半導体装置が完成される。

【 0 0 8 4 】

なお、図4と図6(a)~(e)を用いて本実施形態におけるFETの製造方法を説明したが、製造方法はこれに限定するものではない。本発明においては、ゲート電極2同士を接続した金属配線5とドレイン電極3の間で、ドレイン電極3の少なくとも一部を覆うように、ドレイン電極3上に絶縁膜201を介してガード電極4を形成されるものであれば、各工程が他の方法により行われるものであっても良い。

【 0 0 8 5 】

以上、説明したとおり、第3の実施形態におけるFETでは、ゲート電極2同士を接続した金属配線5とドレイン電極3の間で、ドレイン電極3の少なくとも一部を覆うように、ドレイン電極3上に絶縁膜201を介してガード電極4を形成することによって、CgdをCgsとCdsに置き換えることができる。従って、高周波利得の劣化を抑えることが可能となる。

【 0 0 8 6 】

〔第4の実施形態〕第4の実施形態では、本発明に係る、低誘電率素材を使った絶縁膜を用いたことを特徴とする半導体装置について説明する。本実施形態は、第1の実施形態と第3の実施形態の応用であるため、第1と第3の実施形態と同様な点については説明を省略する。

【 0 0 8 7 】

本実施形態と、第1と第3の実施形態の異なる点について図7を使って説明する。図7は、本実施形態のFETの断面図を示す。

【 0 0 8 8 】

本実施形態におけるFETでは、絶縁膜201上に、さらに絶縁膜201よりも誘電率の低い絶縁膜203が形成されている。そして、ガード電極4は、絶縁膜203上にドレイン電極の少なくとも一部を覆うように形成されている。さらに、絶縁膜203と同一素材からなる、絶縁膜204がガード電極4の表面を覆っている。

【 0 0 8 9 】

本実施形態におけるFETでは、ドレイン電極3及びガード電極4は、絶縁膜201よりも低い誘電率素材を用いた絶縁膜203及び絶縁膜204に覆われている。これによって、ゲート電極2とソース電極1(ガード電極4)の間に生じる寄生容量(Cgs)を減らすことができる。従って、図4で示した第3の実施形態の半導体装置に比べ、MSGからMAGに切り替わる周波数が伸び、さらに高周波利得の劣化が抑えられる。

【 0 0 9 0 】

絶縁膜203及び絶縁膜204は絶縁膜201よりも低誘電率なものが望ましい。例えば、絶縁膜203及び絶縁膜204としてSiO₂、絶縁膜201としてSiNを用いることができる。

【 0 0 9 1 】

次に図7を用いて本実施形態におけるFETの製造方法について説明する。なお、本実施形態は、第3の実施形態の応用であるため、第3の実施形態におけるFETの製造方法と相違する第2工程と第5工程についてにのみ説明する。

【 0 0 9 2 】

本実施形態におけるFETの製造方法の第2工程では、プラズマCVD法等を用いて複層表面に絶縁膜201を成膜する。そして、再びプラズマCVD法等を用いて、絶縁膜201上に絶縁膜203を成膜する。例えば、絶縁膜201としてSiNを用いて膜厚を20 nm、絶縁

10

20

30

40

50

膜 2 0 3 としてSiO₂を用いて膜厚を 1 0 0 nmとしている。

【 0 0 9 3 】

本実施形態におけるFETの製造方法の第5工程では、絶縁膜とゲート電極 2 の上前面にプラズマCVD法等を用いて絶縁膜 2 0 4 を成膜する。ここで、絶縁膜 2 0 4 は、絶縁膜 2 0 3 と同様に絶縁膜 2 0 1 よりも低い低誘電率素材を用いて作られる。例えば、絶縁膜 2 0 4 がSiO₂の場合には、膜厚を 1 0 0 nmとしている。

【 0 0 9 4 】

なお、本実施形態におけるFETの製造方法の第3工程と第5工程を上で説明したが、製造方法はこれに限定するものではない。

【 0 0 9 5 】

以上、説明したとおり、本実施形態におけるFETでは、ドレイン電極 3 及びガード電極 4 が、絶縁膜 2 0 1 よりも低い誘電率素材を用いた絶縁膜 2 0 3 及び絶縁膜 2 0 4 に覆われている。これによって、ゲート電極 2 とソース電極 1 (ガード電極 4) の間に生じる寄生容量 (C_{gs}) を減らすことができる。従って、高周波利得の劣化を抑えることが可能となる。

【 0 0 9 6 】

〔第5の実施形態〕第5の実施形態では、本発明に係る、ゲート電極同士を接続する金属配線がエアブリッジ状である半導体装置について説明する。本実施形態は、第1の実施形態と第3の実施形態の応用であるため、第1と第3の実施形態と同様な点については説明を省略する。

【 0 0 9 7 】

本実施形態と、第1と第3の実施形態の異なる点について図8を使って説明する。図8は、本実施形態のFETの断面図を示す。

【 0 0 9 8 】

本実施形態におけるFETでは、エアブリッジ状の金属配線 5 によってゲート電極 2 同士が接続されており、金属配線 5 と絶縁膜 2 0 2 の間には空隙が存在している。これによって、金属配線 5 とソース電極 1 (ガード電極 4) の間に発生する寄生容量 (C_{gs}) を減らすことができる。従って、図4で示した第3の実施形態の半導体装置に比べ、MSGからMAGに切り替わる周波数が伸び、さらに高周波利得の劣化が抑えられる。

【 0 0 9 9 】

次に本実施形態におけるFETの製造方法について図8を用いて説明する。なお、本実施形態は、第3の実施形態の応用であるため、第3の実施形態におけるFETの製造方法と相違する第6工程についてのみ説明する。

【 0 1 0 0 】

第5の実施形態におけるFETの製造方法の第6工程では、ウェットまたはドライエッチングなどによってソース電極 1 上の絶縁膜 2 0 1 と絶縁膜 2 0 2、ゲート電極 2 上部の絶縁膜 2 0 2 を除去する。次に、レジストを用いて、ゲート電極 2 同士の間位置するガード電極 4 やドレイン電極 3 を覆う形状の保護パターンを形成する。ここで、保護パターンは、ゲート電極 2 同士を接続するエアブリッジ状の金属配線 5 を露出するように形成される。その後、スパッタとメッキ技術及びミリング技術を用いて、ゲート電極 2 上部に金属配線 5 を形成する。そして、オゾンプラズマを用いたアッシング処理を用いて、保護パターンを選択的にエッチング除去することによって、エアブリッジ構造の金属配線 5 が形成される。更に、ガード電極 4 上の絶縁膜 2 0 2 をウェットまたはドライエッチングなどによって除去し、スルーホールを設ける。その後、ガード電極 4 とソース電極 1 を接続する導体を形成する。これら一連の工程によって図8に示した半導体装置が完成される。

【 0 1 0 1 】

なお、本実施形態におけるFETの製造方法の第6工程を上で説明したが、製造方法はこれに限定するものではない。本実施形態におけるFETの製造方法の第6工程においては、ゲート電極 2 同士を接続した金属配線 5 をエアブリッジ状に形成できるものであれば、本工程が他の方法により行われるものであっても良い。

10

20

30

40

50

【0102】

以上、説明したとおり、本実施形態におけるFETでは、エアブリッジ状の金属配線5を用いてゲート電極2同士を接続している。これによって、金属配線5とソース電極1（ガード電極4）の間に発生する寄生容量（Cgs）を減らすことができる。従って、高周波利得の劣化を抑えることが可能となる。

【0103】

〔第6の実施形態〕第6の実施形態に係る半導体装置について説明する。本実施形態は、第1の実施形態と第3の実施形態の応用であるため、第1と第3の実施形態と同様な点については説明を省略する。

【0104】

本実施形態と、第1と第3の実施形態の異なる点について図9を使って説明する。図9は、本実施形態のFETの平面図を示す。

【0105】

本実施形態におけるFETでは、ソース電極1とガード電極4を接続する導体が、金属配線5によって挟まれている。このような構造にすることによって、図9で示すゲート電極5の長手方向の長さであるゲートフィンガー長は、図5で示すFETのゲートフィンガー長と同じ長さを維持しつつ、図5で示すFETよりも小型化できる。

【0106】

〔実施例1〕本実施例では、本発明に係るFETにおける高周波利得特性と、それ以外のFETにおける高周波利得特性を比較した。

【0107】

本実施例で使用した本発明に係るFETは、図4、図5に示した構造で、ゲート電極を10本備えたものを用いた。本実施例では、基板100としてSiC、チャンネル層101としてGaN、電子供給層102としてAlGaN、ドレイン電極3及びソース電極1としてTi/Al系金属材料、ゲート電極2としてNi/Au、ガード電極としてTi/Au、金属配線5としてAu、絶縁膜201としてSiN、絶縁膜202としてSiNを用いる。ゲート長は0.25 μ m、ゲートフィンガー長は75 μ mとした。

【0108】

本発明以外のFETとして、T型ゲート電極を1本備えたFET（比較例1）とエアブリッジ構造のゲート電極2本を備えたFET（比較例2）を用いた。なお、比較例1、比較例2ともにガード電極がないFETである。

【0109】

各々のFETにおける高周波利得特性を図11のグラフに示す。グラフの横軸は周波数、縦軸は所定の周波数に対する高周波利得を表している。グラフ中の、本発明とは、本発明のFETの高周波利得特性を表す。比較例1、比較例2は、それぞれ前述した比較例1のFET、比較例2のFETの高周波利得特性を表す。

【0110】

図11に示すとおり、本発明におけるFET、比較例1におけるFET、比較例2におけるFETの高周波利得特性を比較したところ、本発明におけるFETの高周波利得特性が最も優れていた。比較例1の高周波利得特性は、本発明の高周波利得特性よりも、MSGからMAGに切り替わる周波数が低かった。比較例2の高周波利得特性では、本発明の高周波利得特性よりも、MSG領域において高周波利得が劣化し、さらにMSGからMAGに切り替わる周波数が低くなった。

【0111】

以上、説明したとおり、本発明におけるFETによって、T型ゲート電極を備えたFET、エアブリッジ構造のゲート電極を備えたFETよりも優れた高周波利得特性を実現できる。

【図面の簡単な説明】

【0112】

【図1】第1の実施形態に係る半導体装置の構成を模式的に示す断面図である。

【図2】第1の実施形態に係る半導体装置の製造工程を模式的に示す図である。

10

20

30

40

50

【図 3】第 2 の実施形態に係る半導体装置の構成を模式的に示す断面図である。
 【図 4】第 3 の実施形態に係る半導体装置の構成を模式的に示す断面図である。
 【図 5】第 3 の実施形態に係る半導体装置の構成を模式的に示す平面図である。
 【図 6】第 3 の実施形態に係る半導体装置の製造工程を模式的に示す図である。
 【図 7】第 4 の実施形態に係る半導体装置の構成を模式的に示す断面図である。
 【図 8】第 5 の実施形態に係る半導体装置の構成を模式的に示す断面図である。
 【図 9】第 6 の実施形態に係る半導体装置の構成を模式的に示す平面図である。
 【図 10】特許文献 2 に示されたエアブリッジ構造のゲート電極を備えた半導体装置の模式図である。

【図 11】本発明における FET、T 型ゲート構造を備えた FET、エアブリッジ型のゲート電極を備えた FET の高周波利得特性を表したグラフである。 10

【図 12】理想的な高周波利得特性を表したグラフである。

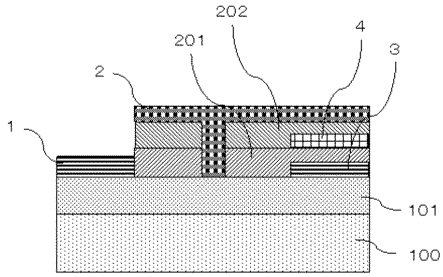
【図 13】 C_{gd} が存在する場合の高周波利得特性、 C_{gs} が存在する場合の高周波利得特性を表したグラフである。

【符号の説明】

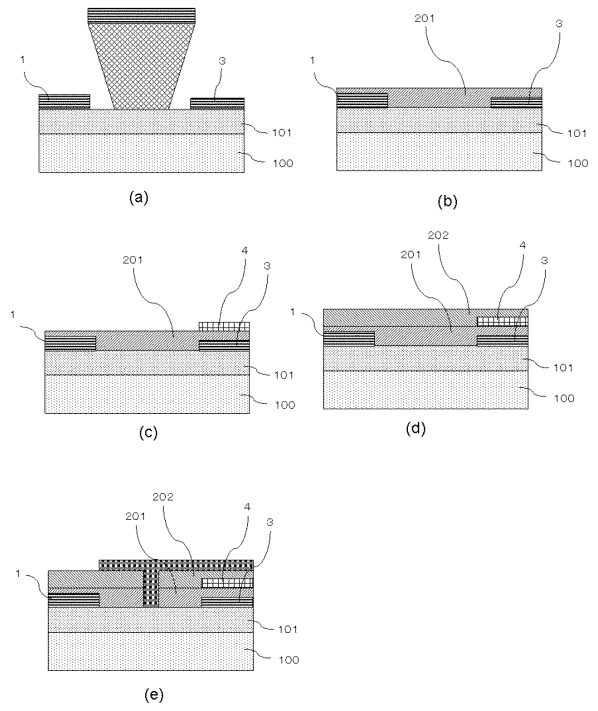
【0113】

- | | | |
|-----|-----------|----|
| 1 | ソース電極 | |
| 2 | ゲート電極 | |
| 3 | ドレイン電極 | |
| 4 | ガード電極 | 20 |
| 5 | 金属配線 | |
| 100 | 基板 | |
| 101 | チャネル層 | |
| 102 | 電子供給層 | |
| 201 | 絶縁膜 | |
| 202 | 絶縁膜 | |
| 203 | 絶縁膜 | |
| 204 | 絶縁膜 | |
| 301 | ゲートパッド | |
| 302 | ゲートフィンガー部 | 30 |
| 303 | エアブリッジ部 | |
| 304 | ウィング | |

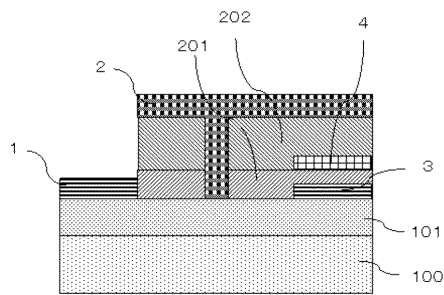
【図1】



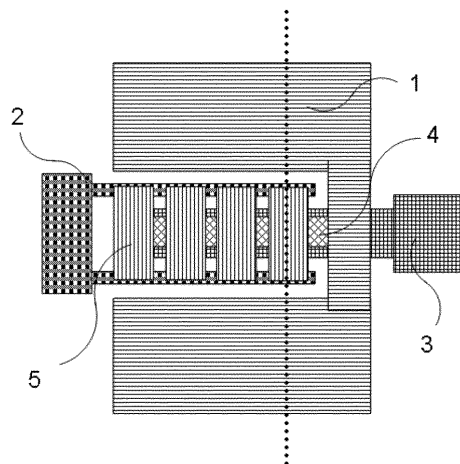
【図2】



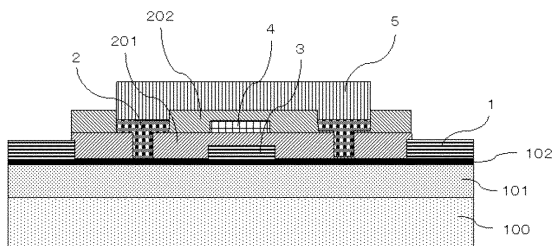
【図3】



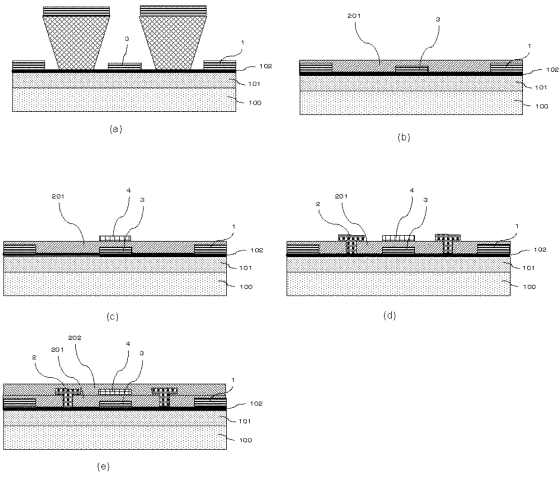
【図5】



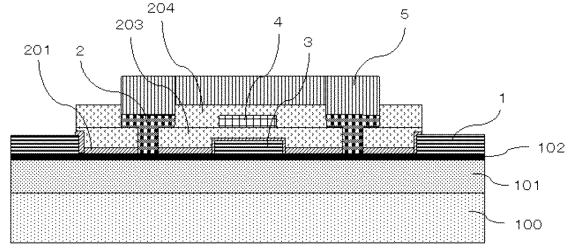
【図4】



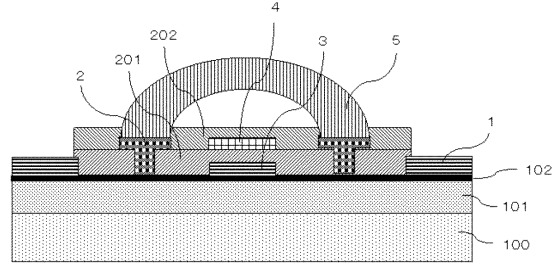
【図6】



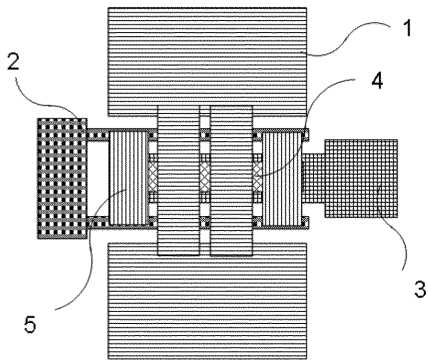
【図7】



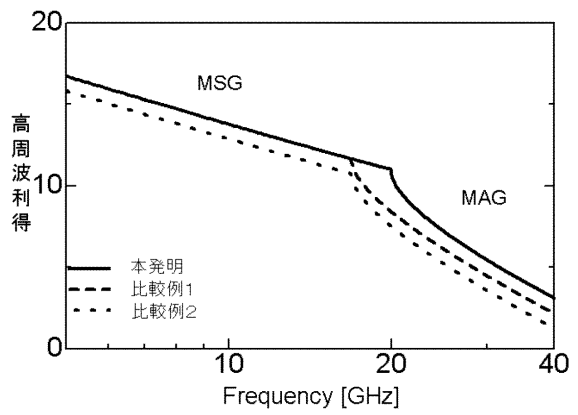
【図8】



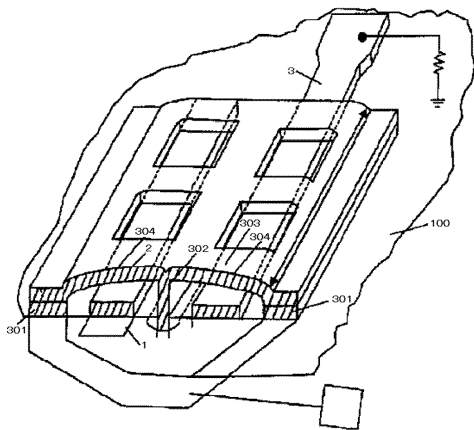
【図9】



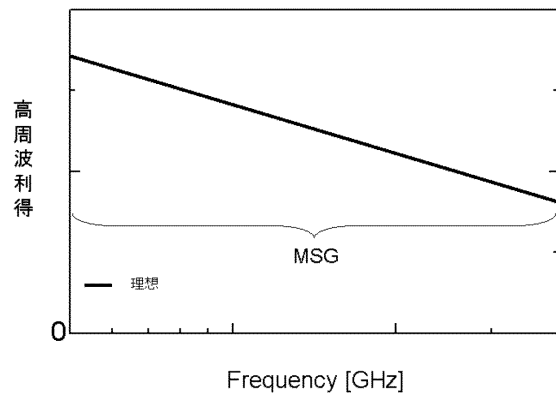
【図11】



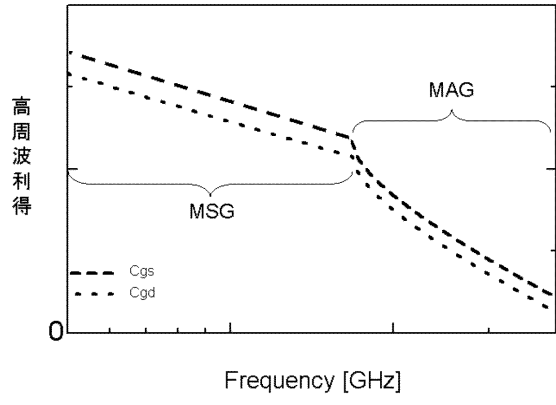
【図10】



【図12】



【図 13】



フロントページの続き

(72)発明者 宮本 広信
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 空 哲次

(56)参考文献 特開平11-168099(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338

H01L 29/812