

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年2月18日 (18.02.2016)



(10) 国际公布号
WO 2016/023260 A1

- (51) 国际专利分类号:
H01L 27/115 (2006.01)
- (21) 国际申请号: PCT/CN2014/087478
- (22) 国际申请日: 2014年9月25日 (25.09.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410404550.X 2014年8月15日 (15.08.2014) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3#, Beijing 100029 (CN)。
- (72) 发明人: 霍宗亮 (HUO, Zongliang); 中国北京市海淀区中关村956楼2门203室, Beijing 100082 (CN)。
- (74) 代理人: 北京蓝智辉煌知识产权代理事务所(普通合伙) (BEIJING BLUEIP INTELLECTUAL PROPERTY AGENCY FIRM); 中国北京市海淀区上

地信息产业基地北区5号地上地辉煌国际中心4号楼1803室, Beijing 100085 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: THREE-DIMENSIONAL MEMORY AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 三维存储器及其制造方法

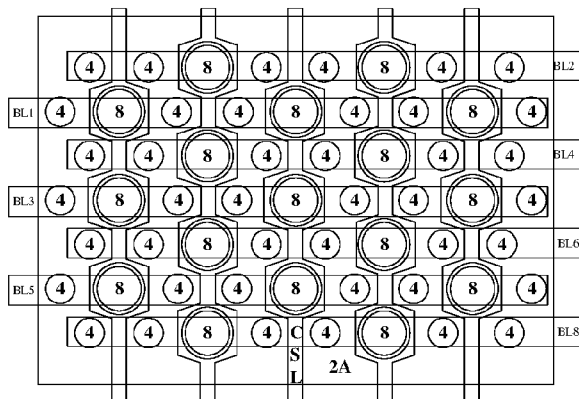


图10B / Fig. 10B

(57) Abstract: A three-dimensional memory manufacturing method. The method comprises the steps of: forming a stacking structure (2) of a first material layer (2A) and a second material layer (2B) on a substrate (1); etching the stacking structure (2) to expose the substrate (1), and forming multiple vertical first openings; forming a filling layer (3) in each first opening; etching the stacking structure to expose the substrate (1) around each first opening, and forming multiple vertical second openings; forming a vertical channel layer (4) and a drain (4D) in each second opening; selectively etching and removing the filling layers (3) to expose the first openings again; laterally etching and partially or completely removing the second material layer (2B), and leaving a groove (2R); forming a gate stacking structure (5A/5B) in the groove (2R); and forming a common source (1S) on and/or in the substrate at the bottom of each first opening. According to the three-dimensional memory manufacturing method, a word line deep groove of a TCAT three-dimensional device is replaced by deep hole etching to achieve the same functions, the integration density is improved, the etching process of the stacking structure is simplified, and control performance of the metal gate is kept.

(57) 摘要:

[见续页]



WO 2016/023260 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种三维存储器制造方法, 包括步骤: 在衬底 (1) 上形成第一材料层 (2A) 与第二材料层 (2B) 的堆叠结构 (2); 刻蚀堆叠结构 (2) 露出衬底 (1), 形成垂直的多个第一开孔; 在每个第一开孔中形成填充层 (3); 在每个第一开孔周围, 刻蚀堆叠结构 (2) 露出衬底 (1), 形成垂直的多个第二开孔; 在每个第二开孔中形成垂直的沟道层 (4) 和漏极 (4D); 选择性刻蚀去除填充层 (3), 重新露出第一开孔; 侧向刻蚀部分或者完全去除第二材料层 (2B), 留下凹槽 (2R); 在凹槽 (2R) 中形成栅极堆叠结构 (5A/5B); 在每个第一开孔底部的衬底上和/或中形成共源极 (1S)。该三维存储器制造方法将 TCAT 三维器件的字线深槽替换为深孔刻蚀来完成相同的功能, 提高集成密度, 简化堆叠结构的刻蚀工艺, 保留了金属栅控制性能。

三维存储器及其制造方法

技术领域

5 本发明涉及一种半导体器件及其制造方法，特别是涉及一种高密度三维存储器及其制造方法。

背景技术

10 为了改善存储器件的密度，业界已经广泛致力于研发减小二维布置的存储器单元的尺寸的方法。随着二维（2D）存储器件的存储器单元尺寸持续缩减，信号冲突和干扰会显著增大，以至于难以执行多电平单元（MLC）操作。为了克服2D存储器件的限制，业界已经研发了具有三维（3D）结构的存储器件，通过将存储器单元三维地布置在衬底之上来提高集成密度。

15 业界目前一种常用的3D存储器件结构是太比特单元阵列晶体管（TCAT）。具体地，可以首先在衬底上沉积多层叠层结构（例如氧化物和氮化物交替的多个ONO结构）；通过各向异性的刻蚀工艺对衬底上多层叠层结构刻蚀而形成沿着存储器单元字线（WL）延伸方向分布、垂直于衬底表面的多个沟道通孔（可直达衬底表面或者具有一定过刻蚀）；在沟道通孔中沉积多晶硅等材料形成柱状沟道；沿着
20 WL方向刻蚀多层叠层结构形成直达衬底的沟槽，露出包围在柱状沟道周围的多层叠层；针对叠层中相邻层之间的刻蚀选择性，选择刻蚀选择比较高的腐蚀液湿法去除叠层中的第二类型材料，在柱状沟道周围留下横向分布的第一类型材料构成的突起结构；在沟槽中突起结构的
25 侧壁沉积高k介质材料的栅极介质层以及金属材质的栅极导电层构成的栅极堆叠；刻蚀叠层结构形成源漏接触并完成后端制造工艺。此时，叠层结构在柱状沟道侧壁留下的一部分突起形成了栅电极之间的隔离层，而留下的栅极堆叠夹设在多个隔离层之间作为控制电极。当向栅极施加电压时，栅极的边缘电场会使得例如多晶硅材料的柱状沟道侧壁上感应形成源漏区，由此构成多个串并联的闪存单元构成的门
30 阵列而记录所存储的逻辑状态。其中，为了将单元区多个串并联

MOSFET信号引出，在柱状沟道顶部沉积填充多晶硅材料形成漏区，并形成与漏区电连接的金属接触塞以进一步电连接至上方的位线（bit-line，BL）。此外，在多个垂直柱状沟道之间衬底中形成带有金属硅化物接触的共用源区。在单元导通状态下，电流从共用源区流向周围的垂直沟道区，并在控制栅极（与字线WL相连）施加的控制电压作用下向上穿过垂直沟道中感应生成的多个源漏区，通过沟道顶部的漏区而进一步流向上方的位线。

该TCAT器件结构具有体擦除（改变控制栅极可以引起感应源漏区以及浮栅极中电势变化，能整体擦除）、金属栅极（能较方便通过控制金属材料控制功函数从而调节晶体管阈值）等诸多优点。但是另一方面，由于除了顶部的选择晶体管（USG，位于存储晶体管单元串上方）之外，其余栅极与字线（WL）连接都是通过刻蚀孔进行共享链接，并且采用后栅工艺刻蚀去除伪栅极形成栅极开口并沉积金属栅极，这种极高深宽比（AR例如通常大于40:1乃至100:1）的深接触孔以及栅极开口将由于沉积多层薄膜而使得宽度增大，进而使得TCAT的存储单元密度无法有效进一步减小。同时，深槽的刻蚀和深孔沟道的刻蚀都是对多层堆栈的刻蚀，工艺复杂度很高，深孔和深槽的形状差异使得刻蚀的工艺也要有所变化。

与TCAT技术对应的，另一种常用的器件结构例如是采用位成本可缩减（BiCS）的NAND结构，通过将存储器单元三维地布置在衬底之上来提高集成密度、其中沟道层垂直竖立在衬底上，栅极分为下层的選擇栅极、中层的控制栅极以及上层的選擇栅极三部分，通过将栅极信号分布在三组栅电极中以减小信号之间的串扰。具体地，上层和下层的器件用作选择晶体管——栅极高度/厚度较大的垂直MOSFET，栅极介质层为常规的单层高k材料；中层的器件用作存储单元串，栅极高度/厚度较小，栅极介质层为隧穿层、存储层、阻挡层的堆叠结构。基于BiCS的NAND结构器件的具体制造工艺一般包括，在硅衬底上沉积下层选择栅电极层，刻蚀下层选择栅电极层形成直达衬底的孔槽以沉积沟道层的下部分以及下层栅电极的引出接触，在上方沉积控制栅极层，刻蚀控制栅极层形成作为存储器单元区域的中间沟道区以及中层控制栅电极的引出接触，刻蚀形成控制栅极，按照字线、位线划分需要将整个器件分割为多个区域，在之上沉积上层选择

栅极并刻蚀、沉积形成上部沟道以及上层引出接触，之后采用后续工艺完成器件的制造。在BiCS结构中，除了最上方的选择晶体管USG之外，下方的所有栅电极都可以是平板状，相对于TCAT而言可以避免深沟槽、深孔接触工艺，有利于提高存储器密度。在这种工艺过程中，最为关键的刻蚀步骤仅在于对于中间层存储器沟道区和引出接触的光刻，这直接决定了整个器件的集成度以及信号抗干扰能力。然而，BiCS结构虽然通过存储阵列与选择晶体管堆叠放置而分别利用控制栅极阈值，并且通过分层连接栅极避免了过大深宽比的接触孔或栅极开口的复杂工艺，但是只能通过多晶硅材质的栅极诱导漏极泄漏电流（GIDL）进行擦除，无法进行体擦除，读写效率较低。

发明内容

由上所述，本发明的目的在于克服上述技术困难，一种能以较低成本实现接触互连并且保持金属栅控制性能的新型三维存储器结构的制造方法。

为此，本发明一方面提供了一种三维存储器制造方法，包括步骤：在衬底上形成第一材料层与第二材料层的堆叠结构；刻蚀堆叠结构露出衬底，形成垂直的多个第一开孔；在每个第一开孔中形成填充层；在每个第一开孔周围，刻蚀堆叠结构露出衬底，形成垂直的多个第二开孔；在每个第二开孔中形成垂直的沟道层和漏极；选择性刻蚀去除填充层，重新露出第一开孔；侧向刻蚀部分或者完全去除第二材料层，留下凹槽；在凹槽中形成栅极堆叠结构；在每个第一开孔底部的衬底上和/或中形成共源极。

其中，第一材料层、第二材料层、填充层三者之间具有各自不同的刻蚀选择性。

其中，第一材料层、第二材料层、填充层材料选自氧化硅、氮化硅、氮氧化硅、非晶硅、非晶锗、DLC、非晶碳的任意一种及其组合。

其中，第一开孔的尺寸大于或等于第二开孔的尺寸。

其中，沟道层为中心包括绝缘体的中空结构。

其中，形成共源极之后进一步包括，在每个第一开孔侧壁形成绝缘层，在绝缘层侧壁以及每个第一开孔底部形成接触共源区的接触层。

其中，形成接触层之时或者之后进一步包括，控制沉积工艺参数或者回刻使得接触层的顶面低于栅极堆叠结构最顶层的底面，并且采用绝缘层回填。

5 其中，形成接触层之后进一步包括，刻蚀去除部分第一材料层、栅极堆叠结构形成第三开孔，在第三开孔中沉积绝缘材料形成与栅极堆叠结构最顶层之间的隔离绝缘区。

其中，形成隔离绝缘区之后进一步包括，在器件上形成层间介质层，刻蚀层间介质层形成第四开孔直至露出接触层，填充金属形成

10 其中，形成共源线接触塞之后进一步包括，在器件上形成第二层间介质层，刻蚀第二层间介质层形成第五开孔直至暴露沟道区，填充金属形成位线接触。

15 其中，刻蚀形成第一开孔之前进一步包括，在阵列区域周围的字线接触区域刻蚀堆叠结构形成台阶，依次暴露每个第一材料层和第二材料层的端部。

20 本发明另一方面提供了一种三维存储器制造方法，包括步骤：在衬底上形成第一材料层与第二材料层的堆叠结构；刻蚀堆叠结构露出衬底，同时形成垂直的多个第一开孔以及在每个第一开孔周围的多个第二开孔；在每个第一开孔中形成填充层；在每个第二开孔中形成垂直的沟道层和漏极；选择性刻蚀去除填充层，重新露出第一开孔；侧向刻蚀部分或者完全去除第二材料层，留下凹槽；在凹槽中形成栅极堆叠结构；在每个第一开孔底部的衬底上和/或中形成共源极。

25 本发明又一方面提供了一种三维存储器，包括：在衬底上垂直分布的多个共源极引线，与衬底中和/或上的共源极接触；在每个共源极引线周围垂直于衬底分布的多个沟道层，每个沟道层顶部具有漏极；在每个沟道层侧壁上的多个绝缘隔离层以及在每个绝缘隔离层之间的多个栅极堆叠结构。

30 依照本发明的三维存储器制造方法，将TCAT三维器件的字线深槽替换为深孔刻蚀来完成相同的功能，提高集成密度，简化堆叠结构的刻蚀工艺，保留了金属栅控制性能。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图10为依照本发明的三维半导体存储器件制造方法的各个步骤的剖视图和/或顶视图。

5 具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了能以较低成本实现接触互连并且保持金属栅控制性能的新型三维存储器结构的制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

如图1所示，在衬底1上交替形成第一材料层2A与第二材料层2B的堆叠结构2。衬底1材质可以包括体硅（bulk Si）、体锗（bulk Ge）、绝缘体上硅（SOI）、绝缘体上锗（GeOI）或者是其他化合物半导体衬底，例如SiGe、SiC、GaN、GaAs、InP等等，以及这些物质的组合。为了与现有的IC制造工艺兼容，衬底1优选地为含硅材质的衬底，例如Si、SOI、SiGe、Si:C等。堆叠结构2的选自以下材料的组合并且至少包括一种绝缘介质：如氧化硅、氮化硅、非晶碳、类金刚石无定形碳（DLC）、氧化锗、氧化铝、等及其组合。第一材料层2A具有第一刻蚀选择性，第二材料层2B具有第二刻蚀选择性并且不同于第一刻蚀选择性（例如两种材料之间的刻蚀选择比大于5:1并优选大于10:1）。在本发明一个优选实施例中，叠层结构2A/2B均为非导电材料，层2A/层2B的组合例如氧化硅与氮化硅的组合、氧化硅与（未掺杂）多晶硅或非晶硅的组合、氧化硅或氮化硅与非晶碳的组合等等。在本发明另一优选实施例中，层2A与层2B在湿法腐蚀条件或者在氧等离子干法刻蚀条件下具有较大的刻蚀选择比（例如大于5:1）。层2A、层2B的沉积方法包括PECVD、LPCVD、HDPCVD、MOCVD、MBE、ALD、热氧化、蒸发、溅射等各种工艺。在本发明一个最优实施例中，层2A为二氧化硅，层2B为氮化硅。如图1所示，最低部的层2B将用于未来最底层选择栅电极形成，因此标注为LSG，最顶部的层2B将用于未来最顶层选择栅电极形成，因此标注为USG，中部具有从WL0~WLn的多个层2B以用于n+1条位线。图1中仅示出了n=2的情形，但是实际上n可以依照需要

为大于等于 1 的任何正整数。

任选的，如图 2 所包括的剖视图 2A 和顶视图 2B 所示，刻蚀堆叠结构 2A/2B，依次露出一部分层 2A/2B 的侧面端部以形成台阶状的字线焊垫区域 (WL-Pad Region, WLPR)，中心区域为阵列区域 (Array Region, AR)。其中，在 WLPR 区域，依次暴露了顶层 USG 上方的层 2A:USG、用于 WL2 的层 2B 上方的层 2A:WL2、用于 WL1 的层 2B 上方的层 2A:WL1、用于 WL0 的层 2B 上方的层 2A:WL0、用于 LSG 的层 2B 上方的层 2A:LSG、以及保护衬底 1 的层 2A。以下图 3 至图 10 的步骤将针对图 2 中的中心的阵列区域进行，换言之也即各个顶视图仅示出了区域 2A:AR 中的一部分。

在现有技术的 TCAT 结构制造方法中，一般是刻蚀深孔并沉积多晶硅等沟道材料形成沟道后，通过执行深槽刻蚀暴露出作为层 2B 的伪栅 (SiN)，之后移去层 2B 的伪栅并完成栅堆栈介质层和金属电极沉积等步骤完成存储单元的制备；随后通过侧墙、注入和硅化来完成共源区形成；接着通过深槽的氧化物填充、CMP，共源区 CSL 接触孔刻蚀和填充，金属线连线来完成 CSL 的连线。如背景技术部分所述，这种后形成的深槽往往难以兼顾深宽比以及金属填充率，容易导致器件失效。

与之对照的，本发明的一个实例不用深槽而用如图 3 所示的深孔刻蚀，这样工艺和沟道形成工艺相同，在完成存储单元的制备之后，直接通过侧墙、硅化和金属的深孔填充完成共源区的接触，然后引线完成 CSL 连线。相对而言，多层介质刻蚀工艺简单，存储阵列的密度提高，共源区的接触孔引出工艺更加简单，原有的二氧化硅填充深槽并平坦化、刻蚀接触孔、填充接触孔的方式直接被深孔的侧墙绝缘层和金属接触孔填充所替代

如包括剖视图 3A、顶视图 3B 的图 3 所示，在阵列区域刻蚀堆叠结构 2 直至暴露衬底 1 (该区域将形成未来的共源区)，形成作为伪栅极开孔的第一开孔 (未示出) 并在伪栅极开孔中形成填充层 3。在稍后图 5 所示的步骤中，第一开孔将作为形成共源区 1S 以及侧向刻蚀去除部分层 2B 所用的入口区域。优选地，采用 RIE 或等离子干法刻蚀各向异性刻蚀层 2A/层 2B 的堆叠结构 2，形成露出衬底 1 以及衬底 1 上交替堆叠的层 2A/层 2B 的侧壁的第一开孔 (未示出)。刻蚀气体例如针对二氧化硅和氮化硅等材质的碳氟基刻蚀气体，并且通过增加碳氟比而在侧壁形成由含 C 聚合物形成的临时保护侧壁，最终获得较好的垂直侧壁。在本发明一个优选实施例中刻蚀气体优选 C₃F₆、

C₄F₈等含C量比较高的气体并进一步优选通过增加氧化性气体如O₂、CO等控制侧壁形貌。平行于衬底1表面切得的孔槽的截面形状可以为矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状。填充层3沉积方法包括

5 PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等，材质优选为与堆叠结构2的层2A、层2B均具有高选择性的材料，例如层3、层2A、层2B三者之间每两个之间的刻蚀选择比均大于等于5:1。在本发明一个优选实施例中，层2A为氧化硅，层2B为氮化硅，填充层为非晶硅、非晶锗、非晶碳、DLC等，反之亦然。

10 接着，如包括剖视图4A、顶视图4B的图4所示，在每个第一开孔周围刻蚀形成多个第二开孔并形成垂直的沟道区4。与刻蚀形成第一开孔的工艺类似，RIE或等离子干法刻蚀各向异性刻蚀层2A/层2B的堆叠结构2，在第一开孔的周围形成多个露出衬底1以及衬底1上交替堆叠的层2A/层2B的侧壁的第二开孔(未示出)。刻蚀气体例

15 如针对二氧化硅和氮化硅等材质的碳氟基刻蚀气体，并且通过增加碳氟比而在侧壁形成由含C聚合物形成的临时保护侧壁，最终获得较好的垂直侧壁。在本发明一个优选实施例中刻蚀气体优选C₃F₆、C₄F₈等含C量比较高的气体并进一步优选通过增加氧化性气体如O₂、CO等控制侧壁形貌。如图4A、4B所示，用于暴露共源区的第一开孔的尺寸(例如直径)要大于或等于用于形成沟道区的第二开孔尺寸，例如两者尺寸(直径或者多边形的最大跨距的比值)比大于1.5并优选大于等于2。在本发明一个实施例中，每一个第一开孔周围具有六个第二开孔，以便于提高稍后侧向刻蚀层2B的效率以及均匀性。在本发明其他实施例中，每一个第一开孔周围可以具有的第二开孔的数目

25 为2、3、4、5、6、7、8、9乃至更多。

此后，在第二开孔中形成多个垂直的沟道层4。沟道层4的材质可以包括单晶硅、单晶锗、SiGe、Si:C、SiGe:C、SiGe:H等半导体材料，沉积工艺包括LPCVD、PECVD、HDPCVD、MOCVD、MBE、ALD等。在本发明一个实施例中，沟道层4的沉积方式为局部填充第二开孔的侧壁而形成具有空气隙的中空柱形。在本发明其他实施例中，选择沟道层4的沉积方式以完全或者局部填充第二开孔，形成实心柱、空心环、或者空心环内填充绝缘层(未示出)的核心-外壳结构。沟道层4的水平截面的形状与第二开孔类似并且优选地共形，可以为实心的矩形、方形、菱形、圆形、半圆形、椭圆形、三角形、五边形、五角形、六边形、八边形等等各种几何形状，或者为上述几何形状演

35

化得到的空心的环状、桶状结构（并且其内部可以填充绝缘层）。优选地，对于空心的柱状沟道层 4 结构，可以进一步在沟道层 4A 内侧填充绝缘隔离层 4B，例如通过 LPCVD、PECVD、HDPCVD 等工艺形成例如氧化硅材质的层 4B，用于支撑、绝缘并隔离沟道层 4A。此后，在沟道层 4 顶部沉积漏区接触 4D。优选地，采用与沟道层 4 材质相同或者相近（例如与 Si 相近的材质 SiGe、SiC 等，以便微调晶格常数而提高载流子迁移率，从而控制单元器件的驱动性能）的材质沉积在第二开口的顶部而形成存储器件单元晶体管的漏区 4D，并且可以进一步形成硅化物（未示出）以降低接触电阻。

如剖视图 5A 和顶视图 5B 所示，选择性刻蚀去除填充层 3，重新露出第一开孔 2T，利用第一开孔 2T 侧向刻蚀去除堆叠结构中的第二材料层（伪栅极层）2B。首先，采用垂直的各向异性刻蚀工艺，例如采用 RIE 或等离子干法刻蚀工艺（进一步提高碳氟比以刻蚀非晶硅、非晶锗，或者采用氧等离子干法刻蚀去除非晶碳、DLC 材质的填充层 3），或者针对填充层 3 的材质而选用基本或者完全不腐蚀层 2A、层 2B 的腐蚀液来湿法腐蚀去除层 3（例如针对非晶硅材质的层 3，采用 TMAH 腐蚀液）。垂直的各向异性刻蚀工艺完全去除了填充层 3，重新露出了较宽的垂直的第一开孔 2T。随后，采用各向同性干法刻蚀工艺，横向刻蚀去除层 2B，在层 2A 之间留下了侧向凹槽 2R。例如减小碳氟比以横向刻蚀氮化硅的层 2B、或者采用热磷酸腐蚀氮化硅的层 2B。备选地，当层 2A 为氮化硅、层 2B 为氧化硅时，可以采用 HF 基腐蚀液腐蚀层 2B。

如包括剖视图 6A、顶视图 6B 的附图 6 所示，在第一开孔 2T 底部形成共源区 1S，在凹槽 2R 中形成栅极堆叠结构 5A/5B。可以通过离子注入掺杂、以及优选地进一步在表面形成金属硅化物（未示出）而形成源区 1S。金属硅化物例如 NiSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 CoSi_{2-y} 或 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ ，其中 x 均大于 0 小于 1， y 均大于等于 0 小于 1。栅极堆叠结构 5 包括栅极绝缘层 5A 和栅极导电层 5B。层 5A 的沉积方法包括 PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等。图中未示出的是，层 5A 优选地进一步包括多个子层，例如隧穿层、存储层、阻挡层。其中隧穿层包括 SiO_2 或高 k 材料，其中高 k 材料包括但不限于氮化物（例如 SiN 、 SiON 、 AlN 、 TiN ）、金属氧化物（主要为副族和镧系金属元素氧化物，例如 MgO 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3 ）、氮氧化物（如 HfSiON ）、钙钛矿相氧化物（例如 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ （PZT）、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$

(BST)) 等, 隧穿层可以是上述材料的单层结构或多层堆叠结构。存储层是具有电荷俘获能力的介质材料, 例如 SiN、HfO、ZrO 等及其组合, 同样可以是上述材料的单层结构或多层堆叠结构。阻挡层可以是氧化硅、氧化铝、氧化钪等介质材料的单层结构或多层堆叠结构。
5 在本发明一个实施例中, 层 5A 例如是氧化硅、氮化硅、氧化硅组成的 ONO 结构。

栅极导电层 5B 可以是多晶硅、多晶锗硅、或金属, 其中金属可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些
10 金属的氮化物, 栅极导电层 5B 中还可掺杂有 C、F、N、O、B、P、As 等元素以调节功函数。栅极绝缘层 5A 与栅极导电层 5B 之间还优选通过 PVD、CVD、ALD 等常规方法形成氮化物的阻挡层(未示出), 阻挡层材质为 M_xN_y 、 $M_xSi_yN_z$ 、 $M_xAl_yN_z$ 、 $M_aAl_xSi_yN_z$, 其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素。同样地, 层 5B 可以是单层结构也
15 可以是多层堆叠结构。

进一步地, 如图 6 所示, 在第一开孔 2T 侧壁形成较薄的绝缘层 6A 并在绝缘层 6A 中填充金属形成源极接触 6B。绝缘层 6A 可以采用热氧化、化学氧化、PECVD、HDPCVD 等工艺形成, 材质可以为氧化硅、氮化硅或高 K 材料。层 6A 优选仅覆盖第一开孔 2T 侧壁, 底部堆积的较薄部分可以采用湿法腐蚀工艺或者各向同性干法刻蚀工
20 艺去除, 类似于侧墙技术。随后, 采用 MOCVD、MBE、ALD、蒸发、溅射等工艺形成低电阻的共源极接触线 6B, 也称作 CSL。优选地, 采用 CMP 或者回刻方法, 或者调整沉积金属工艺参数, 降低层 6B 的高度使其顶部低于最顶部的栅极堆叠结构 5A/5B 的底面(顶部的该金属栅极结构即用于顶部选择晶体管的顶部选择栅线 USG), 接着再
25 回填绝缘层 6A 直至与最顶层的层 2A 齐平。

此后, 优选地, 如图 7A 剖视图和图 7B 顶视图所示, 刻蚀去除 CSL 层 6B 顶部的绝缘层 6A, 露出下方的层 6B。在该刻蚀步骤中, 刻蚀形成的第三开孔 6T 尺寸要大于第一开孔 2T 的尺寸(例如圆形的直径或多边形的最大跨距), 去除了一部分 USG 层级的栅极堆叠结
30 构 5A/5B。如图 7B 所示, 共源极接触线 CSL 图形连接了多个第三开孔 6T, 并且可以进一步延伸出存储单元区而连接至外部电路形成互连线。

如图 8 所示, 在第三开孔 6T 中填充同样的绝缘层 6A, 形成了顶层选择栅极线的隔离绝缘区。
35

如图 9 所示，在整个器件之上形成层间介质层 (ILD) 7。例如采用喷涂、旋涂、CVD 沉积等工艺形成低 k 材料的 ILD 7，低 k 材料包括但不限于有机低 k 材料 (例如含芳基或者多元环的有机聚合物)、无机低 k 材料 (例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低 k 材料 (例如二硅三氧烷 (SSQ) 基多孔低 k 材料、多孔二氧化硅、多孔 SiOCH、掺 C 二氧化硅、掺 F 多孔无定形碳、多孔金刚石、多孔有机聚合物)。随后刻蚀 ILD 7 直至暴露 CSL 层 6B，形成第四开孔 (未示出) 并沉积金属材料形成接触塞 8，连接了阵列的共源区 1S。

如图 10A 和图 10B 所示，完整位线连接。在第一 ILD 7 之上采用类似工艺和材质沉积第二 ILD 9 并刻蚀形成暴露沟道区 4D 的接触孔，沉积金属形成位线连接 10。

值得注意的是，图 1 至图 10 仅示出了根据本发明一个实施例的工艺方法，本发明还可以采用其他工序完成三维存储器件的制造。例如，在本发明一个优选的备选实施例中，图 3B 和图 4B 所示的用于共源区的第一开孔与用于沟道区的第二开孔可以通过一次光刻/刻蚀构图实现，也即图 3 和图 4 所示工艺可以合并，只要在每个第一开孔周边存在多个第二开孔即可。在本发明另一备选实施例中，在执行完成图 6 所示的栅极堆叠结构填充之后，在图 7A、图 7B 以及之后所示的连线阶段按照图 7B、图 10B 所示的版图进行刻蚀，完成各层栅电极隔离 (中心包围了金属层 6A 的隔离层 6B 图形) 并形成共源极连线 CSL 图形。具体地，在刻蚀孔完成栅堆栈沉积以后，然后介质填充平坦化整个平面，然后按照图 10B 所示 CSL 标注的区域进行物理刻蚀，类似于 TCAT 工艺中 WL-Cut 的步骤，沉积薄的介质层侧墙，然后沉积金属等导电层形成一个共源区的导电面。好处在于，前一个实例中除了 USG 隔离其他的 WL 没有隔离，这个方法可以完全像 TCAT 一样完成各层 WL 的隔离。

在本发明另一备选实施例中，可以在图 5 移除作为伪栅极的层 2B 工序之中，与图 5 所示相邻两个第一开孔 2T 直线连线之间仅有一个沟道层 4 不同，如图 10C 所示，可以在两列 (沿图 5B 中上下方向排列) 第一开孔 2T 之间具有多个沟道层 4，由此增大了第一开孔 2T 之间的距离，并且在刻蚀去除层 2B 时仅部分去除而在凹槽 2R 中保留部分伪栅极层 2B，利用伪栅极层 2B 的自对准完成了控制栅的自动隔离。换言之，相邻的两列沟道层 4 之间的栅极堆叠结构 5A/5B 的侧面通过残留的第二材料层 2B 而绝缘隔离，增强了器件的绝缘性能。

依照本发明的三维存储器制造方法，将TCAT三维器件的字线深槽替换为深孔刻蚀来完成相同的功能，提高集成密度，简化堆叠结构的刻蚀工艺，保留了金属栅控制性能。

5 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构或方法流程做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

10

权 利 要 求 书

1. 一种三维存储器制造方法，包括步骤：
在衬底上形成第一材料层与第二材料层的堆叠结构；
刻蚀堆叠结构露出衬底，形成垂直的多个第一开孔；
5 在每个第一开孔中形成填充层；
在每个第一开孔周围，刻蚀堆叠结构露出衬底，形成垂直的多个第二开孔；
在每个第二开孔中形成垂直的沟道层和漏极；
选择性刻蚀去除填充层，重新露出第一开孔；
10 侧向刻蚀部分或者完全去除第二材料层，留下凹槽；
在凹槽中形成栅极堆叠结构；
在每个第一开孔底部的衬底上和/或中形成共源极。
2. 如权利要求1所述的三维存储器制造方法，其中，第一材料层、第二材料层、填充层三者之间具有各自不同的刻蚀选择性。
- 15 3. 如权利要求2所述的三维存储器制造方法，其中，第一材料层、第二材料层、填充层材料选自氧化硅、氮化硅、氮氧化硅、非晶硅、非晶锗、DLC、非晶碳的任意一种及其组合。
4. 如权利要求1所述的三维存储器制造方法，其中，第一开孔的尺寸大于或等于第二开孔的尺寸。
- 20 5. 如权利要求1所述的三维存储器制造方法，其中，沟道层为中心包括绝缘体的中空结构。
6. 如权利要求1所述的三维存储器制造方法，其中，形成共源极之后进一步包括，在每个第一开孔侧壁形成绝缘层，在绝缘层侧壁以及每个第一开孔底部形成接触共源区的接触层。
- 25 7. 如权利要求6所述的三维存储器制造方法，其中，形成接触层之时或者之后进一步包括，控制沉积工艺参数或者回刻使得接触层的顶面低于栅极堆叠结构最顶层的底面，并且采用绝缘层回填。
8. 如权利要求6所述的三维存储器制造方法，其中，形成接触层之后进一步包括，刻蚀去除部分第一材料层、栅极堆叠结构形成第三开孔，在第三开孔中沉积绝缘材料形成与栅极堆叠结构最顶层之间的隔离绝缘区。
- 30 9. 如权利要求8所述的三维存储器制造方法，其中，形成隔离绝缘

区之后进一步包括，在器件上形成层间介质层，刻蚀层间介质层形成第四开孔直至露出接触层，填充金属形成共源线引线。

10 . 如权利要求9所述的三维存储器制造方法，其中，形成共源线接触塞之后进一步包括，在器件上形成第二层间介质层，刻蚀第二层间介质层形成第五开孔直至暴露沟道区，填充金属形成位线接触。

11 . 如权利要求1所述的三维存储器制造方法，其中，刻蚀形成第一开孔之前进一步包括，在阵列区域周围的字线接触区域刻蚀堆叠结构形成台阶，依次暴露每个第一材料层和第二材料层的端部。

12 . 一种三维存储器制造方法，包括步骤：

在衬底上形成第一材料层与第二材料层的堆叠结构；

刻蚀堆叠结构露出衬底，同时形成垂直的多个第一开孔以及在每个第一开孔周围的多个第二开孔；

在每个第一开孔中形成填充层；

在每个第二开孔中形成垂直的沟道层和漏极；

选择性刻蚀去除填充层，重新露出第一开孔；

侧向刻蚀部分或者完全去除第二材料层，留下凹槽；

在凹槽中形成栅极堆叠结构；

在每个第一开孔底部的衬底上和/或中形成共源极。

13 . 一种三维存储器，包括：

在衬底上垂直分布的多个共源极引线，与衬底中和/或上的共源极接触；

在每个共源极引线周围垂直于衬底分布的多个沟道层，每个沟道层顶部具有漏极；

在每个沟道层侧壁上的多个绝缘隔离层以及在每个绝缘隔离层之间的多个栅极堆叠结构。

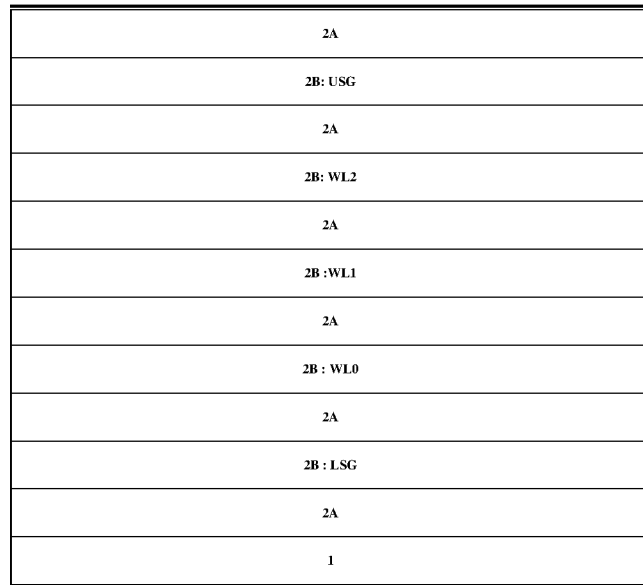


图 1

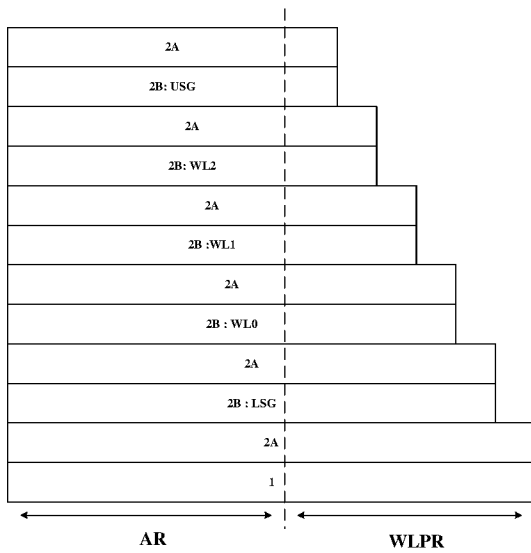


图 2A

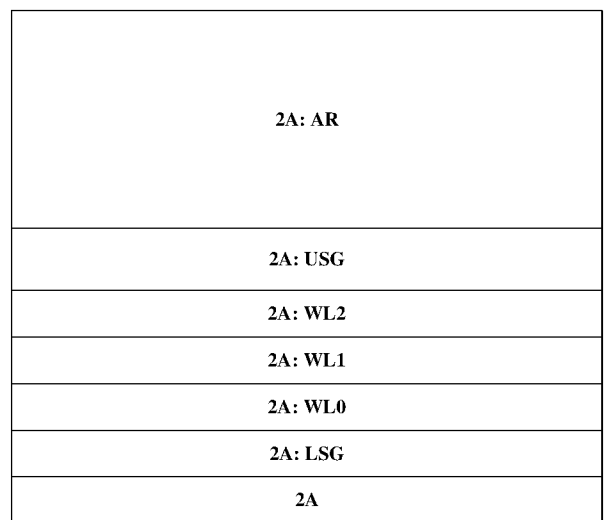


图 2B

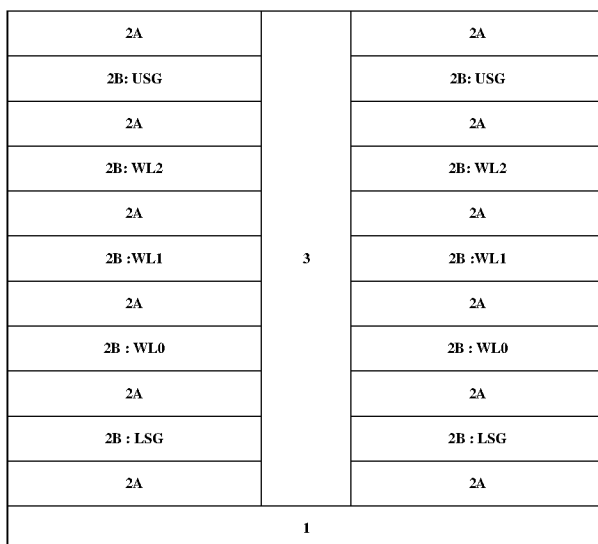


图 3A

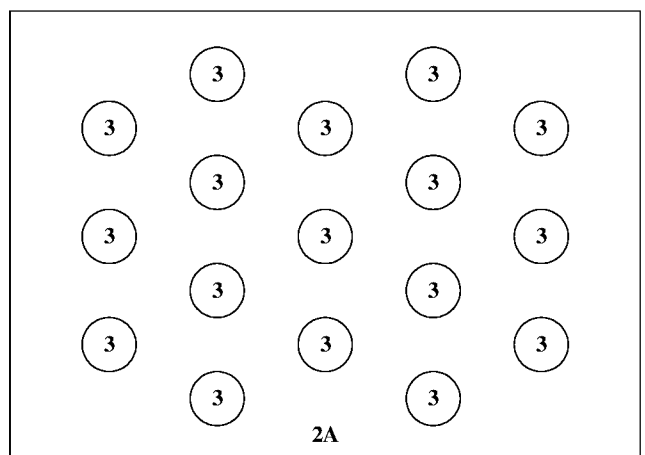


图 3B

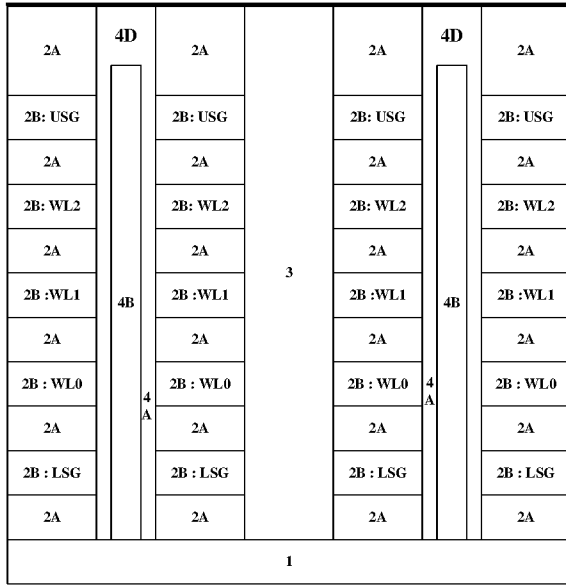


图 4A

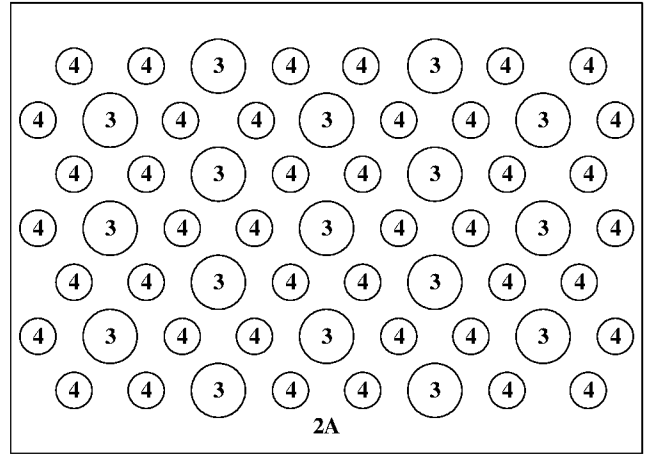


图 4B

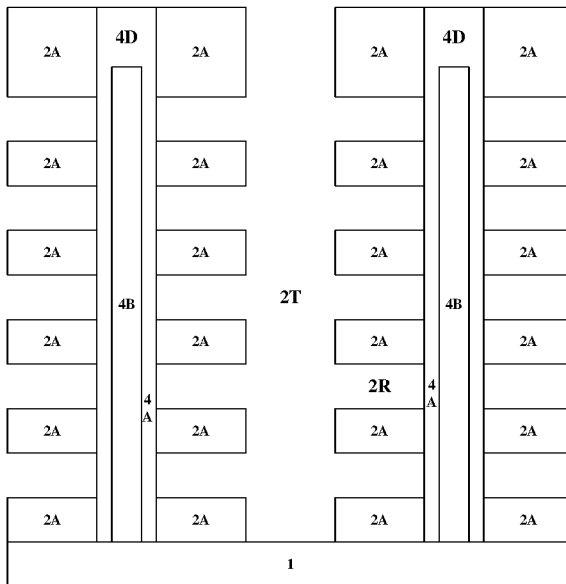


图 5A

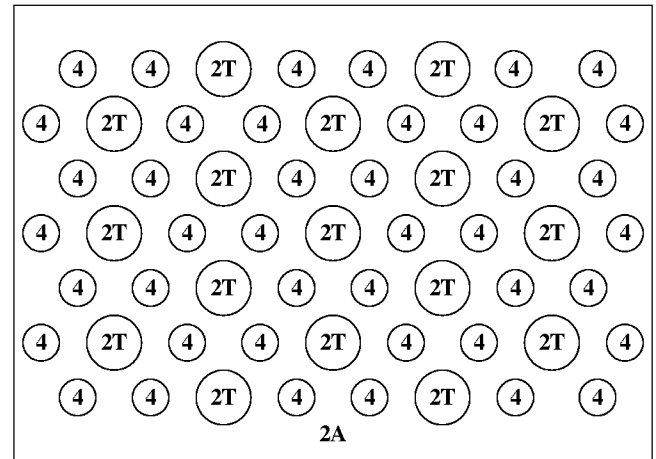


图 5B

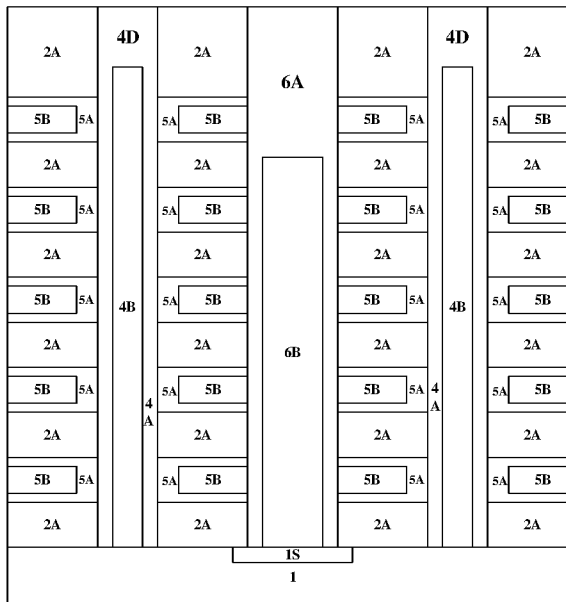


图 6

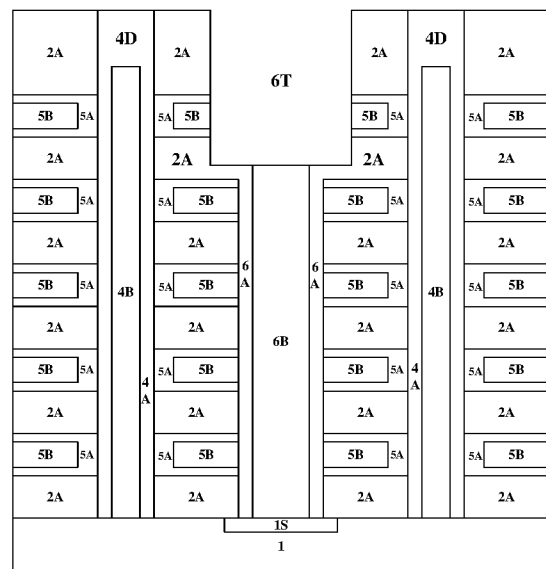


图 7A

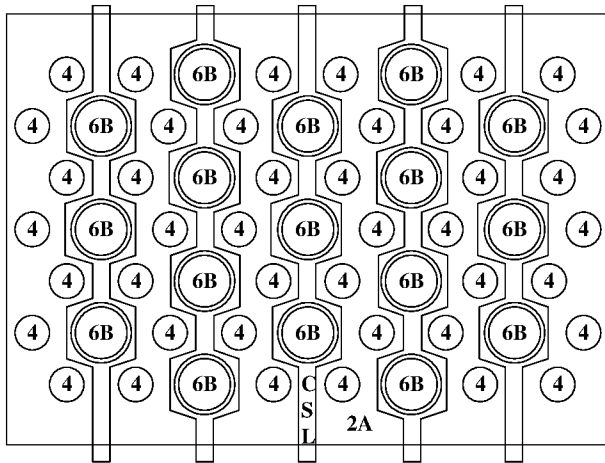


图 7B

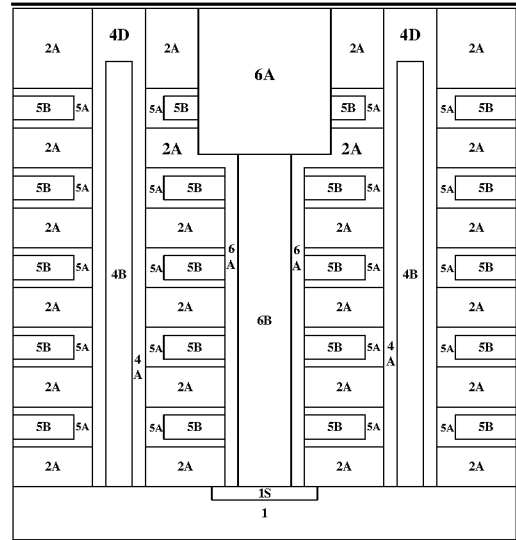


图 8

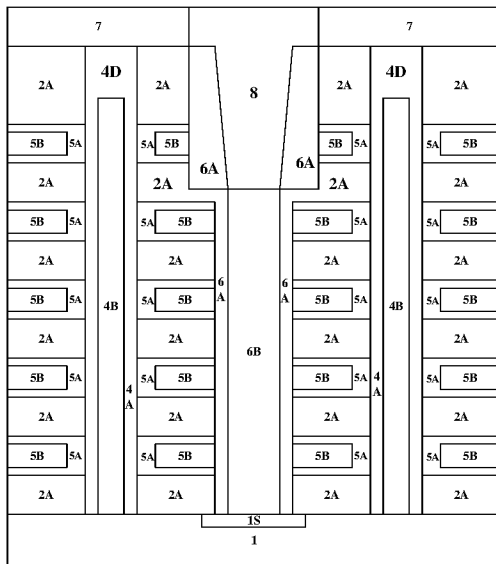


图 9

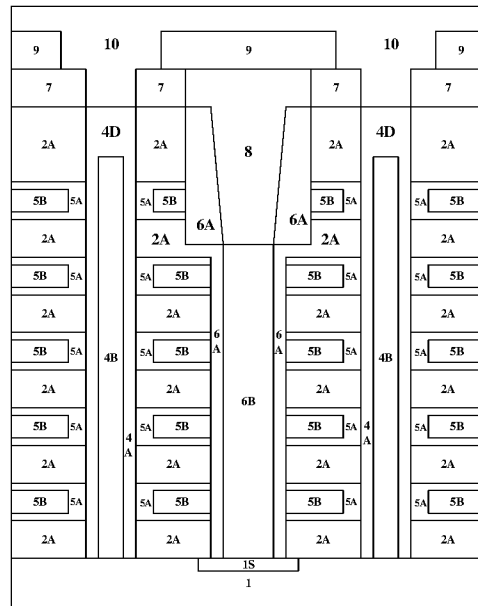


图 10A

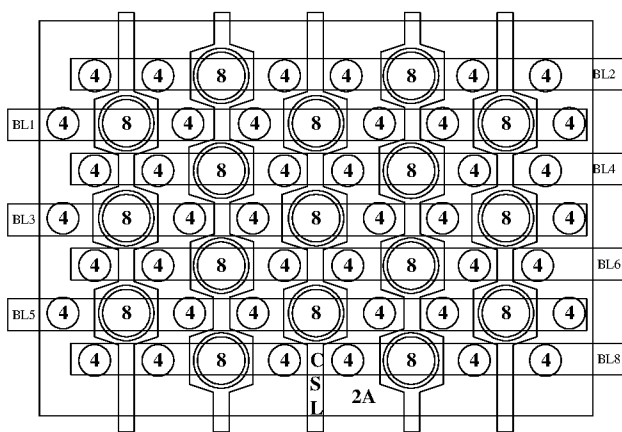


图 10B

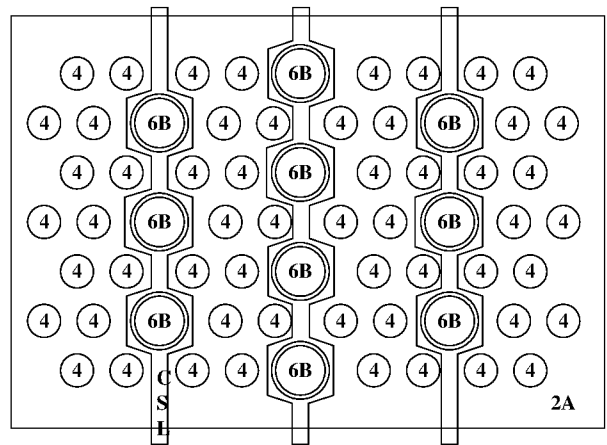


图 10C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/087478

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/115 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L; G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNKI, CNPAT, WPI, EPODOC, IEEE: vertical, 3D, Three-dimensional, memory, ROM, RAM, pillar, channel, hole, opening		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012077320 A1 (SHIM, J. et al.), 29 March 2012 (29.03.2012), description, paragraphs [0051]-[0105], and figures 1-3	13
X	CN 102456675 A (SAMSUNG ELECTRONICS CO., LTD.), 16 May 2012 (16.05.2012), description, paragraphs [0055]-[0072] and [0084]-[0086], and figures 1 and 3	13
X	US 2013009236 A1 (SAMSUNG ELECTRONICS CO., LTD.), 10 January 2013 (10.01.2013), description, paragraphs [0031]-[0039], and figures 1 and 12A	13
X	US 2013248974 A1 (SANDISK TECHNOLOGIES INC.), 26 September 2013 (26.09.2013), description, paragraphs [0018]-[0073], and figure 13B	13
A	US 2013214344 A1 (LIM, J.H. et al.), 22 August 2013 (22.08.2013), the whole document	1-13
A	CN 101651144 A (SAMSUNG ELECTRONICS CO., LTD.), 17 February 2010 (17.02.2010), the whole document	1-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family	
“O” document referring to an oral disclosure, use, exhibition or other means		
“P” document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
15 April 2015 (15.04.2015)	29 April 2015 (29.04.2015)	
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Li Telephone No.: (86-10) 82245262	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/087478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101794789 A (SAMSUNG ELECTRONICS CO., LTD.), 04 August 2010 (04.08.2010), the whole document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/087478

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2012077320 A1	29 March 2012	KR 20120031658 A	04 April 2012
		US 2014048873 A1	20 February 2014
		US 8563378 B2	22 October 2013
CN 102456675 A	16 May 2012	JP 2012094869 A	17 May 2012
		US 2012098050 A1	26 April 2012
		US 8921918 B2	30 December 2014
		DE 102011084603 A1	16 May 2012
		KR 20120058223 A	07 June 2012
		KR 20120042420 A	03 May 2012
US 2013009236 A1	10 January 2013	KR 20130007703 A	21 January 2013
		US 2014349453 A1	27 November 2014
		US 8803222 B2	12 August 2014
US 2013248974 A1	26 September 2013	US 8878278 B2	04 November 2014
		WO 2013141968 A1	26 September 2013
		CN 104205342 A	10 December 2014
		US 2015037950 A1	05 February 2015
		KR 20140138121 A	03 December 2014
US 2013214344 A1	22 August 2013	US 8912592 B2	16 December 2014
		KR 20130096526 A	30 August 2013
CN 101651144 A	17 February 2010	CN 101651144 B	30 October 2013
		US 8895393 B2	25 November 2014
		US 2009310425 A1	17 December 2009
		KR 20090128776 A	16 December 2009
		US 8441059 B2	14 May 2013
		US 2015064865 A1	05 March 2015
		US 2013242654 A1	19 September 2013
		DE 102009023789 A1	31 December 2009
CN 101794789 A	04 August 2010	KR 101489458 B1	06 February 2015
		KR 20100088829 A	11 August 2010
		US 2010193861 A1	05 August 2010
		US 8115259 B2	14 February 2012

国际检索报告

国际申请号

PCT/CN2014/087478

<p>A. 主题的分类</p> <p>H01L 27/115(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L; G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNKI, CNPAT, WPI, EPODOC, IEEE: 三维, 存储, 垂直, 沟道, 孔, 开口, 3D, Three-dimensional, memory, ROM, RAM, pillar, channel, hole, opening</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2012077320 A1 (SHIM, JAE-JOO等) 2012年 3月 29日 (2012 - 03 - 29) 说明书第[0051]-[0105]段, 图1-3</td> <td>13</td> </tr> <tr> <td>X</td> <td>CN 102456675 A (三星电子株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0055]-[0072], [0084]-[0086]段, 图1、3</td> <td>13</td> </tr> <tr> <td>X</td> <td>US 2013009236 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 1月 10日 (2013 - 01 - 10) 说明书第[0031]-[0039]段, 图1、12A</td> <td>13</td> </tr> <tr> <td>X</td> <td>US 2013248974 A1 (SANDISK TECHNOLOGIES INC.) 2013年 9月 26日 (2013 - 09 - 26) 说明书第[0018]-[0073]段, 图13B</td> <td>13</td> </tr> <tr> <td>A</td> <td>US 2013214344 A1 (LIM, JONG-HEUN 等) 2013年 8月 22日 (2013 - 08 - 22) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 101651144 A (三星电子株式会社) 2010年 2月 17日 (2010 - 02 - 17) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2012077320 A1 (SHIM, JAE-JOO等) 2012年 3月 29日 (2012 - 03 - 29) 说明书第[0051]-[0105]段, 图1-3	13	X	CN 102456675 A (三星电子株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0055]-[0072], [0084]-[0086]段, 图1、3	13	X	US 2013009236 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 1月 10日 (2013 - 01 - 10) 说明书第[0031]-[0039]段, 图1、12A	13	X	US 2013248974 A1 (SANDISK TECHNOLOGIES INC.) 2013年 9月 26日 (2013 - 09 - 26) 说明书第[0018]-[0073]段, 图13B	13	A	US 2013214344 A1 (LIM, JONG-HEUN 等) 2013年 8月 22日 (2013 - 08 - 22) 全文	1-13	A	CN 101651144 A (三星电子株式会社) 2010年 2月 17日 (2010 - 02 - 17) 全文	1-13
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	US 2012077320 A1 (SHIM, JAE-JOO等) 2012年 3月 29日 (2012 - 03 - 29) 说明书第[0051]-[0105]段, 图1-3	13																					
X	CN 102456675 A (三星电子株式会社) 2012年 5月 16日 (2012 - 05 - 16) 说明书第[0055]-[0072], [0084]-[0086]段, 图1、3	13																					
X	US 2013009236 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 1月 10日 (2013 - 01 - 10) 说明书第[0031]-[0039]段, 图1、12A	13																					
X	US 2013248974 A1 (SANDISK TECHNOLOGIES INC.) 2013年 9月 26日 (2013 - 09 - 26) 说明书第[0018]-[0073]段, 图13B	13																					
A	US 2013214344 A1 (LIM, JONG-HEUN 等) 2013年 8月 22日 (2013 - 08 - 22) 全文	1-13																					
A	CN 101651144 A (三星电子株式会社) 2010年 2月 17日 (2010 - 02 - 17) 全文	1-13																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2015年 4月 15日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 4月 29日</p>																						
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>王丽</p> <p>电话号码 (86-10)82245262</p>																						

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101794789 A (三星电子株式会社) 2010年 8月 4日 (2010 - 08 - 04) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/087478

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
US 2012077320 A1	2012年 3月 29日	KR 20120031658 A	2012年 4月 4日
		US 2014048873 A1	2014年 2月 20日
		US 8563378 B2	2013年 10月 22日
CN 102456675 A	2012年 5月 16日	JP 2012094869 A	2012年 5月 17日
		US 2012098050 A1	2012年 4月 26日
		US 8921918 B2	2014年 12月 30日
		DE 102011084603 A1	2012年 5月 16日
		KR 20120058223 A	2012年 6月 7日
		KR 20120042420 A	2012年 5月 3日
US 2013009236 A1	2013年 1月 10日	KR 20130007703 A	2013年 1月 21日
		US 2014349453 A1	2014年 11月 27日
		US 8803222 B2	2014年 8月 12日
US 2013248974 A1	2013年 9月 26日	US 8878278 B2	2014年 11月 4日
		WO 2013141968 A1	2013年 9月 26日
		CN 104205342 A	2014年 12月 10日
		US 2015037950 A1	2015年 2月 5日
		KR 20140138121 A	2014年 12月 3日
US 2013214344 A1	2013年 8月 22日	US 8912592 B2	2014年 12月 16日
		KR 20130096526 A	2013年 8月 30日
CN 101651144 A	2010年 2月 17日	CN 101651144 B	2013年 10月 30日
		US 8895393 B2	2014年 11月 25日
		US 2009310425 A1	2009年 12月 17日
		KR 20090128776 A	2009年 12月 16日
		US 8441059 B2	2013年 5月 14日
		US 2015064865 A1	2015年 3月 5日
		US 2013242654 A1	2013年 9月 19日
		DE 102009023789 A1	2009年 12月 31日
CN 101794789 A	2010年 8月 4日	KR 101489458 B1	2015年 2月 6日
		KR 20100088829 A	2010年 8月 11日
		US 2010193861 A1	2010年 8月 5日
		US 8115259 B2	2012年 2月 14日

表 PCT/ISA/210 (同族专利附件) (2009年7月)