



(12) 发明专利申请

(10) 申请公布号 CN 104425410 A

(43) 申请公布日 2015. 03. 18

(21) 申请号 201310688355. X

(22) 申请日 2013. 12. 16

(30) 优先权数据

14/010, 196 2013. 08. 26 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 江国诚 黄俊嘉

(74) 专利代理机构 北京德恒律治知识产权代理
有限公司 11409

代理人 章社果 孙征

(51) Int. Cl.

H01L 23/48(2006. 01)

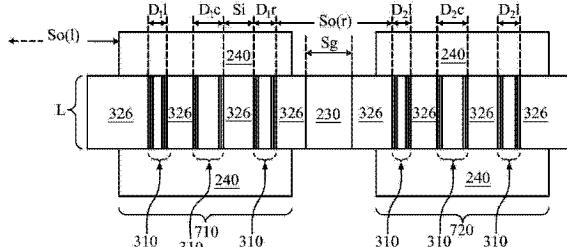
权利要求书2页 说明书8页 附图5页

(54) 发明名称

具有纳米线的集成电路

(57) 摘要

本发明提供了集成电路(IC)。IC包括具有金属氧化物半导体(MOS)区的衬底。IC还包括第一栅极区、源极区和漏极区，以及第二栅极区、源极区和漏极区，其中第一栅极区具有第一长度，第二栅极区具有第二长度。第一纳米线组设置在第一栅极区中，第一纳米线组包括具有第一直径的纳米线，并连接至第一源极区中的部件和第一漏极区中的部件。第二纳米线组设置在第二栅极区中，第二纳米线组包括具有第二直径的纳米线，并连接至第二源极区中的部件和第二漏极区中的部件。直径为：如果第一长度大于第二长度，则第一直径小于第二直径，反之亦然。本发明还提供了具有纳米线的集成电路。



1. 一种集成电路，包括：

衬底，具有金属氧化物半导体(MOS)区；

位于所述MOS区中的第一器件的第一栅极区、第一源极区和第一漏极区，其中，所述第一栅极区具有第一长度；

第一纳米线组，设置在所述第一栅极区中，所述第一纳米线组包括具有第一直径的纳米线，并连接至所述第一源极区中的第一部件和所述第一漏极区中的所述第一部件；

位于所述MOS区中的第二器件的第二栅极区、第二源极区和第二漏极区，其中，所述第二栅极区具有第二长度；以及

第二纳米线组，设置在所述第二栅极区中，所述第二纳米线组包括具有第二直径的纳米线，并连接至所述第二源极区中的第二部件和所述第二漏极区中的所述第二部件，

其中，如果所述第一长度大于所述第二长度，则所述第一直径小于所述第二直径；以及其中，如果所述第一长度小于所述第二长度，则所述第一直径大于所述第二直径。

2. 根据权利要求1所述的IC，还包括：

多个所述第一纳米线组，设置在所述第一栅极区中，两个相邻的所述第一纳米线组的纳米线之间具有不同的间距；以及

其中，当所述间距改变时，所述第一纳米线组的第一直径改变。

3. 根据权利要求1所述的IC，其中，所述第一长度和所述第二长度的差值约为20%。

4. 根据权利要求1所述的IC，其中，所述第一纳米线组和所述第二纳米线组包括半导体材料。

5. 一种集成电路(IC)，包括：

衬底，具有金属氧化物半导体(MOS)区；

位于所述MOS区中的第一器件的第一栅极区、第一源极区和第一漏极区，其中，所述MOS区具有第一栅极区长度；

多个第一纳米线组，设置在所述第一栅极区中，在两个相邻的第一纳米线组之间具有不同的间距，所述第一纳米线组包括具有第一直径的纳米线并连接至所述第一源极区中的公共部件和所述第一漏极区中的公共部件；其中，如果不同的第一纳米线组具有不同的间距，则所述第一纳米线组的第一直径与所述不同的第一纳米线组的第一直径不同；

位于所述MOS区中的第二器件的第二栅极区、第二源极区和第二漏极区，其中，所述MOS区具有第二栅极区长度；

第二纳米线组，设置在所述第二栅极区中，所述第二纳米线组包括具有第二直径的纳米线并连接至所述第二源极区中的部件和所述第二漏极区中的部件，

其中，如果所述第一长度大于所述第二长度，则所述第一直径小于所述第二直径；以及其中，如果所述第一长度小于所述第二长度，则所述第一直径大于所述第二直径。

6. 根据权利要求5所述的IC，其中，所述第一长度与所述第二长度的差值约为20%。

7. 根据权利要求5所述的IC，其中，所述第一纳米线组和所述第二纳米线组包括半导体材料。

8. 一种集成电路(IC)，包括：

衬底，具有N型金属氧化物半导体(NMOS)区和P型金属氧化物半导体(PMOS)区；

多个栅极结构，位于所述NMOS区和所述PMOS区中，其中，所述栅极结构的长度和所述

栅极结构的间距在至少两个栅极结构之间不同；以及

纳米线组，设置在所述多个栅极结构的每一个中，其中，每一个纳米线组中的每一个纳米线的直径均与相邻栅极结构的相对间距和所述相邻栅极结构的相对长度直接对应。

9. 根据权利要求 8 所述的 IC，其中，所述 PMOS 区中的栅极结构中的纳米线与所述 NMOS 区中的栅极结构中的纳米线具有不同的材料。

10. 根据权利要求 9 所述的 IC，其中，所述 PMOS 区中的栅极结构中的纳米线包括锗 (Ge)，而所述 NMOS 区中的栅极结构中的纳米线包括硅 (Si)。

具有纳米线的集成电路

技术领域

[0001] 本发明涉及半导体技术领域,更具体地,涉及具有纳米线的集成电路。

背景技术

[0002] 集成电路(IC)工业经历了指数增长。IC材料和设计方面的技术进步已经产生了数代IC,其中每一代IC比前一代IC具有更小和更复杂的电路。在IC演变的过程中,功能密度(即,每芯片面积上互连器件的数目)通常增加,而几何尺寸(即,使用制造工艺可以制成的最小部件(或线))却已减小。这种按比例缩小工艺通常通过增加生产效率和降低相关成本而带来益处。

[0003] 这种按比例缩小还提高了处理和制造IC的复杂性,并且为了实现这些进步,需要IC处理和制造方面的类似发展。例如,已引入三维晶体管,诸如具有纳米线的半导体器件,以替换平面晶体管。期望在此领域中得到改进。

发明内容

[0004] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种集成电路,包括:

[0005] 衬底,具有金属氧化物半导体(MOS)区;

[0006] 位于所述MOS区中的第一器件的第一栅极区、第一源极区和第一漏极区,其中,所述第一栅极区具有第一长度;

[0007] 第一纳米线组,设置在所述第一栅极区中,所述第一纳米线组包括具有第一直径的纳米线,并连接至所述第一源极区中的第一部件和所述第一漏极区中的所述第一部件;

[0008] 位于所述MOS区中的第二器件的第二栅极区、第二源极区和第二漏极区,其中,所述第二栅极区具有第二长度;以及

[0009] 第二纳米线组,设置在所述第二栅极区中,所述第二纳米线组包括具有第二直径的纳米线,并连接至所述第二源极区中的第二部件和所述第二漏极区中的所述第二部件,

[0010] 其中,如果所述第一长度大于所述第二长度,则所述第一直径小于所述第二直径;以及

[0011] 其中,如果所述第一长度小于所述第二长度,则所述第一直径大于所述第二直径。

[0012] 在可选实施例中,所述IC还包括:多个所述第一纳米线组,设置在所述第一栅极区中,两个相邻的所述第一纳米线组的纳米线之间具有不同的间距;以及,其中,当所述间距改变时,所述第一纳米线组的第一直径改变。

[0013] 在可选实施例中,所述第一长度和所述第二长度的差值约为20%。

[0014] 在可选实施例中,所述第一纳米线组和所述第二纳米线组包括半导体材料。

[0015] 在可选实施例中,所述半导体材料包括硅(Si)。

[0016] 在可选实施例中,所述第一直径和所述第二直径的差值约为20%。

[0017] 在可选实施例中,所述半导体材料包括锗(Ge)。

- [0018] 在可选实施例中，所述第一纳米线组包括至少两个纳米线。
- [0019] 在可选实施例中，至少两个所述第一纳米线组共同连接至所述第一源极区中的部件和所述第一漏极区中的部件。
- [0020] 在可选实施例中，如果不同的第一纳米线组具有不同的间距，则所述第一纳米线组的第一直径与所述不同的第一纳米线组的第一直径不同。
- [0021] 在可选实施例中，所述 IC 还包括：高 k (HK) 层，设置在所述衬底上方，包裹所述第一栅极区和所述第二栅极区中的所述第一纳米线组的第一纳米线和所述第二纳米线组的第二纳米线；以及，金属栅极，设置在所述 MOS 区的所述第一栅极区和所述第二栅极区中的所述 HK 层上方。
- [0022] 根据本发明的另一方面，还提供了一种集成电路 (IC)，包括：
- [0023] 衬底，具有金属氧化物半导体 (MOS) 区；
- [0024] 位于所述 MOS 区中的第一器件的第一栅极区、第一源极区和第一漏极区，其中，所述 MOS 区具有第一栅极区长度；
- [0025] 多个第一纳米线组，设置在所述第一栅极区中，在两个相邻的第一纳米线组之间具有不同的间距，所述第一纳米线组包括具有第一直径的纳米线并连接至所述第一源极区中的公共部件和所述第一漏极区中的公共部件；其中，如果不同的第一纳米线组具有不同的间距，则所述第一纳米线组的第一直径与所述不同的第一纳米线组的第一直径不同；
- [0026] 位于所述 MOS 区中的第二器件的第二栅极区、第二源极区和第二漏极区，其中，所述 MOS 区具有第二栅极区长度；
- [0027] 第二纳米线组，设置在所述第二栅极区中，所述第二纳米线组包括具有第二直径的纳米线并连接至所述第二源极区中的部件和所述第二漏极区中的部件，
- [0028] 其中，如果所述第一长度大于所述第二长度，则所述第一直径小于所述第二直径；以及
- [0029] 其中，如果所述第一长度小于所述第二长度，则所述第一直径大于所述第二直径。
- [0030] 在可选实施例中，所述第一长度与所述第二长度的差值约为 20%。
- [0031] 在可选实施例中，所述第一纳米线组和所述第二纳米线组包括半导体材料。
- [0032] 在可选实施例中，所述半导体材料包括硅 (Si)。
- [0033] 在可选实施例中，所述第一直径和所述第二直径的差值约为 20%。
- [0034] 在可选实施例中，所述半导体材料包括锗 (Ge)。
- [0035] 在可选实施例中，所述 IC 还包括：高 k (HK) 层，设置在所述衬底上方，包裹所述第一栅极区和所述第二栅极区中的所述第一纳米线组和所述第二纳米线组中的纳米线；以及，金属栅极，设置在所述第一栅极区和所述第二栅极区中的所述 HK 层上方。
- [0036] 根据本发明的又一方面，还提供了一种集成电路 (IC)，包括：
- [0037] 衬底，具有 N 型金属氧化物半导体 (NMOS) 区和 P 型金属氧化物半导体 (PMOS) 区；
- [0038] 多个栅极结构，位于所述 NMOS 区和所述 PMOS 区中，其中，所述栅极结构的长度和所述栅极结构的间距在至少两个栅极结构之间不同；以及
- [0039] 纳米线组，设置在所述多个栅极结构的每一个中，其中，每一个纳米线组中的每一个纳米线的直径均与相邻栅极结构的相对间距和所述相邻栅极结构的相对长度直接对应。
- [0040] 在可选实施例中，所述 PMOS 区中的栅极结构中的纳米线与所述 NMOS 区中的栅极

结构中的纳米线具有不同的材料。

[0041] 在可选实施例中,所述 PMOS 区中的栅极结构中的纳米线包括锗(Ge),而所述 NMOS 区中的栅极结构中的纳米线包括硅(Si)。

附图说明

[0042] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚论述起见,各个部件的尺寸可以被任意增大或缩小。

[0043] 图 1A 是根据本发明实施例的具有纳米线的集成电路(IC)的示意性立体图。

[0044] 图 1B 是沿着图 1A 中的线 A-A 的具有纳米线的 IC 的截面图。

[0045] 图 1C 是沿着图 1A 中的线 B-B 的具有纳米线的 IC 的截面图,其中,线 B-B 垂直于线 A-A。

[0046] 图 1D 是根据本发明实施例的具有纳米线的 IC 的示意性立体图。

[0047] 图 2A 是根据本发明实施例的具有纳米线的 IC 的示意性立体图。

[0048] 图 2B 至图 2C 和图 3A 至图 3B 是沿着图 2A 中的线 A-A 的具有纳米线的示例性 IC 的截面图。

[0049] 图 4 是具有纳米线组的示例性 IC 的俯视图。

具体实施方式

[0050] 可以理解,下面公开的内容提供了许多不同的实施例或者实例,用以实现本发明的不同特征。下面将描述部件或者布置的具体实例以简化本发明。当然它们仅为实例而并不旨在限制本发明。例如,在以下描述中,第一部件形成在第二部件上方或者之上可以包括以直接接触的方式形成第一部件和第二部件的实施例,也可以包括在第一部件和第二部件之间形成额外部件使得第一部件和第二部件不直接接触的实施例。此外,本发明可在多个实例中重复参考标号和 / 或字符。这种重复是为了简化和清楚的目的,并且其自身并不表示所论述的各个实施例和 / 或结构之间的关系。

[0051] 本发明的目的在于但不限于包括 P 型金属氧化物半导体(PMOS)器件和 N 型金属氧化物半导体(NMOS)器件的互补金属氧化物半导体(CMOS)器件。以下公开将继续以 CMOS 器件作为实例来描述本发明的各个实施例。然而,应当理解,除非特别说明,否则本发明并不应限于特定类型的器件。

[0052] 图 1A 为根据本发明实施例的 IC100 的侧视图。图 1B 和 1C 分别为沿着图 1 中的线 A-A 和 B-B 的 IC100 的横截面图。线 B-B 垂直于线 A-A 的方向。图 1D 是根据本发明另一实施例的 IC100 的侧视图。其他附图根据制造的各个阶段提供了 IC100 的侧视图和截面图。

[0053] 参考图 1A 至图 1C,IC100 可为具有多个不同的器件、区域和面积的较大的集成电路(IC)的一部分,诸如位于衬底 210 中或其上的 p 型 MOS (PMOS)和 / 或 N 型 MOS (NMOS)。如图中所示,衬底 210 包括源极区 / 漏极区 212 以及具有长度 L 的栅极区 214,该长度在整个器件中可以变化。例如,栅极区在一个位置处可具有第一长度 L₁,并且在另一位置处可具有第二长度 L₂。在本实施例中,第二长度 L₂ 大于 20nm,该长度比第一长度 L₁ 长出 20% 以上。

具有第一长度 L_1 的栅极区 214 被称为短沟道栅极区, 而具有第二长度 L_2 的栅极区 214 被称为长沟道栅极区。源极区 / 漏极区 212 由栅极区 214 所分隔。

[0054] 在本实施例中, 衬底 210 为块状硅衬底。可选地, 衬底 210 可包括: 元素半导体, 诸如晶体结构的硅或锗; 化合物衬底, 诸如硅锗、碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或锑化铟; 或它们的组合。合适的衬底 210 还包括绝缘体上半导体衬底, 诸如绝缘体上硅(SOI)、绝缘体上硅锗(SGOI)、绝缘体上锗衬底。例如, 使用注氧隔离(SIMOX)、晶圆接合和 / 或其他适合的方法来制造 SOI 衬底。

[0055] 一些示例性衬底 210 还包括绝缘层。绝缘层包括任何适合的材料, 包括氧化硅、蓝宝石和 / 或它们的组合。示例性绝缘层可为埋氧层(BOX)。通过适合的工艺, 诸如注入(例如: SIMOX)、氧化、沉积和 / 或其他适合的工艺, 形成绝缘体。

[0056] 根据本领域已知的设计需求, 衬底 210 可包括多种掺杂区。掺杂区可掺杂诸如硼或 BF_2 的 p 型掺杂剂; 诸如磷或砷的 n 型掺杂剂, 或者它们的组合。掺杂区可以 P- 阵结构、N- 阵结构、双 - 阵结构或使用凸起结构直接形成在衬底 210 上。

[0057] 在源极 / 漏极区 212 中形成凹进的第一鳍 220。在一个实施例中, 通过首先在衬底 210 上方形成第一鳍然后使第一鳍凹进来形成凹进的第一鳍 220。可通过包括各种沉积、光刻和 / 或蚀刻工艺的任何适合的工艺来形成第一鳍。在一个实例中, 通过对硅衬底 210 的一部分进行图案化和蚀刻来形成第一鳍。在另一实例中, 通过对沉积在绝缘层上方的硅层(例如, SOI 衬底的硅 - 绝缘体 - 硅堆叠件的上硅层)进行图案化和蚀刻来形成第一鳍。应当理解, 第一鳍可包括以相似方式形成的多个平行的鳍。

[0058] 在衬底 210 上形成多个隔离区 230 以隔离有源区。例如, 隔离区 230 分隔第一鳍。可使用传统的隔离技术来形成隔离区 230, 诸如浅沟槽隔离(STI), 以限定并电隔离多个区域。隔离区 230 包括氧化硅、氮化硅、氮氧化硅、气隙(air gap)、其他适合的材料或它们的组合。由任何适合的工艺形成隔离区 230。作为一个实例, STI 的形成包括光刻工艺、在衬底中蚀刻沟槽(例如, 通过使用干蚀刻和 / 或湿蚀刻)、以及用一种或多种介电材料来填充沟槽(例如, 通过使用化学汽相沉积工艺)。如在本实施例中, 可部分地填充沟槽, 保留在沟槽之间的衬底形成鳍结构。在一些实例中, 填充后的沟槽可具有多层结构, 诸如填充有氮化硅或氧化硅的热氧化衬里层。

[0059] 然后对第一鳍实施凹进以形成凹进的第一鳍 220。凹进工艺可包括干蚀刻工艺、湿蚀刻工艺和 / 或它们的组合。凹进工艺还可包括选择性湿蚀刻或选择性干蚀刻。湿蚀刻方案包括氢氧化四甲铵(TMAH)、 $HF/HNO_3/CH_3COOH$ 方案或其他适合的方案。干蚀刻工艺包括使用氯基化学物的偏压等离子体蚀刻工艺。其他干蚀刻剂气体包括 CF_4 、 NF_3 、 SF_6 和 He。

[0060] 在源极 / 漏极区 212 中的凹进的第一鳍 220 上方形成源极 / 漏极部件 240。在一个实施例中, 第一半导体材料层通过外延生长工艺沉积在凹进的第一鳍 220 上方以形成源极 / 漏极部件 240。外延生长工艺包括 CVD 沉积技术(例如, 汽相外延(VPE)和 / 或超高真空 CVD(UHV-CVD)), 分子束外延和 / 或其他适合的工艺。第一半导体材料层可包括锗(Ge)、硅(Si)、砷化镓(GaAs)、砷化铝镓(AlGaAs)、硅锗(SiGe)、磷砷化镓(GaAsP)或其他适合的材料。在外延工艺期间可原位掺杂源极 / 漏极部件 240。例如, 外延生长的 SiGe 源极 / 漏极部件 240 可掺杂硼; 外延生长的 Si 外延源极 / 漏极部件 240 可掺杂碳以形成 Si:C 源极 / 漏极部件, 掺杂磷以形成 Si:P 源极 / 漏极部件或者掺杂碳和磷以形成 SiCP 源极 / 漏极部

件。在一个实施例中，源极 / 漏极部件 240 并非原位掺杂，实施注入工艺(即，结注入工艺)以掺杂源极 / 漏极部件 240。

[0061] 可选地，如图 1D 所示，在两个隔离区 230 之间形成内区域 216。在内区域 216 中，去除每一个单独的第一鳍以在衬底 210 上方形成台面 218。在源极 / 漏极区 212 的台面 218 上方形成公共源极 / 漏极部件 240。在一个实施例中，公共源极 / 漏极部件 240 直接连接至栅极区 214 中的每一个纳米线组 310。

[0062] 位于衬底 210 上方的层间介电(ILD)层 250 包括在源极 / 漏极部件 240 之间。ILD 层 250 包括氧化硅、氮氧化物或其他适合的材料。ILD 层 250 可包括单层或多层。通过诸如 CVD、ALD 或旋涂(SOG)的适合技术形成 ILD 层 250。可进行化学机械抛光(CMP)以平坦化 ILD 层 250 的顶面。

[0063] 在本实施例中，在栅极区 214 中的衬底 210 上方形成一个或多个纳米线组 310 和高 k/ 金属栅极(HK/MG)320。每一个纳米线组 310 可具有一个纳米线或多个纳米线。一个纳米线组 310 中的每一个纳米线可与相应的源极 / 漏极部件 240 相连接。在一个实施例中，纳米线组 310 直接与相应的源极 / 漏极部件 240 相连接。纳米线组 310 中的纳米线可被形成为具有直径 d 的棒状形，后文将描述更多细节。

[0064] HK/MG320 可包括界面层(IL)322、HK 介电层 324 和 MG326。IL322 和 HK 介电层 324 设置在衬底 210 上方，包括一致地包裹纳米线组 310。HK 介电层 324 可包括 LaO、AlO、ZrO、TiO、Ta₂O₅、Y₂O₃、SrTiO₃ (STO)、BaTiO₃ (BT0)、BaZrO、HfZrO、HfLaO、HfSiO、LaSiO、AlSiO、HfTaO、HfTiO、(Ba, Sr) TiO₃ (BST)、Al₂O₃、HfAlO、Si₃N₄、氮氧化物(SiON)或其他适合的材料。可通过 ALD 或其他适合的方法来沉积 IL322 和 HK 介电层 324。

[0065] MG326 可包括单层或多层，诸如金属层、衬里层、润湿层和粘合层。MG326 可包括 Ti、Ag、Al、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、TiN、TaN、Ru、Mo、Al、WN、Cu、W 或任何适合的材料。可通过 ALD、PVD、CVD 或其他适合的工艺来形成 MG326。可单独地形成 MG326 以用于具有不同金属层的 NMOS 和 PMOS。

[0066] 以下描述将针对在工艺阶段中栅极区 214 中的纳米线 310 的形成和结构，该阶段在图 1A 至图 1C 的阶段之前。图 2A 至图 2C 示出了纳米线 310 的形成和结构的实例。

[0067] 参考图 2A 至图 2C，在栅极区 214 中的衬底 210 上方形成第二鳍 420。第二鳍 420 的形成在很多方面与上文中结合图 1 所论述的第一鳍 220 相似。在一个实施例中，凹进的第一鳍 220 和第二鳍 420 是相同的鳍。隔离区 230 设置在第二鳍 420 之间。

[0068] 在本实施例中，使第二鳍 420 凹进并且在凹进的第二鳍 420 上方形成半导体层堆叠件 430。半导体层堆叠件 430 可包括多个半导体层。这些半导体层中的每一个可具有基本上互相不同的厚度。半导体层堆叠件 430 可包括锗(Ge)、硅(Si)、砷化镓(GaAs)、硅锗(SiGe)、磷砷化镓(GaAsP)或其他适合的材料。可通过外延生长工艺(诸如 CVD、VPE、UHV-CVD、分子束外延和其他适合的工艺)来沉积半导体层堆叠件 430。

[0069] 在一个实施例中，在 PMOS 单元(如图 2B 中所示)中，半导体层堆叠件 430 具有(从下到上)SiGe (433)/Si (434)/SiGe (433)/Si (434)/SiGe (433)/Si (434)，而在 NMOS 单元(如图 2C 中所示)中具有 SiGe (433)/Si (434)/SiGe (433)/Si (434)/SiGe (433)。

[0070] 半导体层堆叠件 430 可包括不同半导体层的其他适合的组合。可实施化学 CMP 工艺以平坦化具有隔离区 230 的半导体层堆叠件 430 的顶面。

[0071] 在本实施例中,可回蚀刻隔离区 230 以形成开口间距以横向地暴露半导体层堆叠件 430 的至少一部分。蚀刻工艺可包括选择性湿蚀刻或选择性干蚀刻,从而对半导体层堆叠件 430 具有适当的蚀刻选择性。设计开口间距的各种尺寸以满足特定的器件结构需求,诸如用于随后形成的互连接触件的开口间距。例如,第一区 610 中的第一开口间距 s_1 基本上大于第二区 620 中的第二开口间距 s_2 。第二开口间距 s_2 基本上大于第三区 630 中的第三开口间距 s_3 。例如,在 PMOS 单元中, s_1 在 25nm 至 150nm 的范围内, s_2 在 20nm 至 50nm 的范围内,以及 s_3 在 20nm 至 35nm 的范围内。又例如,在 NMOS 单元中, s_1 在 25nm 至 150nm 的范围内, s_2 在 20nm 至 35nm 的范围内以及 s_3 在 20nm 至 35nm 的范围内。

[0072] 在 PMOS 单元中,在横向地暴露半导体层堆叠件 430 之后,实施第一热氧化工艺以暴露栅极区 214 中的半导体材料层堆叠件 430。在热氧化工艺期间,半导体层堆叠件 430 中的每一半导体层的至少一部分被转化为半导体氧化层。可在氧气环境中,或在蒸汽环境和氧气环境的结合中进行热氧化工艺。

[0073] 在 NMOS 单元中,在横向地暴露出半导体层堆叠件 430 之后,实施选择性蚀刻工艺以去除半导体层堆叠件 430 中的一种类型的半导体层并且留下悬置在栅极区 214 中(由源极 / 漏极部件 240 支承)的另一种类型的半导体层。例如,通过选择性蚀刻去除 SiGe 层 433 并将 Si 层 434 悬置在栅极区 214 中。然后,进行第二热氧化工艺。第二热氧化工艺在许多方面与上面论述的第一热工艺相似。在一个实施例中,第一和第二热工艺是一个热工艺。

[0074] 参考图 3A 至图 3B,在本实施例中,控制第一 / 第二热氧化工艺以将暴露的半导体层堆叠件 430 转化为半导体氧化层堆叠件 530 的设计结构,其在预定的半导体氧化层中具有引线部件 532。例如,在 PMOS 单元中, SiGe 层 433 被转化为具有 Ge 引线部件 532 的硅锗氧化物 533,而 Si 层 434 被完全转化为氧化硅层 534。Ge 引线部件 532 被称作 Ge 纳米线。作为另一个实例,在 NMOS 单元中,悬置的 Si 层 434 被转化为具有 Si 引线部件 535 的氧化硅层 534。Si 引线部件 535 被称作 Si 纳米线。

[0075] 在本实施例中,在第一、第二和第三区 610、620 和 630 中的引线部件 532/535 的直径基本上不同。在一个实施例中,形成在第一区 610 中的引线部件 532/535 具有第一直径 d_1 ,第一直径 d_1 基本上小于形成在第二区 620 中的引线部件 532/535 的第二直径 d_2 。第二直径 d_2 基本上小于第三区 630 中的第三直径 d_3 。在一个实施例中,第一直径 d_1 比第二直径 d_2 小 10%。第二直径 d_2 比第三直径 d_3 小 10%。例如,在 PMOS 单元中, d_1 在 4nm 至 15nm 的范围内, d_2 在 1nm 至 3nm 的范围内并且 d_3 在 1nm 至 3nm 的范围内。对于另一例子,在 NMOS 单元中, d_1 在 4nm 至 13nm 的范围内, d_2 在 1nm 至 3nm 的范围内并且 d_3 在 1nm 至 3nm 的范围内。

[0076] 在本实施例中,长栅极区中的引线部件 532/535 的直径基本上小于短栅极区中相应的引线部件 532/535 的直径。在一个实施例中,长栅极区中的引线部件 532/535 的直径比短栅极区中的相应的引线部件 532/535 小 20%。

[0077] 在形成引线部件 532/535 之后,通过选择性蚀刻工艺去除半导体氧化层堆叠件 530 的所有层并将引线部件 532/535 保留在栅极区 214 中。如图 1A 至图 1C 所示,在栅极区 214 的相同位置处垂直对准的引线部件 532/535 称为纳米线组 310。如图 1A 至如 1C 所述, HK/MG320 形成在栅极区 214 中,包括一致地包裹纳米线组 310。

[0078] 参考图 4,在一个实施例中,第一晶体管 710 与第二晶体管 720 相邻,每一个晶体管

可包括多个纳米线组 310。为了描述起见,位于晶体管 710 的最左侧、最右侧以及它们之间的纳米线组 310 的直径分别为 D_{1l} 、 D_{1r} 和 D_{1c} 。同时,位于晶体管 720 的最左侧、最右侧以及它们之间的纳米线组 310 的直径分别为 D_{2l} 、 D_{2r} 和 D_{2c} 。在位于最左侧和最右侧的纳米线组的中间可以有一个以上的纳米线组 310。晶体管 710 和 720 的栅电极 326 之间的间距为 Sg 。晶体管 710 的外部间距分别为 $So(l)$ 和 $So(r)$ 。第一晶体管 710 内的间距为 Si 。在一个实施例中,第一晶体管 710 包括三个纳米线组 310。 $So(l)$ 和 $So(r)$ 两者都大于 Si , D_{1c} 大于 D_{1l} 和 D_{1r} 。在另一实施例中,第一晶体管 710 包括四个纳米线组 310。 $So(l)$ 和 $So(r)$ 两者都大于 Si , D_{1c} (在最左纳米线组和最右纳米线组之间有两个纳米线组) 大于 D_{1l} 和 D_{1r} 。

[0079] IC100 可具有本领域已知的用于 CMOS 或 MOS 器件的各种另外的部件和区域。例如,各种接触件 / 通孔 / 线以及多层互连部件(例如,金属层和层间电介质)形成在衬底 210 上方,被配置为连接 IC100 的各个部件或结构。多层互连件可包括诸如传统的通孔或接触件的垂直互连件,以及诸如金属线的水平互连件。各种互连结构可利用包括铜、钨、铝和 / 或硅化物(例如 PtSi、CoSi₂、NiSi、NiPtSi、WSi₂、MoSi₂、TaSi₂ 或其他难熔金属硅化物)的各种导电材料。在一个例子中,单镶嵌和 / 或双镶嵌工艺用于形成铜相关的多层互连结构。

[0080] 基于上述描述,本发明提供了在 PMOS 单元和 NMOS 单元中具有纳米线组的集成电路。纳米线组具有一个或多个纳米线。纳米线根据纳米线不同的环境和位置(诸如介于相邻纳米线组之间的开口间距的尺寸或栅极区长度)形成为具有不同的直径。

[0081] 本发明提供了集成电路(IC)的多个不同实施例。IC 包括具有金属氧化物半导体(MOS)区的衬底、位于 MOS 区中的第一器件的第一栅极区、源极区和漏极区。第一栅极区具有第一长度。IC 还包括设置在第一栅极区中的第一纳米线组,第一纳米线组包括具有第一直径的纳米线,并连接至第一源极区中的第一部件和第一漏极区中的第一部件。IC 还包括 MOS 区中的第二器件的第二栅极区、源极区和漏极区。第二栅极区具有第二长度。IC 还包括设置在第二栅极区中的第二纳米线组,第二纳米线组包括具有第二直径的纳米线,并连接至第二源极区中的第二部件和第二漏极区中的第二部件。如果第一长度大于第二长度,则第一直径小于第二直径。如果第一长度小于第二长度,则第一直径大于第二直径。

[0082] 在另一实施例中,集成电路包括具有金属氧化物半导体(MOS)区的衬底、具有第一栅极区长度的 MOS 区中的第一器件的第一栅极区、源极区和漏极区。IC 还包括设置在第一栅极区中的多个第一纳米线组,在两个相邻的第一纳米线组之间具有不同的间距,第一纳米线组包括具有第一直径的纳米线,并连接至第一源极区的共同部件和第一漏极区的共同部件。如果不同的第一纳米线组具有不同的间距,则第一纳米线组的直径与不同的第一纳米线组的第一直径不同。IC 还包括具有第二栅极区长度的 MOS 区中的第二器件的第二栅极、源极和漏极区。IC 还包括设置在第二栅极区中的第二纳米线组,第二纳米线组包括具有第二直径的纳米线,并连接至第二源极区中的部件和第二漏极区中的部件。如果第一长度大于第二长度,则第一直径小于第二直径,并且,如果第一长度小于第二长度,则第一直径大于第二直径。

[0083] 在又一实施例中,集成电路(IC)包括具有 N 型金属氧化物半导体(NMOS)区和 P 型金属氧化物半导体(PMOS)区的衬底、位于 NMOS 区和 PMOS 区中的多个栅极结构。栅极结构的长度和栅极结构之间的间距在至少两个栅极结构之间不同。纳米线组设置在多个栅极结构中的每一个栅极结构中。每一个纳米线组中的每一个纳米线的直径与相邻栅极结构的相

对间距和栅极结构的相对长度直接对应。

[0084] 上面论述了若干实施例的轮廓特征,以使本领域普通技术人员可以更好地理本发明的各个方面。本领域普通技术人员应该理解,它们可以很容易地使用本发明作为基础来设计或修改用于达到与本文所介绍的实施例相同的目的和 / 或实现相同优势的其他工艺和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,它们可对本发明作出多种变化、替换以及改变。

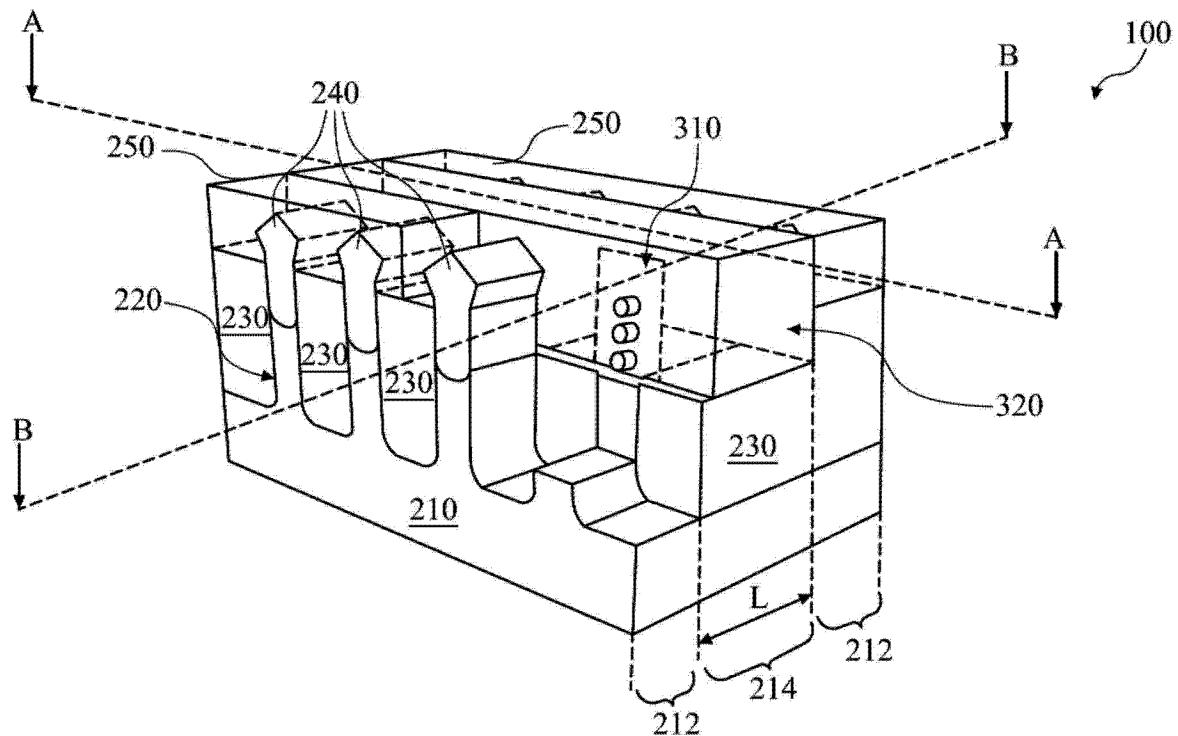


图 1A

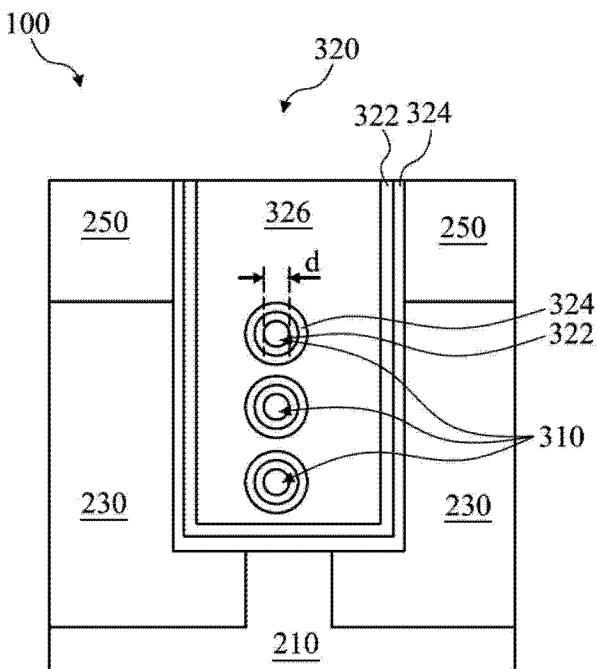


图 1B

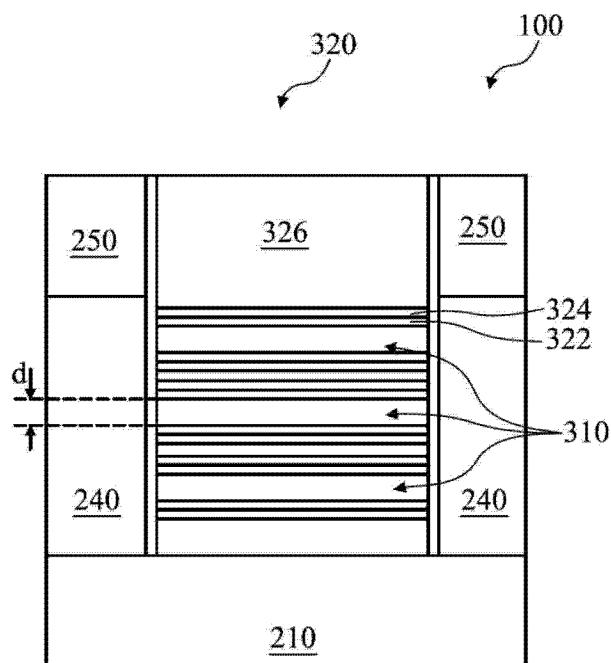


图 1C

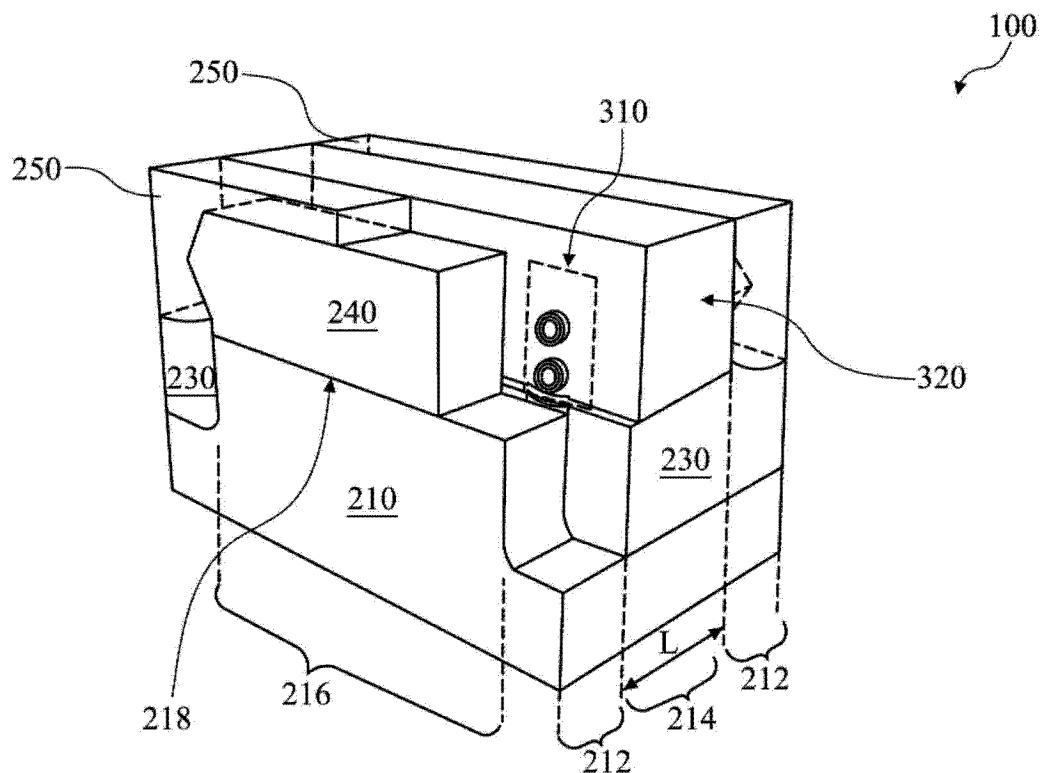


图 1D

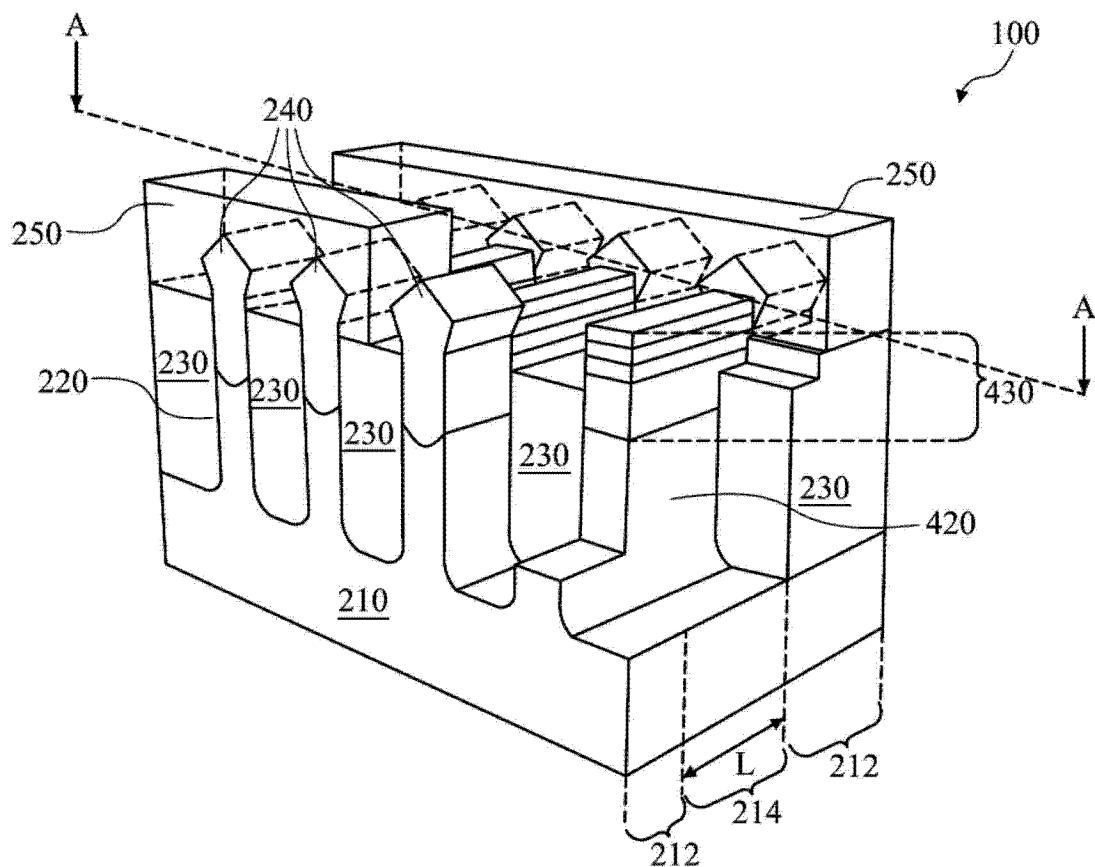


图 2A

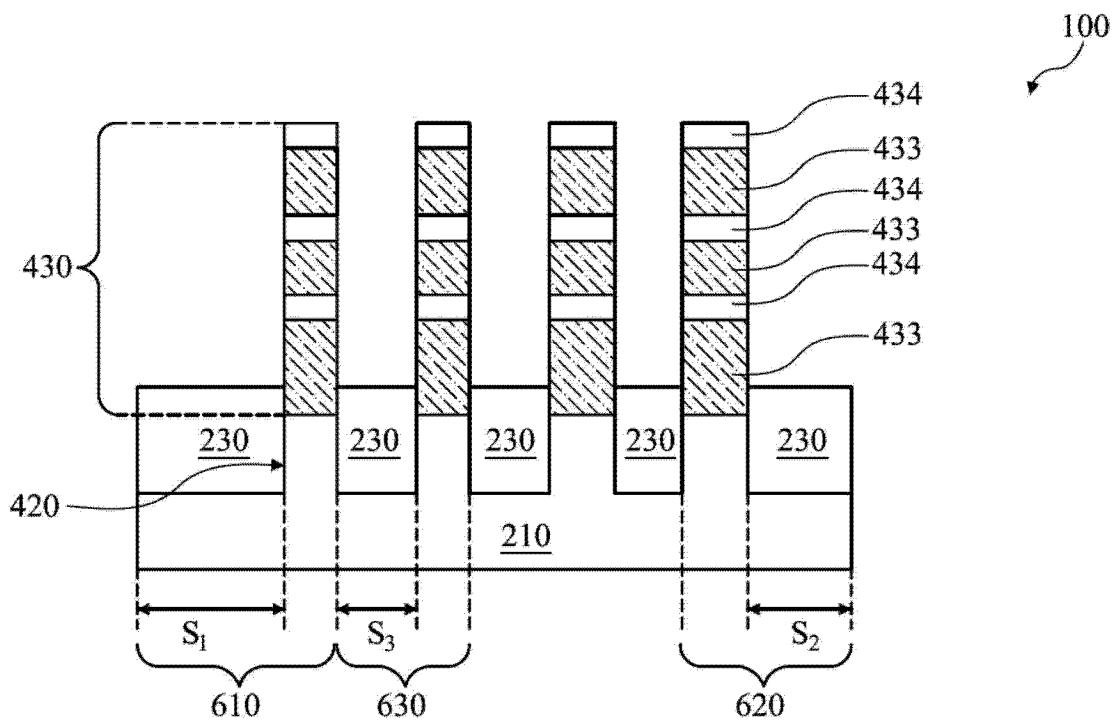


图 2B

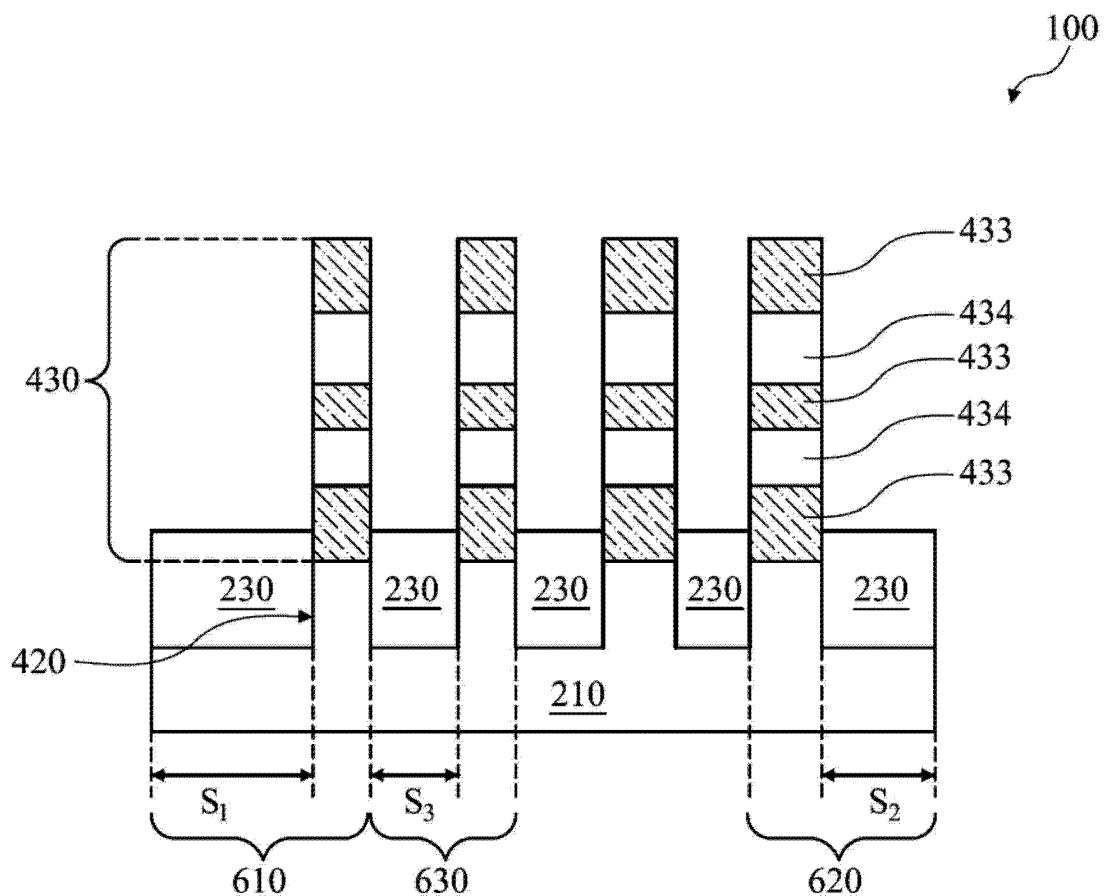


图 2C

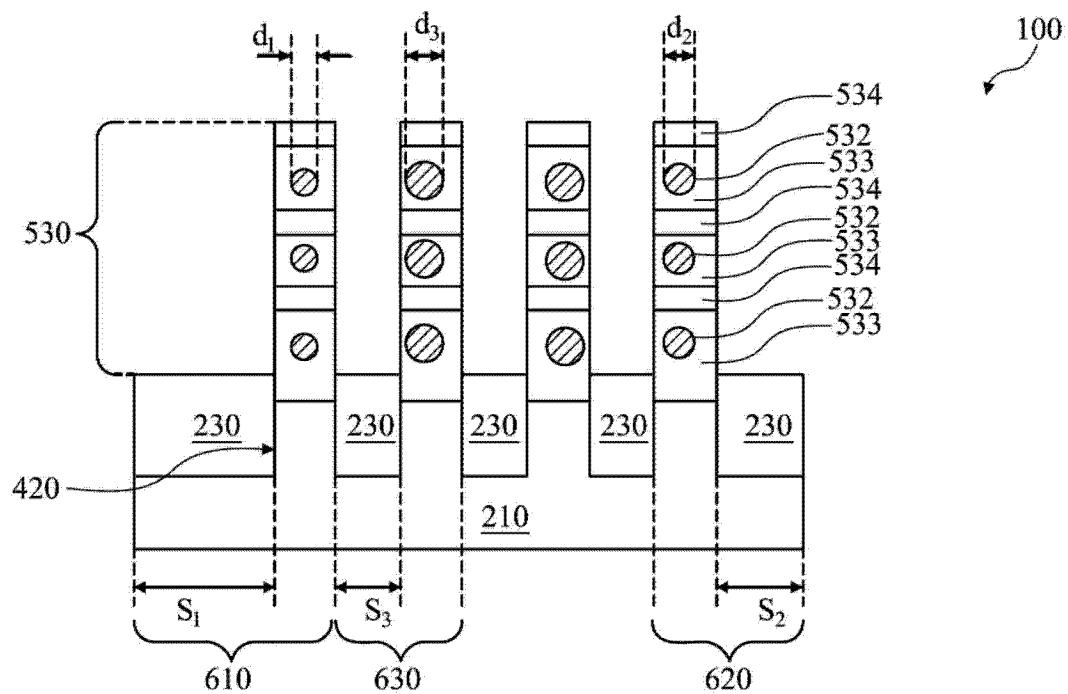


图 3A

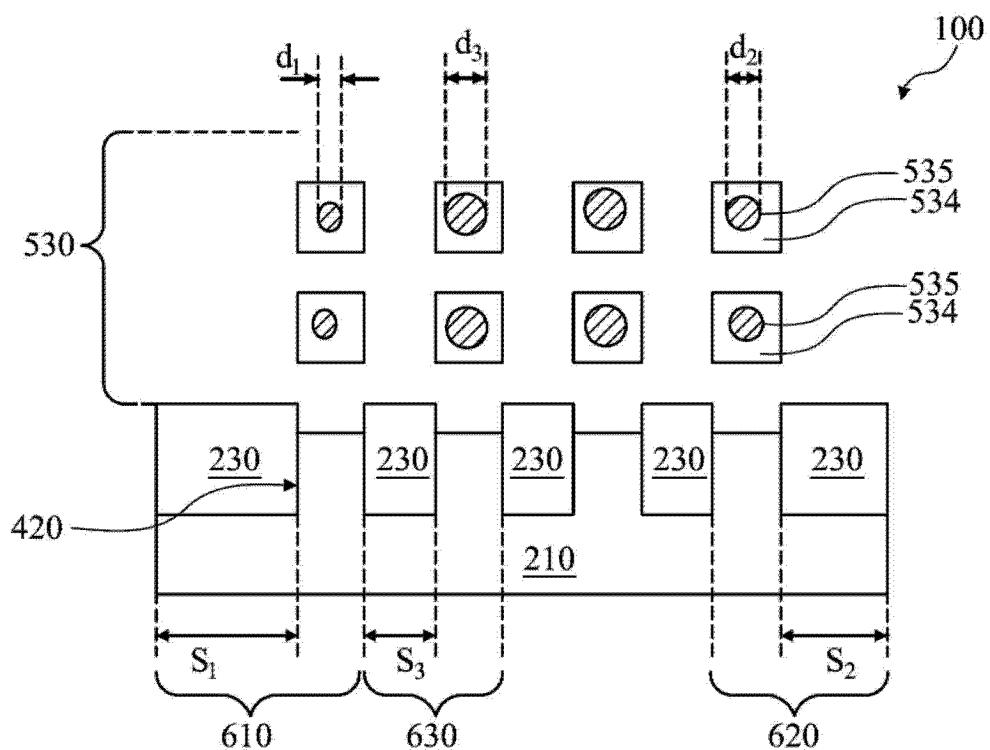


图 3B

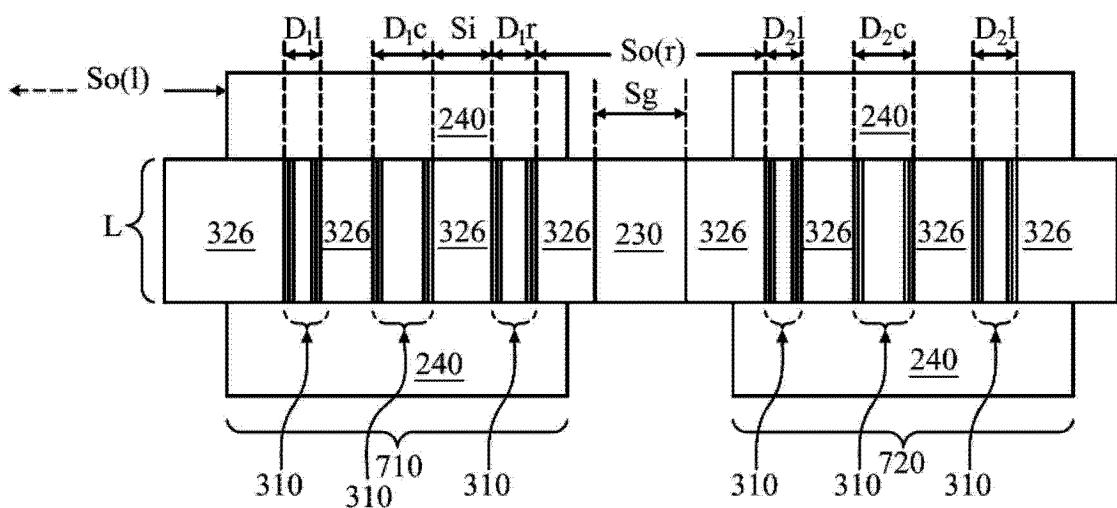


图 4