

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 29 日 (29.06.2017)



(10) 国际公布号
WO 2017/107048 A1

- (51) 国际专利分类号:
G06F 12/16 (2006.01) G06F 1/28 (2006.01)
- (21) 国际申请号: PCT/CN2015/098221
- (22) 国际申请日: 2015 年 12 月 22 日 (22.12.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 顾学虎 (GU, Xuehu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

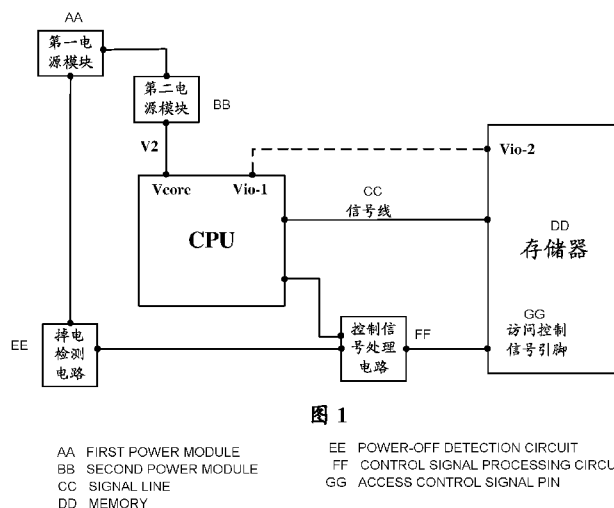
根据细则 4.17 的声明:

- 关于申请人有权申请并被授予专利(细则 4.17(ii))

[见续页]

(54) Title: MEMORY CONTENT PROTECTION CIRCUIT

(54) 发明名称: 一种存储器内容保护电路



(57) Abstract: A memory content protection circuit comprises a first power module, a second power module, a central processing unit (CPU), a power-off detection circuit, a control signal processing circuit, and a memory. A first output end of the first power module is connected to an input end of the second power module, and an output end of the second power module is connected to a core voltage port of the CPU. A second output end of the first power module is connected to an input end of the power-off detection circuit. A signal output end of the power-off detection circuit is connected to a first input end of the control signal processing circuit. A signal output end of the CPU is connected to a second input end of the control signal processing circuit. A signal output end of the control signal processing circuit is connected to an access control signal input end of the memory. The memory content protection circuit is used for setting the memory to "access prohibited" before disconnection of the core voltage of the CPU, facilitating improvement of security of memory content.

(57) 摘要:

[见续页]

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种存储器内容保护电路，包括第一电源模块、第二电源模块、中央处理器 CPU、掉电检测电路、控制信号处理电路、存储器，其中：第一电源模块的第一输出端连接第二电源模块的输入端，第二电源模块的输出端连接 CPU 的核电压端口；第一电源模块的第二输出端连接掉电检测电路的输入端；掉电检测电路的信号输出端连接控制信号处理电路的第一输入端，CPU 的信号输出端连接控制信号处理电路的第二输入端，控制信号处理电路的信号输出端连接存储器的访问控制信号输入端。上述存储器内容保护电路用于在 CPU 核电压下电前，设置存储器禁止被访问，有利于提升存储器内容的安全性。

一种存储器内容保护电路

技术领域

本发明涉及电子电路技术领域，具体涉及一种存储器内容保护电路。

5 背景技术

目前，网络设备中的单板绝大多数采用中央处理器 CPU+外部程序/状态信息存储器的形式，实现小系统的程序/状态信息存储功能，这些存储器可以是并行、串行的闪存 Flash Memory 或者电可擦可编程只读存储器 EEPROM 等类型的只读 ROM 存储器，也可能是使用电池备电的同步静态随机存取存储器

10 SSRAM。

本技术方案的发明人在研究过程中发现，无论CPU是无内部互锁流水级的微处理器MIPS架构还是进阶精简指令集机器ARM架构亦或者是增强精简指令集计算机RISC性能优化POWERPC架构，在单板下电时，如果CPU的核电压Vcore先于CPU的输入输出IO电源供电引脚的电压Vio-1和存储器的IO电源供电引脚的电压Vio-2下电，CPU可能由于内核紊乱，导致CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现一些异常波形，该异常波形可能导致存储器的内容被改写。

发明内容

20 本发明公开了一种存储器内容保护电路，用于在CPU核电压Vcore下电前，设置存储器禁止被访问，有利于提升存储器内容的安全性。

本发明第一方面公开一种存储器内容保护电路，包括第一电源模块、第二电源模块、中央处理器CPU、掉电检测电路、控制信号处理电路、存储器，其中：

25 所述第一电源模块的第一输出端连接所述第二电源模块的输入端，所述第二电源模块的输出端连接所述CPU的核电压端口；

所述第一电源模块的第二输出端连接所述掉电检测电路的输入端；

-2-

所述掉电检测电路的信号输出端连接所述控制信号处理电路的第一输入端，所述CPU的信号输出端连接所述控制信号处理电路的第二输入端，所述控制信号处理电路的信号输出端连接所述存储器的访问控制信号引脚；所述CPU的控制存储器的信号输入输出IO引脚和所述存储器的IO引脚之间连接有信号线；

5 本发明实施例提供的存储器内容保护电路中，所述第一电源模块用于给所述第二电源模块供电，所述第二电源模块用于给所述CPU提供核电压，所述掉电检测电路用于当所述第一电源模块提供的母电源V1低于预设阈值时，向所述控制信号处理电路发送参考控制信号，所述控制信号处理电路用于在接收到
10 所述参考控制信号时，产生用于控制所述存储器处于禁止访问状态的禁止访问控制信号，并向所述存储器发送所述禁止访问控制信号。

在本发明实施例第一方面第一种可能的实现方式中，

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

15 所述控制信号处理电路包括与门芯片；

所述第一电源模块的第二输出端连接所述电阻R1的第一端，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述与门芯片的第一输入端，所述CPU的信号输出端连
20 接所述与门芯片的第二输入端；

所述与门芯片的信号输出端连接所述存储器的复位信号引脚。

在本发明实施例第一方面第二种可能的实现方式中，

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

25 所述控制信号处理电路包括与门芯片；

所述第一电源模块的第二输出端连接所述电阻R1的第一端，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比

—3—

较器的信号输出端连接所述与门芯片的第一输入端，所述CPU的信号输出端连接所述与门芯片的第二输入端；

所述与门芯片的信号输出端连接所述存储器的片选信号引脚。

5 结合本发明实施例第一方面第一种或第二种可能的实现方式中，在本发明实施例第一方面第三种可能的实现方式中，

所述与门芯片包括以下任意一种：两输入与门芯片和四输入与门芯片。

在本发明实施例第一方面第四种可能的实现方式中，

10 所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

所述控制信号处理电路包括传输门芯片和上拉电阻R3，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述传输门芯片的控制信号输入端；

15 所述CPU的信号输出端连接所述传输门芯片的传输信号输入端；

所述传输门芯片的信号输出端连接所述存储器的片选信号引脚和所述上拉电阻R3的第一端，所述上拉电阻R3的第二端连接所述存储器的IO电源供电引脚Vio-2。

20 结合本发明实施例第一方面或第一方面第一种至第四种任一可能的实现方式中，在本发明实施例第一方面第五种可能的实现方式中，

所述掉电检测电路设置于所述第一电源模块的内部。

25 结合本发明实施例第一方面或第一方面第一种至第五种任一可能的实现方式中，在本发明实施例第一方面第六种可能的实现方式中，

所述掉电检测电路中的电压比较器包括看门狗芯片中的电压比较器，所述看门狗芯片至少包括以下任意一种：AMD706、MAX793以及ST85。

-4-

结合本发明实施例第一方面或第一方面第一种至第六种任一可能的实现方式中，在本发明实施例第一方面第七种可能的实现方式中，

所述第一电源模块包括直流-直流变换DC-DC电源芯片或交流-直流变换AC-DC电源芯片；

5 所述第二电源模块包括直流-直流变换DC-DC电源芯片。

结合本发明实施例第一方面或第一方面第一种至第七种任一可能的实现方式中，在本发明实施例第一方面第八种可能的实现方式中，

10 所述存储器至少包括以下任意一种：闪存Flash Memory、电可擦可编程只读存储器EEPROM以及同步静态随机存取存储器SSRAM。

结合本发明实施例第一方面或第一方面第一种至第八种任一可能的实现方式中，在本发明实施例第一方面第九种可能的实现方式中，

15 所述信号线至少包括以下任意一种：数据信号线、地址信号线、控制信号线以及时钟信号线。

本发明实施例中，第一电源模块用于给第二电源模块供电；第二电源模块用于给CPU提供核电压；掉电检测电路用于当第一电源模块的电压低于预设阈值时，向控制信号处理电路发送参考控制信号；控制信号处理电路用于在接收到参考控制信号时，产生用于控制所述存储器处于禁止访问状态的禁止访问控制信号，并向存储器发送禁止访问控制信号。可见，本发明实施例的存储器内容保护电路能够在检测到第一电源模块输出的母电源V1低于预设阈值的情况下，生成并向存储器发送禁止访问控制信号，从而实现在CPU的核电压Vcore掉电前就禁止访问存储器，如此，可以避免CPU的核电压Vcore掉电时，CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生，有利于提升存储器内容保护的安全性。

20

25

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 5 图1是本发明第一实施例公开的一种存储器内容保护电路的结构图；
图2是本发明第二实施例公开的一种存储器内容保护电路的结构图；
图3是本发明第三实施例公开的一种存储器内容保护电路的结构图；
图4是本发明第四实施例公开的一种存储器内容保护电路的结构图。

10 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

- 15 本发明公开了一种存储器内容保护电路，用于在CPU核电压Vcore下电前，设置存储器禁止被访问，有利于提升存储器内容的安全性。以下分别进行详细说明。

- 请参阅图1，图1是本发明第一实施例公开的一种存储器内容保护电路的结构图。如图1所示，该存储器内容保护电路可以包括第一电源模块、第二电源模块、中央处理器CPU、掉电检测电路、控制信号处理电路、存储器，其中：
20 模块、中央处理器CPU、掉电检测电路、控制信号处理电路、存储器，其中：

- 所述第一电源模块的第一输出端连接所述第二电源模块的输入端，所述第二电源模块的输出端连接所述CPU的核电压端口；所述第一电源模块的第二输出端连接所述掉电检测电路的输入端；所述掉电检测电路的信号输出端连接所述控制信号处理电路的第一信号输入端，所述CPU的信号输出端连接所述控制信号处理电路第二输入端，所述控制信号处理电路的信号输出端连接所述存储器的访问控制信号引脚；所述CPU的控制存储器的信号输入输出IO引脚和所述存储器的IO引脚之间连接有信号线；
25 信号处理电路第二输入端，所述控制信号处理电路的信号输出端连接所述存储器的访问控制信号引脚；所述CPU的控制存储器的信号输入输出IO引脚和所述存储器的IO引脚之间连接有信号线；

图1所示的存储器内容保护电路的工作原理是：

—6—

所述第一电源模块用于给所述第二电源模块供电，所述第二电源模块用于给所述CPU提供核电压，所述掉电检测电路用于当所述第一电源模块提供的母电源V1低于预设阈值时，向所述控制信号处理电路发送参考控制信号，所述控制信号处理电路用于在接收到所述参考控制信号时，产生用于控制所述存储器处于禁止访问状态的禁止访问控制信号，并向所述存储器发送所述禁止访问控制信号，以使得所述存储器禁止被访问。

本发明实施例所描述的存储器内容保护电路可以应用于手机、平板电脑、可穿戴设备（智能手表、智能手环等）、网络设备等各类电子设备的主板中。

在图1所描述的存储器内容保护电路中，电源检测模块能够在检测到第一电源模块输出的母电源V1低于预设阈值的情况下，生成并向存储器发送禁止访问控制信号，从而实现在CPU的核电压Vcore掉电前就禁止访问存储器，如此，可以避免CPU的核电压Vcore掉电时，CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生，有利于提升存储器内容保护的安全性。

可选的，本发明实施例中，所述CPU的输入输出IO电源供电引脚连接所述存储器的IO电源供电引脚。

可以理解的是，上述存储器内容保护电路中的掉电检测电路、控制信号处理电路的具体实现方式可以是多种多样的，以下实施例中所描述的掉电检测电路、控制信号处理电路的具体结构仅仅是一种示例结构，本发明对掉电检测电路、控制信号处理电路的具体实现不做唯一限定。

请参阅图2，图2是本发明第二实施例公开的一种存储器内容保护电路的结构图。其中，图2所示的存储器内容保护电路是对图1所示的存储器内容保护电路进行优化得到的，与图1所示的存储器内容保护电路相比，图2所示的存储器内容保护电路中：

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

所述控制信号处理电路包括与门芯片；

所述第一电源模块的第二输出端连接所述电阻R1的第一端，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述与门芯片的第一输入端，所述CPU的信号输出端连接所述与门芯片的第二输入端；

所述与门芯片的信号输出端连接所述存储器的复位信号引脚。

本发明实施例中，所述电阻R1和所述电阻R2用于分压。

图2所示的存储器内容保护电路的工作原理是：

CPU输出的信号给与门芯片，掉电检测电路输出的信号给与门芯片，与门芯片输出的信号给存储器；

正常情况下，掉电检测电路未检测到第一电源模块掉电（即输出母电源V1大于或等于预设阈值时），掉电检测电路输出高电平给与门芯片，此时，与门芯片的输出信号受CPU的输出信号控制，即CPU可以正常操作存储器；

第一电源模块掉电时（即输出母电源V1低于预设阈值时），掉电检测电路检测到第一电源模块掉电，掉电检测电路输出低电平，存储器接收所述低电平后，设置存储器内容禁止被访问。

举例来说，假设所述第一电源模块的第一输出端口和所述第一电源模块的第二输出端口提供的母电源V1为12V电压信号；所述电压比较器为看门狗芯片内部的电压比较器，该电压比较器的电压基准为1.25V；所述预设阈值为9V，即母电源V1下降到9V时，所述电压比较器应产生第一低电平，并向所述与门芯片发送所述第一低电平，所述与门芯片接收所述第一低电平时，产生第二低电平，并向所述存储器的复位信号引脚发送所述第二低电平，所述存储器通过所述复位信号引脚接收该第二低电平后，设置所述存储器的内容禁止被访问，从而实现在CPU的核电压Vcore掉电前就禁止访问存储器，如此，可以避免CPU的核电压Vcore掉电时，CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生，有利于提升存储器内容保护的安全性。

可选的，本发明实施例中，

—8—

所述与门芯片包括以下任意一种：两输入与门芯片和四输入与门芯片。

可选的，本发明实施例中，所述掉电检测电路可以设置于所述第一电源模块的内部。

可选的，本发明实施例中，所述掉电检测电路中的电压比较器包括看门狗
5 芯片中的电压比较器，所述看门狗芯片至少包括以下任意一种：AMD706、MAX793以及ST85。

可选的，本发明实施例中，所述第一电源模块包括直流-直流变换DC-DC电源芯片或交流-直流变换AC-DC电源芯片；

所述第二电源模块包括直流-直流变换DC-DC电源芯片。

10 可选的，本发明实施例中，所述存储器至少包括以下任意一种：闪存Flash Memory、电可擦可编程只读存储器EEPROM以及同步静态随机存取存储器SSRAM。

所述信号线至少包括以下任意一种：

数据信号线、地址信号线、控制信号线以及时钟信号线；

15 所述信号线为数据信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的数据信号引脚，所述存储器的IO引脚为所述存储器的数据信号引脚；

所述信号线为地址信号线时，所述CPU的控制存储器的信号输入输出IO
20 引脚为CPU的地址信号引脚，所述存储器的IO引脚为所述存储器的地址信号引脚；

所述信号线为控制信号线时，所述CPU的控制存储器的信号输入输出IO
引脚为CPU的控制信号引脚，所述存储器的IO引脚为所述存储器的控制信号引脚；

所述信号线为时钟信号线时，所述CPU的控制存储器的信号输入输出IO
25 引脚为CPU的时钟信号引脚，所述存储器的IO引脚为所述存储器的时钟信号引脚；

可选的，本发明实施例中，

所述第一电源模块的所述第一输出端提供的母电源V1为12V电压信号；

所述第一电源模块的所述第二输出端提供的所述母电源V1为12V电压信号。

可选的,本发明实施例中,所述CPU的输入输出IO电源供电引脚连接所述存储器的IO电源供电引脚。

5 本发明实施例中的存储器内容保护电路可以应用于手机、平板电脑、可穿戴设备(智能手表、智能手环等)、网络设备等各类电子设备的主板中。

在图2所描述的存储器内容保护电路中,当第一电源模块提供的母电源V1低于预设阈值时,电压比较器检测到母电源V1低于预设阈值,产生第一低电平,并向所述与门芯片发送第一低电平,所述与门芯片接收第一低电平后,产生第二低电平,并向所述存储器的复位信号引脚发送第二低电平,存储器接收该第二低电平,设置存储器的内容禁止被访问,从而实现在CPU的核电压Vcore掉电前就禁止访问存储器,如此,可以避免CPU的核电压Vcore掉电时,CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生,有利于提升存储器内容保护的安全性。

15

请参阅图3,图3是本发明第三实施例公开的一种存储器内容保护电路的结构图。其中,图3所示的存储器内容保护电路是对图1所示的存储器内容保护电路进行优化得到的,与图1所示的存储器内容保护电路相比,图3所示的存储器内容保护电路中:

20 所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器;

所述控制信号处理电路包括与门芯片;

所述第一电源模块的第二输出端连接所述电阻R1的第一端,所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端,所述电阻R2的第二端和所述电容C1的第二端接地,所述电压比较器的信号输出端连接所述与门芯片的第一输入端,所述CPU的信号输出端连接所述与门芯片的第二输入端;

25

所述与门芯片的信号输出端连接所述存储器的片选信号引脚。

本发明实施例中,所述电阻R1和所述电阻R2用于分压。

图3所示的存储器内容保护电路的工作原理是:

CPU输出的信号给与门芯片,掉电检测电路输出的信号给与门芯片,与门芯片输出的信号给存储器;

5 正常情况下,掉电检测电路未检测到第一电源模块掉电(即输出母电源V大于或等于预设阈值时),掉电检测电路输出高电平给与门芯片,此时,与门芯片的输出信号受CPU的输出信号控制,即CPU可以正常操作存储器;

第一电源模块掉电时(即输出母电源V1低于预设阈值时),掉电检测电路检测到第一电源模块掉电,掉电检测电路输出低电平,存储器接收所述低电平后,设置存储器内容禁止被访问。

10 举例来说,假设所述第一电源模块的第一输出端口和所述第一电源模块的第二输出端口提供的母电源V1为12V电压信号;所述电压比较器为看门狗芯片内部的电压比较器,该电压比较器的电压基准为1.25V;所述预设阈值为9V,即母电源V1下降到9V时,所述电压比较器应产生第一低电平,并向所述与门芯片发送所述第一低电平,所述与门芯片接收所述第一低电平时,产生第二低电平,并向所述存储器的片选信号引脚发送所述第二低电平,所述存储器通过
15 所述片选信号引脚接收该第二低电平后,设置所述存储器的内容禁止被访问,从而实现在CPU的核电压Vcore掉电前就禁止访问存储器,如此,可以避免CPU的核电压Vcore掉电时,CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生,有利于提升存储器内容保
20 护的安全性。

可选的,本发明实施例中,

所述与门芯片包括以下任意一种:两输入与门芯片和四输入与门芯片。

可选的,本发明实施例中,所述掉电检测电路可以设置于所述第一电源模块的内部。

25 可选的,本发明实施例中,所述掉电检测电路中的电压比较器包括看门狗芯片中的电压比较器,所述看门狗芯片至少包括以下任意一种:AMD706、MAX793以及ST85。

可选的,本发明实施例中,所述第一电源模块包括直流-直流变换DC-DC

电源芯片或交流-直流变换AC-DC电源芯片；

所述第二电源模块包括直流-直流变换DC-DC电源芯片。

可选的，本发明实施例中，所述存储器至少包括以下任意一种：闪存Flash Memory、电可擦可编程只读存储器EEPROM以及同步静态随机存取存储器SSRAM。

所述信号线至少包括以下任意一种：

数据信号线、地址信号线、控制信号线以及时钟信号线；

所述信号线为数据信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的数据信号引脚，所述存储器的IO引脚为所述存储器的数据信号引脚；

所述信号线为地址信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的地址信号引脚，所述存储器的IO引脚为所述存储器的地址信号引脚；

所述信号线为控制信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的控制信号引脚，所述存储器的IO引脚为所述存储器的控制信号引脚；

所述信号线为时钟信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的时钟信号引脚，所述存储器的IO引脚为所述存储器的时钟信号引脚；

可选的，本发明实施例中，

所述第一电源模块的所述第一输出端提供的母电源V1为12V电压信号；

所述第一电源模块的所述第二输出端提供的所述母电源V1为12V电压信号。

可选的，本发明实施例中，所述CPU的输入输出IO电源供电引脚连接所述存储器的IO电源供电引脚。

本发明实施例中的存储器内容保护电路可以应用于手机、平板电脑、可穿戴设备（智能手表、智能手环等）、网络设备等各类电子设备的主板中。

在图3所描述的存储器内容保护电路中，当第一电源模块提供的母电源V1

-12-

低于预设阈值时，电压比较器检测到母电源V1低于预设阈值，产生第一低电平，并向所述与门芯片发送第一低电平，所述与门芯片接收第一低电平后，产生第二低电平，并向所述存储器的片选信号引脚发送第二低电平，存储器接收该第二低电平，设置存储器的内容禁止被访问，从而实现在CPU的核电压Vcore掉电前就禁止访问存储器，避免CPU的核电压Vcore掉电时，CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现的异常波形改写存储器内容的情况发生，有利于提升存储器内容保护的安全性。

请参阅图4，图4是本发明第四实施例公开的一种存储器内容保护电路的结
10 构图。其中，图4所示的存储器内容保护电路是对图1所示的存储器内容保护电路进行优化得到的，与图1所示的存储器内容保护电路相比，图4所示的存储器内容保护电路中：

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

所述控制信号处理电路包括传输门芯片和上拉电阻R3；

15 所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述传输门芯片的控制信号输入端；

所述CPU的信号输出端连接所述传输门芯片的传输信号输入端；

所述传输门芯片的信号输出端连接所述存储器的片选信号引脚和所述上
20 拉电阻R3的第一端，所述上拉电阻R3的第二端连接所述存储器的IO电源供电引脚Vio-2。

本发明实施例中，所述电阻R1和所述电阻R2用于分压。

图4所示的存储器内容保护电路的工作原理是：

CPU输出的信号给传输门芯片，传输门芯片输出的信号给存储器，传输门
25 的控制信号受到掉电检测电路的输出信号的控制；

正常情况下，CPU的输出信号可以通过传输门正常传递给存储器；

第一电源模块掉电时，掉电检测电路检测到掉电，输出控制信号给传输门芯片，传输门芯片接收到控制信号后，所述传输门芯片切断所述CPU的信号输

出端和所述存储器的片选信号引脚之间的连接,所述CPU的输出信号无法传递给传输门,此时,传输门芯片输出的控制信号通过上拉电阻拉为高电平,所述存储器接收所述高电平后,设置存储器内容禁止被访问。

举例来说,假设所述第一电源模块的第一输出端口和所述第一电源模块的第二输出端口提供的母电源V1为12V电压信号;所述电压比较器为看门狗芯片内部的电压比较器,该电压比较器的电压基准为1.25V;所述预设阈值为9V,即母电源V1下降到9V时,所述电压比较器应产生第一低电平,并向所述传输门芯片的控制信号输入端发送所述第一低电平,所述传输门芯片接收所述第一低电平时,所述传输门芯片切断所述CPU的信号输出端和所述存储器的片选信号引脚之间的连接,所述传输门芯片输出高阻,所述传输门芯片的输出信号通过所述电阻R3上拉为高电平,所述存储器接收该高电平,所述存储器设置存储器内容禁止被访问,实现在CPU的核电压Vcore掉电前就禁止访问存储器,进而避免CPU在其核电压掉电时,CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出现异常波形改写存储器内容的情况发生,有利于提升存储器内容保护的安全性。

可选的,本发明实施例中,所述掉电检测电路可以设置于所述第一电源模块的内部。

可选的,本发明实施例中,所述掉电检测电路中的电压比较器包括看门狗芯片中的电压比较器,所述看门狗芯片至少包括以下任意一种:AMD706、MAX793以及ST85。

可选的,本发明实施例中,所述第一电源模块包括直流-直流变换DC-DC电源芯片或交流-直流变换AC-DC电源芯片;

所述第二电源模块包括直流-直流变换DC-DC电源芯片。

可选的,本发明实施例中,所述存储器至少包括以下任意一种:闪存Flash Memory、电可擦可编程只读存储器EEPROM以及同步静态随机存取存储器SSRAM。

所述信号线至少包括以下任意一种:

数据信号线、地址信号线、控制信号线以及时钟信号线;

所述信号线为数据信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的数据信号引脚，所述存储器的IO引脚为所述存储器的数据信号引脚；

5 所述信号线为地址信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的地址信号引脚，所述存储器的IO引脚为所述存储器的地址信号引脚；

所述信号线为控制信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的控制信号引脚，所述存储器的IO引脚为所述存储器的控制信号引脚；

10 所述信号线为时钟信号线时，所述CPU的控制存储器的信号输入输出IO引脚为CPU的时钟信号引脚，所述存储器的IO引脚为所述存储器的时钟信号引脚；

可选的，本发明实施例中，

所述第一电源模块的所述第一输出端提供的母电源V1为12V电压信号；

15 所述第一电源模块的所述第二输出端提供的所述母电源V1为12V电压信号。

可选的，本发明实施例中，所述CPU的输入输出IO电源供电引脚连接所述存储器的IO电源供电引脚。

20 本发明实施例中的存储器内容保护电路可以应用于手机、平板电脑、可穿戴设备（智能手表、智能手环等）、网络设备等各类电子设备的主板中。

在图4所描述的存储器内容保护电路中，当第一电源模块提供的母电源V1低于预设阈值时，电压比较器检测到母电源V1低于预设阈值，产生第一低电平，并向所述传输门芯片发送第一低电平，所述传输门芯片接收第一低电平后，所述传输门切断所述CPU的信号输出端和所述存储器的片选信号引脚之间的连接，所述传输门芯片输出高阻，所述传输门芯片的输出信号通过所述上拉电阻R3上拉为高电平，存储器接收该高电平，设置存储器的内容禁止被访问，
25 从而实现在CPU的核电压Vcore掉电前就禁止访问存储器，避免CPU的核电压Vcore掉电时，CPU与存储器之间的信号线对应的CPU和存储器的IO引脚上出

现的异常波形改写存储器内容的情况发生,有利于提升存储器内容保护的安全性。

5 以上对本发明实施例所提供的存储器内容保护电路进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

权 利 要 求

1、一种存储器内容保护电路，包括第一电源模块、第二电源模块、中央处理器CPU、掉电检测电路、控制信号处理电路、存储器，其特征在于，其中：

5 所述第一电源模块的第一输出端连接所述第二电源模块的输入端，所述第二电源模块的输出端连接所述CPU的核电压端口；所述第一电源模块的第二输出端连接所述掉电检测电路的输入端；所述掉电检测电路的信号输出端连接所述控制信号处理电路的第一输入端，所述CPU的信号输出端连接所述控制信号处理电路第二输入端，所述控制信号处理电路的信号输出端连接所述存储器的访问控制信号引脚；所述CPU的控制存储器的信号输入输出IO引脚和所述存储器的IO引脚之间连接有信号线；

15 所述第一电源模块用于给所述第二电源模块供电，所述第二电源模块用于给所述CPU提供核电压，所述掉电检测电路用于当所述第一电源模块提供的母电源V1低于预设阈值时，向所述控制信号处理电路发送参考控制信号，所述控制信号处理电路用于在接收到所述参考控制信号时，产生用于控制所述存储器处于禁止访问状态的禁止访问控制信号，并向所述存储器发送所述禁止访问控制信号。

2、根据权利1所述的存储器内容保护电路，其特征在于，

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

20 所述控制信号处理电路包括与门芯片；

所述第一电源模块的第二输出端连接所述电阻R1的第一端，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述与门芯片的第一输入端，所述CPU的信号输出端连接所述与门芯片的第二输入端；

所述与门芯片的信号输出端连接所述存储器的复位信号引脚。

3、根据权利1所述的存储器内容保护电路，其特征在于，

-17-

所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

所述控制信号处理电路包括与门芯片；

所述第一电源模块的第二输出端连接所述电阻R1的第一端，所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述与门芯片的第一输入端，所述CPU的信号输出端连接所述与门芯片的第二输入端；

所述与门芯片的信号输出端连接所述存储器的片选信号引脚。

10 4、根据权利2或3任一项所述的存储器内容保护电路，其特征在于，所述与门芯片包括以下任意一种：两输入与门芯片和四输入与门。

5、根据权利要求1所述的存储器内容保护电路，其特征在于，所述掉电检测电路包括电阻R1、电阻R2、电容C1以及电压比较器；

15 所述控制信号处理电路包括传输门芯片和上拉电阻R3；

所述电阻R1的第二端连接电阻R2的第一端、所述电压比较器的信号输入端以及所述电容C1的第一端，所述电阻R2的第二端和所述电容C1的第二端接地，所述电压比较器的信号输出端连接所述传输门芯片的控制信号输入端；

所述CPU的信号输出端连接所述传输门芯片的传输信号输入端；

20 所述传输门芯片的信号输出端连接所述存储器的片选信号引脚和所述上拉电阻R3的第一端，所述上拉电阻R3的第二端连接所述存储器的IO电源供电引脚Vio-2。

25 6、根据权利要求1-5任一项所述的存储器内容保护电路，其特征在于，所述掉电检测电路设置于所述第一电源模块的内部。

7、根据权利要求1-6任一项所述的存储器内容保护电路，其特征在于，所述掉电检测电路中的电压比较器包括看门狗芯片中的电压比较器，所述

-18-

看门狗芯片至少包括以下任意一种：AMD706、MAX793以及ST85。

8、根据权利要求1-7任一项所述的存储器内容保护电路，其特征在于，

所述第一电源模块包括直流-直流变换DC-DC电源芯片或交流-直流变换

5 AC-DC电源芯片；

所述第二电源模块包括直流-直流变换DC-DC电源芯片。

9、根据权利要求1-8任一项所述的存储器内容保护电路，其特征在于，

所述存储器至少包括以下任意一种：闪存Flash Memory、电可擦可编程只

10 读存储器EEPROM以及同步静态随机存取存储器SSRAM。

10、根据权利要求1-9任一项所述的存储器内容保护电路，其特征在于，

所述信号线至少包括以下任意一种：数据信号线、地址信号线、控制信号线以及时钟信号线。

15

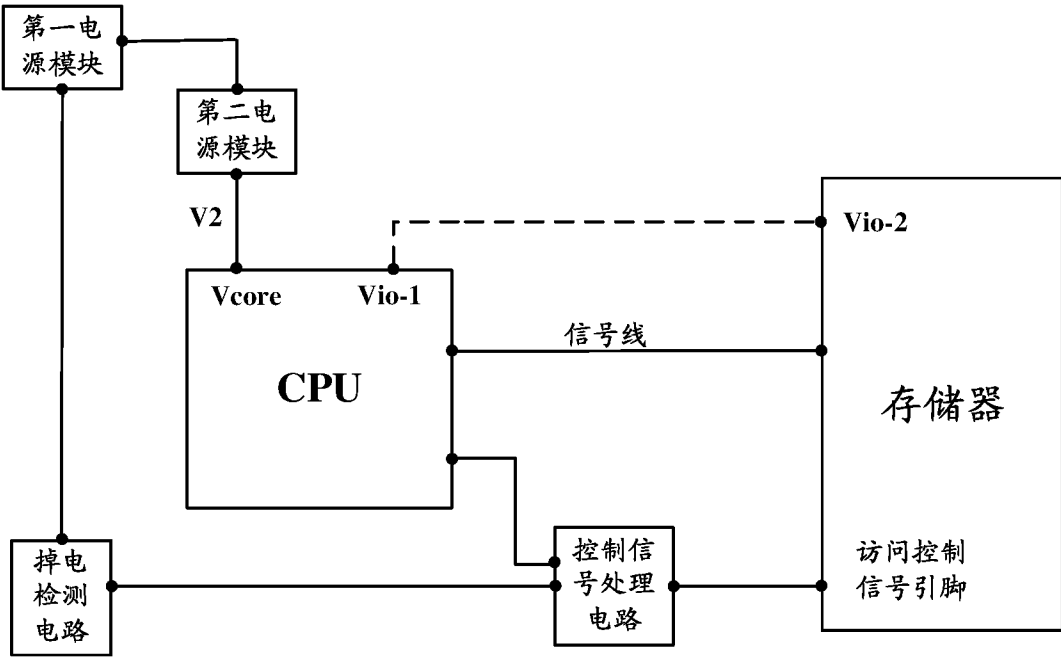


图 1

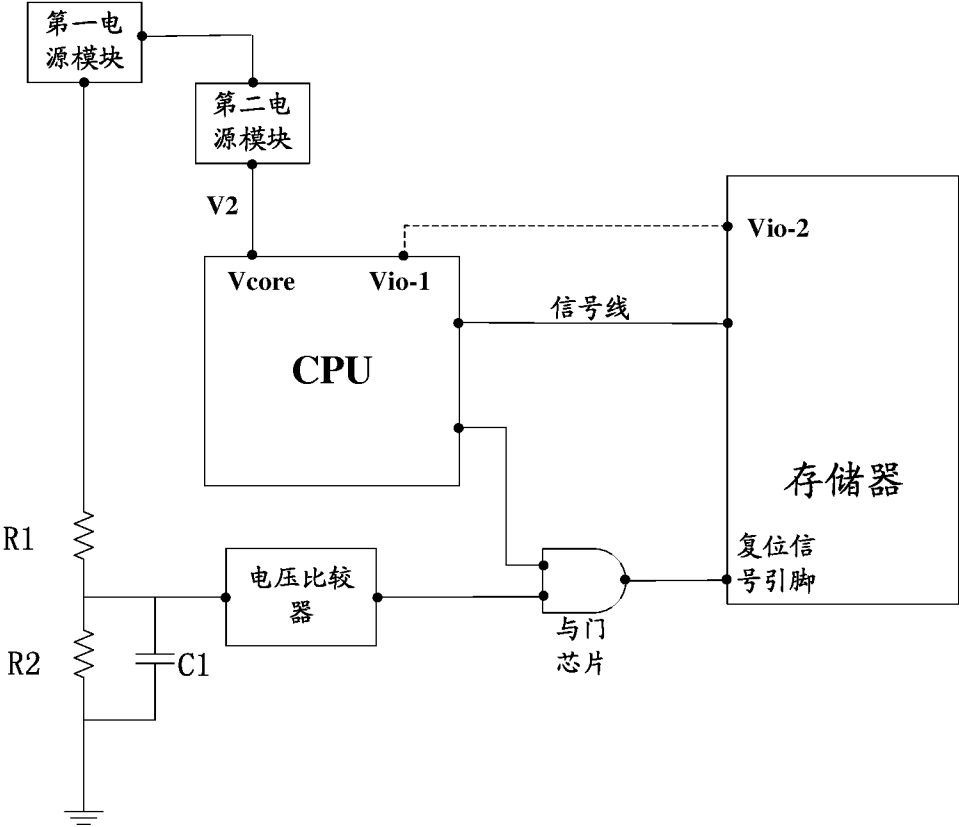


图 2

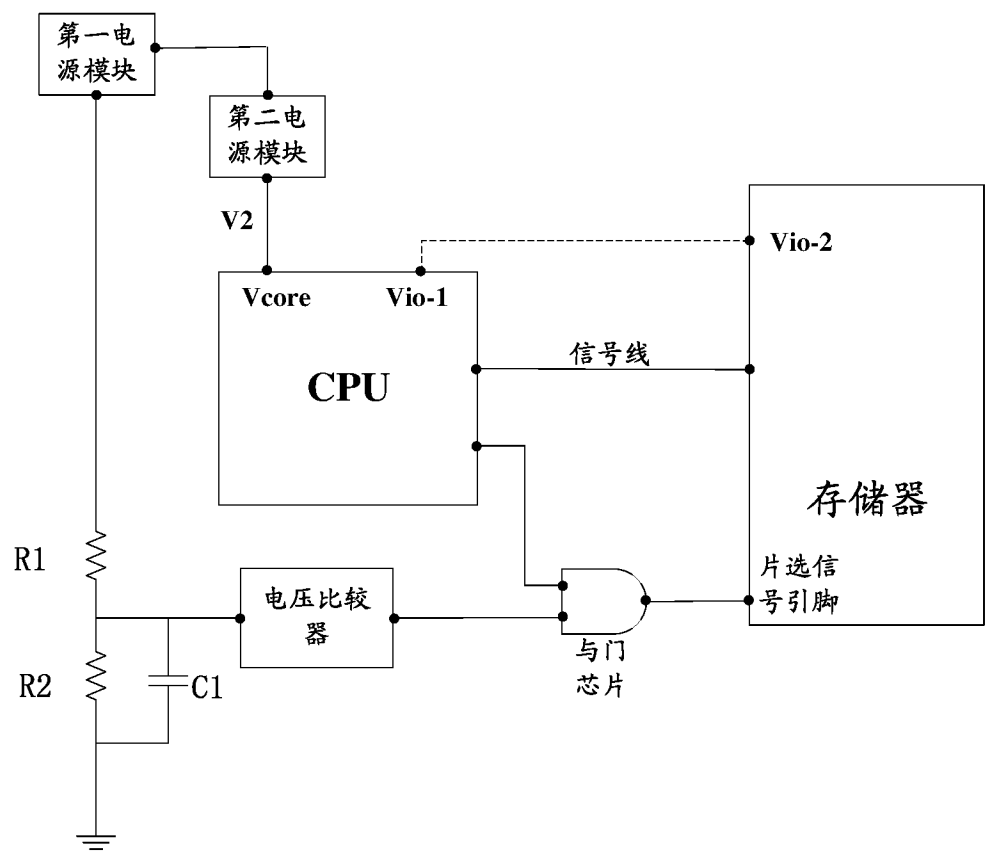


图 3

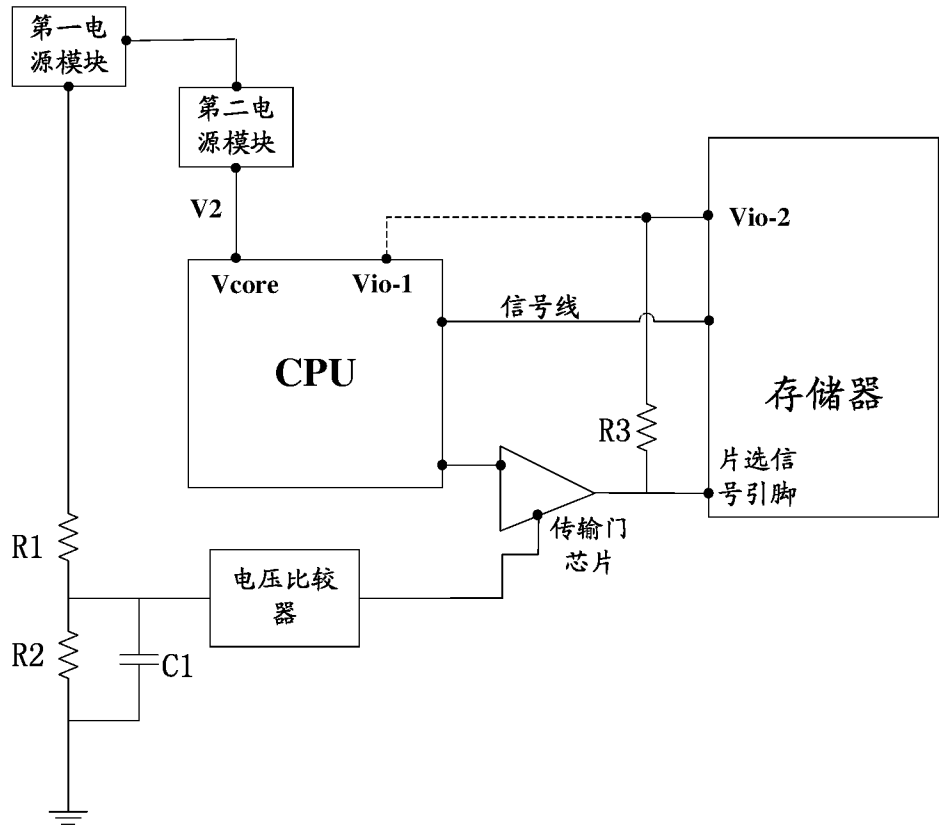


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/098221

A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/16 (2006.01) i; G06F 1/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: CPU, central processing unit, power down, loss of power, power off, power supply, memory, storage, power, loss, down, off, fail, threshold, reference, voltage, core

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102033826 A (UNITED INFORMATION TECHNOLOGY CO., LTD. et al.), 27 April 2011 (27.04.2011), description, paragraphs [0044]-[0050], and figure 1	1-10
A	CN 103135733 A (HUAWEI TECHNOLOGIES CO., LTD.), 05 June 2013 (05.06.2013), the whole document	1-10
A	CN 104391559 A (GUANGDONG ELECTRONICS INFORMATION INDUSTRY GROUP LTD.), 04 March 2015 (04.03.2015), the whole document	1-10
A	CN 104834369 A (NORTH INFORMATION CONTROL GROUP CO., LTD.), 12 August 2015 (12.08.2015), the whole document	1-10
A	US 2015248920 A1 (KYOCERA DOCUMENT SOLUTIONS INC.), 03 September 2015 (03.09.2015), the whole document	1-10
A	JP 2007066232 A (SEIKO EPSON CORPORATION), 15 March 2007 (15.03.2007), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 August 2016 (16.08.2016)	Date of mailing of the international search report 31 August 2016 (31.08.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Xinrui Telephone No.: (86-10) 53318346

International application No.
PCT/CN2015/098221

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2015/098221

A. 主题的分类

G06F 12/16(2006.01)i; G06F 1/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI: CPU, 中央处理器, 存储, 掉电, 失电, 断电, 下电, 电源, 阈值, 参考, 核电压, 核心电压; memory, storage, power, loss, down, off, fail, threshold, reference, voltage, core

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102033826 A (创新科存储技术有限公司等) 2011年 4月 27日 (2011 - 04 - 27) 说明书第[0044]-[0050]段, 图1	1-10
A	CN 103135733 A (华为技术有限公司) 2013年 6月 5日 (2013 - 06 - 05) 全文	1-10
A	CN 104391559 A (广东省电子信息产业集团有限公司) 2015年 3月 4日 (2015 - 03 - 04) 全文	1-10
A	CN 104834369 A (北方信息控制集团有限公司) 2015年 8月 12日 (2015 - 08 - 12) 全文	1-10
A	US 2015248920 A1 (KYOCERA DOCUMENT SOLUTIONS INC.) 2015年 9月 3日 (2015 - 09 - 03) 全文	1-10
A	JP 2007066232 A (SEIKO EPSON CORPORATION) 2007年 3月 15日 (2007 - 03 - 15) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 8月 16日

国际检索报告邮寄日期

2016年 8月 31日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李新瑞

电话号码 (86-10)53318346

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/098221

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102033826	A	2011年 4月 27日	CN	102033826	B	2012年 5月 30日
CN	103135733	A	2013年 6月 5日	CN	103135733	B	2016年 4月 13日
CN	104391559	A	2015年 3月 4日	无			
CN	104834369	A	2015年 8月 12日	无			
US	2015248920	A1	2015年 9月 3日	JP	2015162169	A	2015年 9月 7日
				US	9196293	B2	2015年 11月 24日
JP	2007066232	A	2007年 3月 15日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)