

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 21/824

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94190431.8

[45]授权公告日 1999 年 9 月 29 日

[11]授权公告号 CN 1045348C

[22]申请日 94.6.17 [24]颁证日 99.8.21

[21]申请号 94190431.8

[30]优先权

[32]93.7.30 [33]US[31]100,467

[86]国际申请 PCT/US94/06860 94.6.17

[87]国际公布 WO95/04371 英 95.2.9

[85]进入国家阶段日期 95.2.27

[73]专利权人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72]发明人 布拉德利·J·拉森

唐纳德·A·埃里克森

[56]参考文献

CN2018413U 1991. 6. 5 F23B1/30

EP0346331 1989. 12. 20 F23B1/32

US4,941822 1990. 7. 17 F27B7/08

US5,216,270 1993. 6. 1 H01L21/76

W083/01497 1983. 4. 28 F23B1/04

审查员 韩 锦

[74]专利代理机构 上海专利商标事务所

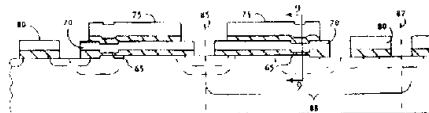
代理人 沈昭坤

权利要求书 3 页 说明书 7 页 附图页数 3 页

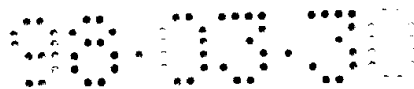
[54]发明名称 在电可擦编程只读存储器中形成薄隧穿窗口的方法

[57]摘要

一种在半导体 EEPROM 器件中制作供电子在浮栅(70)和衬底(15)之间隧穿的亚微米介质窗口的方法。对覆盖在衬底(15)上的氧化层(25)之上的掩膜边缘(35)进行钻蚀,去掉一小段距离(40),在该小段距离的周围形成氧化层(50),然后在钻蚀距离中形成一层薄氧化层,作为隧穿窗口(65)之用。



ISSN 1008-4274



权 利 要 求 书

1.一种在 EEPROM 中形成介质隧穿窗口的方法,其特征在于,它包含以下步骤:

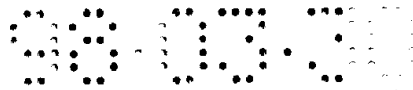
在硅衬底 (15) 上形成第一层氧化层 (25);

在所述第一层氧化层 (25) 的顶部淀积第一层氮化层 (30), 然后利用光刻对所述氮化层 (30) 蚀刻图案,并腐蚀掉由所述光刻确定的部分所述氮化层 (30), 使所述第一层氧化层 (25) 的显露部分不被所述氮化层 (30) 的剩余部分 (32) 所覆盖,所述氮化层 (30) 的所述剩余部分 (32) 具有位于所述衬底 (15) 之选定区域 (20) 上的末端 (35);

腐蚀掉未被所述第一层氮化层 (30) 之所述剩余部分 (32) 覆盖的所述第一层氧化层 (25) 的所述显露部分,并在所述氮化层 (32) 之所述末端 (35) 底下,从所述末端 (35) 开始对所述第一层氧化层 (25) 稍微腐蚀掉一段受精确控制的距离,所述距离小于光刻可分辨距离,从而确定所述氮化层 (32) 之所述末端 (35) 下的已腐蚀掉所述第一层氧化层 (25) 的钻蚀区 (40);

在所述衬底 (15) 上生长厚度薄于所述第一层氧化层 (25) 的第二层氧化层 (45), 所述第二层氧化层 (45) 延伸至所述氮化层 (32) 之所述末端 (35) 底下的钻蚀区 (40), 以覆盖已腐蚀掉第一层氧化层 (25) 的所述衬底 (15), 较薄的第二层氧化层在所述末端 (35) 和所述第二层氧化层 (45) 之间的钻蚀区 (40) 中留下一空间 (47);

在所述第一层氮化层 (30) 的所述剩余部分 (32) 和所述第二层氧化层 (45) 上淀积第二层氮化层 (50), 使之充填于所述



末端（35）和所述第二层氧化层（45）之间所述钻蚀区（40）中的所述空间（47），然后腐蚀掉所有的所述第二层氮化层（50），但充填于钻蚀区（40）中所述空间（47）内的部分所述第二层氮化层（50）除外，它受所述末端（35）附近所述第一层氮化层（30）之边缘部分的保护而免于腐蚀；

在未被任何氮化层（30，50）覆盖的所述第二层氧化层（45）上生长第三层氧化层（55）；并且

去除所有的氮化层（30，50），致使所述钻蚀区（40）中的氧化物形成一个窗口（65），所述窗口的宽度对应于具有钻蚀长度的所述精确控制的距离。

2.如权利要求1所述的方法，其特征在于，在去除所有氮化层（30，50）之后还包括以下附加的步骤：

进行氧化物腐蚀，腐蚀掉部分所述第一层氧化层（25），所有所述第二层氧化层（45）和部分所述第三层氧化层（55），在完全去除所述第二层氧化层（45）的地方显露出衬底（15）；并且

形成第四层氧化层（60），导致在显露衬底（15）的地方形成一个氧化物窗口（65），而在其他地方形成更厚的氧化层。

3.如权利要求2所述的方法，其特征在于，还包括以下附加步骤：

在形成所述第一层氧化层（25）之前，在所述衬底（15）中形成有间隔的亚表面掺杂区（20），用作源极和漏极；

在形成所述第四层氧化层（60）之后，在所述第四层氧化层

(60) 上淀积第一层多晶硅层 (70) 并由此形成一个浮栅, 从而氧化层 (25, 55, 60) 将所述多晶硅栅 (70) 与所述衬底 (15) 隔开, 并且在所述氧化物窗口 (65) 处, 所述多晶硅栅具有一个向下凸出的底面, 在该处只有所述第四层氧化层 (60) 将所述栅 (70) 与所述衬底 (15) 隔开, 可使电子隧穿过所述浮栅 (70) 与所述衬底 (15) 中一个所述亚表面掺杂区 (20) 之间的所述窗口 (65); 并且

在所述浮栅 (70) 上形成一个多晶硅控制栅 (80) 。

4. 如权利要求 3 所述的方法, 其特征在于, 在形成所述亚表面掺杂区 (20) 之前还包括以下附加步骤:

在所述衬底 (15) 上形成平行成行的场氧化区 (110), 它们被一条不生长场氧化物的衬底表面隔开, 由此所述场氧化区 (110) 形成含所述窗口的器件的边界, 所述隔开的场氧化区 (110) 之间的距离决定了所述氧化物窗口 (65) 的长度, 其中随后形成的氮化层 (32) 之末端 (35) 的方向一般与场氧化区 (110) 的行横交。

5. 如权利要求 1 所述的方法, 其特征在于, 所述精确控制的距离为钻蚀的长度, 并且所获得的窗口 (65) 的宽度小于 1 微米。

说明书

在电可擦编程只读存储器中 形成薄隧穿窗口的方法

技术领域

本发明主要涉及制造半导体非易失性存储器的方法，尤其涉及在电可擦编程只读存储器中制造电子隧穿用薄介质窗口的方法。

背景技术

在金属氧化物半导体(MOS)电可擦编程只读存储器(EEPROM)晶体管中，电子隧道穿越非常薄的二氧化硅(SiO_2 ，“氧化物”)层，以被存放在称作浮栅的存储位置中或从存储位置取走。浮栅上存放有或者缺少电荷又决定受浮栅控制的晶体管是否导通或截止，借此作为可编程的存储单元起作用。更准确地说，浮栅上的电荷使晶体管导通的阈值电压发生漂移，在被指定为数字“1”、代表未编程状态的低阈值电压下，当晶体管被施加在位于浮栅之上的读出栅上的参考电压选中时就导通。在被指定为数字“零”、代表已编程状态的较高阈值电压下，当晶体管在相同的条件下被选中时则截止。

发生电子隧穿的薄介质层的面积一般局限于小的矩形尺寸，且介质层的厚度要小心控制。是故，称此矩形面积为“窗口”。厚度在70埃到200埃之间，面积为二分之一到几个平方微米的氧化物窗口是典型的。哈拉里的美国专利公布号 No. 4,590,503 描述有薄隧道氧化区的形成。

将已经离子掺杂的硅衬底置于浮栅之下，中间被一介质层隔开。隔开浮栅层与衬底的薄隧道氧化物窗口介质提供电子在衬底和浮栅之间隧道穿越的区域。

隧穿氧化物窗口的面积和厚度是 EEPROM 存储单元性能中两个最重要的因子。为了产生任何显著的隧穿，浮栅和衬底间的电位差必须超过一个阈值电压，而该阈值电压一般与隧穿窗口的面积和厚度两者都有关。读出栅通过电容耦合影响浮栅，而在浮栅和衬底之间存在着相似的电容耦合。由于读出栅和衬底之间的电位差是浮栅和衬底之间的电位差与浮栅和读出栅之间的电位差之和，所以较低的阈值电压允许施加较低的电压于读出栅和衬底之间来进行充电和放电。换句话说，较低的阈值电压可使存储单元更快地充电或放电，同时伴随着较高的隧道电流。

较小的隧穿窗口面积至少具有三个方面的好处。第一，如上所述，较小的窗口允许存储单元的读或写不是在施加较低的电压下进行就是以较快速度进行或两者兼而有之。这些可能的每一种都会给用户带来好处，例如加快编程速度或减少能源消耗。第二，较小的窗口面积可使单元和整个晶体管电路做得较紧凑，并导致该电路的大型阵列按比例缩小，从而具有在较小的封装中包封更多信息容量的优点。因此较小的隧穿窗口允许在较小的封装中具有更好的性能和更多的存储器。第三，较小的窗口面积使降低写入和擦除电压成为可能。

隧穿氧化物窗口一般在 EEPROM 制作过程中通过层淀积和常规光刻技术进行刻蚀制成。随着隧穿氧化物窗口的面积达到甚至变得小于光致抗蚀剂的图案和腐蚀的分辨率时，常规光刻技术就存在能把这些窗口精确加以制作的尺寸极限。

因此，本发明的目的是提供形成亚微米面积的隧穿氧化物窗口的方法，这些窗口不受常规光致抗蚀剂和腐蚀过程中固有的限止或光刻极限的限制。

发明内容

本发明中，通过形成一窗口尺寸小于光刻极限所允许的图案来

制作 EEPROM 中亚微米面积的隧穿窗口。该窗口借助从已经常规光致抗蚀剂刻蚀过的氮化层末端钻蚀掉精确数量，然后多次淀积和刻蚀各层以便在介质窗口中形成那小的钻蚀区来加以制成。

这通过把厚度大约为 500 埃的薄氧化层淀积在硅衬底的顶部获得，而该衬底硅在要形成源极和漏极用的电荷增强区部位已经或可以注入离子，并且也生长了用以隔离该电荷增强区的场氧化物边界。场氧化物在存储单元之间形成边界。因此，以下将重点讨论场氧化物边界之间的区域。

将厚度大约为 1000 埃的氮化硅，也即 Si_3N_4 “氮化物”薄层淀积在氧化层上。然后掩蔽并刻蚀氮化层，俾使待形成的每对存储单元只留下平台状的氮化层，平台的两个相对末端接近位于两个隧穿氧化物窗口最后位置的上方。

如果对隧道希望获得自对准的隐埋 N^+ 区，则可以在此时靠近氮化物平台的末端处进行离子注入轰击。

然后用缓冲氢氟酸或其他任何不损害硅衬底的氧化物腐蚀剂对氧化层进行湿法腐蚀，不仅去除未被平台覆盖的氧化物，而且把在平台末端下的一部分氧化物也很精确地去掉，该精确部分可以是一千至几千埃，从而使氧化物已被腐蚀去掉处的衬底显露出来。此钻蚀的量将决定隧穿氧化物窗口的尺寸。

其次，把比原始氧化层薄得多的大约 100 埃的氧化物生长在包括氮化物平台末端底下衬底区域在内的衬底上。然后，用低压化学气相淀积技术淀积厚约 400 埃的氮化层，使氮化物末端的底下和氧化层以上的空间都充填以氮化物。接着进行掩蔽氮化物腐蚀，除去约 500 埃的氮化物。由于受大约 400 埃氮化层的保护，因此充填在氮化物末端底下和氧化层以上空间的大部分氮化物将保持原样完整。于是，在厚约 100 埃、未被氮化物覆盖的氧化层上生长一层氧化物，形成厚约 700 埃的氧化物单层。

然后剥离氮化物，只剩下覆盖有三层氧化层的衬底：无氮化物覆盖的氧化层，厚约 500 埃；已位于氮化物平台底下、但从未刻蚀过的氧化层，厚约 500 埃；以及介于上述两氧化物层之间，位于氮化物平台末端底下的氧化层，厚约 100 埃。于是进行缓冲的湿法氧化腐蚀，去除大约 120 埃的氧化物，包括所有位于氮化物平台末端底下，厚约 100 埃的氧化层在内。然后生长大约 80 埃厚的氧化层。该生长在先前位于氮化物平台末端底下的外露衬底小区上的薄层，将成为隧穿窗口。

接下来进行常规的 EEPROM 制作过程。开始为多晶硅层的淀积，用以形成浮栅。可以看到该层制成的栅极底面由几百埃的氧化物同衬底相隔开，但小隧穿窗口区则除外，它只由大约 80 埃的氧化物同衬底隔开。场氧化物行为隧道氧化物窗口提供相隔可达一千到一万埃的边界。上述氮化物钻蚀技术已在尺寸为一千至几千埃的垂直方向上制成窗口。因此由本发明制成的隧穿窗口面积可远小于一平方微米，厚度可小于一百埃。

附图概述

图 1 是半导体衬底的部分正剖面图，衬底上面氧化层和氮化层之下有掺杂区域。

图 2 是图 1 已经掩蔽和刻蚀之后各部分的正剖面图。

图 3 是图 2 已经生长氧化层和淀积氮化层之后各部分的正剖面图。

图 4 是图 3 已经刻蚀掉一层氮化层之后各部分的正剖面图。

图 5 是图 4 已经生长一层氧化层之后各部分的正剖面图。

图 6 是图 4 已经剥离氮化物、刻蚀一层氧化层和生长另一层氧化层之后的正剖面图。

图 7 是按本发明构造的 EEPROM 器件的正剖面图。

图 8 是常规 EEPROM 器件的正剖面图。

图 9 是按本发明构造的 EEPROM 器件的纵向正剖面图。

本发明的最佳实施方式

现参照图 1, 图中示出具有三个隐埋 N+ 区 20 的硅衬底 15。N+ 区 20 由诸如 N 型掺杂的离子注入的常规方法形成。通常用亚表面掺杂区作为 MOS 晶体管的源极和漏极。在衬底 15 的顶部是第一层氧化层 25, 厚度大约 500 埃。淀积在氧化层 25 上的是第一层氮化层, 厚度大约 1000 埃。

图 2 示出刻蚀后的衬底 15、氧化层 25 和氮化层 30。已经用常规方法对氮化层 30 进行掩蔽和刻蚀, 留下位于隐埋 N+ 区 20 之一上方的平台 32, 后者的末端 35 位于另二个隐埋 N+ 区 20 的上方。如果希望获得自对准(对隧道)的隐性 N+ 区, 则可在本实例的此时加以形成。对于这种情况, 图 1 中将不会出现隐埋 N+ 区 20。在从氮化物部分 32 除去光致抗蚀剂之前, 用离子轰击注入 N 型杂质。这将形成图 2 所示的左右两个隐埋区 20。中间的隐埋 N+ 区在图 2 中将不会存在。用氢氟酸或任何其他腐蚀氧化物而不损害硅衬底的试剂对氧化物进行湿法腐蚀, 用以不仅去除未被平台 32 覆盖的所有氧化层 25, 而且腐蚀掉氧化层 25 中稍微位于平台 32 末端 35 底下的钻蚀部分 40。这些稍微钻蚀的部分 40 是可以通过已知的腐蚀技术加以精确控制的, 其大小可为末端 35 底下一千到几千埃。

现在参考图 3, 接着生长第二薄氧化层 45。该氧化层 45 可厚约 100 埃, 并沿着包括钻蚀部分 40 在内的外露硅衬底 15 形成, 而在平台末端 35 和钻蚀部分 40 之间留有空间 47。氧化层 45 在氮化物平台 32 上并不生长。然后淀积第二层掩蔽氮化层 50, 覆盖住平台 32、氧化层 45 和钻蚀部分 40, 并充填空间 47。氮化层 50 可以用低压化学气相淀积法淀积, 厚度大约为 400 埃。

现在参考图 4, 下一步进行掩蔽氮化物的腐蚀, 去除大约 500 埃的氮化物, 把除填充在空间 47 以外的氮化层 50 基本上全部去除,

未去除部分由首先遭受腐蚀的氮化层 50 的其他部分加以保护而免于腐蚀。

现在参考图 5, 在所有无氮化物覆盖的氧化层上生长第三层氧化层 55。该氧化层 55 与不处于氮化层之下的第二层氧化层 45 相组合, 并向下扩散渗入至下面衬底的表面薄层。第三层氧化层 55 的厚度大约为 700 埃。于是进行顶部氧化物腐蚀以去除生长在氮化物部分 32 和 47 上的任何氧化物。接下来, 进行氮化物剥离, 去除所有剩余的氮化物。这样, 来自钻蚀 40 处第二层薄氧化层 45 的小段, 就留在厚度皆为 500 埃的第一层氧化层 25 和第三层氧化层 55 之间。

现在参考图 6, 进行可以使用氢氟酸的缓冲氧化物腐蚀来去除大约 120 埃的氧化物。这使来自钻蚀部分的第二层氧化层 45 全部去除, 显露但并不损害氧化层 25 和 55 之间的衬底 15 小区。然后, 在显露的衬底 15 小区上以及氧化层 25 和 55 上生长或淀积第四层薄氧化层 60。该氧化层 60 大约可为 80 埃厚, 并成为隧穿氧化物窗口 65, 在该处它覆盖住事先已将所有氧化物都腐蚀掉的衬底 15 小区。这时, 将接着进行标准的 EEPROM 工艺流程, 开始为第一层多晶硅的淀积以形成浮栅。

现在参考图 7, 图中显示出具有用本发明工艺所形成隧穿氧化物窗口 65 的 EEPROM 单元。可以看到, 该 EEPROM 单元拥有多晶硅浮栅 70 和由另外的多晶硅淀积形成的读出栅 75 和控制栅 80。一对单元对称地存在于镜面线 85 附近, 而那些镜面线之间的距离 88 代表一个单元的长度。为了比较, 图 8 示出用现有技术制作的 EEPROM 单元。关于镜面线 90 和 92 呈对称状的一对现有技术的单元具有明显地大于本发明隧穿氧化物窗口 65 的隧穿氧化物窗口 95。已有技术的单元也有浮栅 98、读出栅 100 和控制栅 105, 它们都大于本发明的浮栅 70、读出栅 75 和控制栅 80。

因此本发明不仅允许比已有技术具有更小的 EEPROM 隧穿氧

氧化物窗口，加上前述性能方面的改进，而且允许整个 EEPROM 单元按比例做成更小的尺寸以使更多的 EEPROM 单元封装在一起。

图 9 中，将每一单元 112 隔开的场氧化区 110 在第一层氧化层 25 生长或沉积之前，通过常规技术在衬底 15 之上和内部进行生长。那些场氧化区 110 之间的距离 115 决定隧穿窗口 65 的一个尺寸，可以是一千至一万埃。可以看到，浮栅 70 从隧穿窗口 65 等高地上升以配合场氧化区 110 的顶部轮廓，而读出栅 75 具有相似的等高轮廓。读出栅 75 裹住浮栅 70 的末端以便提高这些栅之间的电容耦合。

因此，隧穿氧化物窗口 65 的厚度可以小于一百埃，并在面积的每个方向上小至一千埃，与现有技术相比，在尺寸上有明显的减少。

本发明中，薄氧化物隧穿窗口的尺寸特征是小于光刻的可分辨尺寸。被参照的光刻以系用衍射极限光学的光学波长进行。并未企图参照可分辨距离比常规光刻可分辨距离小很多的 X 射线光刻。这种参照比较并未打算进行，因为本发明的薄氧化物窗口还未相对于这样一种距离测量过。

说明书附图

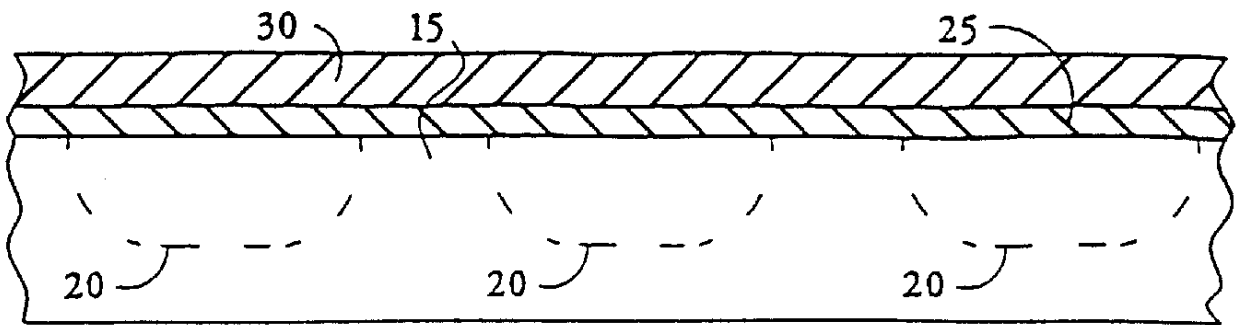


图 1

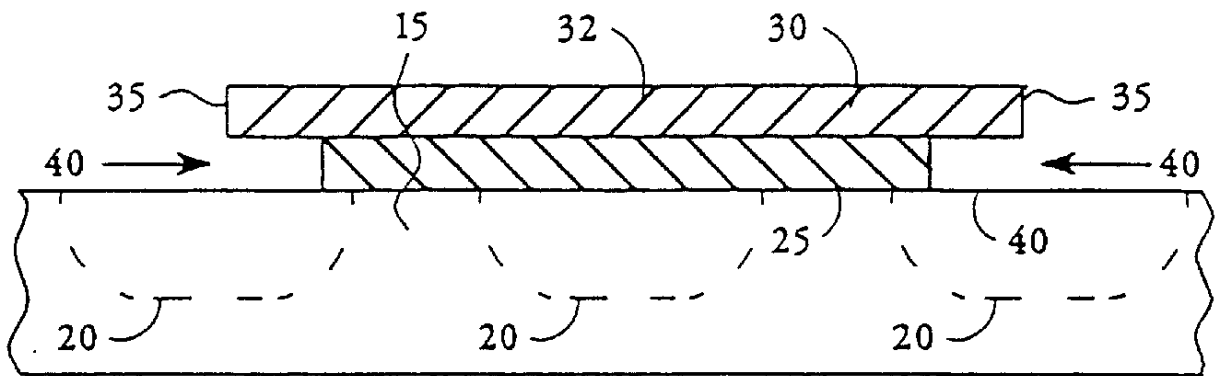


图 2

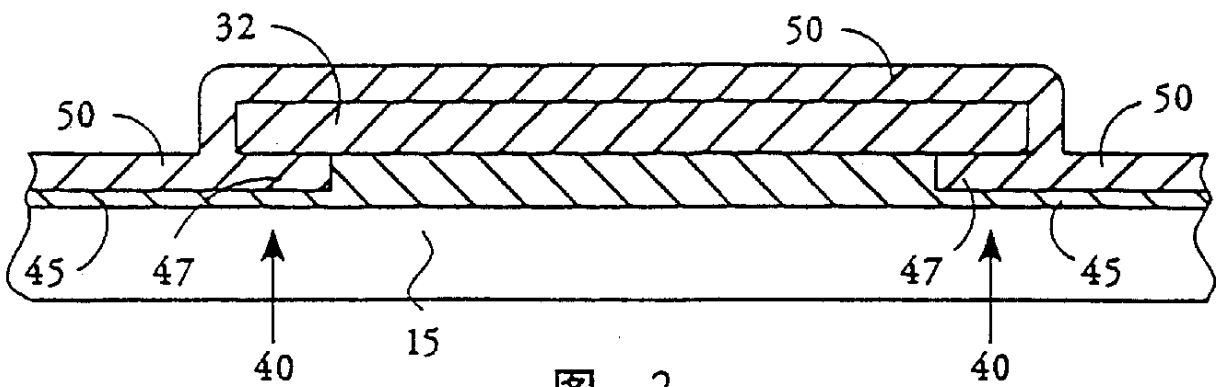


图 3

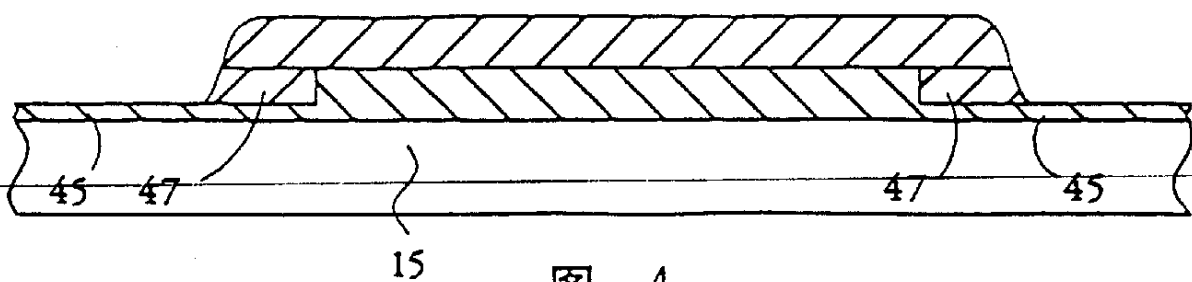


图 4

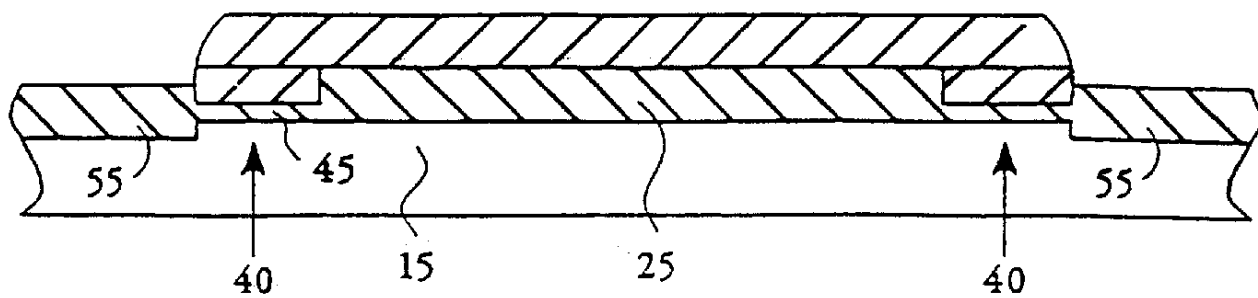


图 5

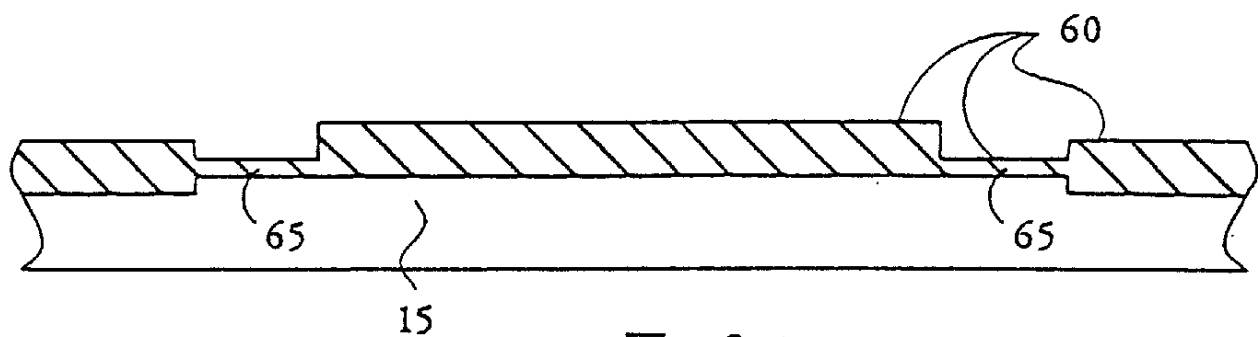


图 6

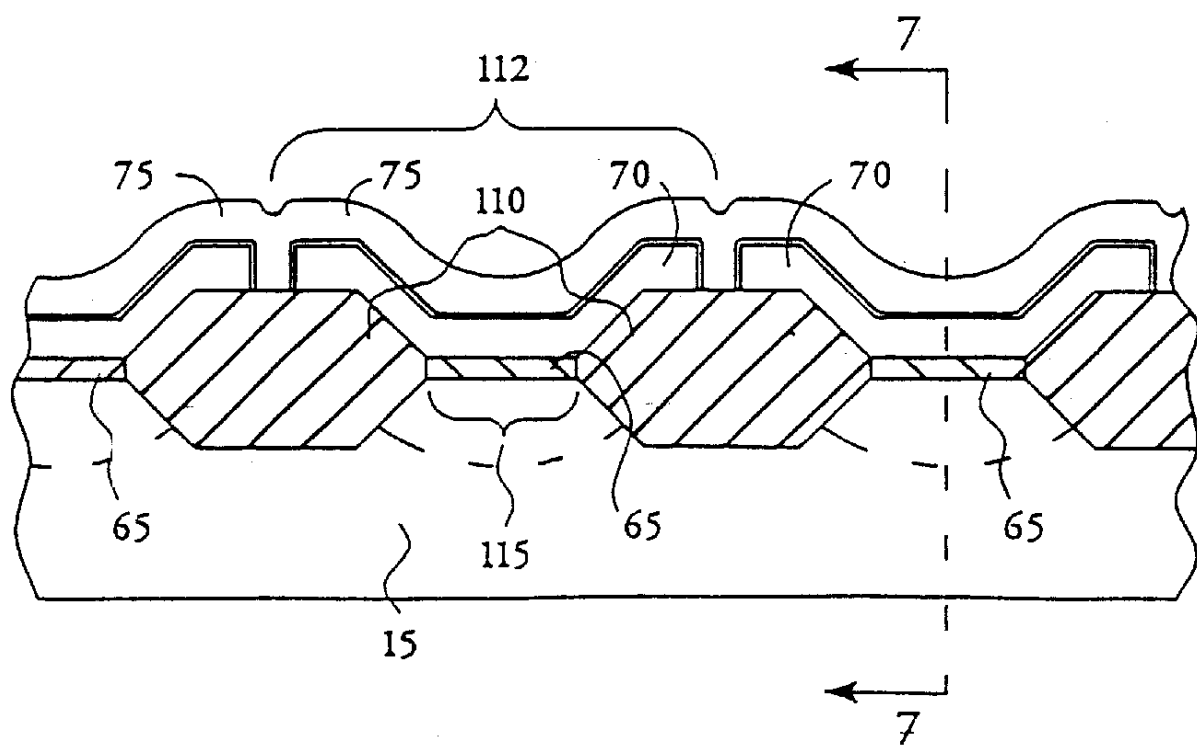


图 9

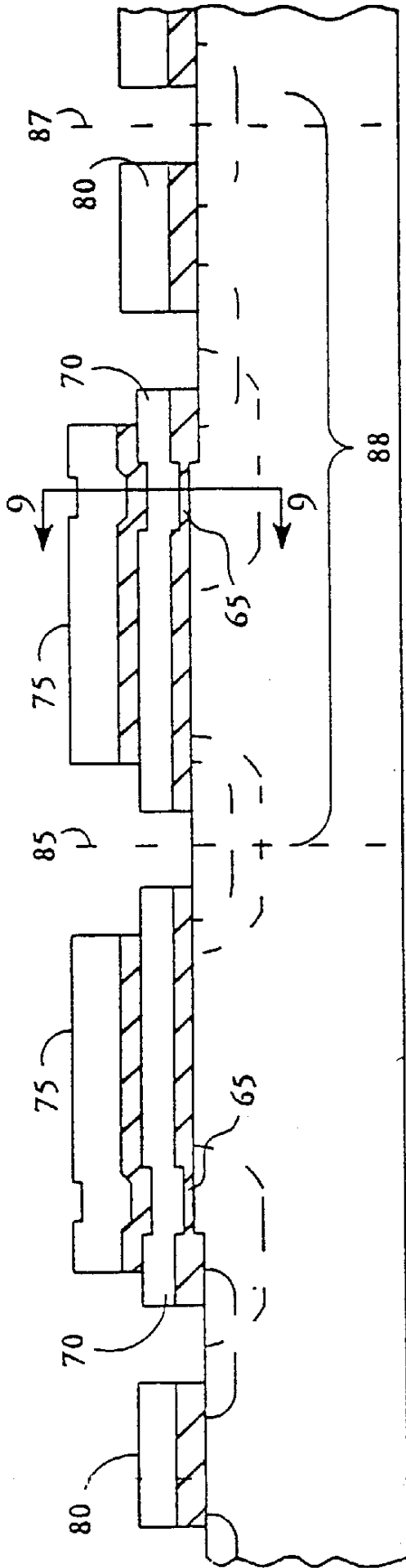


图 7

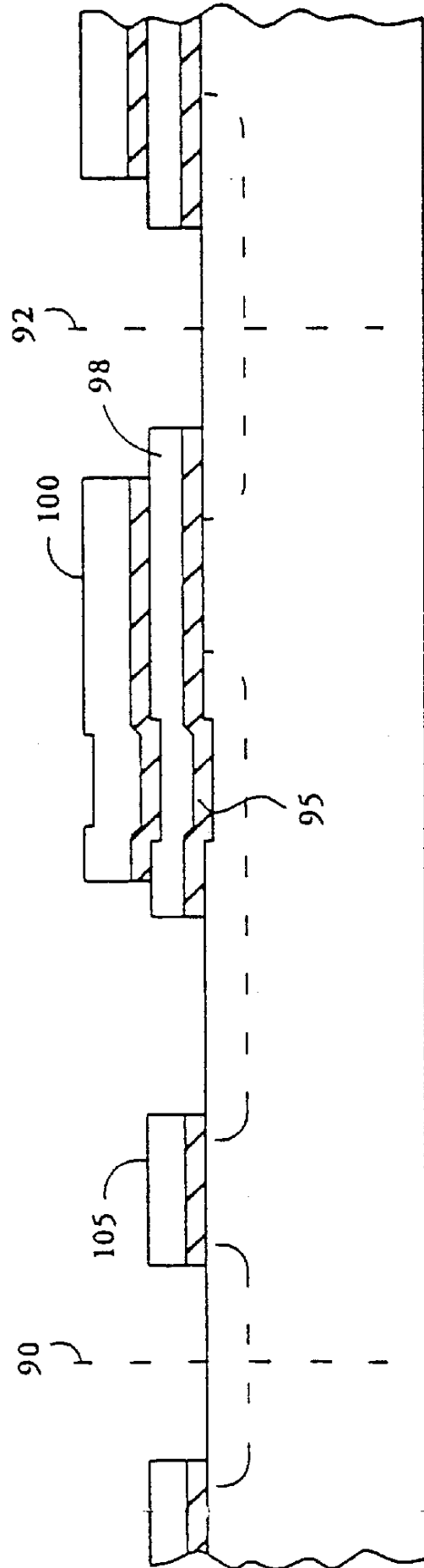


图 8