

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵H04N 5/04

(11) 공개번호 특 1993-0018947

(43) 공개일자 1993년09월22일

(21) 출원번호 특 1993-0002558
 (22) 출원일자 1993년02월24일

(30) 우선권주장 92-37759 1992년02월25일 일본(JP)

(71) 출원인 상요덴기 가부시끼가이샤 다까노 야스아끼

일본국 오오사까후 모리구찌시 게이한 춘도오리 2쪽에 18반지
 (72) 발명자 이마이즈미 히데오

일본국 군마겐 니타궁 니타마찌 하야까와 20-78

다까하시 요시아끼

일본국 군마겐 오따시 히가시 베쓰쇼 510-21

(74) 대리인 이상희, 구영창, 주성민

심사청구 : 없음**(54) 2중 루프 PLL회로****요약**

영상 IF 신호의 반송파를 구성하는 제1VCO(12)의 주파수를 제2VCO(15)의 주파수를 기준으로 설정한다. 그리고, 제1VCO(12)의 출력 신호 위상과 영상 IF 신호의 위상차에 따라 제2VCO(15)의 발진 주파수를 제어한다. 그 결과로서, 제1VCO(12)의 출력신호 위상이 조정되고, 이 출력 신호가 영상 IF 신호의 반송파 주파수로 록크된다. 따라서, 제1VCO(12)의 발진 주파수를 자동 설정할 수 있다.

따라서, 제1VCO(12)의 출력 신호 위상과 영상 IF 신호의 위상차에 대한 신호도 제1VCO(12)로 인가한다. 따라서, 회로 동작의 안정성을 개선할 수 있다.

대표도**도3****형세서**

[발명의 명칭]

2중 루프 PLL회로

[도면의 간단한 설명]

제3도는 제1실시예의 2중 PLL회로를 도시한 블럭도.

제4도는 제2실시예의 PLL검파 회로를 도시한 회로도.

제5도는 제1도의 PLL회로의 근 궤적을 도시한 도면.

제6도는 제3도의 PLL회로의 근 궤적을 도시한 도면.

제7도는 제4도의 PLL회로의 근 궤적을 도시한 도면.

제8도는 제4도의 루프 필터의 구체 회로도.

제9도는 본 발명을 AM 동기 검파 회로에 적용한 블럭도.

본 내용을 요부 공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위**청구항 1**

입력 신호 주파수와 실질적으로 동일한 주파수로 발진하는 제1VCO, 상기 제1VCO로부터의 발진 출력 신호와 상기 입력 신호의 위상을 비교해서 양자의 위상차에 대한 신호를 출력하는 제1위상 비교기, 상기 제1위상 비교기의 출력 신호를 평활하는 제1루프 필터, 상기 제1루프 필터의 출력 신호에 따라 발진 주파수가 변경되는 VCO로서 상기 제1VCO에 비해 고주파수 선택 특성을 가지고 상기 제1VCO보다 낮은 주파수로 발진하는 제2VCO, 상기 제1VCO의 발진 출력 신호를 분주해서 상기 제2VCO와 동일한 저주파수 신호를 발생시키는 분주회로, 상기 분주회로의 출력 신호와 상기 제2VCO의 발진 출력 신호의 위상을 비교해서 양자의 위상차에 대한 신호를 출력하는 제2위상 비교기 및 상기 제2위상 비교기의 출력 신호를 평활해서

상기 제1VC0의 발진 주파수를 제어하기 위한 신호를 상기 제1VC0로 공급하는 제2루프 필터를 포함하되, 제1VC0의 발진 주파수는 제2루프 필터로부터의 신호에 따라 제어되는 것을 특징으로 하는 PLL 회로.

청구항 2

제1항에 있어서, 제1VC0은 LC공진기를 이용하고, 제2VC0는 크리스탈 발진기를 이용하는 것을 특징으로 하는 PLL 회로.

청구항 3

제1항에 있어서, 제2VC0의 발진 주파수는 제1VC0의 1/80이고, 상기 분주회로는 1/8분주를 수행하는 것을 특징으로 하는 PLL 회로.

청구항 4

제1항에 있어서, 상기 입력 신호와 상기 제1VC0로부터의 출력 신호가 입력되고, 상기 입력 신호를 검파하는 검파회로, 상기 제1VC0와 상기 제1위상 비교기 사이에 설치되고, 제1VC0로부터의 출력 신호의 위상을 시프트시키는 제1이상 회로 및 상기 제1VC0와 상기 검파 회로 사이에 설치되고, 제1VC0로부터의 출력 신호의 위상을 시프트시키는 제2이상 회로를 설치한 것을 특징으로 하는 PLL 회로.

청구항 5

제4항에 있어서, 상기 제1이상 회로는 제1VC0의 출력을 45° 이상해서 제1위상 비교기로 입력 신호와 90° 위상이 다른 신호를 공급하고, 상기 제2이상 회로는 제1VC0의 출력을 제1위상 회로와 다른 방향으로 45° 이상해서 상기 검파 회로로 입력 신호와 180° 위상이 다른 신호를 공급하는 것을 특징으로 하는 PLL 회로.

청구항 6

제1항에 있어서, 제1루프 필터의 출력 신호를 상기 제1VC0에 인가하는 인가 수단을 설치한 것을 특징으로 하는 PLL 회로.

청구항 7

제1항에 있어서, 상기 입력 신호가 영상 IF 신호인 것을 특징으로 하는 PLL 회로.

청구항 8

제6항에 있어서, 상기 인가 수단이 제2루프 필터의 출력과 제1루프 필터의 출력을 가산하는 가산기인 것을 특징으로 하는 PLL 회로.

청구항 9

제7항에 있어서, 제2루프 필터와 가산기 사이에 설치되고 제2루프 필터의 출력 신호에 소정 계수를 승산하는 제1계수 승산기, 및 제1루프 필터와 가산기 사이에 설치되고, 제1루프 필터의 출력 신호에 소정계수를 승산하는 제2계수 승산기를 갖는 것을 특징으로 하는 PLL 회로.

청구항 10

제9항에 있어서, 제1VC0은 LC 공진기를 이용하고, 제2VC0는 크리스탈 발진기를 이용하는 것을 특징으로 하는 PLL 회로.

청구항 11

제9항에 있어서, 제2VC0의 발진 주파수는 제1VC0의 1/80이고, 상기 분주 회로가 1/8분주를 수행하는 것을 특징으로 하는 PLL 회로.

청구항 12

제9항에 있어서, 상기 입력 신호와 상기 제1VC0로부터의 출력 신호가 입력되어 상기 입력 신호를 검파하는 검파 회로 및 상기 제1VC0와 상기 검파 회로 사이에 설치되고, 제1VC0로부터의 출력 신호의 위상을 시프트시키는 제3이상 회로를 설치하는 것을 특징으로 하는 PLL 회로.

청구항 13

제12항에 있어서, 상기 제3 이상 회로가 제1VC0의 출력을 90° 이상하고, 상기 검파 회로로 입력 신호와 180° 위상이 다른 신호를 공급하는 것을 특징으로 하는 PLL 회로.

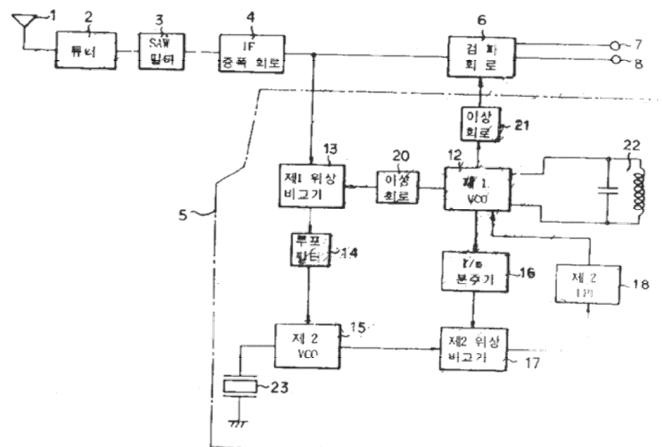
청구항 14

제13항에 있어서, 상기 입력 신호가 영상 IF 신호인 것을 특징으로 하는 PLL 회로.

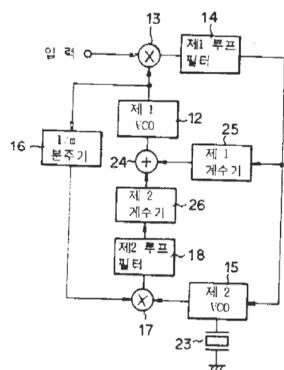
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

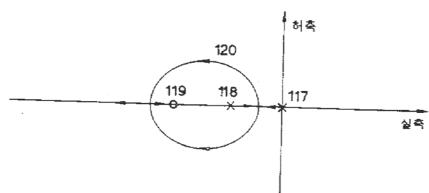
도면3



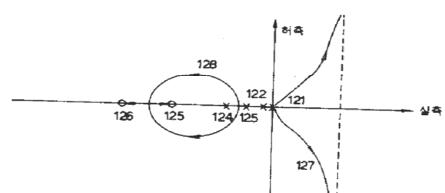
도면4



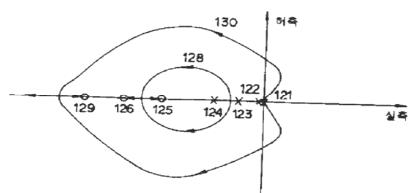
도면5



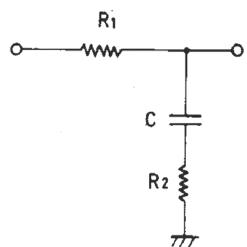
도면6



도면7



도면8



도면9

