

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 6 部門第 3 区分  
【発行日】平成 23 年 6 月 30 日 (2011.6.30)

【公表番号】特表 2010-531000 (P2010-531000A)  
【公表日】平成 22 年 9 月 16 日 (2010.9.16)  
【年通号数】公開・登録公報 2010-037  
【出願番号】特願 2010-507479 (P2010-507479)  
【国際特許分類】

G 0 6 F 17/50 (2006.01)

G 0 6 F 11/25 (2006.01)

【F I】

G 0 6 F 17/50 6 6 4 A

G 0 6 F 11/26 3 1 0

G 0 6 F 17/50 6 6 4 L

【手続補正書】  
【提出日】平成 23 年 5 月 9 日 (2011.5.9)  
【手続補正 1】  
【補正対象書類名】特許請求の範囲  
【補正対象項目名】全文  
【補正方法】変更  
【補正の内容】  
【特許請求の範囲】  
【請求項 1】

入力信号を受信するロジックを含む設計回路の記述を受け取るステップと、  
入力信号及び遅延入力信号をマルチプレクスしてそれらを前記ロジックに与えるためのマルチプレкса、及び前記ロジックからの出力信号及び遅延出力信号をデマルチプレクスするためのデマルチプレксаの記述を含む付加的な記述を、少なくとも 1 つのコンピュータプログラムを通して発生するステップと、  
を備えた方法。

【請求項 2】

前記遅延出力信号の一部を、シミュレータの初期条件信号として使用するために与えて、前記設計回路の少なくとも一部を含む回路のシミュレーションを遂行するステップを更に備えた、請求項 1 に記載の方法。

【請求項 3】

前記付加的な記述は、入力信号を受信して遅延入力信号を与えるための遅延回路の記述を含む、請求項 1 に記載の方法。

【請求項 4】

前記遅延回路からの遅延入力信号の一部をシミュレータへの入力信号として与えて、前記設計回路の少なくとも一部を含む回路のシミュレーションを遂行するステップを更に備えた、請求項 3 に記載の方法。

【請求項 5】

トリガー信号に応答して、前記遅延回路が凍結され、そして前記遅延入力信号の幾つかは、シミュレータにより使用されて、前記設計回路の少なくとも一部を含む回路のシミュレーションを遂行するために与えられる、請求項 3 に記載の方法。

【請求項 6】

前記遅延回路、マルチプレкса、ロジック及びデマルチプレксаに第 1 クロック信号が与えられる、請求項 3 に記載の方法。

【請求項 7】

前記記述の発生は、少なくとも１つのプログラムを実行するコンピュータへの少なくとも１つのコマンドにตอบสนองして行われる、請求項１に記載の方法。

【請求項８】

前記設計回路は、前記ロジックに入力信号を与えるためのレジスタの第１グループと、前記ロジックからの出力信号を受信するためのレジスタの第２グループとを備え、更に、前記付加的な記述は、マルチプレクサを前記レジスタの第１グループと前記ロジックとの間に入れると共に、デマルチプレクサを前記ロジックと前記レジスタの第２グループとの間に入れる、請求項１に記載の方法。

【請求項９】

前記設計回路の記述は、第２ロジックを含み、そして前記付加的な記述は、この第２ロジックの入力信号及び遅延入力信号を時分割マルチプレクシングするために第２マルチプレクサ/デマルチプレクサ対の記述を含む、請求項１に記載の方法。

【請求項１０】

前記設計回路の記述は、第２ロジックを含み、そして前記付加的な記述は、複製第２ロジックと、入力信号の第２グループを遅延するための遅延回路との記述を含み、更に、トリガー条件にตอบสนองして、前記遅延回路の信号は、前記設計回路の少なくとも一部分を含む回路をシミュレーションするためのシミュレータへの入力信号として与えられ、そして前記複製第２ロジックの幾つかのコンテンツは、前記シミュレータへの初期条件信号として与えられる、請求項１に記載の方法。

【請求項１１】

前記設計回路は、更に、メモリ入力信号を受信するための設計メモリを備え、そして前記付加的な記述は、前記メモリ入力信号の少なくとも幾つかを、それらが遅延された後に受信するための複製メモリの記述を含む、請求項１に記載の方法。

【請求項１２】

前記付加的な記述は、前記複製メモリのコンテンツにアクセスするためのアクセス回路の記述を含む、請求項１１に記載の方法。

【請求項１３】

前記複製メモリは、前記設計回路の一部分のオペレーションをシミュレーションするために初期条件信号を与え、そして前記遅延回路は、シミュレーションのための入力信号を与える、請求項１１に記載の方法。

【請求項１４】

前記設計回路は、レジスタ入力信号を受信するための設計レジスタを含み、そして前記付加的な記述は、遅延されたレジスタ入力信号を受信するための複製レジスタの記述を含む、請求項１に記載の方法。

【請求項１５】

実行時に、コンピュータが、

請求項２ないし１４に記載の方法を実行する

ようにさせるインストラクションを含むマシン読み取り可能な媒体を備えた装置。

【請求項１６】

入力信号及び遅延入力信号をロジックへマルチプレクスするためのマルチプレクサと、前記ロジックからの出力信号及び前記ロジックからの遅延出力信号をデマルチプレクスするためのデマルチプレクサとを含むチップを動作するステップであって、前記遅延入力信号は、遅延回路を通して前記入力信号を遅延することで発生されるようなステップと、

トリガー条件を検出するステップと、

前記遅延出力信号の一部分を初期条件信号として与え且つ前記遅延回路からの遅延入力信号の幾つかをシミュレータの入力信号として与えて、前記ロジックを含む回路のオペレーションをシミュレーションするステップと、  
を備えた方法。

【請求項１７】

前記シミュレータは、トリガー条件まで導く前記チップのオペレーションをシミュレー

ションする、請求項 1 6 に記載の方法。

【請求項 1 8】

入力信号を受信してそれをマルチプレクサに与えるためのレジスタの第 1 グループと、  
遅延入力信号をマルチプレクサに与えるための遅延回路と、  
前記マルチプレクサからマルチプレクスされた入力信号及び遅延入力信号を受信して、  
マルチプレクスされた出力信号及び遅延出力信号を与えるためのロジックと、  
前記ロジックからの出力信号及び遅延出力信号をデマルチプレクスするためのデマルチ  
プレクサと、  
を備えたチップ。

【請求項 1 9】

前記ロジックにおいてトリガー条件を検出するのに応答してトリガー信号を発生するた  
めのトリガー回路と、前記デマルチプレクサから遅延出力信号を受信するためのレジスタ  
の第 2 グループとを更に備えた、請求項 1 8 に記載のチップ。

【請求項 2 0】

全チップに対する入力信号及び遅延入力信号を時分割マルチプレクシングするために 1  
つ以上の第 2 ロジックをサンドイッチする 1 つ以上の第 2 マルチプレクサ / デマルチプレ  
クサ対を更に備えた請求項 1 9 に記載のチップ。