

公告本

申請日期	90.3.24
案 號	90106695
類 別	H01L 21/78

4701667

A4
C4

(以上各欄由本局填註)

558794

發明專利說明書

一、發明 名稱	中 文	藉由減少去除光阻所致缺點以形成高品質之多重厚度氧化 物層
	英 文	METHOD FOR FORMING HIGH QUALITY MULTIPLE THICKNESS OXIDE LAYERS BY REDUCING DESCUM INDUCED DEFECTS
二、發明 人	姓 名	1.劉台鳳 ANGELA T. HUI 2.小倉壽典 JUSUKE OGURA
	國 籍	1.美國 2.日本
	住、居所	1.美國·加州 94539·弗列蒙特市·皮金環路 362 號 362 Pilgrim Loop, Fremont, CA 94539, U.S.A. 2.美國·加州 95014·古皮蒂諾市·丹尼森林蔭大道 10183 號 10183 Denison Avenue Cupertino, CA 95014, U.S.A.
三、申請人	姓 名 (名稱)	1.高級微裝置公司 ADVANCED MICRO DEVICES, INC. 2.富士通股份有限公司 FUJITSU, LTD.
	國 籍	1.美國 2.日本國
	住、居所 (事務所)	1.美國·加州 94088-3453 桑尼威·第 1AMD 區· 郵政信箱 3453 號 One AMD Place, P.O. Box 3453, Sunnyvale, CA, 94088-3453, U.S.A. 2.日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號 1-1, Kamikodanaka 4-chome, Nakahara-ku Kawasaki-shi, Kanagawa Japan
	代 表 人 姓 名	1.理查·J·諾迪 RICHARD J. RODDY 2.秋草直之 NAOYUKI AKIKUSA

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☒ 有 ☐ 無 主 張 優 先 權

2000 年 3 月 23 日 09/535,256 (主 張 優 先 權)

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

技術領域

本發明係關積體電路裝置領域及其製法。特別，本發明係關形成高品質之多重厚度氧化物層於一矽晶圓基板上。

背景技術

非依電性記憶體裝置(non-volatile memory device)目前廣用於需要於電源切斷後仍保有資訊之電子組件。非依電性記憶體裝置包括唯讀記憶體(ROM)、可程式唯讀記憶體(PROM)、可抹消可程式唯讀記憶體(EPROM)、和可電抹消可程式唯讀記憶體(EEPROM)裝置。EEPROM與其它非依電性記憶體裝置之差異在於其可藉電性程式規劃也可藉電性抹消。快閃 EEPROM 裝置類似 EEPROM 裝置之處在於：其記憶胞可藉電性程式規劃也可藉電性抹消。但快閃 EEPROM 裝置致使該裝置內的全部記憶胞使用單一電流脈衝抹消。

高電壓電路元件如程式規劃和抹消電晶體通常係形成於一帶有相對厚的閘氧化物層之晶圓基板上。通常需要此種相對較厚的閘氧化物層以防於此種高電壓環境下的電晶體電路崩潰。它方面，較佳低電壓電路係使用相對薄的閘氧化物層實施於晶圓基板上。此種薄型閘氧化物層典型加快此種具有相對短的閘長度之之電路元件之速度，以及薄型氧化物層典型提供較高操作速度。

此外，隨著處理技術之朝向愈來愈短的閘長度發展，希望更一進步縮小閘氧化物層厚度俾達成更高的操作速

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

度。但有些含於此種積體電路裝置之電路元件無法擴充。

非依電性記憶體裝置例如快閃 EEPROM 要求形成快閃記憶體胞，其包括隧道氧化物層於晶圓基板上。此種隧道氧化物層可比於晶圓基板上之高電壓氧化物層更薄。但此種隧道氧化物層通常無法以低電壓氧化物層之相同方式縮小厚度。此種快閃記憶體胞若隧道氧化物層過薄，典型有顯著耐用性和資料留存性問題。

因此非依電性記憶體裝置通常可由於同一片晶圓基板上形成具有不同氧化物層厚度而獲益。隨著製程技術之朝向更小型電路元件維度發展，具有相對較厚的選擇閘氧化物層之電晶體可配合高電壓程式規劃和抹消操作；而具有相對較薄閘氧化物層之邏輯電晶體則可獲得速度優勢。此外，快閃記憶體胞之隧道氧化物層厚度可依據可靠性而做縮放，而與高和低電壓電晶體之閘維度和氧化物層厚度無關。

一種形成高品質之多重厚度氧化物層之方法涉及多重罩蓋與多個氧化物層形成步驟。舉例言之，第一氧化物層通常為最厚的氧化物層初步生長於晶圓基板上。隨後一層光阻層形成於第一氧化物層上。藉將光阻通過罩而曝光而形成圖案於光阻層上。然後光阻經顯像與去除而留下部分曝光後的氧化物層。隨後第一氧化物層經蝕刻，而剩餘光阻被去除。然後第二層氧化物層生長於晶圓基板上。第二氧化物層形成薄氧化物層於晶圓基板上；而較厚的氧化物層係藉組合第一與第二氧化物層形成。此種方法可重複而

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(3)

形成整個處理流程有各種不同厚度之額外氧化物層。

於光阻層顯像過程中與顯像後，氧化物層之未經罩蓋或曝光部分變成受污染。舉例言之，目測檢視無法偵測得之薄膜形成於氧化物層之曝光部上。此張薄膜可能係由光阻殘質例如乾顯像劑和未溶解的光阻片所組成。如此，通常氧化物層之未經罩蓋部分須接受清潔或去除光阻處理俾去除光阻殘質。氧化物層之未經罩蓋或曝光部分通常於滾桶氣相處理(barrel asher)器或下游單一晶圓氣相處理(wafer asher)器使用氧、氧/氮、或氧/氮-氮化學去除光阻或清潔。

雖然去光阻處理時間相當短以防對暴露的氧化物層造成任何表面損傷，但去光阻處理本身卻留下污染物於氧化物層上。污染物於高解析度掃描電子顯微鏡(SEM)下方顯示為氧化物層上的深色點，如第1圖所示。深色點分析顯示主要係由硫化合物與小型烴組成，最可能為來自光阻顯像留下的光活性化合物。於暴露的氧化物層表面上的深色點或缺陷與隨後之製程步驟交互作用，導致處理問題以及可靠度和良率低劣問題。

例如當於去光阻處理後施行濕氧化物蝕刻俾去除氧化物層之暴露部分時，深色點下方的氧化物層無法完全去除。如此深色點變成氧化物層暴露部分之顯微罩。由於深色點，因初步氧化物層未能完全去除，故造成隨後生長的氧化物層不均勻。

因此希望有一種當形成多重厚度間和隧道氧化物層時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

可去除此等深色點之方法，俾達成可接受晶圓之較高總良率。

發明揭示

本發明揭示一種藉由減少去光阻所致缺點以形成多重厚度氧化物層之方法。該方法包含反應性離子蝕刻(RIE)一半導體基板，該半導體基板包括一晶圓、一於晶圓上之氧化物層、和一於氧化物層上之顯像後之光阻罩。於反應性離子蝕刻基板後，氧化物層後蝕刻。

其它本發明之特色和優點由發明之詳細說明部分將顯然自明。

圖式之簡要說明

第1圖為去光阻處理後出現於晶圓基板上之非期望之深色點或缺陷之像片；

第2圖為形成於晶圓基板上之氧化物層之部分剖面圖；

第3圖為於形成光阻層於氧化物層上後之基板之部分剖面圖；

第4圖為光阻已經顯像且基板已經去光阻處理後之晶圓基板之部分剖面圖；

第5圖為氧化物層已經蝕刻後之晶圓基板之部分剖面圖；

第6圖為光阻層已經去除後之晶圓基板之部分剖面圖；

第7圖為新一層氧化物層已經生長後之晶圓基板之部

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(5)

剖面圖；

第 8 圖為於第一和第二氧化物層上形成浮動閘後之晶圓基板之部分剖面圖；

第 9 圖為光阻層形成與顯像後以及基板已經去光阻處理後之晶圓基板之部分剖面圖；

第 10 圖為氧化物層已經蝕刻後之晶圓基板之部分剖面圖；

第 11 圖為第三氧化物層已經生長後之晶圓基板之部分剖面圖。

須了解為求說明簡單與清晰，附圖顯示之元件未照比例繪製。例如部分元件維度相對於彼此誇大表現以求清晰。

執行本發明之模式

參照第 2 圖，第一氧化物層 2 亦即選擇閘氧化物層形成而覆於半導體基板 4 表面上。較佳半導體基板 4 為單晶矽基板。半導體基板 4 有一上表面 6，其事先經處理而去除碎屑和天然氧化物。選擇閘氧化物層 2 較佳係藉於升高溫度正於周圍無水氧氣或水蒸氣存在下加熱氧化表面 6 形成。氧化處理較佳係於約 700°C 至約 1400°C 溫度進行。氧化過程形成較佳厚度約 50 至約 150 而更佳厚度約 90-100 之氧化矽層。氧化處理可於批次型熱氧化爐進行。

於形成第一氧化物層 2 後，基板經處理而去除任何雜質，光阻層 8 形成而覆於第一氧化物層上，如第 3 圖所示。較佳光阻層 8 為紫外光敏感性且為正性光阻。然後光阻層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

8 之擇定部分經罩曝光。曝光後之光阻隨後經顯像與去除而留下部分 10 氧化物層暴露出。光阻層可藉業界一般已知方法顯像，包括但非限於浸沒、噴霧、和大桶技術。第 4 圖顯示氧化物層 2 之暴露部分。

於光阻層 8 經顯像且經去除後，氧化物層之暴露部分 10 接受低功率反應性離子蝕刻，俾去除任何可能出現於氧化物層表面之有機殘質，例如乾掉的顯像劑或未溶解的光阻。反應性離子蝕刻較佳係使用射頻偏壓。為了維持光阻層之完整性與確保圖案品質，去光阻處理時間相當短，且被去除的光阻層不超過 30 毫微米和 1 毫微米氧化物層。反應性離子蝕刻方法變數如下：

- (1) RIE 持續時間 3-25 秒；
- (2) 氧/氮，氧/氮-氫，或氧/氮/氫化學；
- (3) 射頻功率位準 50-200 瓦；
- (4) 壓力 25-300 毫托耳；以及
- (5) 晶圓溫度 20-60℃。

RIE 處理條件之更特定實例列舉於下表 1。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

表 1

晶圓溫度 (°C)	功率位準 (瓦)	壓力 (毫托耳)	化學 (sccm)	蝕刻時間 (秒)
25	200	50	氧/氮 200/200	5
40	200	2500	氧/氮/氮 75/225/100	3
60	50	25	氧 150	10
60	100	200	氧/氮 180/180	20

發現使用低功率反應性離子蝕刻可滿意地去除光阻顯像留下的任何殘質。但不似下游去光阻處理，其通常係用來去除過量乾掉的顯像劑及/或未溶解光阻。反應性離子蝕刻方法之優點為以底電極施加偏壓之方向性蝕刻，方向性蝕刻可有效去除光阻殘質，但未留下任何深色點於氧化物層之暴露部 10 上。如此使用反應性離子蝕刻可消除任何使用習知氧去光阻處理時出現的可能的微罩蓋。

於反應性離子蝕刻完成後，氧化物層之暴露部 10 被蝕刻或去除，如第 5 圖所示。氧化物層可藉業界眾所周知之習知乾和濕蝕刻氧化物層方法而蝕刻。可用以蝕刻氧化物層之暴露部之乾蝕刻方法包括電漿蝕刻、離子研磨蝕刻、和反應性離子蝕刻。濕蝕刻方法包括使用氫氟酸。較佳係使用氫氟酸、氟化銨和水之標準緩衝之氧化物蝕刻法而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

蝕刻氧化物層之暴露部。

於氧化物層 2 之暴露部分 10 經蝕刻後，其餘光阻 8 被去除，如第 6 圖所示。半導體製造業界眾所周知之濕法和乾法皆可用以去除剩餘之光阻層 8。此等方法包括但非限於使用硫酸和氧化劑溶液、和習知氧電漿去除法。然後新氧化物層 14 生長於晶圓基板 4 上，如第 7 圖所示，俾製造兩層厚度不同的氧化物層。隧道氧化物層形成薄氧化物層，而選擇閘氧化物層與隧道氧化物層組合形成較厚氧化物層。

可重複前述方法而形成有不等厚度之額外氧化物層。舉例言之，於生長隧道氧化物層 14 後，浮動閘 16 形成於氧化物層 2 和 14 上方，如第 8 圖所示。然後光阻層 18 形成而覆於氧化物層 2 和 14 與閘結構 16 上。如第 9 圖所示，光阻層 18 經由罩曝光，而經曝光後的光阻隨後被顯像與去除而留下部分 15 氧化物層 2 和 14 暴露出。於光阻經顯像與去除後，基板使用反應性離子蝕刻以低功率進行去光阻處理。然後，氧化物層 2 和 14 之暴露部 15 被蝕刻去除，而其餘光阻被去除，如第 10 圖所示。如第 11 圖所示，第三氧化物層 20 亦即周邊閘氧化物層係生長於晶圓基板 4 去面上，且具有與氧化物層 2 和 14 不同的厚度。如此根據本發明揭示一種於一半導體裝置製造多重厚度一致均勻氧化物層之方法，該方法全然提供前述優點。揭示之方法可加倍可接受晶圓用於進一步處理的良率。雖然已經描述且參照特定具體實施例說明本發明，但絕非意圖圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：藉由減少去除光阻所致缺點以形成）
高品質之多重厚度氧化物層

一種藉由減少去除光阻所致缺點以形成具有不同厚度之高品質氧化物層之方法。半導體基板接受反應性離子蝕刻。該半導體基板包括一晶圓(4)，一氧化物層(2)於該晶圓上，以及一包封光阻罩(8)於該氧化物層上。然後氧化物層(2)經蝕刻，而剩蝕之光阻罩(8)係於另一層氧化物層(14)生長於基板上之前被去除。

(請先閱讀背面之注意事項再填寫本頁各欄)

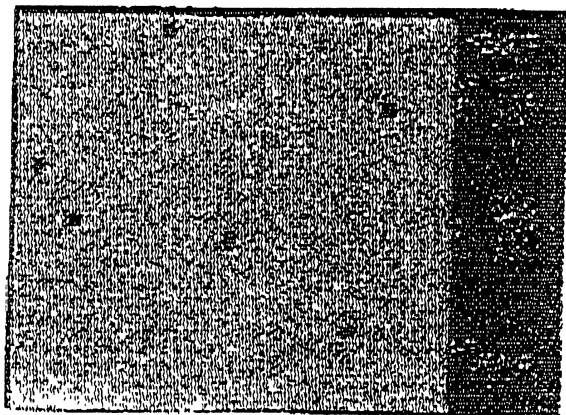
裝

訂

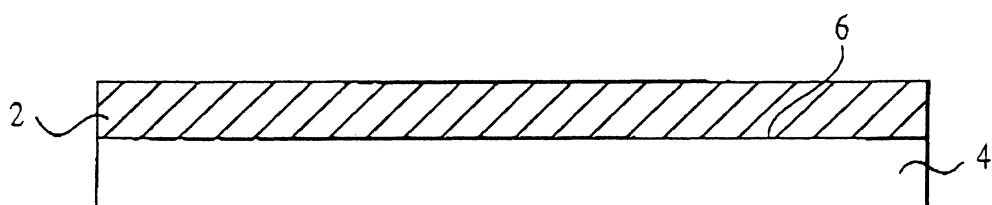
線

英文發明摘要（發明之名稱：METHOD FOR FORMING HIGH QUALITY MULTIPLE THICKNESS OXIDE LAYERS BY REDUCING DESCUM INDUCED DEFECTS）

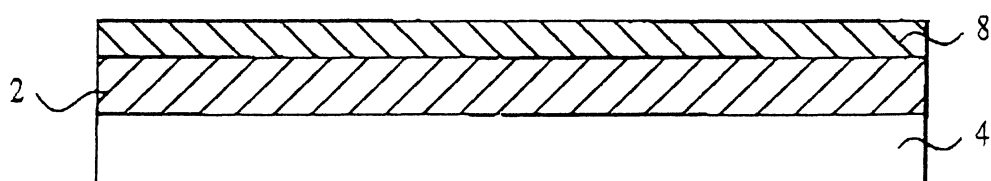
A method for forming high quality oxide layers having different thicknesses by eliminating descum induced defects is disclosed. A semiconductor substrate is subjected to reactive ion etching. The semiconductor substrate includes a wafer (4), an oxide layer (2) on the wafer, and a developed photoresist mask (8) on the oxide layer. The oxide layer (2) is then etched, and the remaining photoresist mask (8) is stripped before another layer of oxide (14) is grown on the substrate.



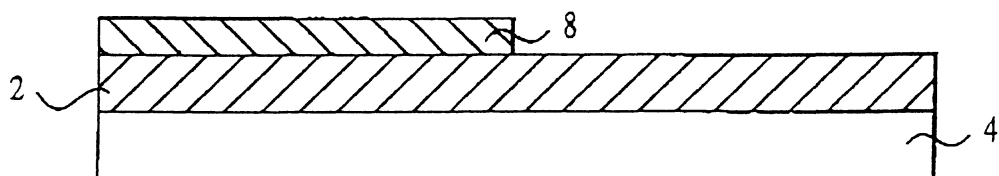
第 1 圖



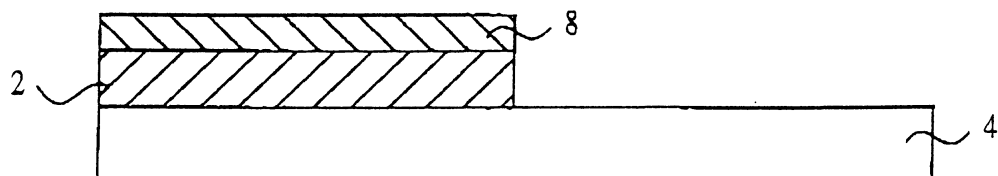
第 2 圖



第 3 圖

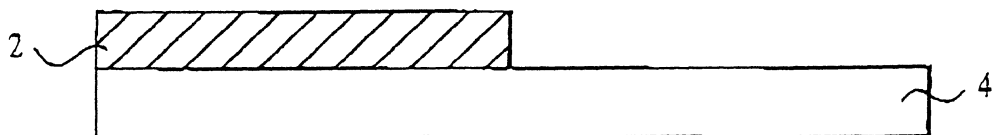


第 4 圖

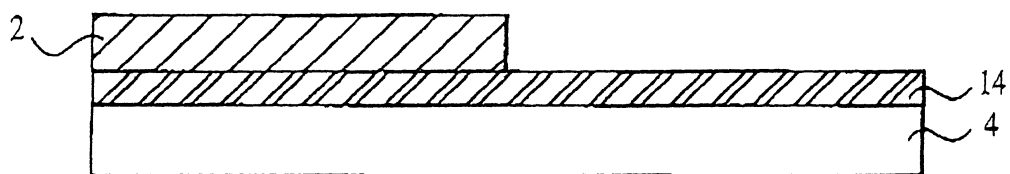


第 5 圖

4/6

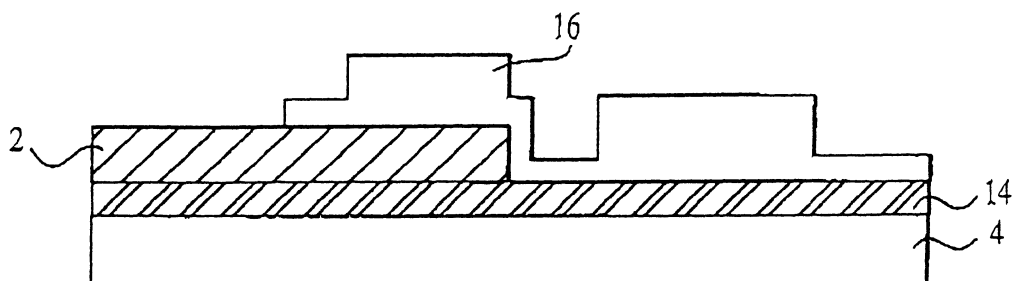


第 6 圖

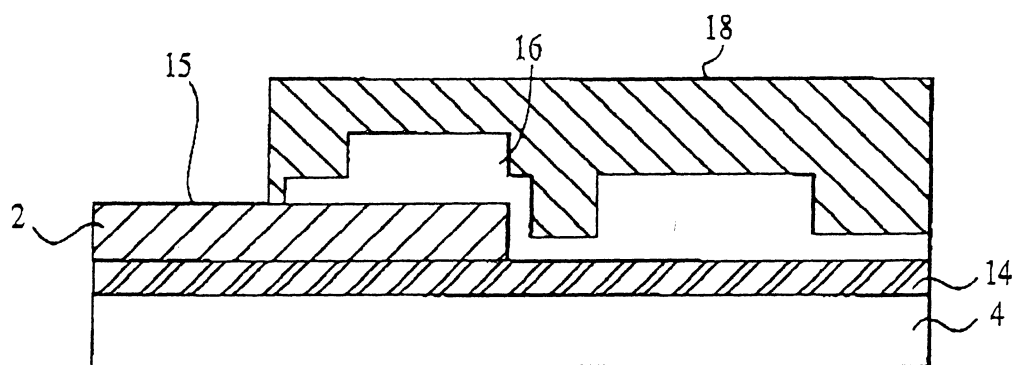


第 7 圖

5/6

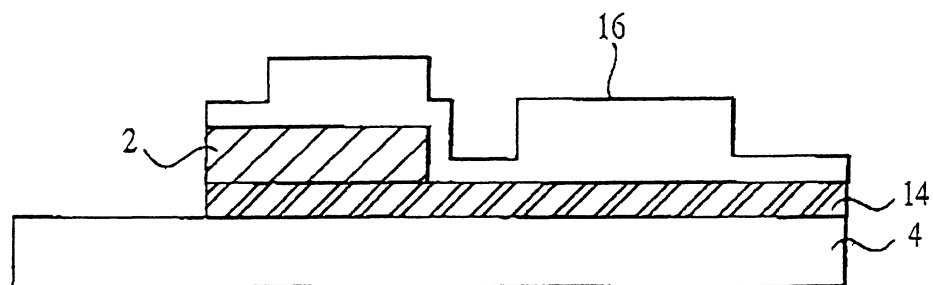


第 8 圖

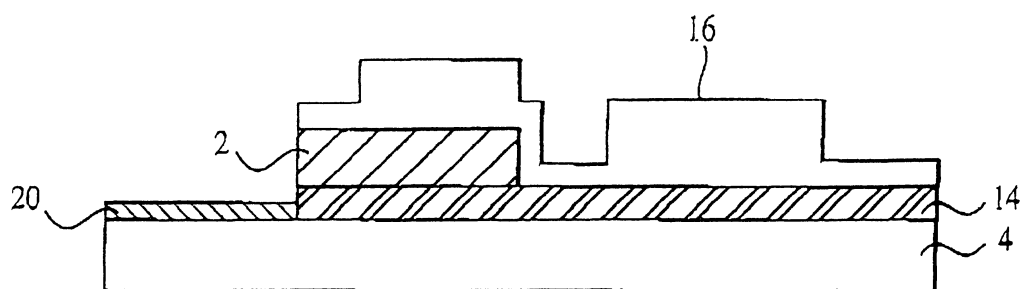


第 9 圖

6/6



第10圖



第11圖

P1.7.15

五、發明說明(9)

限本發明於舉例說明之具體實施例。熟諳此技藝人士將瞭解可未悖離本發明之精髓做出多種變化和修改。因此意欲於本發明涵蓋全部落入隨附之申請專利範圍及其相當範圍之變化與修改。

元件符號說明

2、14、20	氧化物層
4	晶圓(半導體基板)
6	表面
8、18	光阻層
10	氧化物層暴露部分
14	隧道氧化物層
15	氧化物層留下部分(暴露部)
16	浮動閘(閘結構)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第 90106695 號專利申請案

申請專利範圍修正本

(91 年 7 月 15 日)

1. 一種形成半導體結構之方法，該方法之特徵為：
於低功率反應性離子蝕刻基板，該基板之特徵為具有：
(a)一晶圓(4)；
(b)一位於晶圓上的第一氧化物層(2)；以及
(c)一位於第一氧化物層上之經顯像後之光阻層(8)；以及
蝕刻第一氧化物層；
其中該反應性離子蝕刻係使用射頻偏壓進行 3 至 25 秒時間。
2. 如申請專利範圍第 1 項之方法，其進一步特徵為去除光阻層(8)。
3. 如申請專利範圍第 2 項之方法，其進一步特徵為生長第二氧化物層(14)於晶圓上。
4. 一種製造半導體裝置之方法，其特徵為：
經由如申請專利範圍第 1 項之方法形成半導體結構；以及由該半導體結構製造半導體裝置。
5. 一種製造半導體裝置之方法，該方法包括生長氧化物層(2)於半導體基板上，沈積一層光阻層(8)於氧化物層上，曝光與顯像該光阻層，氣相處理基板俾去除任何光阻殘質，蝕刻氧化物層(2)，去除剩餘光阻，以及生長新氧化物層(14)，其改良處特徵為：於低功率反應性離

子蝕刻基板俾替代氣相處理基板，且其中該反應性離子蝕刻係使用射頻偏壓進行 3 至 25 秒時間。

6. 一種形成半導體結構之方法，該方法之特徵為：

於低功率反應性離子蝕刻基板，該基板之特徵為：

(a)一晶圓(4)；

(b)一位於晶圓上的第一氧化物層(2)；

(c)一位於第一氧化物層(2)上的第二氧化物層；以及

(d)一位於第一氧化物層上之經顯像後之光阻罩(18)；

蝕刻第二氧化物層(14)；

去除光阻罩(18)；以及

生長第三氧化物層(20)於基板上；

其中該反應性離子蝕刻係使用射頻偏壓進行 3 至 25 秒時間。

7. 一種製造半導體裝置之方法，其特徵為：

經由如申請專利範圍第 6 項之方法形成半導體結構；以及由該半導體結構製造半導體裝置。