

(19)
(12)

(KR)
(B1)

(51) 。 Int. Cl. 6
G06F 11/26

(45)
(11)
(24)

2002 05 22
10 - 0337696
2002 05 10

(21) 10 - 1999 - 0006250
(22) 1999 02 25

(65) 1999 - 0077472
(43) 1999 10 25

(30) 09/042,373 1998 03 13 (US)

(73)

10504

(72) 가 78728 14936

78750 8217

(74)

:

(54)

.

.

, 가 , 가 가 가 .
, 가 () 가 가 , 가
가 .

, , , , ,

1

2 1 (node)

3 (path)

4

5

6 가 가

7

formal verification) , (logic system) (fo

가 가 , (chip)

(specification)

가 가 , 가 가

(simulation)

cker) (methodology) , (correctness che

가 , 가

가

(model checking)가

(form)

architectural interface), 가 (microarch
 (behavioral environment) .
 가 (false fail)
 (state machine) .
 (abstract machine), (state transition function)
 (input event) 1 1 가 (map)
 (walk) (trace) (cross product)
 (積) (product state machine) .
 (IC) (traverse)
 (environmental behavioral input)
 (non - deterministically) (exhaustively) (가)
 가 (input constraint) 가 (inverted transition table) x
 x 가 가
 potential bug) 가 (p (model checker)
 가

가 , 가). (,

가 가 i , l_i S_i가 , i+1 가
가 (edge) (coverage analysis)

가 x (simulator) i x 가 가 ,
가 가

(functional model) 가 가

가 (source) 가

가 가 (manual environment) 가

가

1 I(1) I(n) , O(1) O(m) , 가
 113 (101) (101) (logic array) (103,
 (103,113) LA1(105) LA2(107) (101)
 (LA1,LA2) (가
) (105,107) 1 0 가 가
 , (105,107) 4가 , a, b, c d가 가 .
 2 (105,107) N1 N2 ,
 1 (103) 2 (113) 가 . 2 (113) O(1) O(m)
 I(n) , O(1) O(m) N1 N2 I(1)
 (Mealy) ,

3 (action) /
 (Finite State Machine: FSM) , a(301), b(305), c(309),
 d(313) 4가 가 , a(301) 0
 b(305) (303) . b(305) 0 c(309)
 (307) . c(309) 1 a(301) (319) , 0
 d(313) (311) . d(313) 1 a(301)
 (315) . a(301) 1 c(309) (317) .

3 0-0-0-1-1-1 a-b-c-d-a a-c-a
 가 . , a-b-c-a a-c-d-a
 , 가 . a-b-c-a가
 , a-b-c-d-a a-c-a
 가 a-b-c-a . ,

3 가가 가 4 가
 i () (state bit) (input bit) 가 (trace) .
 - (i+1)
 (triplet) 가 ,
 (redundancy) .

6 a b (601) 0 , c (605) 1 , 가
 . c 0 d (607) , 1 a (609) . 가
 가 6 , a
 b c a-c-d
 a-c-a .

(series of transition)

(straight path)

가

6

가
(branch)

가 7

7
3

(701)

(703)

가

(705).

(707)

FSM (copy)가

FSM

3

4

(709)

FSM

4

a 0(

b)

1

(c)

b

0(

c)

(709)

가

(

(707)

FSM

가

((709)

).

가

(

가)

(707, 709)

(715)

가

가

, CPU

, CD,

(

),

(57)

1.

(logic design)

a)

;

b)

-

- ;

c) (model input environment) ,

2.

1 ,

a) ;

b) , ,

3.

2 , (non - deterministic manner)

4.

2 ,

a) ;

b) 가 ,

5.

4 ,

6.

4 , ,

7.

6 , .

8.

3 ,

a) ;

b) 가 ,

9.

8 ,

10.

8 ,

11.

10 ,

12.

가 가 (indicia) ,

가 , 가 가

a) ;

b) - ;

c) ,

13.

12 ,

a) ;

b) , ,

14.

13 ,

15.

13 ,

a) ;

b) 가 ,

16.

15 ,

17.

15 , ,

18.

17 , .

19.

14 ,

a) ;

b) 가 ,

20.

19 ,

21.

19 , ,

22.

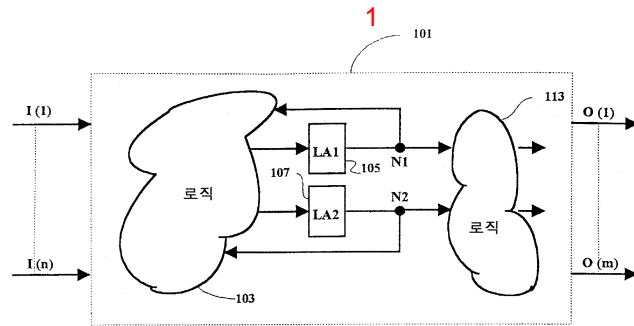
21 , .

23.

1 ,

24.

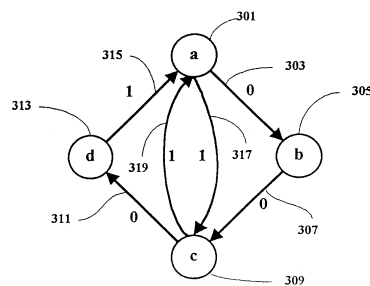
12 ,



2

상태	래치 1 (N1)	래치 2 (N2)
a	0	0
b	0	1
c	1	0
d	1	1

3



4

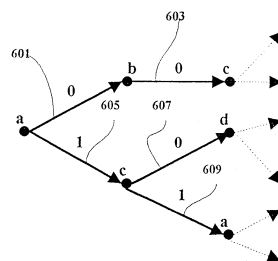
천이관계

현재상태	입력	다음상태
a	0	b
b	0	c
c	0	d
c	1	a
d	1	a
a	1	c

5

		클럭	1	2	3	4	5	6	7
트레이스 1	입력	0	0	0	1	0	0	0	
	상태	a	b	c	d	a	b	c	
트레이스 2	입력	1	1	1	0				
	상태	a	c	a	b				

6



7

