



(12)发明专利

(10)授权公告号 CN 103828059 B

(45)授权公告日 2017.03.08

(21)申请号 201280046926.3

(22)申请日 2012.07.23

(65)同一申请的已公布的文献号
申请公布号 CN 103828059 A

(43)申请公布日 2014.05.28

(30)优先权数据
13/194,862 2011.07.29 US

(85)PCT国际申请进入国家阶段日
2014.03.26

(86)PCT国际申请的申请数据
PCT/US2012/047870 2012.07.23

(87)PCT国际申请的公布数据
W02013/019457 EN 2013.02.07

(73)专利权人 美商新思科技有限公司
地址 美国加利福尼亚州

(72)发明人 J·卡瓦 V·莫洛兹 D·谢勒卡

(74)专利代理机构 北京市金杜律师事务所
11256

代理人 王茂华

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)

(56)对比文件
US 2008/0283925 A1,2008.11.20,
US 2008/0283925 A1,2008.11.20,
US 2010/0097875 A1,2010.04.22,
US 2004/0218831 A1,2004.11.04,
US 6789232 B1,2004.09.07,
US 2007/0190708 A1,2007.08.16,
US 2009/0101940 A1,2009.04.23,
US 2010/0287518 A1,2010.11.11,
CN 102034866 A,2011.04.27,

审查员 靳苹苹

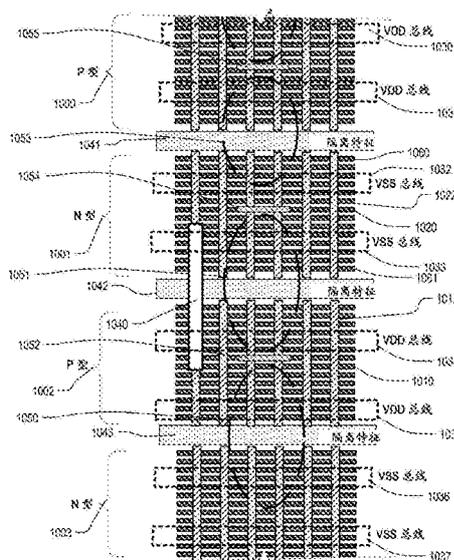
权利要求书5页 说明书15页 附图14页

(54)发明名称

N沟道和P沟道FINFET单元架构

(57)摘要

一种适用于标准单元库的finFET块架构,该finFET块架构基于如下布置,该布置包括在衬底的具有第一传导性类型的第一区域中的第一半导体鳍集合和在衬底的第二区域中的第二半导体鳍集合,第二区域具有第二传导性类型。被布置于第一和第二半导体鳍集合之上的包括在第一和第二区域中的栅极迹线的图案化的栅极导体层用于晶体管栅极。在栅极导体层之上的图案化的导体层布置于正交布图图案中并且可以包括在第一和第二区域中的鳍之上的多个浮动功率总线。



1. 一种集成电路,包括:

衬底;

第一块,包括在所述衬底的第一区域中的半导体鳍的集合,所述第一块包括在所述第一块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第一块被布置用于具有第一传导性类型的沟道的器件;

第二块,包括在所述衬底的第二区域中的半导体鳍的集合,所述第二块包括在所述第二块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第二块被布置用于具有第二传导性类型的沟道的器件;

图案化的栅极导体层,包括在所述第一块和所述第二块中的多个栅极迹线;

在所述栅极导体层之上的至少一个图案化的导体层;

被布置为覆盖在所述第一块和所述第二块中的每个块上面的一个或者多个功率迹线;以及

多个层间连接器,其连接半导体鳍、栅极迹线、在所述至少一个图案化的导体层中的迹线和所述一个或者多个功率迹线,

其中,按列布置在所述第一块和所述第二块中的所述多个栅极迹线,并且在所述至少一个图案化的导体层中的迹线被布置用于将覆盖在所述第二块上面的所述功率迹线之一连接到在所述第二块中的充当第一器件的端子的半导体鳍,并且将覆盖在所述第二块上面的所述一个或者多个功率迹线中的另一功率迹线连接到在所述第二块中的充当第二器件的端子的另一半导体鳍,所述第一器件具有在特定列中的第一栅极迹线中的栅极,所述第二器件具有在所述特定列中的第二栅极迹线中的栅极。

2. 根据权利要求1所述的集成电路,其中所述半导体鳍包括在所述多个栅极迹线中的栅极迹线下面的沟道和在所述多个栅极迹线中的栅极迹线之间的源极/漏极端子,并且其中所述至少一个图案化的导体层和所述多个层间连接器被布置用于连接所述源极/漏极端子、所述栅极迹线和所述功率迹线。

3. 根据权利要求1所述的集成电路,包括:

第三块,所述第三块包括在所述衬底的第三区域中的半导体鳍的集合,所述第三块被布置用于具有所述第一传导性类型的沟道的器件,并且位于与所述第二块相邻,并且包括在所述第三块中的多个栅极迹线;并且

其中所述至少一个图案化的导体层包括:

在所述栅极导体层之上的第一图案化的导体层,包括第一层迹线,所述第一层迹线包括第一个第一层迹线和第二个第一层迹线,所述第一个第一层迹线被布置用于将所述第一块中的栅极迹线连接至所述第二块中的栅极迹线,所述第二个第一层迹线被布置用于将所述第二块中的栅极迹线连接至所述第三块中的栅极迹线;以及

第二图案化的导体层,在所述第一图案化的导体层之上并且包括一个或者多个第二层迹线,所述一个或者多个第二层迹线被布置用于将所述第一图案化的导体层中的迹线连接至所述第一图案化的导体层中的其它迹线。

4. 根据权利要求3所述的集成电路,其中所述一个或者多个功率迹线包括所述第二图案化的导体层的部分。

5. 根据权利要求1所述的集成电路,其中所述一个或者多个功率迹线包括在所述第一

块之上的多个功率迹线和在所述第二块之上的多个功率迹线。

6. 根据权利要求1所述的集成电路,其中平行布置在所述第一块和所述第二块中的所述半导体鳍,在所述多个栅极迹线中的所述栅极迹线与所述半导体鳍正交,并且覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线与所述半导体鳍平行。

7. 根据权利要求1所述的集成电路,其中所述半导体鳍的集合包括在所述第一块和所述第二块中的一个或者多个半导体本体,并且其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线未连接到在对应的所述块内的所述一个或者多个半导体本体。

8. 根据权利要求1所述的集成电路,其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线具有未跨越在所述第一块和所述第二块中的所述外鳍的外边缘的外边缘。

9. 一种用于制造单元库的方法,包括:

指定基础结构,所述基础结构包括:

第一块,包括在衬底的第一区域中的半导体鳍的集合,所述第一块包括在所述第一块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第一块被布置用于具有第一传导性类型的沟道的器件;

第二块,包括在所述衬底的第二区域中的半导体鳍的集合,所述第二块包括在所述第二块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第二块被布置用于具有第二传导性类型的沟道的器件;

指定在所述基础结构上的单元,所述单元包括以下元件:

图案化的栅极导体层,包括在所述第一块和所述第二块中的多个栅极迹线;

在所述栅极导体层之上的至少一个图案化的导体层;

被布置为覆盖在所述第一块和所述第二块中的每个块上面的一个或者多个功率迹线;

以及

多个层间连接器,其连接半导体鳍、栅极迹线、在所述至少一个图案化的导体层中的迹线和所述一个或者多个功率迹线;并且

在单元库中存储所述单元的机器可读规约,

其中,按列布置在所述第一块和所述第二块中的所述多个栅极迹线,并且所述单元库中的单元包括第一器件和第二器件,其中在所述至少一个图案化的导体层中的迹线被布置用于将覆盖在所述第二块上面的所述功率迹线之一连接到在所述第二块中的充当所述第一器件的端子的半导体鳍,并且将覆盖在所述第二块上面的所述一个或者多个功率迹线中的另一功率迹线连接到在所述第二块中的充当所述第二器件的端子的另一半导体鳍,所述第一器件具有在特定列中的第一栅极迹线中的栅极,所述第二器件具有在所述特定列中的第二栅极迹线中的栅极。

10. 根据权利要求9所述的方法,其中所述半导体鳍包括在所述多个栅极迹线中的栅极迹线下面的沟道和在所述多个栅极迹线中的栅极迹线之间的源极/漏极端子,并且其中所述至少一个图案化的导体层和所述多个层间连接器被布置用于连接所述源极/漏极端子、所述栅极迹线和所述功率迹线。

11. 根据权利要求9所述的方法,其中所述基础结构包括第三块,所述第三块包括在所述衬底的第三区域中的半导体鳍的集合,所述第三块被布置用于具有所述第一传导性类型

的沟道的器件,并且位于与所述第二块相邻,并且包括在所述第三块中的多个栅极迹线;并且

其中所述至少一个图案化的导体层包括:

在所述栅极导体层之上的第一图案化的导体层,包括第一层迹线,所述第一层迹线包括第一个第一层迹线和第二个第一层迹线,所述第一个第一层迹线被布置用于将所述第一块中的栅极迹线连接至所述第二块中的栅极迹线,所述第二个第一层迹线被布置用于将所述第二块中的栅极迹线连接至所述第三块中的栅极迹线;

第二图案化的导体层,在所述第一图案化的导体层之上并且包括一个或者多个第二层迹线,所述一个或者多个第二层迹线被布置用于将所述第一图案化的导体层中的迹线连接至所述第一图案化的导体层中的其它迹线。

12. 根据权利要求11所述的方法,其中所述一个或者多个功率迹线包括所述第二图案化的导体层的部分。

13. 根据权利要求9所述的方法,其中所述一个或者多个功率迹线包括覆盖在所述第一块上面的多个功率迹线和覆盖在所述第二块上面的多个功率迹线。

14. 根据权利要求9所述的方法,其中平行布置在所述第一块和所述第二块中的所述半导体鳍,在所述多个栅极迹线中的所述栅极迹线与所述半导体鳍正交,并且覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线与所述半导体鳍平行。

15. 根据权利要求9所述的方法,其中所述半导体鳍的集合包括在所述第一块和所述第二块中的一个或者多个半导体本体,并且其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线未连接到在对应的所述块内的所述一个或者多个半导体本体。

16. 根据权利要求9所述的方法,其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线具有未跨越在所述第一块和所述第二块中的所述外鳍的外边缘的外边缘。

17. 一种适于对电路设计的计算机实施的表示进行处理的数据处理系统,包括:

数据处理器和耦合到所述数据处理器存储器,所述存储器存储可由所述数据处理器执行的指令,所述指令包括用于匹配在机器可读电路描述中指定的单元与在单元库中的单元的指令,所述单元库包括具有基础结构的多个单元,所述基础结构包括:

第一块,包括在衬底的第一区域中的半导体鳍的集合,所述第一块包括在所述第一块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第一块被布置用于具有第一传导性类型的沟道的器件;

第二块,包括在所述衬底的第二区域中的半导体鳍的集合,所述第二块包括在所述第二块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第二块被布置用于具有第二传导性类型的沟道的器件;

在所述多个单元中的单元包括:

图案化的栅极导体层,包括在所述第一块和所述第二块中的多个栅极迹线;

在所述栅极导体层之上的至少一个图案化的导体层;

被布置为覆盖在所述第一块和所述第二块中的每个块上面的一个或者多个功率迹线;

以及

多个层间连接器,其连接半导体鳍、栅极迹线、在所述至少一个图案化的导体层中的迹

线和所述一个或者多个功率迹线，

其中，按列布置在所述第一块和所述第二块中的所述多个栅极迹线，并且所述单元库中的单元包括第一器件和第二器件，其中在所述至少一个图案化的导体层中的迹线被布置用于将覆盖在所述第二块上面的所述功率迹线之一连接到在所述第二块中的充当所述第一器件的端子的半导体鳍，并且将覆盖在所述第二块上面的所述功率迹线中的另一功率迹线连接到在所述第二块中的充当所述第二器件的端子的另一半导体鳍，所述第一器件具有在特定列中的第一栅极迹线中的栅极，所述第二器件具有在所述特定列中的第二栅极迹线中的栅极。

18. 根据权利要求17所述的系统，其中所述半导体鳍包括在所述多个栅极迹线中的栅极迹线下面的沟道和在所述多个栅极迹线中的栅极迹线之间的源极/漏极端子，并且其中所述至少一个图案化的导体层和所述多个层间连接器被布置用于连接所述源极/漏极端子、所述栅极迹线和所述功率迹线。

19. 根据权利要求17所述的系统，其中所述基础结构包括第三块，所述第三块包括在所述衬底的第三区域中的半导体鳍的集合，所述第三块被布置用于具有所述第一传导性类型的沟道的器件，并且位于与所述第二块相邻，并且包括在所述第三块中的多个栅极迹线；并且

其中所述至少一个图案化的导体层包括：

在所述栅极导体层之上的第一图案化的导体层，包括第一层迹线，所述第一层迹线包括第一个第一层迹线和第二个第一层迹线，所述第一个第一层迹线被布置用于将所述第一块中的栅极迹线连接至所述第二块中的栅极迹线，所述第二个第一层迹线被布置用于将所述第二块中的栅极迹线连接至所述第三块中的栅极迹线；

第二图案化的导体层，在所述第一图案化的导体层之上并且包括一个或者多个第二层迹线，所述一个或者多个第二层迹线被布置用于将所述第一图案化的导体层中的迹线连接至所述第一图案化的导体层中的其它迹线。

20. 根据权利要求19所述的系统，其中所述一个或者多个功率迹线包括所述第二图案化的导体层的部分。

21. 根据权利要求17所述的系统，其中所述一个或者多个功率迹线包括覆盖在所述第一块上面的多个功率迹线和覆盖在所述第二块上面的多个功率迹线。

22. 根据权利要求17所述的系统，其中平行布置在所述第一块和所述第二块中的所述半导体鳍，在所述多个栅极迹线中的所述栅极迹线与所述半导体鳍正交，并且覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线与所述半导体鳍平行。

23. 根据权利要求17所述的系统，其中所述半导体鳍的集合包括在所述第一块和所述第二块中的一个或者多个半导体本体，并且其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线未连接到在对应的所述块内的所述一个或者多个半导体本体。

24. 根据权利要求17所述的系统，其中覆盖在所述第一块和所述第二块上面的所述一个或者多个功率迹线具有未跨越在所述第一块和所述第二块中的所述外鳍的外边缘的外边缘。

25. 一种制造品，包括：

由数据处理器可读的存储器，所述存储器存储包括多个单元的单元库，至少一个单

元具有基础结构,所述基础结构包括:

第一块,包括在衬底的第一区域中的半导体鳍的集合,所述第一块包括在所述第一块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第一块被布置用于具有第一传导性类型的沟道的器件;

第二块,包括在所述衬底的第二区域中的半导体鳍的集合,所述第二块包括在所述第二块的相对外侧边缘上的外鳍和在所述外鳍之间的内鳍,所述第二块被布置用于具有第二传导性类型的沟道的器件;

所述至少一个单元包括:

图案化的栅极导体层,包括在所述第一块和所述第二块中的多个栅极迹线;

在所述栅极导体层之上的至少一个图案化的导体层;

被布置为覆盖在所述第一块和所述第二块中的每个块上面的一个或者多个功率迹线;

以及

多个层间连接器,其连接半导体鳍、栅极迹线、在所述至少一个图案化的导体层中的迹线和所述一个或者多个功率迹线,

其中,按列布置在所述第一块和所述第二块中的所述多个栅极迹线,并且所述单元库中的单元包括第一器件和第二器件,其中在所述至少一个图案化的导体层中的迹线被布置用于将覆盖在所述第二块上面的所述功率迹线之一连接到在所述第二块中的充当所述第一器件的端子的半导体鳍,并且将覆盖在所述第二块上面的所述功率迹线中的另一功率迹线连接到在所述第二块中的充当所述第二器件的端子的另一半导体鳍,所述第一器件具有在特定列中的第一栅极迹线中的栅极,所述第二器件具有在所述特定列中的第二栅极迹线中的栅极。

N沟道和P沟道FinFET单元架构

技术领域

[0001] 本发明涉及集成电路器件、单元库、单元架构和用于包括finFET器件的集成电路器件的电子设计自动化工具。

背景技术

[0002] 已经在D.Hisamoto等人的IEDM,1998和N.Lindert等人的IEEE Electron Device Letters,p.487,2001中描述FinFET式晶体管。FinFET近来已经赢得接受,因为对低功率和紧凑布图的要求已经变得要求更高。

[0003] 在集成电路设计中,经常利用标准单元库。希望提供一种适合于实施用于标准单元库的单元和用于使用具有灵活布图特征的finFET架构来实施集成电路的基于finFET的设计架构。

发明内容

[0004] 描述适合于实施多种单元和创建用于在集成电路设计中使用的finFET标准单元库的FinFET块结构。描述用于部署设计工具的技术,这些设计工具用于使用finFET块架构用于集成电路设计以及作为电子设计自动化软件和系统的部件。描述包括单元的集成电路,这些单元包括finFET块。

附图说明

[0005] 图1示出示例集成电路设计流程的简化表示。

[0006] 图2是适合于与本技术的实施例一起使用的计算机系统的简化框图以及本技术的电路设计和电路实施例。

[0007] 图3A和3B是示出在现有技术中已知的finFET结构的简化图。

[0008] 图4是具有灵活布图特征并且适合于在标准单元库中使用的多个finFET块的简化布图简图。

[0009] 图5是适合于在结构(比如图4的结构)中的finFET块之间使用的隔离结构的截面图。

[0010] 图6A和6B是适合于使用如本文中描述的finFET块架构来实施为标准单元的包括D触发器和时钟驱动器的电路的示意图。

[0011] 图7-9图示利用finFET块架构(比如图4中所示finFET块架构)的图6A和6B的电路的部件的实现方式。

[0012] 图10是具有浮动功率总线结构和其它灵活布图特征并且适合于在灵活标准单元库中使用的多个“高”finFET块的简化布图简图。

[0013] 图11图示利用finFET块架构(比如图10中所示finFET块架构)的时钟驱动器的部件的实现方式。

[0014] 图12是用于设计用于单元库的基于finFET块的单元的过程的简化流程图。

[0015] 图13是用于利用流动单元库(liquid cell library)的自动化设计过程的简化流程图,该流动单元库包括如本文中描述的基于finFET块的单元。

[0016] 图14是finFET块的图,出于提供参考帧以指定功率迹线在块之上的位置的目的是为了设定该finFET块。

具体实施方式

[0017] 图1是集成电路设计流程的简化表示。与本文中的所有流程图一样,将理解可以组合、并行执行或者以不同顺序执行图1的步骤中的许多步骤而不影响实现的功能。在一些情况下,仅当也进行某些其它改变,步骤重新布置才会实现相同结果,并且在其它情况下,仅当满足某些条件,步骤重新布置才会实现相同结果。这样的重新布置可能性将为读者所清楚。

[0018] 在高级别,图1的过程始于产品构想(块100)并且在EDA(电子设计自动化)软件设计过程(块110)中被实现。在设计完成时,制作过程(块150)以及封装和组装过程(块160)出现从而最终产生完成的集成电路芯片(结果170)。

[0019] EDA软件设计过程(块110)实际上由为了简化而以线性方式示出的多个步骤112-130组成。在实际集成电路设计过程中,特定设计可能必须返回经过步骤直至通过某些测试。相似地,在任何实际设计过程中,这些步骤可以以不同顺序和组合出现。因此通过背景和总体说明而不是作为用于特定集成电路的具体或者推荐设计流程提供这一描述。

[0020] 现在将提供EDA软件设计过程(步骤110)的组成步骤的简要描述。

[0021] 系统设计(块112):设计者描述他们想要实施的功能,他们可以执行假设分析(what-if)规划以精化功能、校验成本等。硬件-软件架构选择可以出现在这一阶段。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Model Architect、Saber、System Studio和Design Ware®产品。

[0022] 逻辑设计和功能验证(块114):在这一阶段,编写用于系统中的模块的高级描述语言(HDL)代码(比如VHDL或者Verilog代码),并且针对功能准确性校验该设计。更具体而言,校验该设计以保证它响应于特定输入激励而产生正确输出。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括VCS、VERA、Design Ware®、Magellan、Formality、ESP和LEDA产品。

[0023] 综合和测试设计(块116):本文中将VHDL/Verilog转译成网表。可以针对目标技术优化网表。此外,还出现对用于允许校验完成的芯片的测试的设计和实现。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Design Compiler®、Physical Compiler、Test Compiler、Power Compiler、FPGA Compiler、TetraMAX和Design Ware®产品。如以下描述的用于使用finFET块的设计优化可以在这一阶段中出现。

[0024] 网表验证(块118):在这一步骤,针对与时序约束的相符性和与VHDL/Verilog源代码的对应性校验网表。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Formality、PrimeTime和VCS产品。

[0025] 设计规划(块120):这里针对时序和顶级布线构造和分析用于芯片的整个平面图。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Astro和IC Compiler产

品。FinFET块单元选择、布图和优化可以在这一阶段出现。

[0026] 物理实施(块122):布局(对电路元件的定位)和布线(对电路元件的连接)可以在这一步骤出现。可以在这一步骤使用的来自Synopsys公司的示例EDA软件产品包括AstroRail、Primetime和Star RC/XT产品。可以基于本文中描述的finFET块单元布图例如使用finFET标准单元在这一阶段实施或者优化FinFET块单元布图、映射和互连布置。

[0027] 分析和提取(块124):在这一步骤,在晶体管级别验证电路功能;这又允许假设分析精化。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Custom Designer、AstroRail、PrimeRail、PrimeTime和Star RC/XT产品。

[0028] 物理验证(块126):在这一阶段中,执行各种校验功能以保证制造、电性问题、光刻问题和电路装置的正确性。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Hercules产品。

[0029] 流片(tape-out)(块127):这一阶段提供用于生产掩模的“流片”数据,这些掩模用于光刻使用以产生完成的芯片。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括CATS(R)系列产品。

[0030] 分辨率增强(块128):这一阶段涉及到对布图的几何操控以提高设计的可制造性。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括Proteus/Progen、ProteusAF和PSMGen产品。

[0031] 掩模制备(块130):这一阶段包括掩模数据准备和写入掩模本身二者。可以在这一阶段使用的来自Synopsys公司的示例EDA软件产品包括CATS(R)系列产品。

[0032] 可以在以上阶段中的一个或者多个阶段(例如包括阶段116至122和130中的一个或者多个阶段)期间使用本文中描述的基于finFET块的技术的实施例。finFET块技术也提供如下灵活性,该灵活性使得能够实施工程改变命令ECO,包括在设计验证阶段期间修改单元尺寸。

[0033] 图2A是适合于与本技术的实施例一起使用的计算机系统210的简化框图。计算机系统210通常包括经由总线子系统212与多个外围设备通信的至少一个处理器214。这些外围设备可以包括存储子系统224(该存储子系统包括存储器子系统226和文件存储子系统228)、用户接口输入设备222、用户接口输出设备220和网络接口子系统216。输入和输出设备允许用户与计算机系统210交互。网络接口子系统216提供与外界网络的接口(包括与通信网络218的接口)并且经由通信网络218耦合到在其它计算机系统上的对应接口设备。通信网络218可以包括许多互连的计算机系统和通信链路。这些通信链路可以有有线链路、光链路、无线链路或者用于信息通信的任何其它机制。尽管在一个实施例中,通信网络218是因特网,但是通信网络218可以是任何适当计算机网络。

[0034] 用户接口输入设备222可以包括键盘、顶点设备(比如鼠标)、跟踪球、触板或者图形写字板、扫描仪、向显示器中并入的触屏、音频输入设备(比如语音识别系统、麦克风和和其它类型的输入设备)。一般而言,使用术语“输入设备”旨在于包括用于向计算机系统210中或者向通信网络218上输入信息的所有可能类型的设备和方式。

[0035] 用户接口输出设备220可以包括显示子系统、打印机、传真机或者非可视显示器(比如音频输出设备)。显示子系统可以包括阴极射线管(CRT)、平板设备(比如液晶显示器(LCD))、投影设备或者用于创建可视图像的某个其它机构。显示子系统也可以比如经由音

频输出设备提供非可视显示。一般而言,使用术语“输出设备”旨在于包括用于从计算机系统210向用户或者向另一机器或者计算机系统输出信息的所有可能类型的设备和方式。

[0036] 存储子系统224存储基本编程和数据构造,这些基本编程和数据构造提供本文中描述的EDA工具中的一些或者所有EDA工具的功能,包括应用于开发用于库的单元以及用于使用库的物理和逻辑设计的finFET灵活库和工具。这些软件模块总体由处理器214执行。

[0037] 存储器子系统226通常包括多个存储器,这些存储器包括用于在程序执行期间存储指令和数据的主随机存取存储器(RAM)230和其中存储固定指令的只读存储器(ROM)232。文件存储子系统228提供用于程序和数据文件的持久存储装置并且可以包括硬盘驱动、与关联的可移除介质一起的软盘驱动、CD-ROM驱动、光驱动或者可移除介质磁带盒。实施某些实施例的功能的数据库和模块可以由文件存储子系统228存储。

[0038] 总线子系统212提供用于让计算机系统210的各种部件和子系统如既定的那样相互通信的机构。虽然示意地示出总线子系统212为单个总线,但是总线子系统的备选实施例可以使用多个总线。

[0039] 计算机系统210本身可以是可变类型,包括个人计算机、便携计算机、工作站、计算机终端、网络计算机、电视、大型机或者任何其它数据处理系统或者用户设备。由于计算机和网络的不断改变的性质,在图2A中描绘的计算机系统210的描述仅旨在于作为用于举例说明优选实施例的具体示例。计算机系统210的许多其它配置是可能的,这些配置具有比在图2A中描绘的计算机系统更多或者更少的部件。

[0040] 图2B示出与文件存储子系统228和/或与网络接口子系统216关联的存储器240,比如非瞬态计算机可读数据存储介质可以包括如下数据结构,该数据结构指定如下电路设计,该电路设计包括来自finFET灵活库的单元或者如以下具体描述的其它基于finFET块的单元。存储器240可以是硬盘、软盘、CD-ROM、光介质、可移除介质磁带盒或者以易失性或者非易失性形式存储计算机可读数据的其它介质。存储器240被示出为存储电路设计280,例如包括电路设计的HDL描述,该电路设计包括用描述的技术创建的一个或者多个finFET块单元。图2C是代表用描述的技术创建的集成电路290的块,该集成电路包括一个或者多个finFET块单元和/或从finFET灵活库选择的单元。

[0041] 图3A和3B是分别示出在典型绝缘体上硅和体衬底配置中的finFET结构的简化图示。可以在本文中描述的FinFET块单元中使用这些基本结构二者。

[0042] 在图3A中,在比如在绝缘体上硅集成电路中运用的绝缘衬底300上设置多个鳍301、302、303。鳍301、302、303包括在衬底300上并行布置的半导体本体,使得它们向图3A中的纸面中延伸或者从纸面延伸出。栅极电介质层305覆盖在鳍301、302、303的侧部上面。可以例如使用多晶硅来实施的栅极导体307跨越鳍并且在栅极电介质层305之上延伸。

[0043] 图3B示出有时称为本体连结鳍的从体半导体本体310突出的多个鳍311、312、313。此外,浅沟槽隔离结构316、317分离各个鳍。栅极电介质层315覆盖在鳍311、312、313上面。栅极导体318跨鳍并且在栅极电介质层315之上延伸。

[0044] 针对图3A和图3B的实施例,在栅极导体307、318的任一侧上,在鳍中实施源极和漏极区域(未示出)。产生的FET晶体管具有在鳍中的源极、沟道和漏极区域以及覆盖在鳍上面的栅极。这样的晶体管常称为多栅极晶体管,因为栅极导体覆盖在鳍的两侧上并且作为结果增加沟道的有效宽度。用来实施finFET晶体管的鳍可以很窄。例如可以利用具有20nm级

或者更少的宽度的鳍。作为多栅极栅极结构和鳍的窄宽度的结果,finFET晶体管具有优良性能特性和小布图面积。

[0045] 图4图示多个finFET块,在这些finFET块中布置finFET晶体管(和其它半导体器件)以实施灵活finFET单元库的单元。图4中的图例示出用于finFET块的部件的影线,包括用于半导体鳍的影线、用于栅极导体的影线、用于第一金属层(金属1)的影线和用于第二金属层(金属2)的影线。用于第二金属层的影线透明,从而仅在轮廓中示出第二金属层中的迹线以免模糊图示中的下层图案。

[0046] 图4中的布图图示finFET块的适合于使用称为CMOS晶体管的互补p型和n型晶体管来实施单元的重复图案。图案包括n型块400、p型块401、p型块402和n型块403。隔离特征(比如隔离结构426)分离n型块与p型块。p型块402包括在衬底上平行布置的包括鳍410的鳍的集合。图示中所示p型块402中的鳍的集合包括七个构件。组成任何给定的finFET块的鳍的集合中的构件数目可以根据特定实现方式的需要而变化。鳍可以如以上讨论的那样在绝缘层上被实施或者从下层半导体本体(未示出)突出。

[0047] n型块403包括在衬底上平行布置的包括鳍420的鳍的集合。图示中所示n型块403中的鳍的集合包括七个构件。虽然本文中的附图示出n型块和p型块具有相等数目的鳍,但是本技术的实现方式可以在各种块中使用不同数目的鳍。组成任何给定的finFET块的鳍的集合中的构件数目可以根据特定实现方式的需要而变化。与p型块一样,n型块中的鳍可以如以上讨论的那样在绝缘层上被实施或者从下层半导体本体(未示出)突出。

[0048] 图案化的栅极导体层覆盖在鳍上面,并且包括沿着列布置的在该图中所示多个finFET块中的栅极迹线(用“栅极”影线示出)。可以选择列数适应特定实现方式。p型块402包括栅极迹线,该栅极迹线包括栅极迹线412,这些栅极迹线是图案化的栅极导体层的元件并且在块402中的鳍的集合之上并且与该鳍的集合正交设置。n型块403包括栅极迹线,该栅极迹线包括栅极迹线422,这些栅极迹线是图案化的栅极导体层的元件并且在块403中的鳍的集合之上并且与该鳍的集合正交设置。

[0049] p型块402中的栅极迹线可以在例如用作标准库单元布图架构时有利地如该图中所示与n型块403中的互补栅极迹线对准。因此,p型块402中的栅极迹线412按列与n型块403中的栅极迹线422对准并且与按行布置的鳍正交。

[0050] 隔离结构426定位于p型块402与n型块403之间。隔离结构426可以用来防止可能另外由于CMOS单元布图产生的寄生晶体管等所致的电流泄漏。

[0051] p型块401和n型块400与在它们之间的隔离结构一起可以如该图中所示相对于p型块402、隔离结构426和n型块403的组合而言以镜像图案进行布置。

[0052] 至少一个图案化的导体层(金属1、金属2等)在这里描述的本技术的实施例中覆盖在图案化的栅极导体层上面。在图4中,第一图案化的导体层(金属1)包括覆盖在图案化的栅极导体层上面的多个迹线,在该图中仅图示这些迹线之一(430)以免模糊基本布图。第一图案化的导体层中的迹线可以有利地如迹线430的布置所示与图案化的栅极导体层中的栅极迹线平行并且与鳍正交布置。这有助于使用第一图案化的导体层用于在相邻块中沿着列互连栅极迹线和源极/漏极区域。迹线430是被布置用于将块400中的栅极迹线连接到块401中的栅极迹线从而在隔离结构之上通过的块间迹线。

[0053] 也在图4中,第二图案化的导体层(金属2)包括覆盖在图案化的栅极导体层上面的

多个迹线(例如414、424)。在包括两个图案化的导体层(金属1和金属2)的实施例中,第二图案化的导体层覆盖在第一图案化的导体层上面。第二图案化的导体层中的迹线可以有利地按行与鳍平行并且与第一图案化的导体层中的迹线正交布置。这有助于使用第二图案化的导体层用于互连第一图案化的导体层中的迹线和不同列中的栅极迹线以及第一图案化的导体层中的其它迹线。可以在经过层间绝缘体的过孔(在图4中未示出)中使用有时称为塞的垂直导体以任何希望的图案来互连鳍、栅极导体层中的迹线、第一图案化的导体层中的迹线和第二图案化的导体层中的迹线。

[0054] 第二图案化的导体层中的迹线414和424用作功率总线并且适于耦合到电源电压。在这一示例中,迹线414是VDD总线,并且迹线424是VSS总线。在图4中所示重复布图中,VDD总线定位于相邻p型块之间,并且VSS总线定位于相邻n型块之间。虽然非必需,但是如图4中所示定位于(在这一示例中为相同传导性类型的)相邻块之间的功率总线可以连结到体半导体本体用于偏置本体。在其它实施例中,功率总线可以使用未包括本体连结的总线而定位于在对应鳍块之上或者与该鳍块相邻的任何地方。可以利用p型块402和n型块403中的结构在VDD总线迹线414与VSS总线迹线424之间实施CMOS器件。

[0055] 图5是在p型块与n型块(比如图4中所示块402与403)之间跨越的区域中沿着栅极迹线截取的截面。p型块实施于衬底的n阱区域中并且包括多个半导体鳍。鳍501落在p型块的边缘上并且可以出于这一描述的目的而称为外鳍501。包括结构503的沟槽隔离结构落在p型块中的鳍之间。类似地,鳍502落在n型块的边缘上并且可以出于这一描述的目的而称为外鳍502。包括结构504的沟槽隔离结构落在n型块中的鳍之间。可以用跨相应块基本上均匀的方式实施鳍和沟槽隔离结构。作为结果,周围结果引起的在鳍上的应力未显著使鳍变形。

[0056] 图5中所示隔离结构包括第一沟槽隔离结构510、半导体本体的第一鳍式部分511、深沟槽隔离结构512、半导体本体的第二鳍式部分513和第二沟槽隔离结构514。覆盖在p型块上面的栅极迹线505和覆盖在n型块上面的栅极迹线506也在隔离区域的边缘附近(例如分别在沟槽隔离结构510和514之上)终止。

[0057] 图5图示在p型finFET块与n型finFET块之间的区域中的包括块间绝缘体的隔离结构(例如图4的426)。在一些实施例中,可以利用包括宽绝缘沟槽的其它隔离结构。隔离结构包括在相邻块的外边缘之间在衬底中的块间绝缘体。块间绝缘体可以包括与第一和第二块的外鳍平行布置的一个或者多个绝缘体填充的沟槽。

[0058] 在图5中所示实施例中,块间绝缘体包括与第一块的外鳍501相邻的第一绝缘体填充的沟槽(例如沟槽隔离结构510)、与第二块的外鳍502相邻的第二绝缘体填充的沟槽(例如沟槽隔离结构514)和在第一与第二绝缘体填充的沟槽之间的第三绝缘体填充的沟槽(例如沟槽隔离结构512)。虽然称为第一和第二绝缘体填充的沟槽,但是可以在更深的第三绝缘体填充的沟槽之后在一个处理步骤中制作它们。因此,使用术语第一和第二仅用于示例目的而并不意味着使用单独掩模或者单独处理步骤来实施它们。

[0059] 第一和第二块中的半导体鳍被在衬底中具有第一深度D1的绝缘体填充的沟槽(例如结构503、504)分离,并且块间绝缘体包括在衬底中具有比第一深度D1更大的深度D2的绝缘体填充的沟槽(例如沟槽隔离结构512)。

[0060] 图5中所示块间绝缘体包括用于平衡在第一和第二块的外鳍501、502上的应力与由于在对应的半导体鳍的集合的外鳍与内鳍之间的结构(503,504)所致的应力的装置。

[0061] 用于平衡应力的装置在这一示例中包括第一鳍式部分511与第一沟槽隔离结构510的组合,该组合的特征在于具有如下结构,该结构充分类似于p型块中的外鳍501和沟槽隔离结构503的结构,使得明显减少由来自在p型块中的外鳍501的相对侧上的结构的不对称应力将另外产生的外鳍501的变形。类似地,第二鳍式部分513与第二沟槽隔离结构514的组合的特征在于具有如下结构,该结构充分类似于n型块中的外鳍502和沟槽隔离结构504的结构使得明显减少由不对称结构将另外产生的在n型块中的外鳍502的变形。鳍式部分511、513的宽度可以在一些实施例中显著大于鳍的宽度。鳍式部分511、513也可以在一些实施例中具有与鳍501和鳍502的顶表面对准的顶表面。其它实施例包括在中心绝缘体填充的沟槽与块的外鳍之间的多于一个鳍式部分/沟槽组合。

[0062] 深沟槽隔离结构512在这一示例中也比在鳍之间的沟槽隔离特征基本上更深地向半导体本体中延伸以便提供更大隔离性能。深沟槽隔离结构512引起的结构应力从p型块中的鳍被第一鳍式部分511与第一沟槽隔离特征510的组合并且从n型块中的鳍被互补结构513、514缓冲。深沟槽隔离结构可以比该图中所示更宽。在该图中,包括元件510至514的隔离结构的宽度可以在5个特征宽度级。备选地,结构可以通过增加深沟槽隔离结构512的和其它元件的宽度而具有更大宽度。由于使用图案化的金属层来制成在隔离结构的相对侧上的栅极迹线505和506的连接,并且由于未在隔离结构之上连结或者接触栅极迹线,所以宽度并不影响栅极迹线的可靠性或者性能。

[0063] 绝缘填充515提供在包括栅极迹线505和506的图案化的栅极导体层与在这一示例中包括第一图案化的导体层M1的上面的图案化的导体层之间的层间绝缘体。如果针对特定实现方式而言希望,则可以使用相对于二氧化硅(低K材料)的介电常数具有相对低介电常数的材料来实施绝缘填充515。可以平坦化绝缘填充515而并不影响隔离结构(包括深沟槽隔离结构512)并且不影响图案化的栅极导体层。可以通过形成在与栅极迹线505、506平行的线中延伸的迹线520、使用第一图案化的导体层M1来实施在相邻块中的栅极迹线之间的连接。层间连接器(比如塞521和522)经过绝缘填充515中的过孔延伸以分别将栅极迹线505和506连接到迹线520。第二图案化的导体层M2中的正交迹线(例如迹线530)可以用来如以上结合图4讨论的那样互连第一图案化的导体层M1中的迹线,比如迹线520。可以使用层间连接器(比如经过层间绝缘体(未示出)中的过孔延伸的塞531)来实施在第二图案化的导体层M2中的迹线530与第一图案化的导体层M1中的迹线520之间的连接。

[0064] 图6A和6B分别是可以使用本文中描述的finFET块结构来实施的并且在用于集成电路设计中使用的单元库中包括的、包括D触发器和时钟缓冲器的代表单元的示意图。基本D触发器包括具有D输入、CKB输入和CK输入的第一级。基本D触发器包括输出Q和反相输出QB。

[0065] 第一级包括在功率总线VDD与节点650之间串联的p型晶体管601和602以及在接地总线VSS与节点650之间串联的n型晶体管603和604。CKB和CK输入分别连接到p型晶体管602和n型晶体管603,并且D输入耦合到p型晶体管601和n型晶体管604。在p型与n型晶体管之间的节点650耦合到锁存器的输入,该锁存器包括以反馈关系布置的反相器605和606。D触发器的第二级相似,具有耦合到第一级中的锁存器的输出的输入并且具有CKB输入和CK输入。第二级包括在功率总线VDD与输出节点之间串联的p型晶体管611和612,以及在接地总线VSS与输出节点之间串联的n型晶体管613和614。CKB和CK输入连接到n型晶体管613和p型晶

晶体管612,并且第一级的输出耦合到p型晶体管601和n型晶体管604二者。在p型与n型晶体管之间的节点耦合到锁存器的输入,该锁存器包括以反馈关系布置的反相器615和616。在包括反相器615和616的锁存器的输出处提供D触发器的输出。输出反相器620驱动D触发器的反相输出QB。

[0066] 在图6B中,示出时钟驱动器的基本结构。时钟驱动器的输入是时钟信号CKin。时钟驱动器包括串联的第一反相器630和第二反相器631。第一反相器630的输出是反相时钟CKB,并且第二反相器631的输出是时钟CK,二者使用于如图6A中所示D触发器中。在一个示例单元中,例如包括四(4)个触发器的集合可以与共享时钟驱动器组合。在这样的情况下,时钟驱动器可以被设计用于驱动所有四个触发器。在这一示例中,在时钟驱动器中的反相器可以包括在VDD与输出节点之间并联的两个或者更多p型晶体管和在VSS与输出节点之间并联的两个或者更多n型晶体管。

[0067] 可以使用本文中描述的finFET时钟架构来实施图6A和6B的电路。参照图7-9中的布图简图来描述示例实现方式,这些布图图示出四个晶体管、D触发器输入级、锁存器和时钟缓冲器。

[0068] 在图7中,finFET块布图包括p型finFET块701、n型finFET块702和在区域703中的隔离结构。图6A中所示电路的输入(包括D输入、真时钟CK输入、反相时钟CKB输入、VDD总线和VSS总线)分别连接到第二导体层(金属2)中的迹线710-714。类似地,级的输出(对应于图6A中的节点650)连接到第二导体层中的迹线715。在该图中表示对层进行互连的三个类型的塞。具有从左下角到右上角的单个切割线的方形代表的塞(比如塞732)将第一图案化的导体层中的迹线连接到鳍上的源极/漏极端子。具有从左上角到右下角的单个切割线的方形代表的块701中的连接到栅极迹线720的塞(比如塞724)将第一图案化的导体层中的迹线连接到图案化的栅极导体层中的栅极迹线。具有交叉线“X”图案的方形代表的连接到输入迹线710的塞(比如塞723)将第二图案化的导体层中的迹线连接到第一图案化的导体层中的迹线和/或更低层。

[0069] 迹线710上的D输入信号经由塞723连接到第一图案化的导体层中的迹线722。迹线722经由塞724、725连接到p型和n型块中的栅极迹线720和721。栅极迹线720和721对应于图6A中的晶体管601和604的栅极。与栅极迹线720相邻的鳍(例如鳍730、731)上的源极端子经由包括塞732的塞连接到金属1迹线733。金属1迹线733经由塞734连接到VDD总线713。类似地,与栅极迹线721相邻的鳍(例如鳍740)上的源极端子经由塞(例如塞742)连接到金属1迹线743。金属1迹线743经由塞744连接到VSS总线714。在栅极迹线720和721右侧的源极/漏极端子与相邻晶体管共享并且在这一示例中未耦合到上面的导体。金属2迹线711上的反相时钟CKB信号经由塞753连接到金属1迹线752。迹线752经由塞754连接到p型块中的栅极迹线755。栅极迹线755对应于图6A中的晶体管602的栅极。金属2迹线712上的时钟CK输入经由塞763连接到金属1迹线762。金属1迹线762经由塞764连接到n型块中的栅极迹线765。栅极迹线765对应于图6A中的晶体管603的栅极。在栅极迹线755右侧的鳍中的漏极端子经由塞(例如塞771)连接到金属1迹线770。金属1迹线770跨越隔离区域703横跨并且经由塞(例如塞775)连接到n型块中的鳍。金属1迹线770也经由塞772连接到金属2迹线715从而提供D触发器的输入级的输出(对应于图6A中的节点650)。在这一布图中在p型块和n型块二者中的在金属1迹线770右侧的栅极迹线包括隔离结构(例如780),这些隔离结构可以包括绝缘体填

充的沟槽,这些沟槽穿透栅极迹线 and 下层鳍并且用于划分来自进一步右侧的其它电路元件(未示出)的输入级。

[0070] 图8是finFET块结构(比如图7的finFET块结构)的布图简图,该finFET块结构被连接为锁存器电路,该锁存器电路可以用作如图6A中所示D触发器的部件。在图8中,用列和行作为简化描述的手段来标注finFET块结构。标注的列包括源极/漏极列S/D1至S/D3和栅极列G1至G3,这些源极/漏极列包括在栅极迹线之间的鳍上的源极/漏极端子的列,这些栅极列包括覆盖在鳍上面的栅极迹线的位置。标注的行包括鳍行F1至F14,这些鳍行包括在块中的半导体本体鳍。金属1迹线、金属2迹线、栅极迹线和鳍在以下描述中由它们在列和行中的位置标识。

[0071] 图8中的锁存器电路包括第一和第二反相器,每个反相器包括串联的p型晶体管和n型晶体管,并且让它们的栅极公共连接,因此该锁存器电路包括四个晶体管。

[0072] 布图包括被连接用于提供锁存器的输入的在隔离结构之上的金属2迹线,比如将连接到图7的迹线715那样。在隔离结构之上的金属2迹线连接到与第一反相器的输入对应的在列G1上的金属1迹线和与第二反相器的输出对应的在列S/D3上的金属1迹线。在列G1上的金属1迹线在p型和n型块二者之上延伸,从而将用于组成第一反相器的p型晶体管的鳍的栅极迹线连接到在组成n型晶体管的鳍上的栅极迹线。在列S/D3上的金属1迹线在p型和n型块二者之上延伸,从而连接p型块中的鳍中的源极/漏极端子和n型块中的鳍中的源极/漏极端子,这些源极/漏极端子提供第二反相器的输出。

[0073] 布图包括在行F4之上的金属2迹线,该迹线提供锁存器的输出信号。在行F4上的金属2迹线连接到与第一反相器的输出对应的在列S/D1上的金属1迹线和与第二反相器的输入对应的在列G上的金属1迹线。在列S/D1上的金属1迹线在p型和n型块二者之上延伸,从而将组成第一反相器的p型晶体管的鳍上的源极/漏极端子连接到组成n型晶体管的鳍上的源极/漏极端子。列G上的金属1迹线在p型和n型块二者之上延伸,从而连接p型块中的列G2中的栅极迹线和n型块中的列G2中的栅极迹线,这些栅极迹线覆盖在组成第二反相器的p型晶体管的鳍上的和组成n型晶体管的鳍上的沟道上面。在列G2上的金属1迹线对应于第二反相器的输入。

[0074] 在p型块之上的在列S/D2中的金属1迹线将在列S/D2中的源极/漏极端子连接到充当VDD总线的金属2迹线。类似地,在n型块之上的在列S/D2中的金属1迹线将在列S/D2中的源极/漏极端子连接到充当VSS总线的金属2迹线。

[0075] 如图8中所示,栅极迹线中的隔离结构(比如图7中描述的隔离结构780)将未使用的鳍与实施的电路中使用的那些鳍分离。

[0076] 图9图示包括两个串联反相器的八晶体管时钟驱动器的布图,其中每个反相器包括并联的两个p型和两个n型晶体管。具有这一布图的时钟驱动器应当强到足以驱动用于标准单元中的多个D触发器(比如4个D触发器)的时钟信号。输入在隔离结构之上的金属2迹线上被提供并且耦合到列G1和G2中的金属1迹线。在列G1中的金属1迹线连接到在列G1中的在组成p型和n型晶体管的鳍之上的金属迹线。列G2中的金属1迹线连接到在列G2中的在组成p型和n型晶体管的鳍之上的栅极迹线。

[0077] 列S/D1中的第一金属1迹线连接到p型块中的源极/漏极端子和组成VDD总线的金属2迹线。列S/D1中的第二金属1迹线连接到n型块中的源极/漏极端子和组成VSS总线的金

属2迹线。以相似方式,列S/D3中的第一金属1迹线连接到p型块中的源极/漏极端子和组成VDD总线的金属2迹线。列S/D3中的第二金属1迹线连接到n型块中的源极/漏极端子和组成VSS总线的金属2迹线。

[0078] 列S/D2中的金属1迹线跨p型块和n型块二者延伸并且连接到p型块中和n型块中的源极/漏极端子,这些源极/漏极端子由并联的在左侧上的晶体管和在右侧上的晶体管二者驱动。列S/D2中的金属1迹线连接到行F7中的金属2迹线,该迹线提供反相时钟CKB输出。

[0079] 行F4中的金属2迹线也连接到列G3和G4中的金属1迹线,这些迹线充当用于第二反相器的并联晶体管对的输入。列G3中的金属1迹线连接到列G3中的在组成p型和n型晶体管的鳍之上的栅极迹线。列G4中的金属1迹线连接到列G4中的在组成p型和n型晶体管的鳍之上的栅极迹线。

[0080] 列S/D3中的第一金属1迹线连接到在列G3左侧的在p型块中的源极/漏极端子和组成VDD总线的金属2迹线。列S/D3中的第二金属1迹线连接到n型块中的源极/漏极端子和组成VSS总线的金属2迹线。以相似方式,列S/D5中的第一金属1迹线连接到p型块中的源极/漏极端子和组成VDD总线的金属2迹线。列S/D5中的第二金属1迹线连接到n型块中的源极/漏极端子和组成VSS总线的金属2迹线。

[0081] 列S/D4中的金属1迹线跨p型块和n型块二者延伸并且连接到p型块中和n型块中的源极/漏极端子,这些源极/漏极端子由并联的在左侧上的晶体管和在右侧上的晶体管二者驱动。列S/D4中的金属1迹线连接到行F5中的金属2迹线,该迹线提供缓冲的时钟CK输出。

[0082] 图9中所示布图实施各自使用四个鳍、共计八个鳍的并联晶体管。由于finFET块仅七个鳍为高,所以八个鳍的晶体管的实现方式需要使用至少两个附加栅极列和仅部分利用鳍的实现方式。

[0083] 在图9中所示实施例中,八个晶体管的时钟缓冲器布图留下多个鳍未使用(例如鳍F1-F3和鳍F12-F14)。这些未使用的鳍可以用来在针对特定集成电路的设计流程期间调整电路设计以改变缓冲器的强度或者速度。未使用的鳍也可以用来在给定的电路布图上实施工程改变命令ECO,该工程改变命令ECO可以在完整布图和测试已经出现之后出现。

[0084] 图10图示包括多个“高”finFET块的浮动功率总线布图,其中finFET晶体管(和其它器件)可以被布置用于实施finFET流动单元库的单元。可以使用图4中的图例来理解图10中的附图。

[0085] 图10中的布图图示finFET块的重复图案,该图案适合于使用互补p型和n型晶体管来实施称为CMOS单元的单元。图案包括交替的高p型和高n型块,包括p型块1000、n型块1001、p型块1002和n型块1003。可以包括比如图5的结构隔离特征1030、1031、1032将n型块与p型块分离。p型块1002包括在衬底上平行布置的包括鳍1010的鳍的集合。图示中所示p型块1002中的鳍的集合包括十四个构件,以选择如下示例,该示例包括与参照图4描述的示例两倍多的鳍。特定块(例如1000-1003)中的鳍的集合包括在鳍的集合的外侧边缘上的外鳍(例如区域1001中的鳍1060、1061)和在如下图案中布置的在外鳍之间的内鳍,该图案可标识为与相邻块中的鳍的图案分离并且优选地在块内的鳍之间具有均匀间隔。组成任何给定的finFET块的鳍的集合中的构件数目可以根据特定实现方式的需要而变化。可以针对特定实现方式有利的是使用为2的幂的鳍数目,比如16个鳍、32个鳍等。鳍可以如以上讨论的那样实施于绝缘层上或者从下层半导体本体(未示出)突出。

[0086] n型块1001包括在衬底上平行布置的包括鳍1020的鳍的集合。图示中所示n型块1001中的鳍的集合包括与对应的p型块1000和1002中相同数目的鳍。n型块中的鳍可以由于用于器件的载流子迁移率差异而如图所示比p型块中的鳍更窄。组成任何给定的finFET块的鳍的集合中的构件数目可以根据特定实现方式的需要而变化,但是可以在例如用作标准库单元布图架构时有利地与互补p型块中的鳍数目匹配。与p型块一样,n型块中的鳍可以如以上讨论的那样实施于绝缘层上或者从下层半导体本体(未示出)突出。

[0087] 图案化的栅极导体层覆盖在鳍上面,并且它包括沿着列布置的在该图中所示多个finFET块中的栅极迹线(用“栅极”影线示出)。可以选择列数适应特定实现方式。p型块1002包括栅极迹线,该栅极迹线包括栅极迹线1012,这些栅极迹线是图案化的栅极导体层的元件并且在块1002中的鳍的集合之上并且与该鳍的集合正交设置。n型块1001包括栅极迹线,该栅极迹线包括栅极迹线1022,这些栅极迹线是图案化的栅极导体层的元件并且在块1003中的鳍的集合之上并且与该鳍的集合正交设置。

[0088] p型块1002中的栅极迹线可以在例如用作标准库单元布图架构时有利地如该图中所示与n型块1001中的互补栅极迹线对准。因此,p型块1002中的栅极迹线1012按列与n型块1001中的栅极迹线1022对准并且与按行布置的鳍正交。

[0089] 隔离结构1042定位于p型块1002与n型块1001之间。隔离结构1042可以用来防止可能另外由于CMOS单元布图产生的寄生晶体管等所致的电流泄漏。

[0090] p型块1001和n型块1003与隔离结构1041和1043一起可以如该图中所示相对于p型块1002、隔离结构1030和n型块1001的组合而言以重复图案进行布置。

[0091] 至少一个图案化的导体层(金属1、金属2等)在这里描述的本技术的实施例中覆盖在图案化的栅极导体层上面。在图10中,第一图案化的导体层(金属1)包括覆盖在图案化的栅极导体层上面的多个迹线,在该图中仅图示这些迹线之一(1040)以免模糊基本布图。第一图案化的导体层中的迹线可以有利地如迹线1040的布置所示与图案化的栅极导体层中的栅极迹线平行并且与鳍正交布置。这有助于使用第一图案化的导体层用于在相邻块中沿着列互连栅极迹线和源极/漏极区域。

[0092] 也在图10中,第二图案化的导体层(金属2)包括覆盖在图案化的栅极导体层上面的多个迹线(1030至1037)。在包括两个图案化的导体层(金属1和金属2)的实施例中,第二图案化的导体层覆盖在第一图案化的导体层上面。第二图案化的导体层中的迹线可以有利地按行与鳍平行并且与第一图案化的导体层中的迹线正交布置。这有助于使用第二图案化的导体层用于互连第一图案化的导体层中的迹线和不同列中的栅极迹线以及第一图案化的导体层中的其它迹线。可以在经过层间绝缘体的过孔(在图10中未示出)中使用有时称为塞的竖直导体以任何希望的图案来互连鳍、栅极导体层中的迹线、第一图案化的导体层中的迹线和第二图案化的导体层中的迹线。

[0093] 在图10中图示为在对应区域中覆盖在鳍的集合中的内鳍上面的在第二图案化的导体层中的迹线1030和1037用作功率总线,并且适于耦合到电源电压。与图4和7-9中所示结构(其中功率总线迹线在对应区域中放置于外鳍以外以例如适应使用在功率总线与衬底之间的本体连结)比较,图10的结构在利用FinFET块时提供灵活性。在这一示例中,迹线1034和1035是在p型块1002中的内鳍之上的VDD总线迹线。迹线1032和1033是在n型块1001中的内鳍之上的VSS总线迹线。在灵活布图中,多个VDD总线迹线定位于在如下行之上的每

个p型块之上,这些行被选择用于优化在实施的电路中的功率分布。类似地,多个VSS总线迹线定位于每个n型块之上,而无对在如下行之上的将由针对本体连结的要求而引入的布局的约束,这些行被选择用于优化在实施的电路中的功率分布。因此,可以实施如下实施例,其中单个“高”finFET块(该finFET块包括覆盖在它上面的多个功率总线)被布置有仅包括一个功率总线的互补finFET块。功率迹线优选地在包括鳍的集合的区域之上基本上笔直并且与鳍平行。在其它实施例中,功率迹线可以在包括鳍的集合的区域之上具有更复杂形状,包括T形、L形等。在给定的块架构中,一个、两个、三个或者更多功率总线可以放置于鳍的单个集合之上。

[0094] 可以利用p型块1002和n型块1001(上器件)中的鳍、在区域1050中使用在p型块1002中的VDD总线1034与在n型块1001中的VSS总线1033之间的连接来实施CMOS器件。也可以利用p型块1002和n型块1003(下器件)中的鳍、在区域1051中使用在p型块1002中的VDD总线1035与n型块1003中的VSS总线1036之间的连接来实施CMOS器件。可以比如通过提供用绝缘材料填充的图案化的沟槽在区域1050与1051之间的鳍和栅极迹线中形成适当隔离结构(例如1052)。类似地,n型块1001可以在区域1053中与p型块1000一起用于CMOS器件,而具有适当隔离1054。利用隔离1055,块1000可以在高效和灵活布图中与另一个块(未示出)等组合使用。通过适当定位功率总线和隔离结构,在用于上器件的单个块内的鳍数目和在用于下器件的相同单个块内的鳍数目可以根据电路的需要而变化,并且针对单元实现方式可以实现finFET块的更高效利用。

[0095] 图11图示使用“高”finFET块而可能的灵活性中的一些灵活性,其中在每个块之上有多个功率总线,包括在给定的块中的内鳍之上的一个或者多个功率总线。图11使用以上结合具有外鳍F1和F14的图8-9介绍的行和列符号表示。图11中实施的元件是与图9中所示时钟驱动器相似的可以在具有四个D触发器的标准单元中使用的强时钟驱动器的p型部件。然而图9中所示实现方式利用四个栅极列和五个源极/漏极列,而图11中所示实现方式利用仅两个栅极列G1和G2以及三个源极/漏极列S/D1至S/D3。图11中所示实现方式也充分利用可用的鳍。

[0096] 在这一示例中,在行F11之上的金属2迹线耦合到输入时钟CKin并且连接到在栅极列G1之上的金属1迹线,该金属1迹线又耦合到在行F1至F14之上的在列G1中的栅极迹线,该栅极迹线在隔离结构之上向互补n型块延伸。鳍F1至F6和鳍F9至F14中的列S/D1的源极/漏极端子连接到在列S/D1之上的金属1迹线,该金属1迹线又耦合到在行F8与F9之间的金属2迹线,该金属2迹线提供反相时钟输出CKB。列S/D2中的鳍F1至F6中的源极/漏极端子连接到在列S/D2之上的金属1迹线,该金属1迹线又耦合到在行F3之上的金属2迹线,该金属2迹线充当用于时钟的第一VDD功率总线。列S/D2中的鳍F9至F14中的源极/漏极端子连接到在列S/D2之上的金属1迹线,该金属1迹线又耦合到在行F13之上的金属2迹线,该金属2迹线充当用于块的第二VDD功率总线。

[0097] 在行F8与F9之间的承载反相时钟输出CKB的金属2迹线连接到列G2中的在行F1至F14中的鳍之上延伸的栅极迹线。列G2中的金属1迹线对应于去往驱动器中的第二反相器的输入,并且耦合到列G2中的栅极迹线,并且跨隔离结构向互补finFET块延伸。在鳍F1至F6和鳍F9至F14中的列S/D3的源极/漏极端子连接到在列S/D3之上的金属1迹线,该金属1迹线又耦合到在行F5与F6之间的金属2迹线,该金属2迹线提供缓冲的时钟输出CK。在这一示例中

未利用行F7和F8中的鳍。作为结果,图案化的绝缘沟槽(比如沟槽1101、1102)被实施为切割未使用的鳍,并且由此将其与部件中的电路隔离。图案绝缘沟槽(比如沟槽1101、1102)可以如必需的那样定位于布图中以辅助划分和隔离电路元件。

[0098] 图12是用于设计用于单元库的基于finFET块的单元的过程的简化流程图。可以修改步骤的顺序适应特定设计者。根据简化流程图,选择将在单元库中包括的功能单元(1200)。这样的单元可以是如以上描述的多位触发器、逻辑门、逻辑块或者其它单元结构。接着假设CMOS技术,针对n型和p型器件指定finFET块(1201)。finFET块包括按行布置的半导体鳍的相应集合。块如以上讨论的那样由隔离结构分离。然后指定图案化的栅极导体层,以按列形成覆盖在将在单元中使用的鳍上面的栅极(1202)。然后,指定覆盖在栅极导体层上面的图案化的导体层,以建立适当连接,优选地包括具有按列布置的迹线的第一层和具有按行布置的迹线的第二层(1203)。多个图案化的导体层包括功率迹线并且可以包括在finFET块中的至少一个finFET块之上的多于一个功率迹线。然后指定层间连接,以定位在鳍、栅极迹线和一个或者多个图案化的导体层中的迹线之间的连接(1204)。在这一方法中产生的规约(specification)包括在GDS II格式数据库文件(该文件代表元件的指定的平面形状)或者其它计算机可读格式中实施的布图文件。然后在单元库中存储指定的单元用于在集成电路设计中使用(1205)。

[0099] 图13是用于代表性设计自动化过程的流程图,可以实施该设计自动化过程为由系统(比如图2代表的系统)执行的逻辑、包括finFET块库,该finFET块库具有使用至少一个“高”finFET块来实施的单元,该finFET块具有如本文中描述的浮动功率总线。根据过程的第一步骤,在数据处理系统中遍历定义电路描述的数据结构(1300)。在本文中描述在与数据处理系统耦合的数据库或者其它计算机可读介质中存储的包括基于finFET块的单元的单元库,该单元库由数据处理系统访问并且用来匹配库中的单元与电路描述的元件(1301)。然后针对集成电路布图对匹配的单元进行布局和布线(1302)。接着执行设计验证和测试(1303)。最后,可以修改finFET块单元以针对电路优化时序或者功率规约(1304)。finFET块单元的修改可以包括掩模改变,这些掩模改变造成对第一和第二图案化的导体层以及层间连接器的图案中的迹线的改变,以改变在特定晶体管中利用的鳍数目。可以实现这些改变而未改变集成电路上的被单元占用的面积。

[0100] 图14是块1400的附图,该块包括鳍的集合和栅极迹线,而功率迹线1410和1420覆盖在鳍上面。图14使用以上结合具有外鳍F1和FN以及内鳍F2至F(N-1)的图8-9介绍的行和列符号表示。出于这一描述的目的,块1400可以视为具有与鳍的集合的轮廓对应的区域,该区域由鳍在水平尺度中的长度并且由在外鳍F1和FN的外侧边缘之间的距离定义。用于将功率迹线放置于覆盖在块的鳍上面的位置的能力部分归因于描述的灵活块架构的实施例利用如下功率迹线,这些功率迹线未在块的区域内连接到半导体本体(或者多个半导体本体)。换言之,在块之上的功率迹线并不包括在块的区域内的本体连结。

[0101] 所示功率迹线1410和1420在块之上具有矩形形状。功率迹线1410和1420是功率迹线的部分,并且连接到迹线的未在块之上(即在块的左侧和右侧以外)并且未图示的连续部分。连续迹线可以采用电路布局所必需或者适合的任何图案,但是出于这一描述的目的而未视为功率迹线的覆盖在块上面的部分,以便提供用于定义功率迹线在块之上的位置的基础。可以通过在块之上的区域中心的位置定义在块之上或者覆盖在块上面的功率迹线的位置

置。因此,在块1400之上的功率迹线1410具有在框1411代表的位置处的区域中心。在块之上的功率迹线1420具有在框1421代表的位置处的区域中心。如以上提到的那样,在块之上的功率迹线可以具有比图14中代表的简单矩形更复杂的形状。然而可以通过区域中心表征任何二维形状,并且通过覆盖在块上面的功率迹线的区域中心的位置定义功率迹线的位置。在图示中,可见功率迹线1410的区域中心1411位于外鳍F1的外侧边缘以内。因此,功率迹线1410可以表征为在块之上。也可以参考功率迹线的边缘表征功率迹线的位置。因此,功率迹线1420具有在沿着外鳍FN的侧部的外边缘以内并且类似地在块之上的外边缘。本文中描述的灵活块架构的实施例可以包括如下功率迹线,这些功率迹线具有更复杂形状,这些形状具有在块的外鳍的外边缘以内的外边缘,从而它们未跨块的由外鳍的外边缘定义的侧部延伸。本文中描述的灵活块架构的实施例也可以具有功率迹线(比如迹线1410),这些功率迹线具有在块的外鳍的外边缘以内的区域中心,而它的外边缘可以在外鳍以外。有利的是在块之上利用如本文中的图中所示基本上笔直并且与块中的鳍平行伸长的功率迹线,以便布图和设计容易和均匀。本技术实现使用这样的功率迹线。

[0102] 以上描述的finFET块架构可以用来创建包括多个基于finFET的块的单元的灵活库。库中的finFET块可以具有细微粒度,而跨单元使用部分列。

[0103] 可以使用如本文中描述的隔离结构来避免弯曲或者翘曲鳍的问题。

[0104] 如本文中描述的集成电路无需与在规律单元边界处或者在n型与p型块之间覆盖在finFET块上面的功率总线的体本体连结,从而允许覆盖在finFET块的鳍上面的功率迹线位置的完全灵活性,而不是在与鳍相邻的附加布图空间中。此外,可以在给定的finFET块之上实施多个功率总线。

[0105] 可以以n型块和p型块的重复图案来布置本文中描述的finFET块,从而允许利用在特定块以上和以下的块中的互补部分来灵活实施CMOS电路元件,其中至少中心块包括覆盖在块上面的多个功率迹线。

[0106] 本文中描述的finFET块架构允许利用灵活布图策略来实现很密集面积利用。本技术可以尤其适合于在集成电路逻辑中广泛使用的多个位触发器和时序元件。此外,本技术可以适合于实施门阵列、现场可编程门阵列、“门海(sea of gate)”架构以及其它高密度和/或高性能集成电路结构。

[0107] 在正交图案结构中的灵活布图使本文中描述的finFET块理想用于在集成电路设计和制造期间的设计验证过程期间实施用于尺寸改变或者其它修改的工程改变命令。

[0108] 可以用混合的块高度实施本文中描述的finFET块架构,从而标准finFET块可以与“高”finFET块混合或者可以利用可变尺寸的块适应特定设计目标的需要。本文中描述的finFET块架构实现利用中心块(比如p型finFET块)来使用上n型finFET块来实施第一互补n型和p型器件集合并且使用下n型来实施第二互补n型和p型器件集合。

[0109] 总体而言,使用本文中描述的finFET块架构来实现创建基于finFET块的灵活库。在这样的库中,标准单元可以由“软宏(soft macro)”构成,这些软宏可以用关于它们的下层元件的确切位置的一些灵活性来填充。不同于其中用于修改或者调整单元的粒度是整个晶体管的平面CMOS结构,在如本文中描述的finFET块架构中,粒度可以是鳍。使用在块中平行布置的鳍的子集来设计finFET块结构提供设计灵活性。

[0110] 本技术提供的灵活性实现在区域之上的任何地方使用功率和接地总线,并且允许

在用于库的单元设计期间通过实验或者其它优化技术优化finFET块的高度以提高布图和性能灵活性。库可以包括多个基于finFET块的单元,这些单元利用finFET块中的可用鳍的子集,从而给未更改布图面积的优化过程留下空间。可以将最小粒度应用于块中的用于栅极迹线(该栅极迹线沿着横跨水平鳍的块的列)的单个鳍而不是块中的所有鳍来设计库。

[0111] 尽管通过参照以上详述的优选实施例和示例公开本发明,但是将理解这些示例旨在示出而不是限制。设想修改和组合将容易为本领域技术人员所想到,这些修改和组合将在所附本发明的精神实质和所附权利要求的范围内。

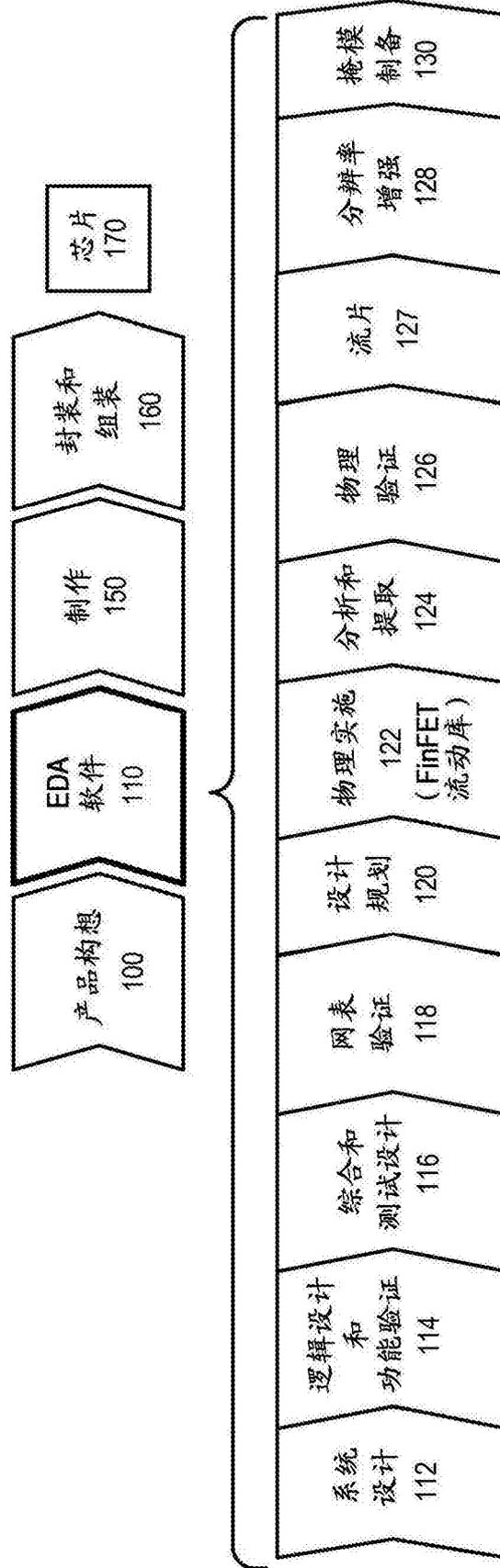


图1

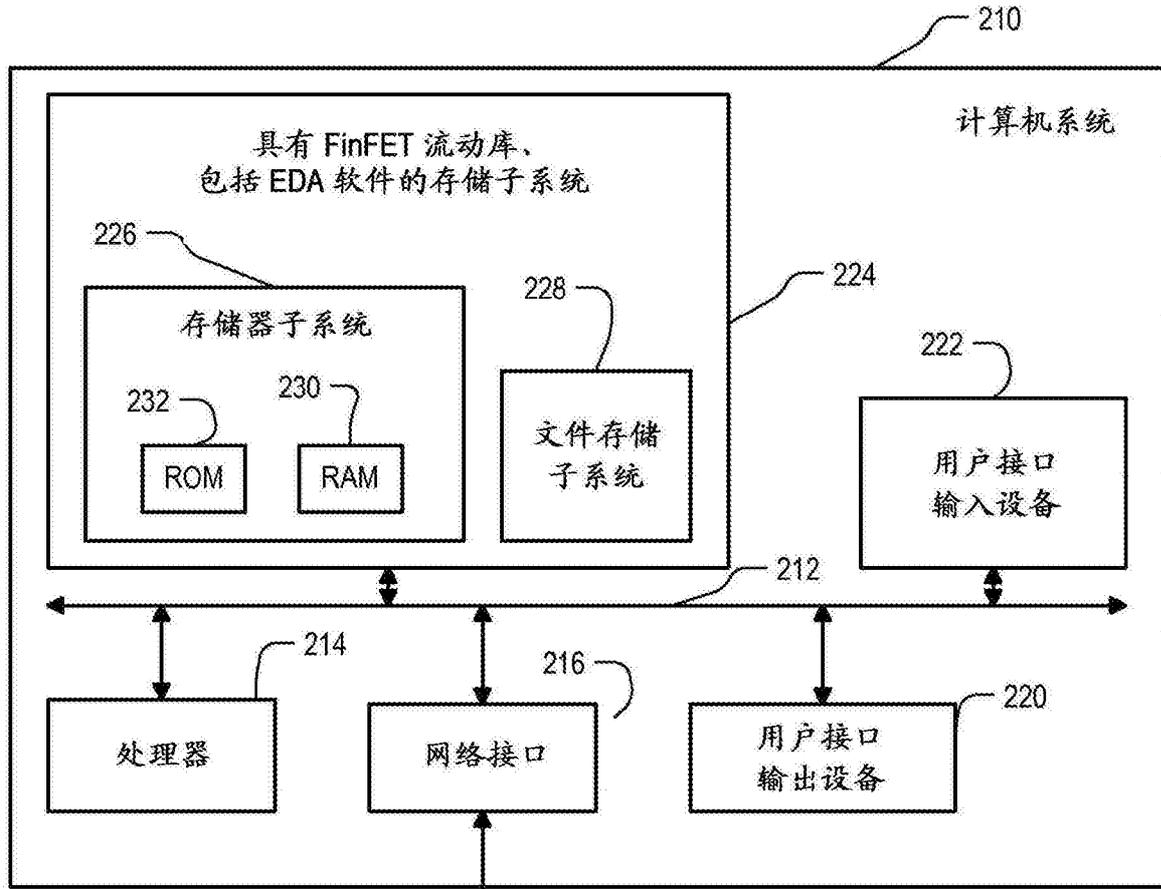


图 2A

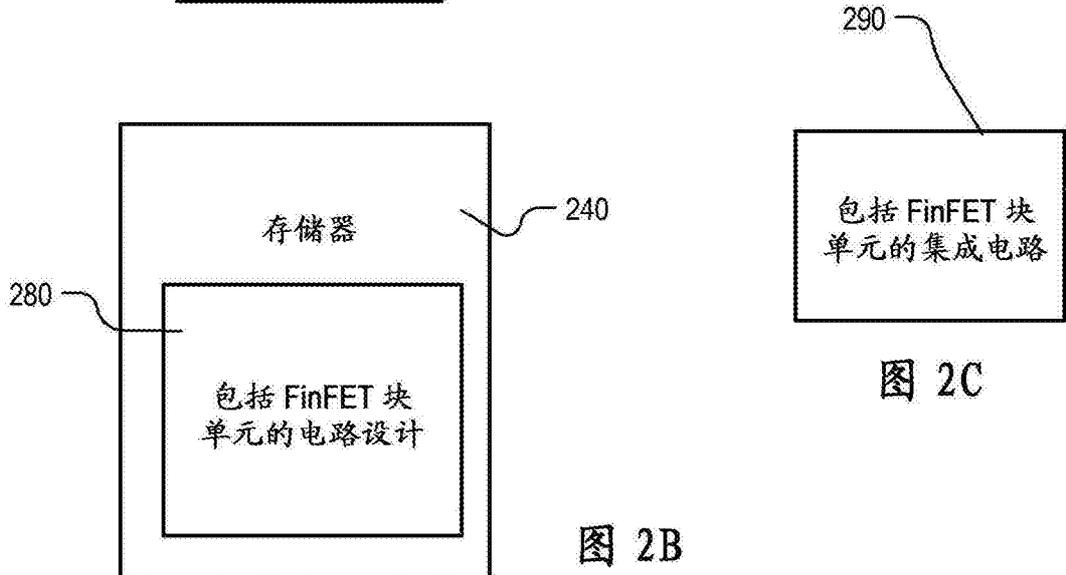


图 2C

图 2B

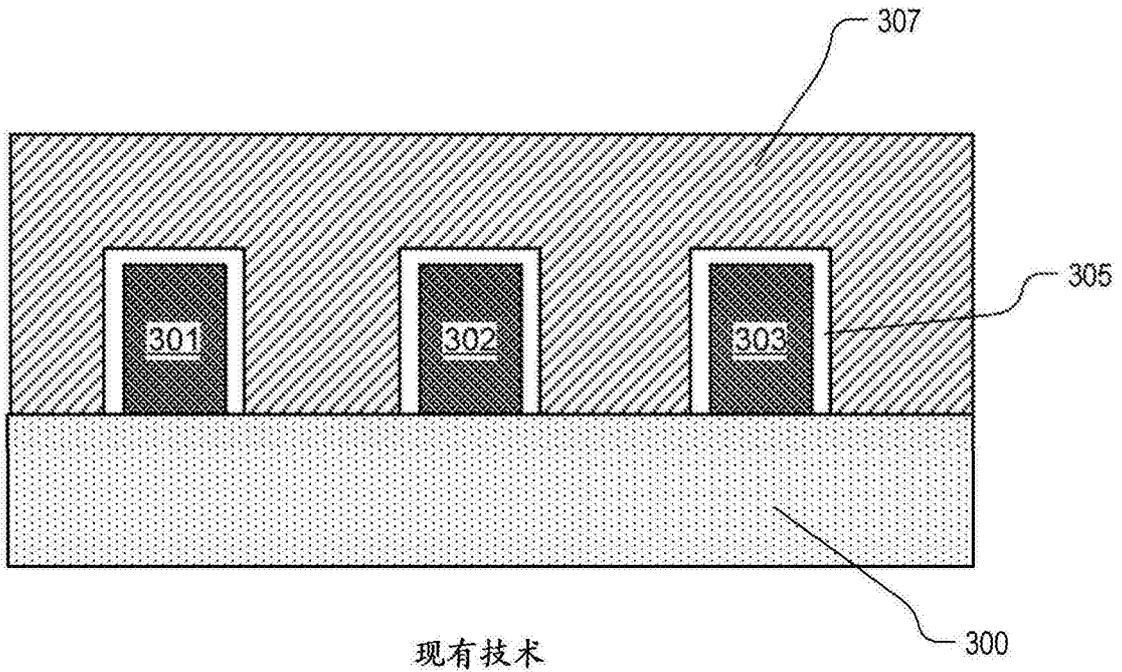


图3A

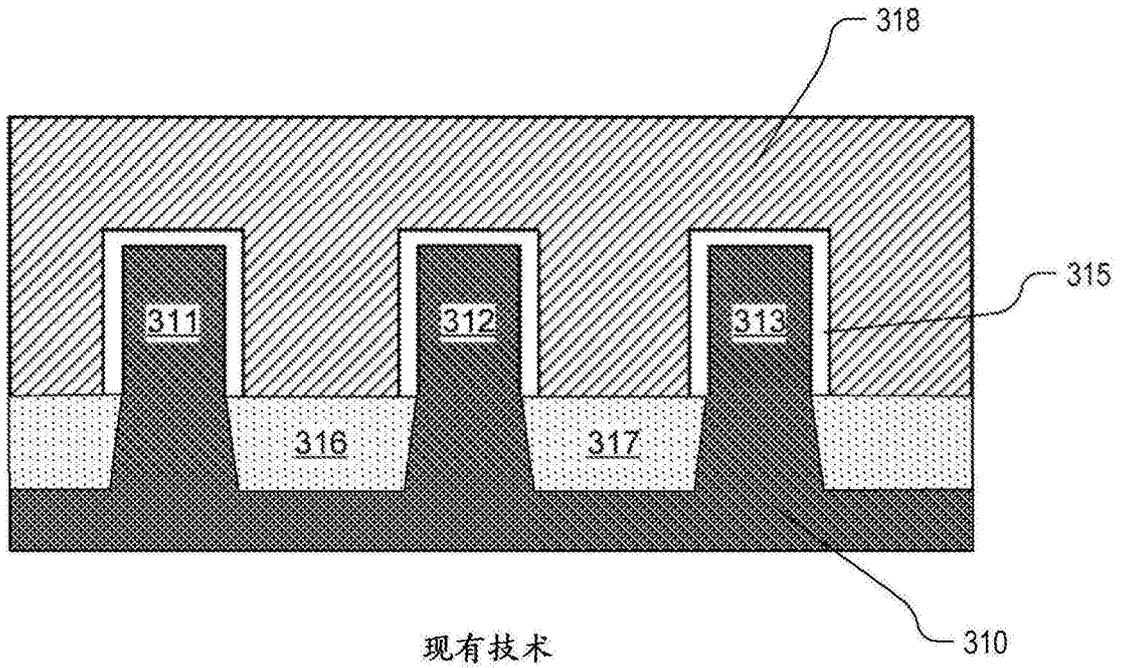


图3B

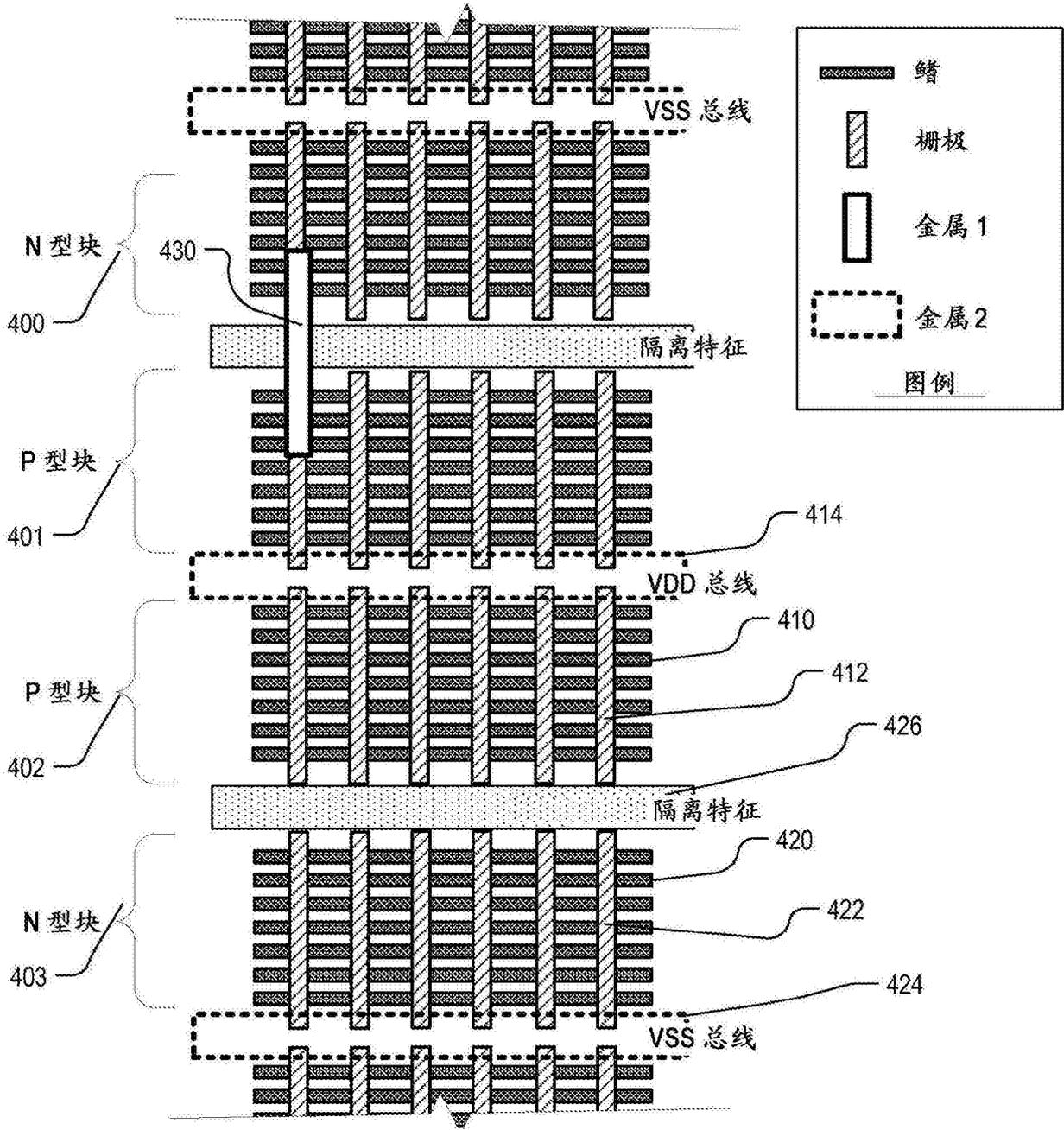


图4

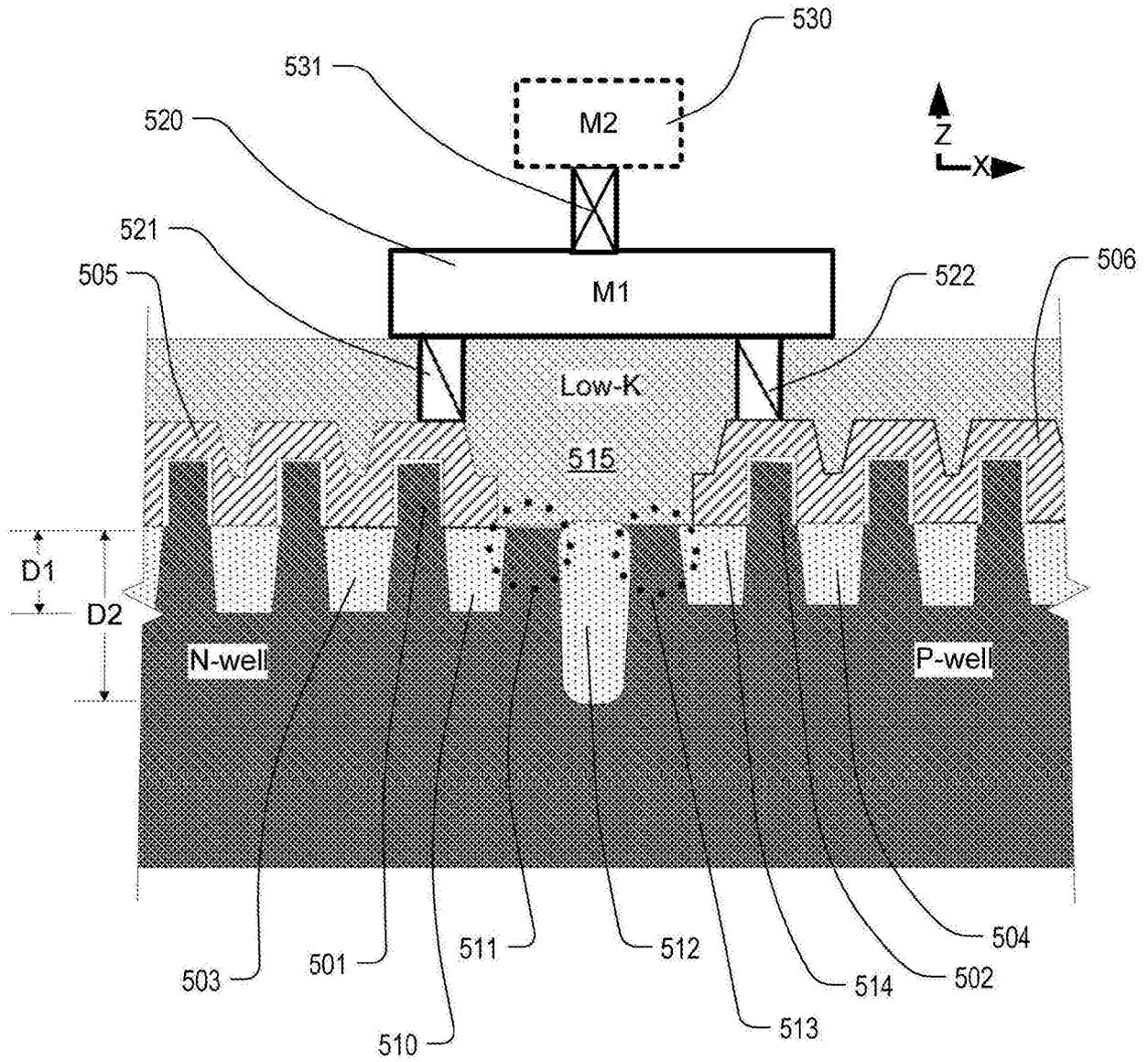


图5

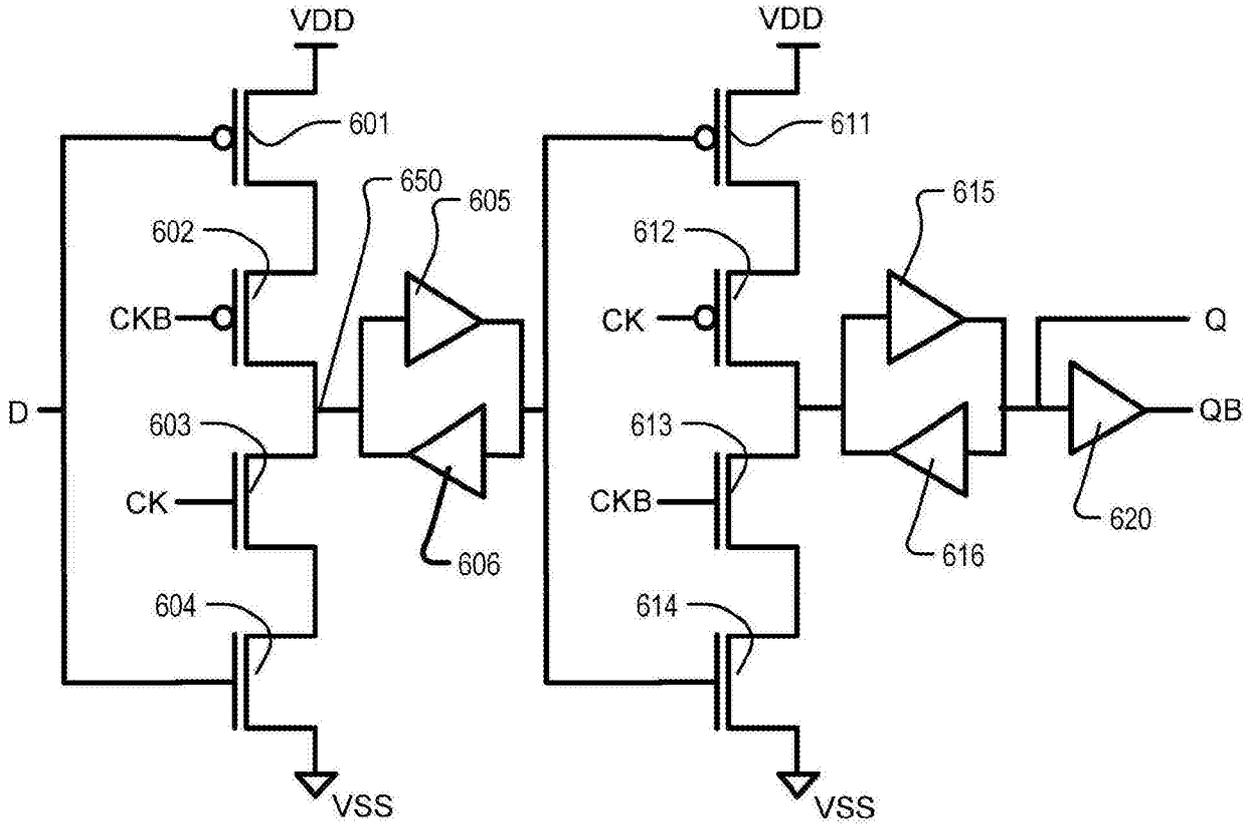


图6A

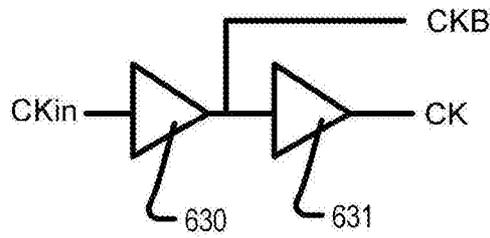


图6B

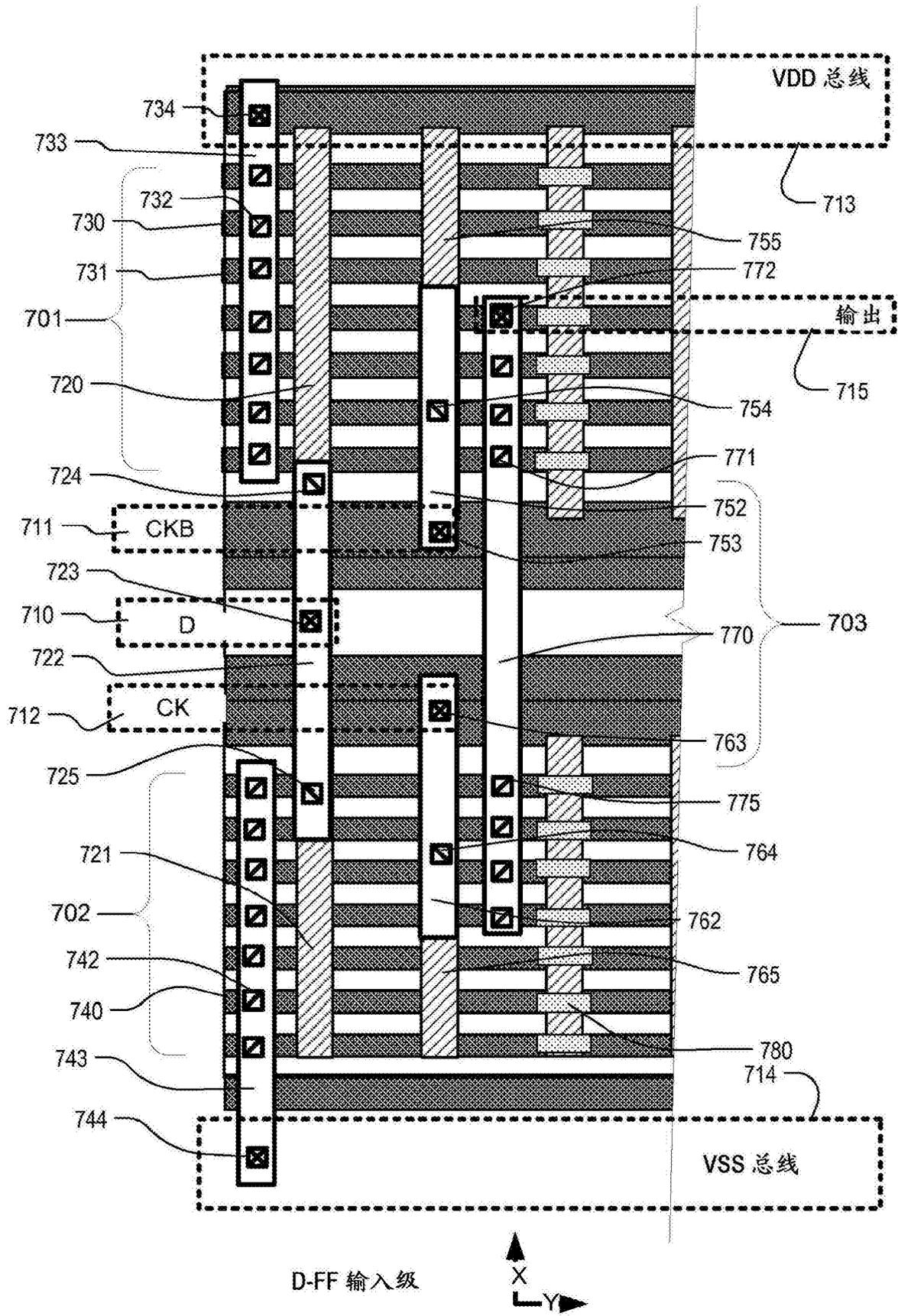


图7

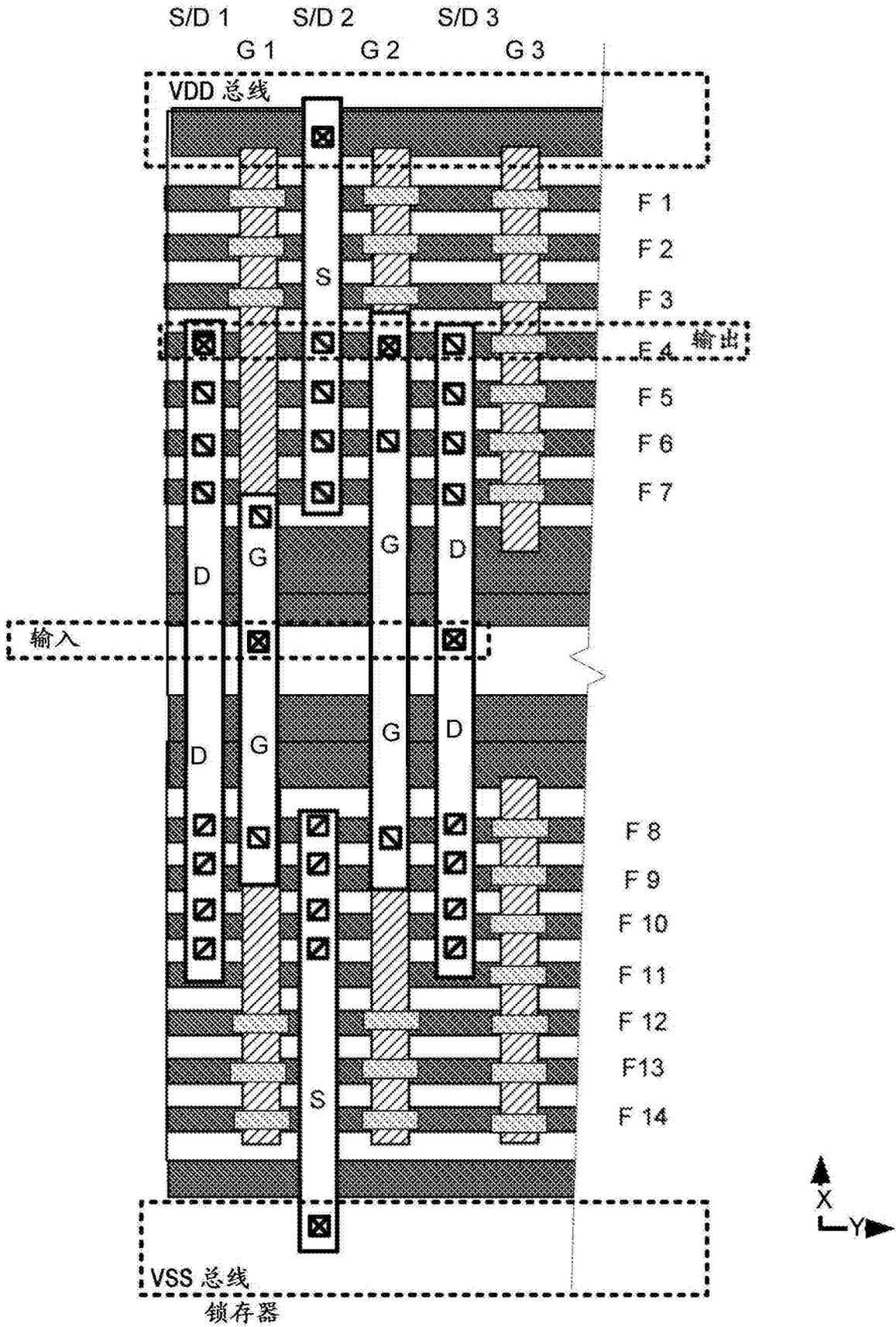


图8

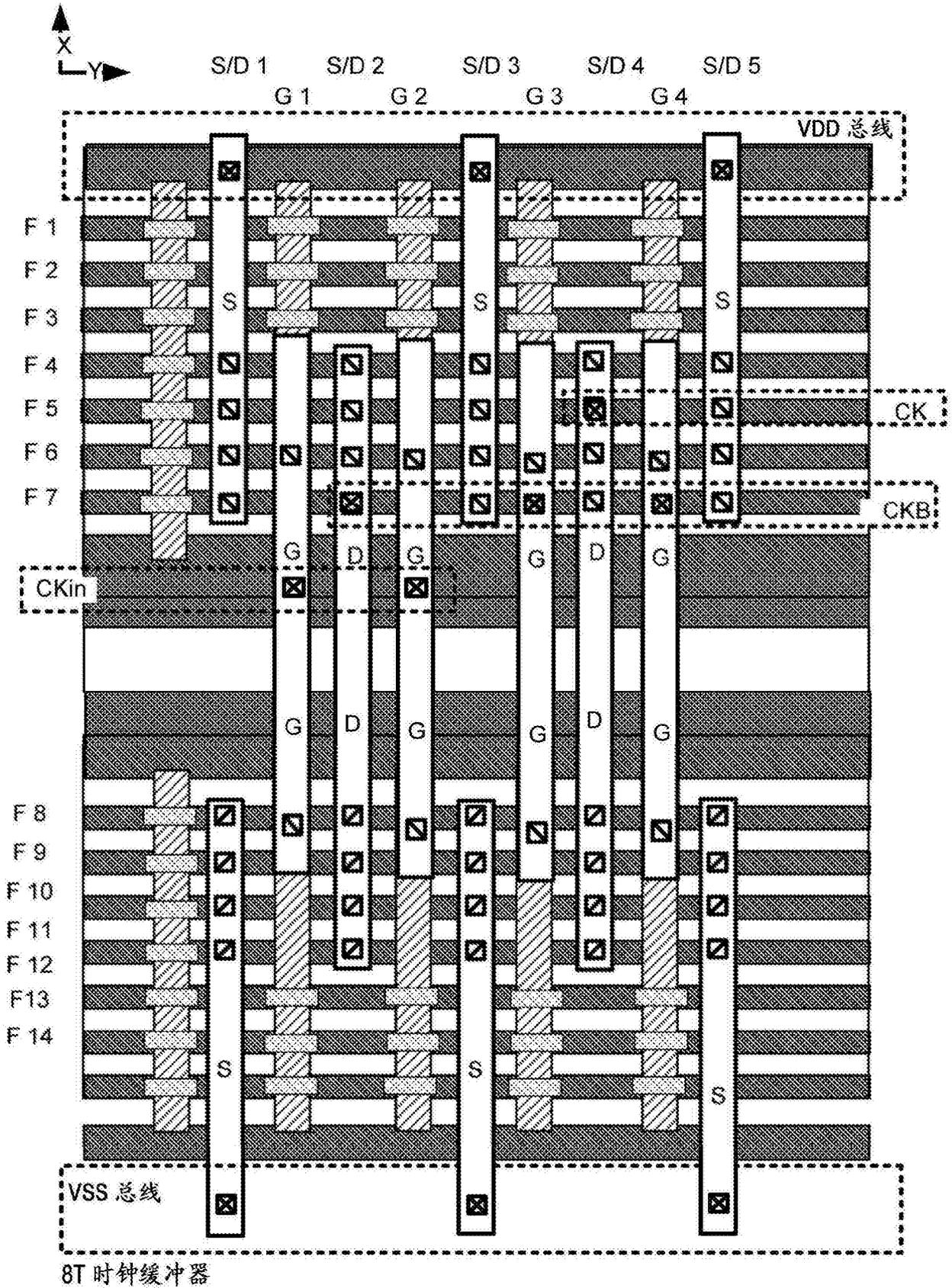


图9

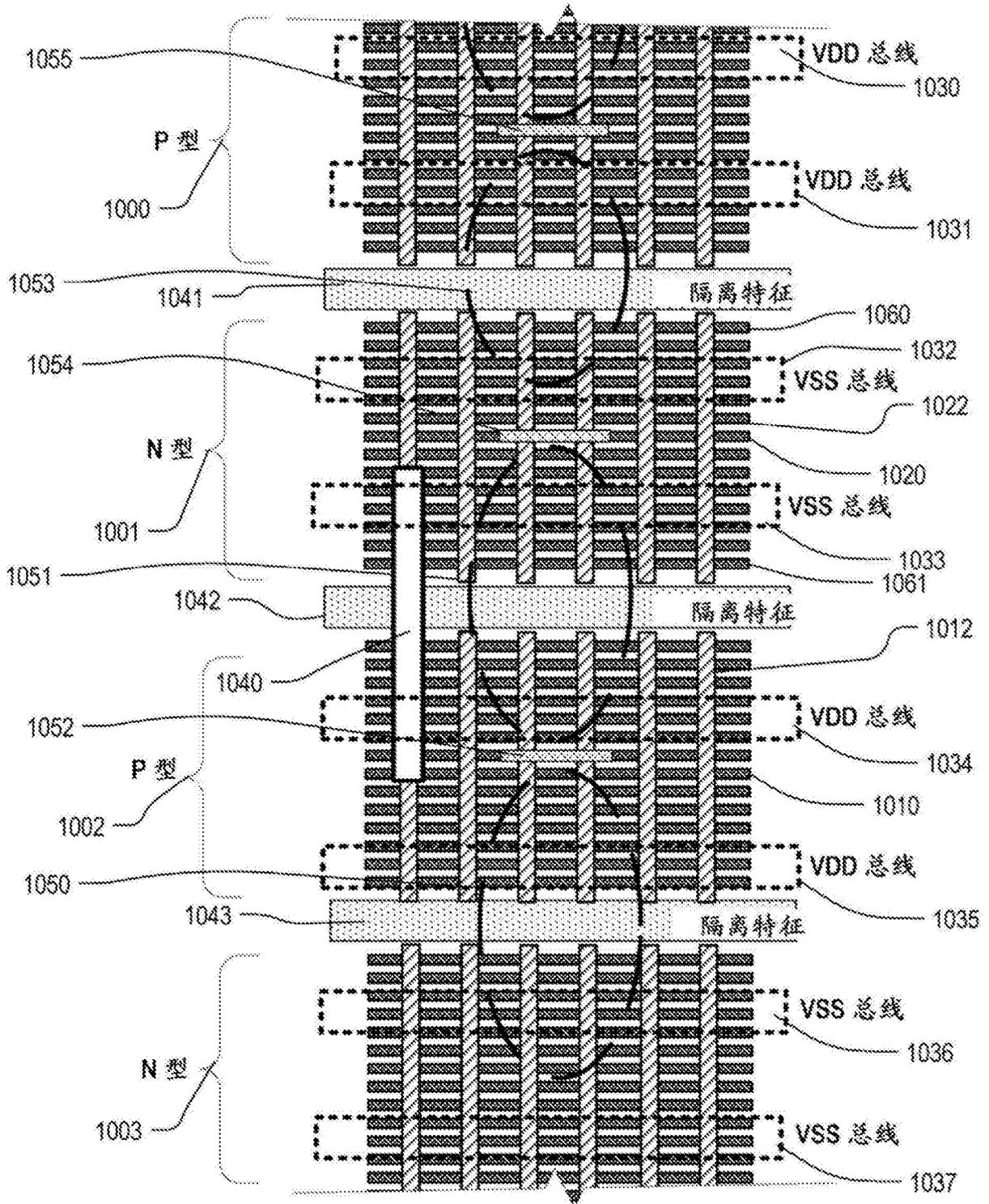


图10

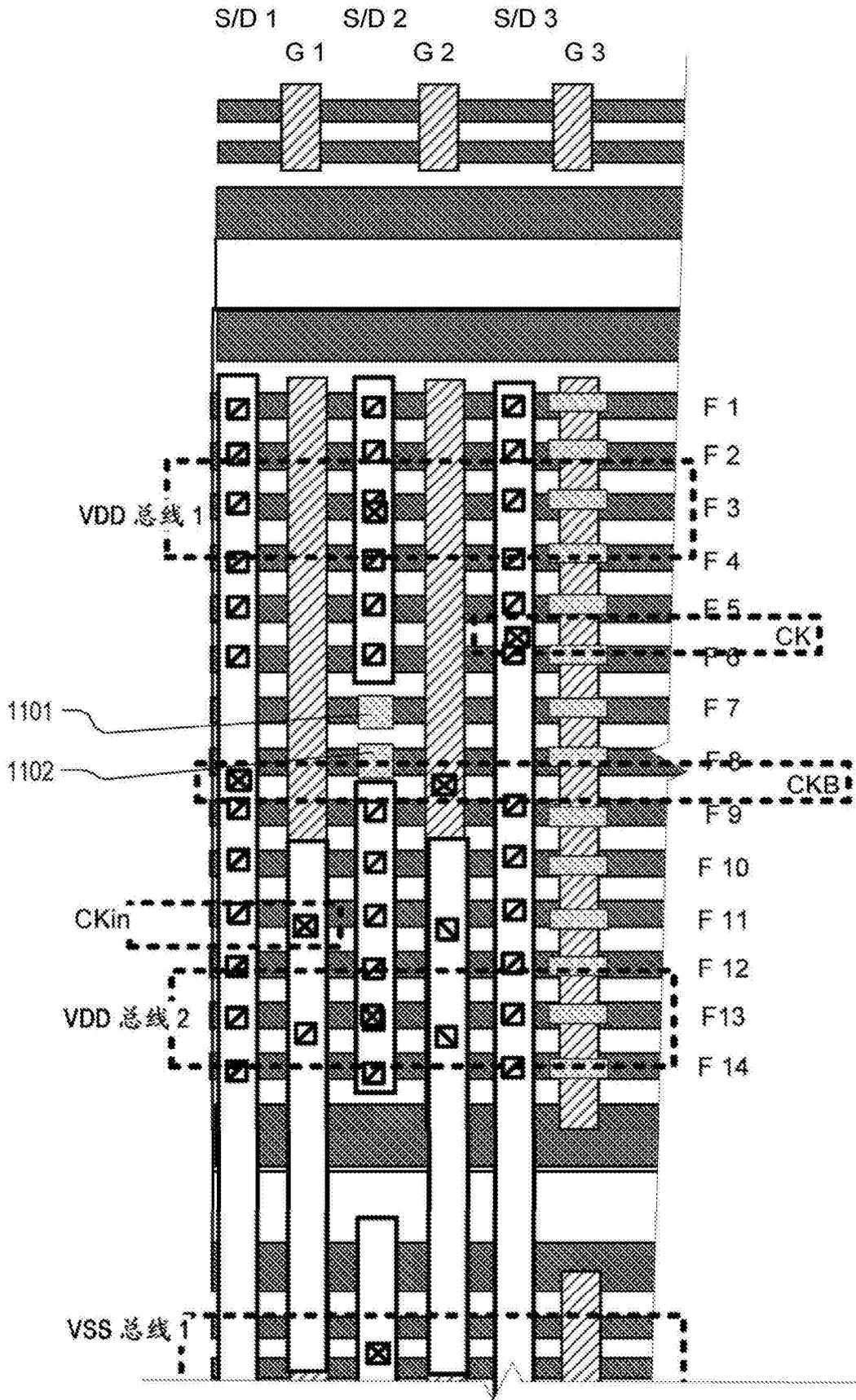


图11

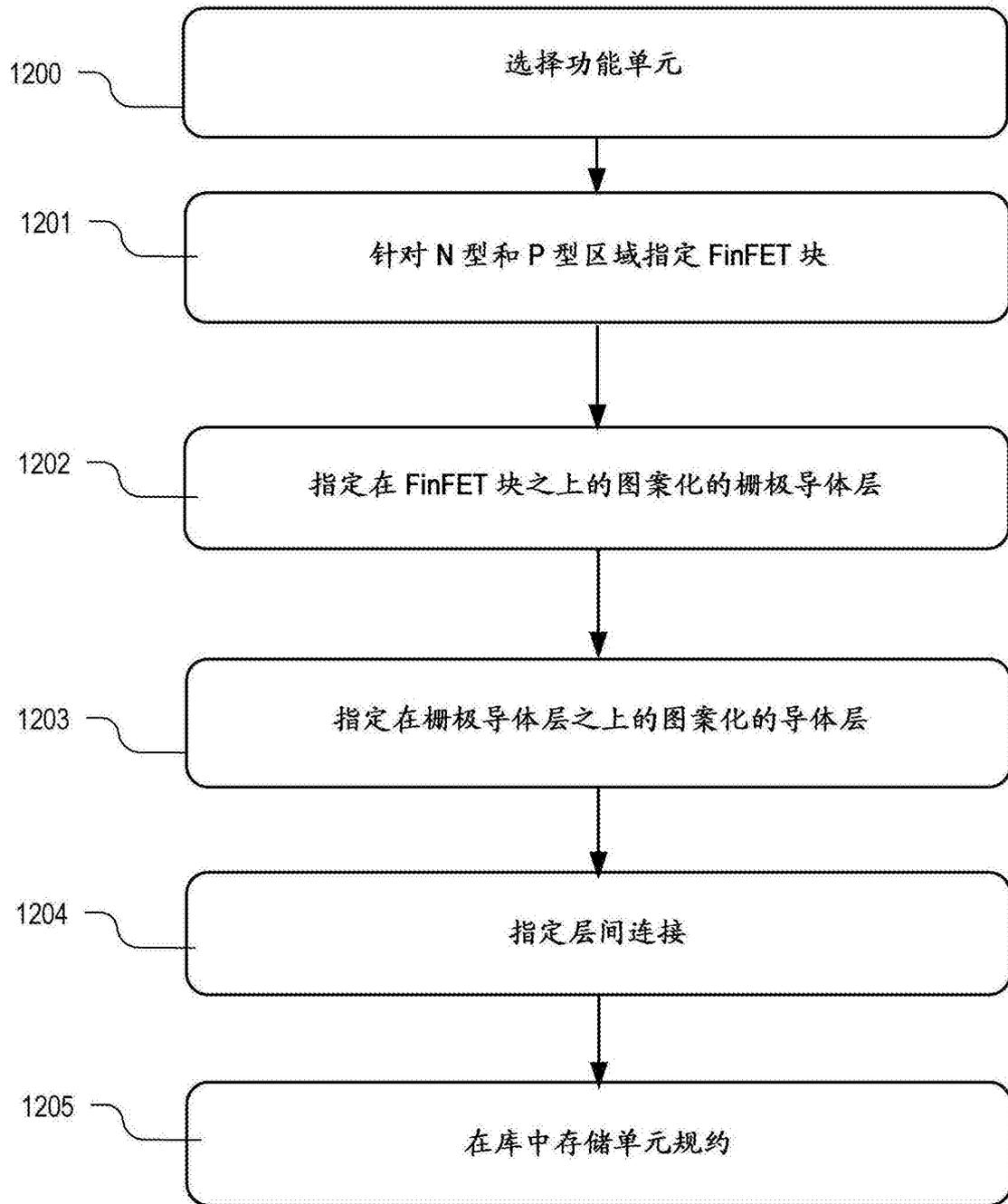


图12

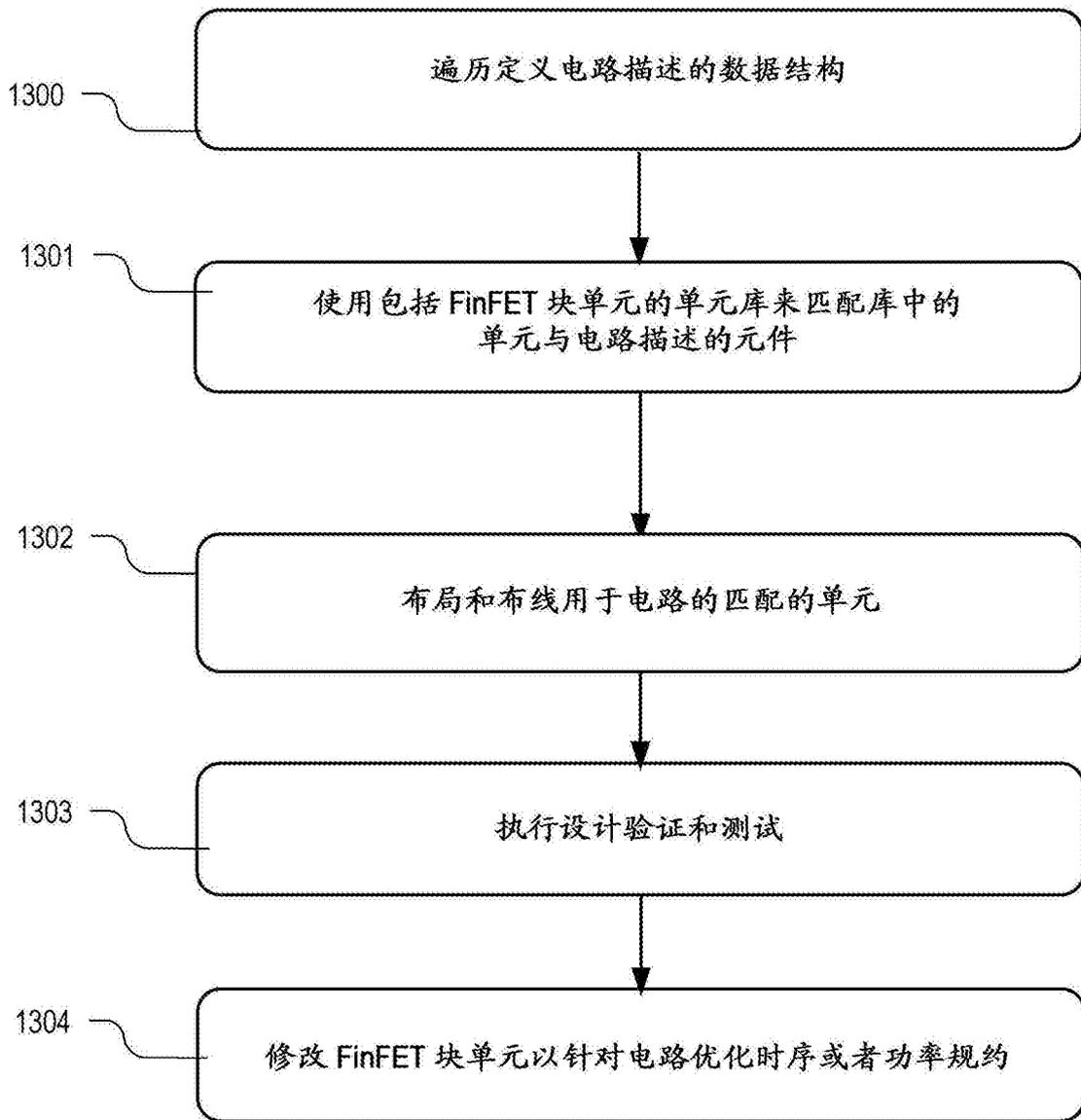


图13

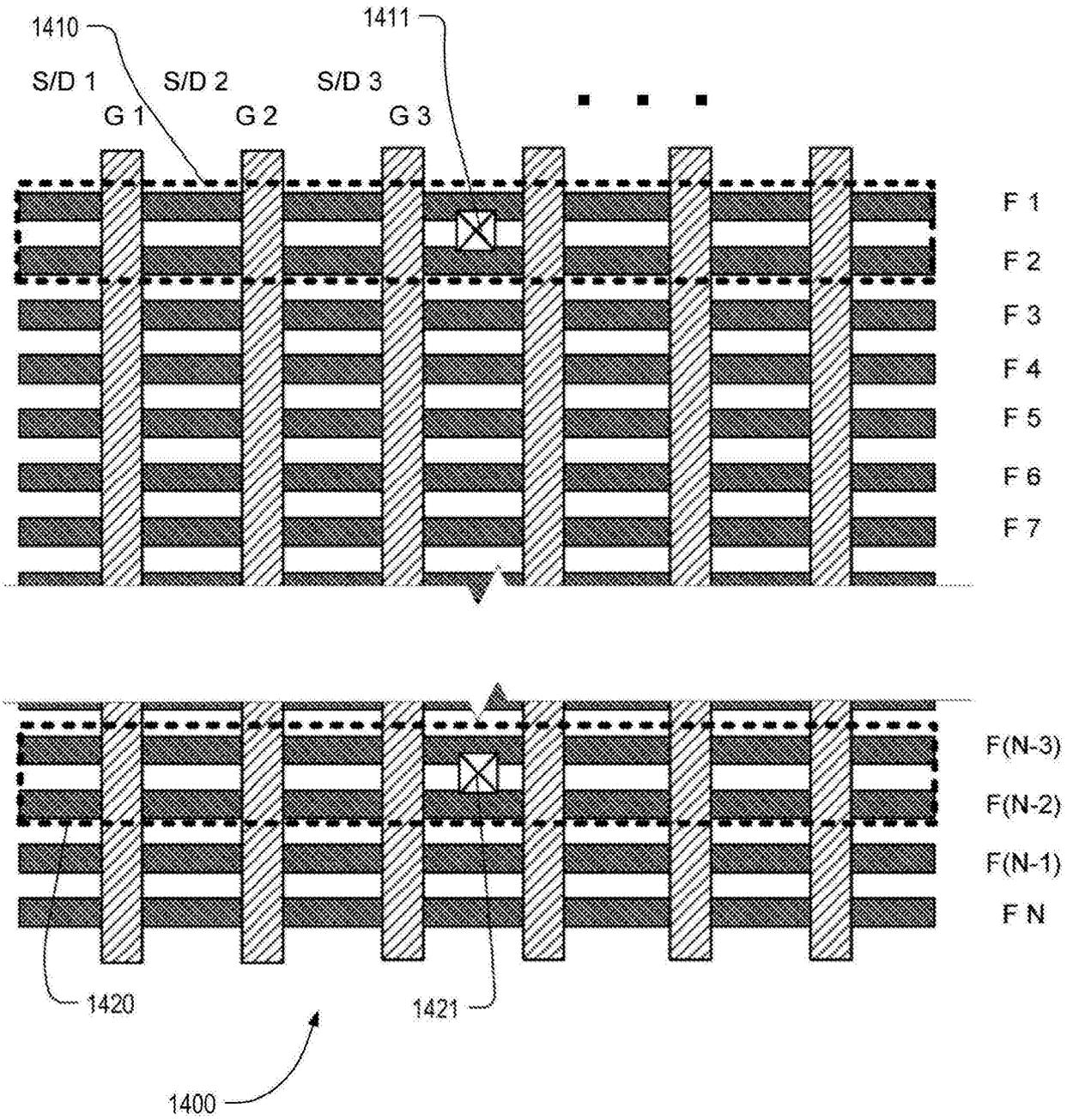


图14