



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 115 334.6**  
(22) Anmeldetag: **18.08.2016**  
(43) Offenlegungstag: **22.02.2018**

(51) Int Cl.: **H01L 21/762** (2006.01)  
**H01L 21/331** (2006.01)  
**H01L 21/336** (2006.01)  
**H01L 21/84** (2006.01)  
**H01L 29/78** (2006.01)  
**H01L 29/739** (2006.01)

(71) Anmelder:  
**Infineon Technologies AG, 85579 Neubiberg, DE**

(72) Erfinder:  
**Mauder, Anton, Dr., 83059 Kolbermoor, DE;**  
**Philippou, Alexander, Dr., 81739 München, DE**

(74) Vertreter:  
**Maikowski & Ninnemann Patentanwälte**  
**Partnerschaft mbB, 10707 Berlin, DE**

(56) Ermittelter Stand der Technik:

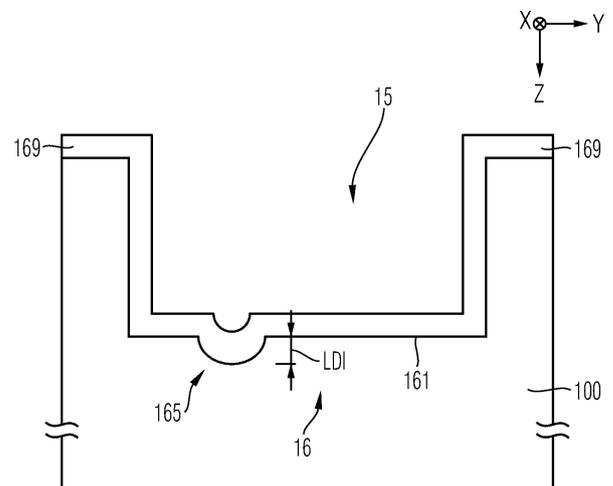
<b>US</b>	<b>7 906 406</b>	<b>B2</b>
<b>US</b>	<b>2003 / 0 146 490</b>	<b>A1</b>
<b>US</b>	<b>2015 / 0 163 915</b>	<b>A1</b>

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **SOI-Insel in einem Leistungshalbleiterbauelement**

(57) Zusammenfassung: Ein Leistungshalbleiterbauelement (1) umfasst eine SOI-Insel (Halbleiter auf einem Isolator), die ein Halbleitergebiet (15) und eine Isolationsstruktur (16) aufweist, wobei die Isolationsstruktur (16) durch ein Oxid (169) ausgebildet und derart ausgelegt ist, dass sie das Halbleitergebiet (15) von einem Abschnitt des Halbleiterkörpers (10) des Leistungshalbleiterbauelements (1) trennt. Die Isolationsstruktur (16) umfasst mindestens eine Seitenwand (1452), die derart ausgelegt ist, dass sie das Halbleitergebiet (15) seitlich begrenzt, eine Unterseite (161), die derart ausgelegt ist, dass sie das Halbleitergebiet (15) vertikal begrenzt, und eine lokale Vertiefung (165), die mindestens einen Teil eines Übergangs zwischen der Seitenwand (1542) und der Unterseite (161) bildet, wobei sich die lokale Vertiefung (165) im Vergleich mit der Unterseite (161) weiter entlang der Erstreckungsrichtung (Z) erstreckt.



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Diese Beschreibung betrifft Ausführungsformen eines Verfahrens zum Herstellen einer SOI-Insel (Halbleiter auf einem Isolator) in einem Leistungshalbleiterbauelement und Ausführungsformen eines Leistungshalbleiterbauelements, das eine SOI-Insel aufweist. Außerdem richtet sich diese Beschreibung auf Ausführungsformen eines Verfahrens zum Herstellen einer SOI-Insel, das ein Ausführen von Schritten eines Venetia-Prozesses umfassen kann, und Ausführungsformen eines entsprechenden Leistungshalbleiterbauelements.

## HINTERGRUND

**[0002]** Viele Funktionen von modernen Vorrichtungen in Automobil-, Verbraucher- und Industrieanwendungen, wie z.B. eine Umwandlung elektrischer Energie und ein Antrieb eines Elektromotors oder einer Elektromaschine, beruhen auf Leistungshalbleiterbauelementen. Zum Beispiel wurden Bipolartransistoren mit isolierter Gate-Elektrode (IGBTs), Metalloxid-Halbleiter-Feldeffekttransistoren (MOSFETs) und Dioden, um einige zu nennen, für verschiedene Anwendungen verwendet, die Schalter in Netzteilen und Stromrichtern umfassen, jedoch nicht darauf beschränkt sind.

**[0003]** Ein Leistungshalbleiterbauelement umfasst in der Regel einen Halbleiterkörper, der mehrere Leistungszellen aufweist, wobei jede von ihnen derart ausgelegt werden kann, dass sie einen Laststrom entlang eines Laststrompfads zwischen zwei Lastanschlüssen des Bauelements leitet. Außerdem kann der Laststrompfad mithilfe einer isolierten Elektrode gesteuert werden, die zuweilen als Gateelektrode bezeichnet wird und die mit einem Steueranschluss des Bauelements elektrisch verbunden werden kann. Zum Beispiel kann beim Empfang eines entsprechenden Steuersignals, z.B. von einer Treibereinheit, die Steuerelektrode das Leistungshalbleiterbauelement in einen von einem Leitungszustand und einem Sperrzustand versetzen.

**[0004]** In manchen Fällen kann die Gateelektrode innerhalb eines Grabens des Leistungshalbleiterbauelements aufgenommen werden, wobei der Graben z.B. eine Streifenkonfiguration oder eine zelluläre Konfiguration aufweisen kann.

**[0005]** Beim Verarbeiten eines Leistungshalbleiterbauelements kann eine große Anzahl von Gräben gleichzeitig hergestellt werden, wobei die jeweiligen Gräben verschiedenen Zwecken dienen können. Zum Beispiel können erste Gräben Dummy-Gräben sein, zweite Gräben können eine Steuerelektrode

umfassen, und noch weitere Gräben können eine Feldelektrode umfassen.

**[0006]** Neben Leistungszellen, die Laststrom führen, kann ein Leistungshalbleiterbauelement eine Peripherieschaltung, z.B. eine Sensorschaltung, eine Schutzschaltung, umfassen. Zum Beispiel muss eine solche Peripherieschaltung möglicherweise innerhalb desselben Halbleiterkörpers wie die Leistungszellen, jedoch von den Leistungszellen getrennt, angeordnet werden.

## Kurzdarstellung

**[0007]** Gemäß einer Ausführungsform umfasst ein Verfahren zum Herstellen einer SOI-Insel (Halbleiter auf einem Isolator) in einem Leistungshalbleiterbauelement Folgendes: Bereitstellen eines Halbleiterkörpers mit einer Vielzahl von Gräben, wobei jeder Graben einen Isolator umfasst, wobei die Vielzahl von Gräben erste Gräben, die für einen Struktur-Kollaps-Verarbeitungsschritt bestimmt sind, und mindestens einen Grenzgraben, der benachbart zu mindestens einem der ersten Gräben angeordnet ist, umfasst, wobei der Grenzgraben eine erste Seitenwand, die dem mindestens einen ersten Graben zugewandt ist, und eine gegenüberliegende zweite Seitenwand aufweist; Bereitstellen einer Maske, wobei die Maske eine Öffnung aufweist, die einen ersten Abschnitt, der jede der ersten Seitenwand des Grenzgrabens und der ersten Gräben umfasst, freilegt und wobei die Maske einen zweiten Abschnitt, der mindestens die zweite Seitenwand des Grenzgrabens umfasst, abdeckt; Entfernen des Isolators, der in dem durch die Öffnung freigelegten ersten Abschnitt aufgenommen ist; Unterziehen des ersten Abschnitts dem Struktur-Kollaps-Verarbeitungsschritt unter Beibehaltung des Isolators an der zweiten Seitenwand des Grenzgrabens, wodurch die ersten Gräben in mindestens einen vergrabenen Hohlraum umgewandelt werden.

**[0008]** Gemäß einer weiteren Ausführungsform umfasst ein Leistungshalbleiterbauelement eine SOI-Insel (Halbleiter auf einem Isolator), die ein Halbleitergebiet und eine Isolationsstruktur aufweist, wobei die Isolationsstruktur durch ein Oxid ausgebildet und derart ausgelegt ist, dass sie das Halbleitergebiet von einem Abschnitt des Halbleiterkörpers des Leistungshalbleiterbauelements trennt. Die Isolationsstruktur umfasst mindestens eine Seitenwand, die derart ausgelegt ist, dass sie das Halbleitergebiet seitlich begrenzt, eine Unterseite, die derart ausgelegt ist, dass sie das Halbleitergebiet vertikal begrenzt, und eine lokale Vertiefung, die mindestens einen Teil eines Übergangs zwischen der Seitenwand und der Unterseite bildet, wobei sich die lokale Vertiefung im Vergleich mit der Unterseite weiter entlang der Erstreckungsrichtung erstreckt.

**[0009]** Gemäß einer noch weiteren Ausführungsform umfasst ein Leistungshalbleiterbauelement Folgendes: einen Halbleiterkörper, der mit einem ersten Lastanschluss und einem zweiten Lastanschluss gekoppelt ist und der ein Driftgebiet umfasst, das derart ausgelegt ist, dass es ein Laststrom zwischen den Anschlüssen leitet, wobei der erste Lastanschluss eine erste Metallisierung umfasst, die über einer Fläche des Halbleiterkörpers angeordnet ist, wobei die erste Metallisierung seitlich durch mindestens eine erste Flanke begrenzt ist; mehrere Leistungszellen, wobei jede Leistungszelle ein Halbleiterkanalgebiet, das in Kontakt mit dem Driftgebiet angeordnet ist und einen pn-Übergang damit bildet, und einen Graben umfasst, der einen Isolator und eine isolierte Steuerelektrode umfasst, die ausgelegt ist, um einen Pfad des Laststroms in dem Kanalgebiet zu steuern, wobei sich der Graben von einer Fläche des Halbleiterkörpers entlang einer Erstreckungsrichtung erstreckt; einen Steueranschluss, der derart ausgelegt ist, dass er ein Steuersignal an die Steuerelektrode bereitstellt, wobei der Steueranschluss eine zweite Metallisierung umfasst, die über der Fläche angeordnet ist, wobei die zweite Metallisierung seitlich durch mindestens eine zweite Flanke begrenzt ist; und eine SOI-Insel (Halbleiter auf einem Isolator), die in dem Halbleiterkörper und von jeder der mehreren Leistungszellen getrennt angeordnet ist, wobei jede von der ersten Flanke und der zweiten Flanke in einer seitlichen Richtung die SOI-Insel überlappt.

**[0010]** Ein Fachmann wird bei der Lektüre der nachstehenden ausführlichen Beschreibung und bei Ansicht der begleitenden Zeichnungen zusätzliche Merkmale und Vorteile erkennen.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0011]** Die Bestandteile in den Figuren sind nicht notwendigerweise maßstabsgetreu, wobei die Betonung stattdessen auf der Veranschaulichung von Prinzipien der Erfindung liegt. Des Weiteren verweisen gleiche Bezugszeichen in den Figuren auf entsprechende Bestandteile. Es zeigen:

**[0012]** Fig. 1 schematisch und als ein Beispiel ein Diagramm eines Verfahrens zum Herstellen einer SOI-Insel in einem Leistungshalbleiterbauelement gemäß einer oder mehreren Ausführungsformen;

**[0013]** Fig. 2 schematisch und als ein Beispiel Aspekte eines Verfahrens zum Herstellen einer SOI-Insel in einem Leistungshalbleiterbauelement gemäß einer oder mehreren Ausführungsformen;

**[0014]** Fig. 3 schematisch und als ein Beispiel Aspekte eines Verfahrens zum Herstellen einer SOI-Insel in einem Leistungshalbleiterbauelement gemäß einer oder mehreren Ausführungsformen;

**[0015]** Fig. 4 schematisch und als ein Beispiel Aspekte eines Verfahrens zum Herstellen einer SOI-Insel in einem Leistungshalbleiterbauelement gemäß einer oder mehreren Ausführungsformen;

**[0016]** Fig. 5 schematisch und als ein Beispiel einen Abschnitt eines vertikalen Querschnitts eines Leistungshalbleiterbauelements gemäß einer oder mehreren Ausführungsformen;

**[0017]** Fig. 6 schematisch und als ein Beispiel Aspekte eines Verfahrens zum Herstellen einer SOI-Insel in einem Leistungshalbleiterbauelement gemäß einer oder mehreren Ausführungsformen;

**[0018]** Fig. 7 schematisch und als ein Beispiel Bestandteile einer Peripherieschaltung, die in einer SOI-Insel eines Leistungshalbleiterbauelements gemäß einer oder mehreren Ausführungsformen aufgenommen ist;

**[0019]** Fig. 8 schematisch und als ein Beispiel einen Abschnitt eines vertikalen Querschnitts eines Leistungshalbleiterbauelements gemäß einer oder mehreren Ausführungsformen; und

**[0020]** Fig. 9 schematisch und als ein Beispiel einen Abschnitt eines vertikalen Querschnitts eines Leistungshalbleiterbauelements gemäß einer oder mehreren Ausführungsformen.

#### AUSFÜHRLICHE BESCHREIBUNG

**[0021]** In der nachstehenden ausführlichen Beschreibung wird Bezug auf die begleitenden Zeichnungen genommen, die einen Teil der Beschreibung bilden und in denen konkrete Ausführungsformen, in denen die Erfindung genutzt werden kann, zur Veranschaulichung gezeigt sind.

**[0022]** In dieser Hinsicht kann Terminologie, die sich auf Richtungen bezieht, wie z.B. „oberer“, „unterer“, „unterhalb“, „vorderer“, „hinten“, „hinterer“, „führender“, „nachlaufender“, „unten“, „oben“ usw., mit Bezug auf die Ausrichtung der gerade beschriebenen Figuren verwendet werden. Da Bestandteile von Ausführungsformen in einer Vielzahl von verschiedenen Ausrichtungen angeordnet sein können, wird die Terminologie, die sich auf Richtungen bezieht, zu Zwecken der Veranschaulichung verwendet und ist keineswegs einschränkend. Es versteht sich, dass andere Ausführungsformen verwendet werden können und bauliche oder logische Änderungen vorgenommen werden können, ohne vom Umfang der vorliegenden Erfindung abzuweichen. Die nachstehende ausführliche Beschreibung der Erfindung soll daher nicht in einem einschränkenden Sinne verstanden werden und der Umfang der vorliegenden Erfindung ist durch die beigefügten Ansprüche definiert.

**[0023]** Nun wird im Detail auf verschiedene Ausführungsformen Bezug genommen, von denen ein oder mehrere Beispiele in den Figuren dargestellt sind. Jedes Beispiel ist als Erläuterung vorgesehen und ist nicht als Einschränkung der Erfindung gedacht. Zum Beispiel können als Teil einer Ausführungsform dargestellte oder beschriebene Merkmale in Verbindung mit anderen Ausführungsformen oder auf diesen verwendet werden, um eine noch weitere Ausführungsform zu ergeben. Es ist beabsichtigt, dass die vorliegende Erfindung solche Modifikationen und Abwandlungen umfasst. Die Beispiele werden unter Verwendung einer spezifischen Sprache beschrieben, die nicht derart ausgelegt werden soll, dass sie den Umfang der beigefügten Ansprüche beschränkt. Die Zeichnungen sind nicht skaliert und sind lediglich für veranschaulichende Zwecke gedacht. Zur Klarheit wurden die gleichen Elemente oder Herstellungsschritte durch dieselben Bezugszeichen in den verschiedenen Zeichnungen gekennzeichnet, wenn nicht anders angegeben.

**[0024]** Der Begriff „horizontal“, wie er in dieser Beschreibung verwendet wird, soll eine Ausrichtung im Wesentlichen parallel zu einer horizontalen Fläche eines Halbleitersubstrats oder einer Halbleiterstruktur beschreiben. Dies kann zum Beispiel die Fläche eines Halbleiterwafers oder eines Dies sein. Zum Beispiel können sowohl die erste seitliche Richtung X als auch die zweite seitliche Richtung Y, die nachstehend erwähnt werden, horizontale Richtungen sein, wobei die erste seitliche Richtung X und die zweite seitliche Richtung Y zueinander senkrecht sein können.

**[0025]** Der Begriff „vertikal“, wie er in dieser Beschreibung verwendet wird, soll eine Ausrichtung beschreiben, die im Wesentlichen senkrecht zu der horizontalen Fläche, d.h. parallel zu der normalen Richtung der Fläche des Halbleiterwafers, angeordnet ist. Zum Beispiel kann die nachstehend erwähnte Erstreckungsrichtung Z eine Erstreckungsrichtung sein, die sowohl zu der ersten seitlichen Richtung X als auch der zweiten seitlichen Richtung Y senkrecht ist und daher eine vertikale Richtung repräsentieren kann.

**[0026]** In dieser Beschreibung wird n-dotiert als „erster Leitfähigkeitstyp“ bezeichnet, während p-dotiert als „zweiter Leitfähigkeitstyp“ bezeichnet wird. Alternativ können entgegengesetzte Beziehungen verwendet werden, so dass der erste Leitfähigkeitstyp p-dotiert sein kann und der zweite Leitfähigkeitstyp n-dotiert sein kann.

**[0027]** Im Kontext der vorliegenden Beschreibung sollen die Begriffe „im ohmschen Kontakt“, „im elektrischen Kontakt“, „in ohmscher Verbindung“ und „elektrisch verbunden“ beschreiben, dass eine niederohmige elektrische Verbindung oder ein niederohmiger Strompfad zwischen zwei Gebieten, Abschnitten, Zonen, Abschnitten oder Bestandteilen eines Halb-

leiterbauelements oder zwischen verschiedenen Anschlüssen eines oder mehrerer Bauelemente oder zwischen einem Anschluss oder einer Metallisierung oder einer Elektrode und einem Abschnitt oder Teil eines Halbleiterbauelements besteht. Außerdem soll im Kontext der vorliegenden Beschreibung der Begriff „in Kontakt“ beschreiben, dass eine direkte physische Verbindung zwischen zwei Elementen des entsprechenden Halbleiterbauelements besteht; z.B. umfasst ein Übergang zwischen zwei in Kontakt miteinander befindlichen Elementen möglicherweise keine weiteren Zwischenelemente oder dergleichen.

**[0028]** Außerdem wird im Kontext der vorliegenden Beschreibung der Begriff „elektrische Isolation“, wenn nicht anders angegeben, im Kontext seines allgemein gültigen Verständnisses verwendet und soll daher beschreiben, dass zwei oder mehrere Komponenten separat voneinander angeordnet sind und dass keine ohmsche Verbindung besteht, die jene Komponenten verbindet. Jedoch können elektrisch voneinander isolierte Komponenten nichtsdestotrotz miteinander gekoppelt, zum Beispiel mechanisch gekoppelt und/oder kapazitiv gekoppelt und/oder induktiv gekoppelt, sein. Um ein Beispiel anzugeben, können zwei Elektroden eines Kondensators elektrisch voneinander isoliert, und gleichzeitig mechanisch und kapazitiv, z.B. mithilfe einer Isolation, z.B. eines Dielektrikums, miteinander gekoppelt sein.

**[0029]** Konkrete, in dieser Beschreibung erörterte Ausführungsformen betreffen ein Leistungshalbleiterbauelement, das eine Streifenzellen- oder Nadelzellenkonfiguration aufweist, wie z.B. einen Leistungshalbleitertransistor, der innerhalb eines Stromrichters oder eines Netzteils verwendet werden kann, sind jedoch nicht darauf beschränkt. Daher ist in einer Ausführungsform das Halbleiterbauelement derart ausgelegt, dass es einen Laststrom führt, der einer Last zugeführt werden soll, und/oder der jeweils durch eine Leistungsquelle bereitgestellt wird. Zum Beispiel kann das Halbleiterbauelement eine oder mehrere Leistungszellen, wie z.B. eine monolithisch integrierte Diodenzelle, und/oder eine monolithisch integrierte Transistorzelle, und/oder eine monolithisch integrierte IGBT-Zelle, und/oder eine monolithisch integrierte RC-IGBT-Zelle, und/oder eine monolithisch integrierte MGD-Zelle (MOS Gated Diode), und/oder eine monolithisch integrierte MOS-FET-Zelle und/oder Abwandlungen davon umfassen, wobei jede solcher Zellen mindestens einen Graben umfassen kann, der z.B. eine Steuerelektrode aufnimmt. Eine solche Diodenzelle und/oder solche Transistorzellen können in einem Leistungshalbleitermodul integriert werden. Eine Vielzahl von solchen Leistungszellen kann ein Zellenfeld bilden, das mit einem aktiven Gebiet des Leistungshalbleiterbauelements angeordnet ist.

**[0030]** Der Begriff „Leistungshalbleiterbauelement“, wie er in dieser Beschreibung verwendet wird, soll ein Halbleiterbauelement auf einem einzelnen Chip mit Möglichkeiten zum Sperren einer hohen Spannung und/oder Führen eines hohen Stroms beschreiben. Mit anderen Worten ist ein solches Halbleiterbauelement für einen hohen Strom, typischerweise im Ampere-Bereich, z.B. bis zu mehreren zehn oder hundert Ampere, und/oder hohe Spannungen, typischerweise über 15 V, typischer 100 V und höher, z.B. mindestens bis zu 400 V, gedacht, Zum Beispiel kann das nachstehend beschriebene verarbeitete Halbleiterbauelement ein Halbleiterbauelement sein, das eine Streifenkonfiguration oder eine zellulare Konfiguration aufweist, und kann derart ausgelegt sein, dass es als eine Leistungskomponente in einer Anwendung mit einer niedrigen, mittleren und/oder hohen Spannung eingesetzt wird.

**[0031]** Zum Beispiel richtet sich der Begriff „Leistungshalbleiterbauelement“, wie er in dieser Beschreibung verwendet wird, nicht auf logische Halbleiterbauelemente, die z.B. zum Speichern von Daten, Berechnen von Daten und/oder für andere Arten von halbleiterbasierter Datenverarbeitung verwendet werden.

**[0032]** Fig. 1 veranschaulicht schematisch und als ein Beispiel ein Blockdiagramm eines Verfahrens **2** zum Herstellen einer Halbleiter-auf-Isolator-Insel, die nachstehend auch als SOI-Insel bezeichnet wird, in einem Leistungshalbleiterbauelement **1** (vgl. z.B. Fig. 4 oder Fig. 5).

**[0033]** Fig. 2 veranschaulicht schematisch und als ein Beispiel einige fakultative Aspekte einer Ausführungsform des Verfahrens **2** mithilfe jeweiliger Abschnitte von vertikalen Querschnitten (linke Seite) und horizontalen Querschnitten (rechte Seite) des in Verarbeitung befindlichen Halbleiterbauelements. Nachstehend wird Bezug auf jede von Fig. 1 und Fig. 2 genommen.

**[0034]** Das Verfahren **2** kann in Schritt **20** ein Bereitstellen eines Halbleiterkörpers **10** mit einer Vielzahl von Gräben **14** umfassen. Der Halbleiterkörper kann auf Silizium (Si) basieren. Zum Beispiel wird Schritt **20** innerhalb des Umfangs eines Verfahrens zum Herstellen eines Leistungshalbleiterbauelements, das z.B. für eine Leistungs-IGBT- oder eine Leistungs-MOSFET-Konfiguration bestimmt ist, ausgeführt. In einer Ausführungsform kann die Vielzahl von Gräben **14** in einer mikrostrukturellen Struktur (auch als MPT-Struktur (Micro Pattern Trench) bekannt) angeordnet werden.

**[0035]** Ein jeweiliger der Gräben **14** kann eine Streifenkonfiguration oder eine zellulare Konfiguration, z.B. eine Nadelkonfiguration, aufweisen. Jeder Graben **14** kann sich in den Halbleiterkörper entlang

der Erstreckungsrichtung Z erstrecken. Zum Beispiel kann beim Aufweisen einer zellularen Konfiguration die Erstreckung eines entsprechenden Grabens in der ersten seitlichen Richtung X im Wesentlichen identisch oder zumindest ähnlich der Erstreckung in der zweiten seitlichen Richtung Y sein. Beim Aufweisen einer Streifenkonfiguration kann die Erstreckung in der ersten seitlichen Richtung X im Vergleich mit der Erstreckung in der zweiten seitlichen Richtung Y im Wesentlichen kleiner oder größer sein.

**[0036]** Jeder Graben **14** des bereitgestellten Halbleiterkörpers **10** kann einen Isolator **149** umfassen. Der Isolator **149** kann nach der Herstellung der Gräben **14**, z.B. durch Ausführen eines thermischen Oxidationsverarbeitungsschritts, erzeugt werden. Zum Beispiel ist der Isolator **149** ein Opferoxid, das z.B. vollständig und überall im Verlauf des Verarbeitungsverfahrens **2** entfernt werden kann, wie nachstehend ausführlicher erläutert sein wird. Zum Beispiel wurde der Isolator **149** mithilfe eines Abscheidungsverarbeitungsschritts und/oder durch einen thermischen Oxidationsverarbeitungsschritt erzeugt. Zum Beispiel bedeckt der Isolator **149** die gesamte Fläche des Halbleiterkörpers **10**, z.B. alle Grabenunterseiten und alle Grabenseitenwände und alle Mesa-Flächen, wie in Fig. 2 dargestellt (vgl. Schritt **20** linke Seite). Der Isolator **149** kann ein Halbleiteroxid umfassen, z.B. ist der Isolator **149** Siliziumdioxid (SiO<sub>2</sub>). In einer anderen Ausführungsform kann, wenn zum Beispiel eine zusätzliche Schicht, z.B. eine strukturierte Maskierungsschicht, die innerhalb eines Grabenätzverarbeitungsschritts verwendet wird, auf den Mesa-Flächen verbleibt, der Isolator **149** lediglich alle Grabenunterseiten und Grabenseitenwände abdecken, während die zusätzliche Schicht die Mesa-Flächen abdecken kann.

**[0037]** Die Vielzahl von Gräben **14** kann erste Gräben **141** umfassen, die für einen Struktur-Kollaps-Verarbeitungsschritt bestimmt sind. Gemäß der in Fig. 2 dargestellten Ausführungsform können die ersten Gräben **141** eine zellulare Konfiguration, z.B. eine Nadelkonfiguration, aufweisen. Gemäß einer anderen Ausführungsform können die ersten Gräben **141** eine andere Konfiguration, z.B. eine Streifenkonfiguration (vgl. Fig. 4) aufweisen.

**[0038]** Die Vielzahl von Gräben **14** kann ferner mindestens einen Grenzgraben **145** umfassen, der benachbart zu mindestens einem der ersten Gräben **141** angeordnet ist. In einer Ausführungsform kann der Grenzgraben **145** vollständig die ersten Gräben **141** umgeben. Außerdem kann der Grenzgraben **145** eine Verbindung mit mindestens einem der ersten Gräben **141** bilden (dieser fakultative Aspekt ist in Fig. 6 dargestellt und wird nachstehend ausführlicher erläutert werden).

**[0039]** Die Vielzahl von Gräben **14** kann außerdem eine Vielzahl von zweiten Gräben **142** umfassen. Zum Beispiel sind diese Gräben **142** zum Ausbilden einer Vielzahl von Leistungszellen, die eine Fähigkeit zum Führen eines Laststroms aufweisen, bestimmt. Zu diesem Zweck können im Verlauf des Verfahrens **2** die zweiten Gräben **142** mit mindestens einer von einer Steuerelektrode und einer Feldelektrode ausgestattet werden. Außerdem kann das an diese zweiten Gräben **142** angrenzende Halbleitergebiet z.B. derart dotiert werden, dass es Sourcegebiete und Kanalgebiete, z.B. zum Bereitstellen einer IGBT- oder MOSFET-Funktionalität, bildet.

**[0040]** In einem Ausführungsbeispiel weisen die Gräben **14** jeweils eine Breite in einer seitlichen Richtung im Bereich von einigen hundert nm, z.B. ungefähr 600 nm, auf. Eine Mesa, z.B. ein Halbleiterabschnitt, der jeweils zwei benachbarte Gräben in einer seitlichen Richtung, z.B. der ersten seitlichen Richtung X, trennt, kann eine kleinere Breite entlang derselben seitlichen Richtung, z.B. um die 200 nm, aufweisen. Solche Abmessungen können aus einer Graben-Zellen-Konfiguration mit einem feinen Pitch resultieren.

**[0041]** Zum Beispiel kann der Grenzgraben **145** zwischen den ersten Gräben **141** und den zweiten Gräben **142** angeordnet sein. Die Anzahl von zweiten Gräben **142** kann im Wesentlichen größer sein als die Anzahl von ersten Gräben **141**, z.B. um einen Faktor von mindestens 100, mindestens 1000 oder von mindestens 10000.

**[0042]** In einer Ausführungsform kann jeder der Gräben **14**, die z.B. die ersten Gräben **141**, die zweiten Gräben **142** und den mindestens einen Grenzgraben **145** umfassen, mithilfe von einem oder mehreren gemeinsamen Verarbeitungsschritten erzeugt worden sein. Dementsprechend kann jeder der ersten Gräben **141** und jeder der zweiten Gräben **142** im Wesentlichen die gleiche Gesamterstreckung in der vertikalen Richtung Z aufweisen. Da die Gesamterstreckung in der vertikalen Richtung Z eines Grabens nicht nur vom Ätzprozess, der zum Herstellen des Grabens verwendet wurde, abhängt, sondern auch von den Abmessungen des Grabens in der ersten seitlichen Richtung X und der zweiten seitlichen Richtung Y. Die Erstreckung von Gräben, die verschiedene Abmessungen in den seitlichen Abmessungen aufweisen, z.B. die verschiedene Flächeninhalte auf der Oberfläche aufweisen, und in demselben Prozess hergestellt wurden, kann verschiedene Erstreckungen in der vertikalen Richtung Z aufweisen. Die Erstreckung von Gräben in der vertikalen Richtung Z, die in demselben Ätzprozess ausgebildet werden, kann sich je nach den seitlichen Abmessungen dieser Gräben um bis zu 20 %, bis zu 50 % oder bis zu 80 % unterscheiden. Außerdem variiert gemäß einer Ausführungsform eine Dicke des Isolators **149** nicht

wesentlich zwischen verschiedenen der Gräben **14**. Die Dicke des Isolators **149** kann zum Beispiel im Bereich von 30 bis 150 nm liegen.

**[0043]** Unter weiterer Bezugnahme auf den Verfahrensschritt **20** kann der Grenzgraben **145** eine erste Seitenwand **1451**, die mindestens einem der ersten Gräben **141** zugewandt ist, und eine gegenüberliegende zweite Seitenwand **1452** aufweisen. Zum Beispiel kann die zweite Seitenwand **1452** mindestens einem der zweiten Gräben **142** (falls vorhanden) zugewandt sein. Zum Beispiel ist auch jede der Seitenwände **1451** und **1452** und die Unterseite des Grenzgrabens **145** mit dem Isolator **149** bedeckt.

**[0044]** Nachdem der Halbleiterkörper **10**, der die Gräben **14** umfasst, bereitgestellt wurde, kann eine Maske **5** in Schritt **22** bereitgestellt werden, wobei die Maske **5** eine Öffnung **51** aufweist, die einen ersten Abschnitt freilegt, welcher jede von der ersten Seitenwand **1451** des Grenzgrabens **145** und die ersten Gräben **141** freilegt. Die Maske **5** kann einen zweiten Abschnitt abdecken, der mindestens die zweite Seitenwand **1452** des Grenzgrabens **145** umfasst. Zum Beispiel wird die Maske **5** derart bereitgestellt, dass die Öffnung **51** lediglich ein solches Gebiet des Halbleiterkörpers **10** (oder gegebenenfalls des auf der Oberseite davon angeordneten Isolators **149**) freilegt, das dem Struktur-Kollaps-Verarbeitungsschritt unterzogen werden soll. Zum Beispiel deckt die Maske **5** die zweite Seitenwand **1452** des Grenzgrabens **145** und die zweiten Gräben **142** ab. Die Maske **5** kann eine Beschichtung umfassen, die innere Abschnitte der zweiten Gräben **142** füllt. Zum Beispiel umfasst die Maske **5** ein Fotolackmaterial, z.B. ein lichtempfindliches Fotolack- und/oder ein Hartmaskenmaterial, z.B. ein Material, das gegenüber dem Isolator **149** selektiv strukturiert werden kann, z.B. ein Siliziumnitrid  $\text{Si}_3\text{N}_4$ , eine Kohlenstoffschicht oder dergleichen. In einer Ausführungsform kann die Maske **5** durch Anbringen eines Fotolacks und durch Ausführen eines Strukturierungsverarbeitungsschritts danach, so dass die Öffnung **51**, die den ersten Abschnitt freilegt, erzeugt wird, bereitgestellt werden.

**[0045]** In einem nächsten Schritt **24** kann der Isolator **149**, der in dem ersten, durch die Öffnung **51** freigelegten Abschnitt aufgenommen ist, entfernt werden. Zum Beispiel kann der Entfernungsschritt einen Ätzverarbeitungsschritt, z.B. einen Nass- oder einen Trockenätzverarbeitungsschritt, z.B. unter Verwendung einer Flusssäure, umfassen. Gemäß einer Ausführungsform wird der zweite durch die Maske **5** abgedeckte Abschnitt diesem Entfernungsschritt nicht unterzogen, und daher wird der in dem zweiten Abschnitt aufgenommene Isolator **149** während dieses Schritts nicht modifiziert. Daher wird der Isolator **149** z.B. lediglich lokal entfernt. Zum Beispiel wird der an der zweiten Seitenwand **1452** des Grenzgrabens **145**

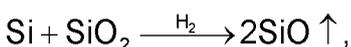
vorhandene Isolator **149** zumindest teilweise beibehalten.

**[0046]** In einer Ausführungsform kann der erste Abschnitt daher an den Isolator **149**, der weiterhin in dem Grenzgraben **145** vorhanden ist, angrenzen. Die Implikationen, die daraus resultieren können, werden nachstehend erläutert.

**[0047]** Dann kann in einem anschließenden Schritt **26**, z.B. nach dem Entfernen der Maske **5**, der erste Abschnitt, der mithilfe der Öffnung **51** freigelegt wurde, und dort, wo der Isolator entfernt wurde, dem Struktur-Kollaps-Verarbeitungsschritt unterzogen werden. Während des Ausführens des Struktur-Kollaps-Verarbeitungsschritts kann der Isolator **149** an der zweiten Seitenwand **1452** des Grenzgrabens **145** beibehalten werden. Aufgrund des Struktur-Kollaps-Verarbeitungsschritts können die ersten Gräben **141** in mindestens einen vergrabenen Hohlraum **1415** umgewandelt werden. Während des Struktur-Kollaps-Verarbeitungsschritts kann die erste Seitenwand **1451** auch diffundieren oder schmelzen, so dass der Grenzgraben **145** derart betrachtet werden kann, dass er nach dem Struktur-Kollaps-Verarbeitungsschritt zerstört ist.

**[0048]** Zum Beispiel umfasst der Struktur-Kollaps-Verarbeitungsschritt **26** einen Temperierungsschritt in einer Atmosphäre, die Wasserstoff, z.B. bei einem Anteil von mindestens 30 %, z.B. bis zu 100 %, umfasst, während der Isolator **149** an der zweiten Seitenwand **1452** z.B. bei einer Temperatur im Bereich von 1000°C bis 1200°C und z.B. bei einem Druck unter 30 Torr aufrechterhalten wird. Der Temperierungsschritt kann einige Minuten, z.B. ungefähr 10 Minuten, oder bis ungefähr eine Stunde, dauern.

**[0049]** Daher versteht es sich, dass gemäß einer Ausführungsform während des Struktur-Kollaps-Verarbeitungsschritts **26** ein einer Atmosphäre ausgesetztes Gebiet, das einen Übergang zwischen dem Isolator **149**, z.B. Siliziumdioxid, und dem Halbleiterkörper **10**, z.B. Silizium, umfasst, einer H<sub>2</sub>-Temperierung unterzogen werden kann. Zum Beispiel kann dies verursachen, dass ein flüchtiges Material, z.B.



entsteht. Dieser Aspekt wird unter Bezugnahme auf **Fig. 3** ausführlicher erläutert werden. Dementsprechend kann der erste Abschnitt, der durch die Maskenöffnung **51** freigelegt wurde (vgl. Schritt **24**), einen Übergang zwischen einem Ende **1491** des in dem Grenzgraben **145** vorhandenen Isolators **149** umfassen. Zum Beispiel wird das Isolatorende **1491** an einer Unterseite **1453** des Grenzgrabens **145** angeordnet. Beim Ausführens des Struktur-Kollaps-Verarbeitungsschritts **26**, z.B. einer H<sub>2</sub>-Temperierung, kann eine chemische Reaktion verursacht werden, gemäß

der an dem Übergang das Isolatormaterial und das Halbleiterkörpermaterial in ein flüchtiges Material umgewandelt werden, und demzufolge kann eine Ausparung **261**, die sich in jedes von dem Isolator **149** und dem Halbleiterkörper **10** erstreckt, entstehen, wie in **Fig. 3** hinsichtlich des Struktur-Kollaps-Verarbeitungsschritts **26** dargestellt.

**[0050]** Unter Bezugnahme auch auf **Fig. 2** kann nach dem Struktur-Kollaps-Verarbeitungsschritt **26** der Isolator **149**, der in dem zweiten Abschnitt, welcher durch die Maske **5** abgedeckt wurde, aufgenommen ist, in Schritt **27**, z.B. mithilfe eines Ätzverarbeitungsschritts, entfernt werden. Zum Beispiel wird nach Schritt **27** der Isolator **149** vollständig von dem Halbleiterkörper **10** entfernt. Dementsprechend kann ein unmaskierter Ätzverarbeitungsschritt zu diesem Zweck ausgeführt werden.

**[0051]** Dann kann ein Oxidationsverarbeitungsschritt **28** ausgeführt werden, so dass eine Isolationsstruktur **16** erzeugt wird, die ein Oxid **169** an jeder der zweiten Seitenwand **1452** und an dem mindestens einen vergrabenen Hohlraum **1415** aufweist. Der Oxidationsverarbeitungsschritt **28** kann eine thermische Oxidation umfassen, so dass das Oxid **169** aufgewachsen wird. Außerdem kann der Oxidationsverarbeitungsschritt **28** ohne eine Maske ausgeführt werden, so dass er auch auf die zweiten Gräben **142** angewendet wird. Das erzeugte Oxid **169** kann eine zusammenhängende Isolationsstruktur **16** bilden, die eine Unterseite **161** und mindestens eine Seitenwand aufweist, wobei die Seitenwand durch das Oxid **169** ausgebildet wird, das an der zweiten Seitenwand **145** des ehemaligen Grenzgrabens **145** erzeugt wurde. Zum Beispiel können Halbleiterstützen **155**, die benachbarte Hohlräume **1451** voneinander trennen, während des Schritts **28** z.B. derart oxidiert werden, dass die zusammenhängende Isolationsstruktur **16** realisiert wird.

**[0052]** In einer Ausführungsform wird Schritt **28** auf eine Weise ausgeführt, die für eine Herstellung des Oxids in einem grabenbasierten IGBT üblich ist, z.B. auf eine Weise, die mit einem regulären Gateoxid-(GOX)-Verarbeitungsschritt identisch ist.

**[0053]** In einer Ausführungsform stellt die zweite Seitenwand **1452** mindestens einen Teil einer atmosphärischen Verbindung mit dem mindestens einen vergrabenen Hohlraum **1415** während des Oxidationsverarbeitungsschritts **28** bereit. Dementsprechend kann in dieser Ausführungsform nach dem Struktur-Kollaps-Verarbeitungsschritt **26** eine atmosphärische Verbindung mithilfe des Grenzgrabens **145** bereits bereitgestellt sein und es besteht keine Notwendigkeit, eine weitere atmosphärische Verbindung zur Ermöglichung des nachfolgenden Oxidationsverarbeitungsschritts **28** zu erzeugen. Zu diesem Zweck kann der mindestens eine der ersten Gräben

**141** des bereitgestellten Halbleiterkörpers **10** (vgl. Schritt **20**) auch eine Verbindung mit dem Grenzgraben **145** bilden.

**[0054]** Die erzeugte Isolationsstruktur **16** kann derart ausgelegt werden, dass sie ein Halbleitergebiet **15** von dem verbleibenden Abschnitt des Halbleiterkörpers **10** trennt. Daher können gemäß einer Ausführungsform die Isolationsstruktur **16** und das Halbleitergebiet **15** eine SOI-Insel bilden.

**[0055]** Zurückkommend auf das in **Fig. 3** dargestellte Aspektbeispiel wurde vorstehend bereits erläutert, dass beim Ausführen des Struktur-Kollaps-Verarbeitungsschritts **26**, der z.B. eine H<sub>2</sub>-Temperierung umfasst, die chemische Reaktion verursacht werden kann, gemäß der an dem Übergang zwischen dem Isolator **149** und dem Halbleiterkörper **10** das Isolatormaterial und das Halbleiterkörpermaterial in ein flüchtiges Material umgewandelt werden können und dementsprechend die Aussparung **261**, die sich in jedes von dem Isolator **149** und dem Halbleiterkörper **10** erstreckt, entstehen kann. Nach dem Entfernen des Isolators **149** in Schritt **27** (in **Fig. 3** nicht dargestellt) kann der Oxidationsverarbeitungsschritt **28** ausgeführt werden, so dass die Isolationsstruktur **16**, die das Oxid **169** aufweist, erzeugt werden kann. Die erzeugte Isolationsstruktur **16** kann mindestens eine Seitenwand umfassen, die z.B. durch das an der zweiten Seitenwand **1452** des ehemaligen Grenzgrabens **145** erzeugte Oxid **169** ausgebildet wird und die derart ausgelegt ist, dass sie das Halbleitergebiet **15** seitlich begrenzt. Außerdem kann die erzeugte Isolationsstruktur **16** eine Unterseite **161** umfassen, die derart ausgelegt ist, dass sie das Halbleitergebiet **15** vertikal begrenzt. Die Unterseite **161** kann durch das Oxid **169** ausgebildet werden, das in dem mindestens einen Hohlraum **1415** (in **Fig. 3** nicht dargestellt) erzeugt wurde. Die Isolationsstruktur **16** kann eine lokale Vertiefung **165** aufweisen, die mindestens einen Teil eines Übergangs zwischen der Seitenwand **1542** und der Unterseite **161** bildet. Diese lokale Vertiefung kann erzeugt werden, indem auch die Aussparung **261** dem Oxidationsverarbeitungsschritt **28** unterzogen wird. Zum Beispiel erstreckt sich die lokale Vertiefung **165** im Vergleich mit der Unterseite **161** weiter entlang der Erstreckungsrichtung Z. Zum Beispiel bildet die lokale Vertiefung **165** den Teil der Isolationsstruktur **16**, der sich am weitesten entlang der Erstreckungsrichtung Z erstreckt. Die lokale Vertiefung **165** kann eine lokale Tiefenzunahme LDI von mindestens 20 nm oder 30 nm oder bis zu 120 nm entlang der Erstreckungsrichtung Z aufweisen. Außerdem ist gemäß einer Ausführungsform die lokale Tiefenzunahme LDI auf mindestens 20 nm oder mindestens 30 nm oder bis zu 200 nm entlang einer seitlichen Richtung, die zu der Unterseite **161** der Isolationsstruktur weist, vorhanden. Da zum Beispiel das Ende **1491** des Isolators möglicherweise nicht notwendigerweise

vertikal ist, kann die Reaktion für einige nm entlang der seitlichen Richtung durchlaufen.

**[0056]** Nachstehend werden weitere Aspektbeispiele einiger Ausführungsformen des Verfahrens **2** erläutert.

**[0057]** Unter Bezugnahme auf die Ausführungsform gemäß **Fig. 2** können die ersten Gräben **141** als zelluläre Gräben, z.B. Nadelgräben, bereitgestellt werden. Zum Beispiel kann die Tiefe der ersten Gräben **141** angepasst werden, indem ein entsprechender Durchmesser der Nadelgräben gewählt wird, wie bereits vorstehend erklärt. Die zweiten Gräben **142** können in einer Streifenkonfiguration bereitgestellt werden. Außerdem können die ersten Gräben **141**, die in dem ersten Abschnitt angeordnet sind, der dem Struktur-Kollaps-Verarbeitungsschritt **26** unterzogen werden soll, gemäß einer Struktur angeordnet werden, wobei die Struktur mehrere Einheitszellen umfassen kann, wobei jede Einheitszelle höchstens einen der ersten Gräben **141** aufweist. Zum Beispiel werden eine oder mehrere der Einheitszellen der Struktur nicht mit einem ersten Graben **141** bereitgestellt. In dem veranschaulichten Beispiel gibt es zwei von solchen „grabenlosen“ Einheitszellen. Nach dem Ausführen des Struktur-Kollaps-Verarbeitungsschritts **26** können sich die „grabenlosen“ Einheitszellen in einer säulenartigen Weise gegen die Erstreckungsrichtung Z erstrecken.

**[0058]** Nach dem Ausführen des Struktur-Kollaps-Verarbeitungsschritts **26** können außerdem die realisierten Hohlräume **1451** voneinander durch schmale halbleiterbasierte Stützen **155** getrennt sein, wie als ein Beispiel bezüglich der Verfahrensschritte **26** und **27** in **Fig. 2** (und auch in **Fig. 4**) dargestellt. In einer Ausführungsform kann aufgrund des Oxidationsverarbeitungsschritts **28** das Oxid **169** durch diese Stützen **155** wachsen, so dass die zusammenhängende Isolationsstruktur **16** ausgebildet werden kann. Zum Beispiel werden die Stützen **155** vollständig oxidiert.

**[0059]** Unter Bezugnahme auf die Ausführungsform von **Fig. 4** können die ersten Gräben **141** als Streifengräben bereitgestellt werden. Zum Beispiel können an einer Stirnfläche der ersten Gräben **141** die ersten Gräben **141** eine Verbindung mit dem Grenzgraben **145** bilden. Zum Beispiel kann der Grenzgraben **145** im Wesentlichen senkrecht zu jedem der ersten Gräben **141** angeordnet werden. Da die ersten Gräben **141** eine Verbindung mit dem Grenzgraben **145** bilden, kann die erste Seitenwand **1541** des Grenzgrabens **145** an den jeweiligen Verbindungsabschnitten unterbrochen werden. Mit anderen Worten kann gemäß einer Ausführungsform der Grenzgraben **145** die ersten Gräben **141** miteinander verbinden. Zum Beispiel kann während des Struktur-Kollaps-Verarbeitungsschritts **26** die Verbindung zwischen den ersten Gräben **141** (die in die Hohlräume **1451** innerhalb

des Struktur-Kollaps-Verarbeitungsschritts **26** umgewandelt werden) und dem Grenzgraben **145** zumindest teilweise aufrechterhalten werden. Im Fall, in dem die ersten Gräben **141** in einer Streifenkonfiguration bereitgestellt werden, können die Hohlräume **1451**, die aus dem Struktur-Kollaps-Verarbeitungsschritt **26** resultieren, eine rohrartige Form aufweisen.

**[0060]** Gemäß einer weiteren Ausführungsform kann das Verfahren **2** ein Ausführen weiterer Verarbeitungsschritte **29** (vgl. z.B. **Fig. 6**), nachdem die SOI-Insel erzeugt wurde, umfassen. Zum Beispiel können solche weiteren Verarbeitungsschritte **29** ein Bereitstellen eines leitfähigen Materials in den zweiten Gräben **142** umfassen, z.B. um Steuerelektroden und/oder Feldelektroden zu erzeugen. In einer Ausführungsform wird das leitfähige Material, das zum Beispiel stark dotiertes polykristallines Silizium umfassen kann, auch in einem oder mehreren der Hohlräume **1415**, die aus dem Struktur-Kollaps-Verarbeitungsschritt **26** resultierten, bereitgestellt. Zum Beispiel kann das in dem einen oder den mehreren Hohlräumen **1415** aufgenommene leitfähige Material mit einem Lastanschluss des Leistungshalbleiterbauelements (z.B. dem Lastanschluss **11** in **Fig. 8**), z.B. einem Sourceanschluss, elektrisch verbunden werden. Eine solche Verbindung kann eine Abschirmwirkung bereitstellen, die eine Peripherieschaltung, welche in dem Halbleitergebiet **15** der SOI-Insel aufgenommen sein kann, vor einer Aussetzung gegenüber starken elektrischen Feldern, die sich aus schnellen Änderungen von Spannungen („dV/dt“), z.B. an einem weiteren Lastanschluss (z.B. Lastanschluss **12** in **Fig. 8**) z.B. aufgrund von Schaltprozessen des Bauelements ergeben, schützen kann. In einer anderen Ausführungsform werden die Hohlräume **1415** nicht mit dem leitfähigen Material gefüllt, sondern leer belassen.

**[0061]** Gemäß der Ausführungsform, die schematisch in **Fig. 5**, welche einen Abschnitt eines verarbeiteten Halbleiterbauelements nach dem Oxidationsverarbeitungsschritt **28** zeigt, dargestellt ist, kann das Verfahren **2** ferner, z.B. vor dem Erzeugen der Gräben **14** innerhalb des Halbleiterkörpers **10**, ein Bereitstellen von Dotierstoffen in dem Halbleiterkörper **10** umfassen. Zum Beispiel kann der Halbleiterkörper **10** zunächst schwach mit Dotierstoffen des ersten Leitfähigkeitstyps dotiert, z.B. n-dotiert, werden. Das Verfahren kann ein Bereitstellen von Dotierstoffen eines zweiten Leitfähigkeitstyps, z.B. von p-Typ-Dotierstoffen, in einem ersten Gebiet **109** des Halbleiterkörpers **10** umfassen. Zum Beispiel können die Dotierstoffe durch Ausführen von mindestens einem von einem Diffusionsverarbeitungsschritt, einem Epitaxieverarbeitungsschritt und einem Implantationsverarbeitungsschritt bereitgestellt werden. Zum Beispiel kann das mit Dotierstoffen des zweiten Leitfähigkeitstyps dotierte erste Gebiet **109** ein Wannengebiet bilden, das sich von der Halbleiterkörperfläche **10-1** entlang der Erstreckungsrichtung Z erstreckt, wie sche-

matisch und als ein Beispiel in **Fig. 5** dargestellt. Beim Bereitstellen der Gräben **14** in dem Halbleiterkörper **10** können außerdem die ersten Gräben **141**, die für den Struktur-Kollaps-Verarbeitungsschritt **26** bestimmt sind, in dem Wannengebiet **109** z.B. derart angeordnet werden, dass sie sich nicht weiter entlang der Erstreckungsrichtung Z erstrecken als das Wannengebiet **109**. Zum Beispiel kann auch der Grenzgraben **145** in dem Wannengebiet **109** angeordnet werden. Dagegen kann gemäß einer Ausführungsform zumindest die Mehrheit der zweiten Gräben **142** getrennt von dem Wannengebiet **109** angeordnet werden, z.B. in Abschnitten, in denen der Halbleiterkörper schwach mit Dotierstoffen des ersten Leitfähigkeitstyps dotiert ist. Zum Beispiel können gemäß einer Ausführungsform die dargestellten inneren der zweiten Gräben **142** einen Teil des Grenzgrabens **145** bilden. Das Halbleitergebiet **15** der SOI-Insel kann dementsprechend mit Dotierstoffen des zweiten Leitfähigkeitstyps dotiert werden. In einer Ausführungsform kann das Wannengebiet **109**, das außerhalb des isolierten Halbleitergebiets **15** liegt, mit einem elektrischen Potential, z.B. einem Lastanschluss (z.B. dem Lastanschluss **11** in **Fig. 8**) elektrisch verbunden werden. Dies kann eine Abschirmwirkung aufweisen, z.B. eine Abschirmwirkung wie vorstehend unter Bezugnahme auf das leitfähige Material, das in den Hohlräumen **1415** bereitgestellt werden kann, dargelegt. Das Wannengebiet **109** kann mit einem Lastanschluss des Leistungshalbleiterbauelements **1** (z.B. dem Lastanschluss **11** in **Fig. 8**), z.B. einem Sourceanschluss, elektrisch verbunden werden.

**[0062]** **Fig. 6** veranschaulicht schematisch und als ein Beispiel eine weitere Ausführungsform des Verfahrens **2**. Im Prinzip können die Verarbeitungsschritte **20**, **22**, **24** und **28** dieser Ausführungsform auf eine vorstehend, z.B. unter Bezugnahme auf **Fig. 4**, beschriebene Weise ausgeführt werden. Zum Beispiel kann Schritt **20** des Bereitstellens des Halbleiterkörpers **10** mit der Vielzahl von Gräben **14** derart ausgeführt werden, dass mindestens einer der ersten Gräben **141** keine Verbindung mit dem Grenzgraben **145** bildet, wie unter Bezugnahme auf Schritt **20** in **Fig. 6** dargestellt (vgl. den mittleren ersten Graben **141**). Dann kann die Maske **5** mit einem Inselteil **52** bereitgestellt werden, der mindestens einen der ersten Gräben **141**, z.B. den ersten Graben **141**, der keine Verbindung mit dem Grenzgraben **145** bildet, abdeckt. Dieser Inselteil **52** kann durch Ausführen eines entsprechenden Strukturierungsverarbeitungsschritts bereitgestellt werden. Beim Entfernen des Isolators **149** in dem durch die Maskenöffnung **51** freigelegten ersten Abschnitt wird dann der durch den Masken-Inselteil **52** abgedeckte erste Graben **141** geschützt, d.h. der darin aufgenommene Isolator **149** wird beibehalten. Beim Ausführen des Struktur-Kollaps-Verarbeitungsschritts **26** (in **Fig. 6** nicht dargestellt) kann dementsprechend sichergestellt werden,

dass der erste Graben **141**, der den Isolator **149** umfasst, nicht einstürzt. Daher kann dieser Graben aufrechterhalten werden. Zum Beispiel können Schritt **27** – der z.B. das Entfernen des Isolators **149** umfasst, – und Schritt **28** – der z.B. den Oxidationsverarbeitungsschritt umfasst – auf eine vorstehend beschriebene Weise ausgeführt werden. Dementsprechend wird der erste Graben **141**, der während des Struktur-Kollaps-Verarbeitungsschritts **26** aufrechterhalten wurde, mit dem Oxid **169** bereitgestellt, und daher kann die SOI-Insel **15**, **16** zu diesem Zeitpunkt, d.h. direkt nach dem Oxidationsverarbeitungsschritt **18**, einen isolierten Graben umfassen. Zum Beispiel können, wie vorstehend erläutert, nach dem Bereitstellen der SOI-Insel **15**, **16** weitere Verarbeitungsschritte **29** ausgeführt werden, die z.B. ein Bereitstellen des leitfähigen Materials **148** in den zweiten Gräben **142**, umfassen, um z.B. Steuerelektroden und/oder Feldelektroden zu erzeugen. In einer Ausführungsform wird das leitfähige Material **148**, das zum Beispiel stark dotiertes polykristallines Silizium umfassen kann, auch in dem ersten Graben **141** bereitgestellt, der während des Struktur-Kollaps-Verarbeitungsschritts **26** beibehalten wurde, wie in **Fig. 6** hinsichtlich der Schritte **29** dargestellt. Es versteht sich, dass die Maske **5** sicherlich mit mehr als lediglich einem Inselteil **52** bereitgestellt werden kann, um mehr als lediglich einen der ersten Gräben **141**, die von dem Struktur-Kollaps-Verarbeitungsschritt **26** ausgeschlossen werden sollen, abzudecken. Das leitfähige Material **148** kann auch in dem Grenzgraben **145** und zusätzlich in den Hohlräumen **1415** bereitgestellt werden. Die weiteren Verarbeitungsschritte **29** können auch ein Bereitstellen eines oder mehrerer erster Teilgebiete **151** und eines oder mehrerer zweiter Teilgebiete **152** in dem Halbleitergebiet **15** der erzeugten SOI-Insel umfassen. Zum Beispiel umfassen das eine oder die mehreren ersten Teilgebiete **151** Dotierstoffe des ersten Leitfähigkeitstyps und das eine oder die mehreren zweiten Teilgebiete **152** können Dotierstoffe des zweiten Leitfähigkeitstyps umfassen. Dadurch kann gemäß einer Ausführungsform eine Peripherieschaltung, die z.B. eine Transistor- und/oder Diodenfunktionalität umfasst, innerhalb des Halbleitergebiets **15** der erzeugten SOI-Insel bereitgestellt werden.

**[0063]** In einer Ausführungsform weist die erzeugte SOI-Insel **15**, **16** eine Abmessung von einigen  $\mu\text{m}$  in jeder seitlichen Richtung X, Y und einige  $\mu\text{m}$  in der Erstreckungsrichtung Z auf. Zum Beispiel beträgt die Größe des horizontalen Querschnitts ungefähr  $10 \times 10 \mu\text{m}^2$  oder ungefähr  $30 \times 30 \mu\text{m}^2$ , und die Tiefe, z.B. die Gesamterstreckung des Halbleitergebiets **15** von der Fläche **10-1** bis zum Anfang der Isolationsstruktur **16**, beträgt um die  $4 \mu\text{m}$ .

**[0064]** Gemäß der in **Fig. 7** schematisch dargestellten Ausführungsform kann das Verfahren **2** ein Bereitstellen einer Peripherieschaltung **17** in dem Halb-

leitergebiet **15** der erzeugten SOI-Insel umfassen. Wie vorstehend erläutert wurde, kann die SOI-Insel in einem Leistungshalbleiterbauelement **1** erzeugt werden. Das Leistungshalbleiterbauelement **1** kann einen ersten Lastanschluss **11**, z.B. einen Emitter- (oder einen Source-)Anschluss, der z.B. für eine elektrische Verbindung mit Masse **5** ausgelegt ist, und einen zweiten Lastanschluss **12**, z.B. einen Kollektor-Anschluss, umfassen. Um ein Steuersignal zum Steuern des Leistungshalbleiterbauelements **1** bereitzustellen, z.B. um das Leistungshalbleiterbauelement **1** in einen Leitungszustand oder in einen Sperrzustand zu versetzen, kann ein Steueranschluss **13** bereitgestellt werden. Der Steueranschluss **13** kann mit einer oder mehreren Steuerelektroden **131** elektrisch verbunden sein, die, wie vorstehend erläutert wurde, in einem oder mehreren der zweiten Gräben **142**, z.B. durch Bereitstellen des leitfähigen Materials **148** in einem oder mehreren der zweiten Gräben **142**, bereitgestellt werden können. Der Steueranschluss **13** kann mit der einen oder den mehreren Steuerelektroden **131** mithilfe eines Reihenwiderstands **133**, z.B. eines Gatewiderstands, elektrisch verbunden werden. Wie außerdem vorstehend erläutert wurde, können der eine oder die mehreren zweiten Gräben **142** eine oder mehrere Leistungszellen **1-1** des Leistungshalbleiterbauelements **1** bilden. Die eine oder die mehreren Leistungszellen **1-1** werden in denselben Halbleiterkörper **10** wie die SOI-Insel, die das Halbleitergebiet **15** umfasst, integriert, wobei das Halbleitergebiet **15** von der einen oder den mehreren Leistungszellen **1-1** mithilfe von mindestens der Isolationsstruktur **16** (in **Fig. 7** nicht zu sehen) getrennt werden kann. Zum Beispiel umfassen die eine oder die mehreren Leistungszellen **1-1** ein Halbleitergebiet **1-11**, z.B. ein floatendes p-dotiertes Gebiet, das mit einem Transistor **173** der Peripherieschaltung **17**, die in dem Halbleitergebiet **15** der SOI-Insel implementiert ist, elektrisch verbunden ist. Zum Beispiel durchquert die elektrische Verbindung nicht die Isolationsstruktur **16**, sondern wird entlang eines Pfads umgesetzt, der die Isolationsstruktur **16** überbrückt, z.B. wird der Pfad zumindest teilweise über der Fläche **10-1** angeordnet. Zum Beispiel wird das Halbleitergebiet **1-11** mit einem Steuereingang des Transistors **173** elektrisch verbunden. Zum Beispiel wird der erste Lastanschluss **11** des Leistungshalbleiterbauelements **1** mit dem Transistor **173**, z.B. mit einem ersten Lastkontakt des Transistors **173**, ebenfalls elektrisch verbunden. Ein anderer Lastkontakt des Transistors **173** kann mit der mindestens einen Steuerelektrode **131** der Leistungszelle **1-1** gekoppelt werden. Zum Beispiel wird die elektrische Kopplung mithilfe einer Zener-Diode **171** und einer Diode **172**, die anti-seriell miteinander verbunden sind, umgesetzt, wie in **Fig. 7** dargestellt.

**[0065]** Zum Beispiel variiert das elektrische Potential des Halbleitergebiets **1-11** in Abhängigkeit von einem Betriebszustand der Leistungszelle **1-1**. Zum

Beispiel hängt das elektrische Potential des Halbleitergebiets von zumindest einem von der in der Leistungszelle **1-11** vorhandenen Temperatur, einer tatsächlichen Stärke des durch die Leistungszelle **1-1** geleiteten Laststroms und einer tatsächlichen Größe einer in der Leistungszelle **1-1** – vorhandenen Spannung ab. Ein solches variierendes elektrisches Potential des Halbleitergebiets **1-11** der Leistungszelle **1-1** kann den Transistor **173** steuern, z.B. kann der Transistor **173** in Abhängigkeit von dem elektrischen Potential des Halbleitergebiets **1-11** ein- oder ausgeschaltet werden. Da einer der Lastkontakte des Transistors **173** gemäß einer Ausführungsform mit der einen oder den mehreren Steuerelektroden **131** der Leistungszelle **1-1** elektrisch verbunden werden kann, kann der Transistor **173** schließlich ein Ausschalten der Leistungszelle **1-1** verursachen. Zum Beispiel kann auf diese Weise die in dem Halbleitergebiet **15** der SOI-Insel aufgenommene Peripherieschaltung **17** eine Schutzfunktionalität, z.B. einen Kurzschlusschutz, z.B. ein automatisches Ausschalten im Fall eines Überstroms oder im Fall einer übermäßigen Temperatur, die in der Leistungszelle **1-1** vorhanden ist, bereitstellen.

**[0066]** Die vorstehend vorgestellte Schaltung **17** ist nur eines von vielen Beispielen. Im Prinzip kann eine beliebige Schaltungsfunktionalität in dem Halbleitergebiet **15** der SOI-Insel implementiert werden, wobei die SOI-Insel gemäß dem vorstehend dargestellten Verfahren **2** erzeugt werden kann.

**[0067]** Im Folgenden werden Ausführungsbeispiele eines Leistungshalbleiterbauelements **1**, das eine SOI-Insel umfasst, beschrieben. Zum Beispiel wurde die entsprechende SOI-Insel dieser Ausführungsformen gemäß dem vorstehend offenbarten Verfahren **2** erzeugt. Dementsprechend kann das, was vorstehend in Bezug auf das Verfahren **2** angegeben wurde, analog auf die Ausführungsformen des Leistungshalbleiterbauelements **1**, das die nachstehend beschriebene SOI-Insel umfasst, angewendet werden.

**[0068]** Zum Beispiel umfasst das in **Fig. 8** dargestellte Leistungshalbleiterbauelement **1** einen Halbleiterkörper **10**, der mit einem ersten Lastanschluss **11** und einen zweiten Lastanschluss **12** gekoppelt ist. Der erste Lastanschluss **11** kann ein Source-Anschluss sein und der zweite Lastanschluss **12** kann ein Drain-Anschluss sein. Zum Beispiel ist das Halbleiterbauelement **1** ein IGBT oder ein MOSFET. Der erste Lastanschluss **11** kann eine erste Metallisierung **115** umfassen, die über einer Fläche **10-1** des Halbleiterkörpers **10** angeordnet ist, wobei die erste Metallisierung **115** seitlich durch mindestens eine erste Flanke **1151** begrenzt sein kann.

**[0069]** Der Halbleiterkörper **10** kann ein Driftgebiet **100** umfassen, das derart ausgelegt ist, dass es ei-

nen Laststrom zwischen den Anschlüssen **11**, **12** leitet. Außerdem können mehrere Leistungszellen **11** bereitgestellt werden, wobei jede Leistungszelle **1-1** ein Halbleiterkanalgebiet **102** umfassen kann, das in Kontakt mit dem Driftgebiet **100** angeordnet ist und damit einen pn-Übergang **1020** bildet. Außerdem kann die erste Metallisierung **115** in Kontakt mit dem Kanalgebiet **102** angeordnet werden.

**[0070]** Jede Leistungszelle kann auch einen Graben **142** aufweisen, der einen Isolator **169** und eine isolierte Steuerelektrode **131** umfasst, die zum Steuern eines Pfads des Laststroms in dem Kanalgebiet **102** ausgelegt ist, wobei sich der Graben **142** von einer Fläche **10-1** des Halbleiterkörpers **10** entlang der Erstreckungsrichtung **Z** erstreckt. Der Graben **142** und der Isolator **169**, z.B. ein Oxid **169**, können so erzeugt werden, wie vorstehend in Bezug auf das Verfahren **2** erläutert.

**[0071]** Das Leistungshalbleiterbauelement **1** kann einen Steueranschluss **13** umfassen, der zum Bereitstellen eines Steuersignals an die Steuerelektrode **131** ausgelegt ist. Zum Beispiel ist der Steueranschluss **13** ein Gateanschluss. Der Steueranschluss **13** kann eine zweite Metallisierung **135** umfassen, die über der Fläche **10-1** angeordnet ist, wobei die zweite Metallisierung **135** seitlich durch mindestens eine zweite Flanke **1351** begrenzt ist.

**[0072]** Außerdem kann das Leistungshalbleiterbauelement **1** eine SOI-Insel **15**, **16** umfassen, die in dem Halbleiterkörper **10** und von jeder der mehreren Leistungszellen **1-1** getrennt angeordnet ist. Die SOI-Insel **15**, **16** kann derart erzeugt werden, wie vorstehend in Bezug auf das Verfahren **2** erläutert.

**[0073]** Außerdem kann jede von der ersten Flanke **1151** und der zweiten Flanke **1352** in der ersten seitlichen Richtung **X** die SOI-Insel **15**, **16** überlappen. Zum Beispiel ist jede von der ersten Flanke **1151** und der zweiten Flanke **1352** ein geätzter Rand, der z.B. aus einem isotropen oder einem anisotropen Ätzverarbeitungsschritt resultiert. Der erste Lastanschluss **11** und der Steueranschluss **13** können voneinander elektrisch isoliert sein. Dementsprechend kann zwischen den Flanken **1151** und **1352** ein Isolatormaterial, das z.B. Imid umfasst, angeordnet werden. Ein Abstand **d** zwischen der ersten Flanke **1151** und der zweiten Flanke **1351** beträgt mindestens 25 % der Gesamterstreckung **TEX** des Halbleitergebiets **15** der SOI-Insel in der ersten seitlichen Richtung **X**.

**[0074]** In Bezug auf eine andere Ausführungsform, die schematisch und als ein Beispiel in **Fig. 9** dargestellt ist, kann das Leistungshalbleiterbauelement **1** hinsichtlich der Lastanschlüsse **11** und **12** und der Leistungszellen **1-1** auf eine vorstehend unter Bezugnahme auf **Fig. 8** dargelegte Weise ausgelegt werden. Diese Aspekte sind nicht in **Fig. 9** dargestellt.

Das Leistungshalbleiterbauelement **1** umfasst eine SOI-Insel, die ein Halbleitergebiet **15** und eine Isolationsstruktur **16** aufweist, wobei die Isolationsstruktur **16** durch ein Oxid **169** ausgebildet und derart ausgelegt ist, dass sie das Halbleitergebiet **15** von einem Abschnitt des Halbleiterkörpers **10** des Leistungshalbleiterbauelements **1** trennt. Der Abschnitt des Halbleiterkörpers **10** kann die mehreren Leistungszellen **1-1** umfassen, wie vorstehend beschrieben. Die Isolationsstruktur **16** umfasst mindestens eine Seitenwand **1452**, die derart ausgelegt ist, dass sie das Halbleitergebiet **15** seitlich begrenzt, eine Unterseite **161**, die derart ausgelegt ist, dass sie das Halbleitergebiet **15** vertikal begrenzt, und eine lokale Vertiefung **165**, die mindestens einen Teil eines Übergangs zwischen der Seitenwand **1542** und der Unterseite **161** bildet, wobei sich die lokale Vertiefung **165** im Vergleich mit der Unterseite **161** weiter entlang der Erstreckungsrichtung Z erstreckt. Zum Beispiel bildet die lokale Vertiefung **165** den Teil der Isolationsstruktur **16**, der sich am weitesten entlang der Erstreckungsrichtung Z erstreckt. Die lokale Vertiefung **165** kann eine lokale Tiefenzunahme LDI von mindestens 20 nm oder 30 nm oder bis zu 120 nm entlang der Erstreckungsrichtung Z aufweisen. Außerdem ist die lokale Tiefenzunahme LDI auf höchstens 20 nm oder mindestens 30 nm oder bis zu 200 nm entlang einer seitlichen Richtung, die zu der Unterseite **161** der Isolationsstruktur weist, vorhanden.

**[0075]** Die vorstehend beschriebenen Ausführungsformen umfassen die Erkenntnis, dass das vorgeschlagene Verfahren zum Herstellen einer SOI-Insel mit einem Verfahren zum Verarbeiten eines Leistungshalbleiterbauelements, z.B. innerhalb eines Verfahrens zum Herstellen eines grabenbasierten IGBT oder eines grabenbasierten MOSFET, aufgenommen werden kann, während der mit der SOI-Insel verbundene zusätzliche Aufwand wesentlich niedrig gehalten wird. Innerhalb der hergestellten SOI-Insel können verschiedene Peripherieschaltungen integriert werden, z.B. für den Zweck des Bereitstellens einer Sensor- und/oder Schutzfunktionalität, wie vorstehend unter Bezugnahme auf das Beispiel von **Fig. 7** erläutert wurde. Ein Beispiel einer Peripherieschaltung kann mindestens eine von einer Temperaturmessschaltung, einer Übertemperatur-/Überstrom-/Überspannungs-Abschalterschaltung, einer Steuerspannungsverstärkerschaltung oder einer anderen Steuerschaltung oder einer Signalarückkopplungsschaltung umfassen.

**[0076]** Zum Beispiel kann das vorgeschlagene Verfahren in einem Prozess zum Herstellen eines von einem Niederspannungs-Leistungshalbleiterbauelement, einem Mittel- oder Hochspannungs-Leistungshalbleiterbauelement, einem IGBT oder einem MOSFET, z.B. einem MOSFET, der eine Kompensationsstruktur (auch als Superübergang bekannt) aufweist, integriert werden. Gemäß einer oder mehreren Aus-

führungsformen wird das vorgeschlagene Verfahren zum Herstellen einer SOI-Insel in einem Verfahren zum Herstellen eines MPT-IGBT oder eines MPT-MOSFET integriert. Das vorgeschlagene Verfahren kann eine Abwandlung des Venetia-Prozesses bilden.

**[0077]** Vorstehend wurden Ausführungsformen, die sich auf Verfahren zum Verarbeiten von Halbleiterbauelementen beziehen, erläutert. Zum Beispiel basieren diese Halbleiterbauelemente auf Silizium (Si). Dementsprechend kann ein einkristallines Halbleitergebiet oder Schicht, z.B. Gebiete **10**, **100**, **101**, **102**, **109** und **15** von Ausführungsbeispielen, ein einkristallines Si-Gebiet oder eine einkristalline Si-Schicht sein. In anderen Ausführungsformen können polykristallines oder amorphes Silizium eingesetzt werden.

**[0078]** Es versteht sich jedoch, dass Gebiete **10**, **100**, **101**, **102**, **109** und **15** aus einem beliebigen Halbleitermaterial gefertigt werden können, das zum Herstellen eines Halbleiterbauelements geeignet ist. Beispiele solcher Materialien umfassen Elementhalbleitermaterialien, wie z.B. Silizium (Si) oder Germanium (Ge), Gruppe IV-Verbindungshalbleitermaterialien, wie z.B. Siliziumkarbid (SiC) oder Siliziumgermanium (SiGe), binäre, ternäre oder quaternäre III-V-Halbleitermaterialien, wie z.B. Galliumnitrid (GaN), Galliumarsenid (GaAs), Galliumphosphid (GaP), Indiumphosphid (InP), Indiumgalliumphosphid (InGaP), Aluminiumgalliumnitrid (AlGaIn), Aluminiumindiumnitrid (AlInN), Indiumgalliumnitrid (InGaIn), Aluminiumgalliumindiumnitrid (AlGaInN) oder Indiumgalliumarsenidphosphid (InGaAsP), und binäre oder ternäre II-VI-Halbleitermaterialien, wie z.B. Cadmiumtellurid (CdTe) und Quecksilbercadmiumtellurid (HgCdTe), um nur wenige zu nennen, sind jedoch nicht darauf beschränkt. Die vorstehend erwähnten Halbleitermaterialien werden auch als „Homoübergangs-Halbleitermaterialien“ bezeichnet. Beim Kombinieren zweier verschiedener Halbleitermaterialien wird ein Heteroübergangs-Halbleitermaterial gebildet. Beispiele für Heteroübergangs-Halbleitermaterialien umfassen, ohne darauf beschränkt zu sein, Aluminiumgalliumnitrid(AlGaIn)-Aluminiumgalliumindiumnitrid (AlGaInN), Indiumgalliumnitrid(InGaIn)-Aluminiumgalliumindiumnitrid (AlGaInN), Indiumgalliumnitrid(InGaIn)-Galliumnitrid (GaN), Aluminiumgalliumnitrid (AlGaIn)-Galliumnitrid (GaN), Indiumgalliumnitrid(InGaIn)-Aluminiumgalliumnitrid (AlGaIn), Silizium-Siliziumkarbid (Si<sub>1-x</sub>C<sub>x</sub>) und Silizium-SiGe-Heteroübergangs-Halbleitermaterialien. Für Anwendungen mit Leistungshalbleiterbauelementen werden zurzeit hauptsächlich Si-, SiC-, GaAs- und GaN-Materialien verwendet.

**[0079]** Begriffe, die räumliche Relativität bezeichnen, wie z.B. „unten“, „unterhalb“, „unterer“, „oben“, „oberer“ und dergleichen werden zur Erleichterung

der Beschreibung verwendet, um die Anordnung eines Elements im Verhältnis zu einem zweiten Element zu erläutern. Diese Begriffe sollen zusätzlich zu Ausrichtungen, die von jenen, die in den Figuren veranschaulicht sind, verschiedenen sind, verschiedene Ausrichtungen des jeweiligen Bauelements mit einschließen. Außerdem werden Begriffe, wie „erster“, „zweiter“ und dergleichen auch zum Beschreiben verschiedener Elemente, Bereiche, Abschnitte usw. verwendet und sollen ebenfalls nicht einschränkend sein. Gleiche Begriffe beziehen sich in der gesamten Beschreibung auf gleiche Elemente.

**[0080]** Wie hier verwendet, sind die Begriffe „haben“, „enthalten“, „umfassen“, „einschließen“, „aufweisen“ und dergleichen offene Begriffe, die das Vorhandensein von genannten Elementen oder Merkmalen anzeigen, aber zusätzliche Elemente oder Merkmale nicht ausschließen. Die Artikel „ein“ und „der“/„die“/„das“ sollen sowohl Pluralformen als auch Singularformen umfassen, sofern nicht eindeutig anders vom Kontext angegeben.

**[0081]** Unter Berücksichtigung der vorstehenden Abwandlungen und Anwendungen versteht es sich, dass die vorliegende Erfindung weder durch die vorstehende Beschreibung beschränkt ist, noch ist sie durch die beigefügten Zeichnungen beschränkt. Stattdessen ist die vorliegende Erfindung lediglich durch die folgenden Ansprüche und ihre legalen Äquivalente beschränkt.

### Patentansprüche

1. Verfahren (2) zum Herstellen einer SOI-Insel (15) in einem Leistungshalbleiterbauelement (1), umfassend:

- Bereitstellen (20) eines Halbleiterkörpers (10) mit einer Vielzahl von Gräben (14), wobei jeder Graben (14) einen Isolator (149) umfasst, wobei die Vielzahl von Gräben (14) erste Gräben (141), die für einen Struktur-Kollaps-Verarbeitungsschritt bestimmt sind, und mindestens einen Grenzgraben (145), der benachbart zu mindestens einem der ersten Gräben (141) angeordnet ist, umfasst, wobei der Grenzgraben (145) eine erste Seitenwand (1451), die dem mindestens einen ersten Graben (141) zugewandt ist, und eine gegenüberliegende zweite Seitenwand (1452) aufweist,
- Bereitstellen (22) einer Maske (5), wobei die Maske (5) eine Öffnung (51) aufweist, die einen ersten Abschnitt, der jede der ersten Seitenwand (1451) des Grenzgrabens (145) und der ersten Gräben (141) umfasst, freilegt und wobei die Maske (5) einen zweiten Abschnitt, der mindestens die zweite Seitenwand (1452) des Grenzgrabens (145) umfasst, abdeckt,
- Entfernen (24) des Isolators (149), der in dem ersten, durch die Öffnung (51) freigelegten Abschnitt aufgenommen ist,

– Unterziehen (26) des ersten Abschnitts dem Struktur-Kollaps-Verarbeitungsschritt, während der Isolator (149) an der zweiten Seitenwand (1452) des Grenzgrabens (145) beibehalten wird, wodurch die ersten Gräben (141) in mindestens einen vergrabenen Hohlraum (1415) umgewandelt werden.

2. Verfahren (2) nach Anspruch 1, wobei der Struktur-Kollaps-Verarbeitungsschritt (26) einen Temperierungsschritt in einer Atmosphäre umfasst, die Wasserstoff bei einem Anteil von mindestens 30 % umfasst, während der Isolator (149) an der zweiten Seitenwand (1452) beibehalten wird.

3. Verfahren (2) nach Anspruch 1 oder 2, wobei während des Struktur-Kollaps-Verarbeitungsschritts (26) der erste Abschnitt an den in dem Grenzgraben (145) vorhandenen Isolator (149) angrenzt.

4. Verfahren (2) nach einem der vorhergehenden Ansprüche, wobei während des Struktur-Kollaps-Verarbeitungsschritts (26) an einem Übergang zwischen einem Ende (1491) des in dem Grenzgraben (145) vorhandenen Isolators und dem Halbleiterkörper (10) ein Teil jedes von dem Isolator (149) und dem Halbleiterkörper (10) in ein flüchtiges Material umgewandelt wird.

5. Verfahren (2) nach einem der vorhergehenden Ansprüche, das ferner, nach dem Struktur-Kollaps-Verarbeitungsschritt (26), umfasst:  
– Entfernen (27) des Isolators (149), der in dem zweiten Abschnitt, der durch die Maske (5) abgedeckt wurde, aufgenommen ist.

6. Verfahren (2) nach einem der vorhergehenden Ansprüche, das ferner, nach dem Struktur-Kollaps-Verarbeitungsschritt (26), umfasst:  
– Ausführen (28) eines Oxidationsverarbeitungsschritts, so dass eine Isolationsstruktur (16) erzeugt wird, die ein Oxid (169) an jedem der zweiten Seitenwand (1452) und dem mindestens einen vergrabenen Hohlraum (1415) aufweist.

7. Verfahren (2) nach Anspruch 6, wobei der Oxidationsverarbeitungsschritt (28) eine thermische Oxidation umfasst, so dass das Oxid (169) aufgewachsen wird.

8. Verfahren (2) nach Anspruch 6 oder 7, wobei das erzeugte Oxid (169) eine zusammenhängende Isolationsstruktur (16) bildet, die eine Unterseite (161) und mindestens eine Seitenwand aufweist, wobei die Seitenwand durch das Oxid (169) ausgebildet wird, das an der zweiten Seitenwand (145) des ehemaligen Grenzgrabens (145) erzeugt wurde.

9. Verfahren (2) nach Anspruch 8, wobei die Isolationsstruktur (16) derart ausgelegt ist, dass sie ein

Halbleitergebiet (15) von einem verbleibenden Abschnitt des Halbleiterkörpers (10) trennt.

10. Verfahren (2) nach Anspruch 9, das ferner ein Bereitstellen einer Peripherieschaltung (17) in dem Halbleitergebiet (15) umfasst.

11. Verfahren (2) nach einem der vorhergehenden Ansprüche 6 bis 10, wobei der Oxidationsverarbeitungsschritt (28) ohne Maske ausgeführt wird.

12. Verfahren (2) nach einem der vorhergehenden Ansprüche 6 bis 11, wobei die zweite Seitenwand (1452) mindestens einen Teil einer atmosphärischen Verbindung mit dem mindestens einen vergrabenen Hohlraum (1415) während des Oxidationsverarbeitungsschritts (28) bereitstellt.

13. Verfahren (2) nach einem der vorhergehenden Ansprüche, wobei mindestens einer der ersten Gräben (141) eine Verbindung mit dem Grenzgraben (145) bildet.

14. Verfahren (2) nach einem der vorhergehenden Ansprüche, wobei der Grenzgraben (145) die ersten Gräben (141) umgibt.

15. Leistungshalbleiterbauelement (1), das eine SOI-Insel umfasst, die ein Halbleitergebiet (15) und eine Isolationsstruktur (16) aufweist, wobei die Isolationsstruktur (16) durch ein Oxid (169) ausgebildet und derart ausgelegt ist, dass sie das Halbleitergebiet (15) von einem Abschnitt eines Halbleiterkörpers (10) des Leistungshalbleiterbauelements (1) trennt, wobei die Isolationsstruktur (16) umfasst:

- mindestens eine Seitenwand (1452), die derart ausgelegt ist, dass sie das Halbleitergebiet (15) seitlich begrenzt,
- eine Unterseite (161), die derart ausgelegt ist, dass sie das Halbleitergebiet (15) vertikal begrenzt, und
- eine lokale Vertiefung (165), die mindestens einen Teil eines Übergangs zwischen der Seitenwand (1542) und der Unterseite (161) bildet, wobei sich die lokale Vertiefung (165) im Vergleich mit der Unterseite (161) weiter entlang der Erstreckungsrichtung (Z) erstreckt.

16. Leistungshalbleiterbauelement (1) nach Anspruch 15, wobei die lokale Vertiefung (165) den Teil der Isolationsstruktur (16) bildet, der sich am weitesten entlang der Erstreckungsrichtung (Z) erstreckt.

17. Leistungshalbleiterbauelement (1) nach Anspruch 15 oder 16, wobei die lokale Vertiefung (165) eine lokale Tiefenzunahme (LDI) von mindestens 20 nm aufweist.

18. Leistungshalbleiterbauelement (1) nach Anspruch 17, wobei die lokale Tiefenzunahme (LDI) auf

höchstens 20 nm entlang einer seitlichen Richtung vorhanden ist.

19. Leistungshalbleiterbauelement (1), umfassend:

- einen Halbleiterkörper (10), der mit einem ersten Lastanschluss (11) und einem zweiten Lastanschluss (12) gekoppelt ist und ein Driftgebiet (100) umfasst, das derart ausgelegt ist, dass es einen Laststrom zwischen den Anschlüssen (11, 12) leitet, wobei der erste Lastanschluss (11) eine erste Metallisierung (115) umfasst, die über einer Fläche (10-1) des Halbleiterkörpers (10) angeordnet ist, wobei die erste Metallisierung (115) durch mindestens eine erste Flanke (1151) seitlich begrenzt ist,
- mehrere Leistungszellen (1-1), wobei jede Leistungszelle (1-1) umfasst:
  - ein Halbleiterkanalgebiet (102), das in Kontakt mit dem Driftgebiet (100) angeordnet ist und einen pn-Übergang (1020) damit bildet, und
  - einen Graben (14), der einen Isolator (132) und eine isolierte Steuerelektrode (131) umfasst, die derart ausgelegt ist, dass sie einen Pfad des Laststroms in dem Kanalgebiet (102) steuert, wobei sich der Graben (14) von einer Fläche (10-1) des Halbleiterkörpers (10) entlang einer Erstreckungsrichtung (Z) erstreckt,
  - einen Steueranschluss (13), der derart ausgelegt ist, dass er ein Steuersignal an die Steuerelektrode (131) bereitstellt, wobei der Steueranschluss (13) eine zweite Metallisierung (135) umfasst, die über der Fläche (10-1) angeordnet ist, wobei die zweite Metallisierung (135) durch mindestens eine zweite Flanke (1351) seitlich begrenzt ist, und
  - eine SOI-Insel (15, 16), die in dem Halbleiterkörper (10) und von jeder der mehreren Leistungszellen (1-1) getrennt angeordnet ist, wobei jede der ersten Flanke (1151) und der zweiten Flanke (1352) in einer seitlichen Richtung (X) die SOI-Insel (15, 16) überlappt.

20. Leistungshalbleiterbauelement (1) nach Anspruch 19, wobei jede der ersten Flanke (1151) und der zweiten Flanke (1352) ein geätzter Rand ist.

21. Leistungshalbleiterbauelement (1) nach Anspruch 19 oder 20, wobei der erste Lastanschluss (11) und der Steueranschluss (13) elektrisch voneinander isoliert sind.

22. Leistungshalbleiterbauelement (1) nach einem der vorhergehenden Ansprüche 19 bis 21, wobei die erste Metallisierung (115) in Kontakt mit dem Kanalgebiet (102) angeordnet ist.

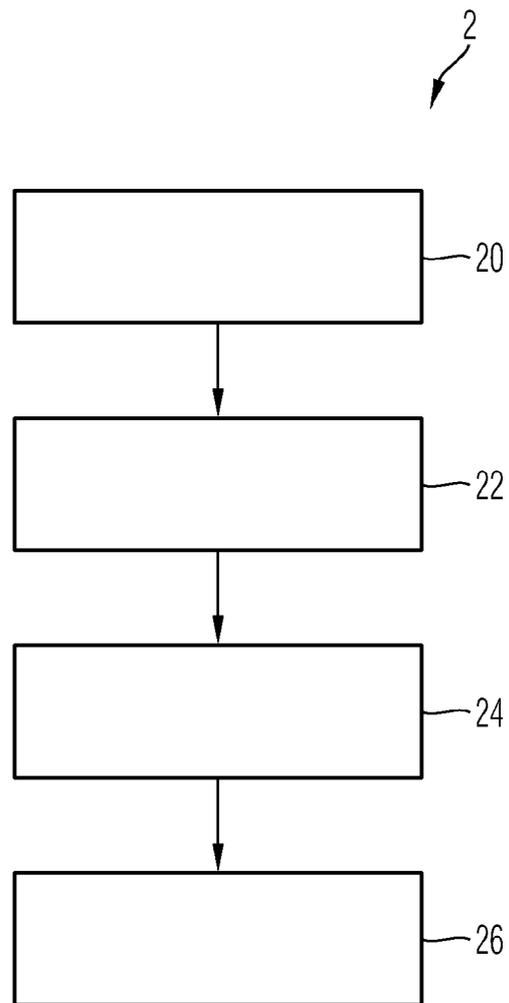
23. Leistungshalbleiterbauelement (1) nach einem der vorhergehenden Ansprüche 19 bis 22, wobei ein Abstand (d) zwischen der ersten Flanke (1151) und der zweiten Flanke (1351) mindestens 25 % der Gesamterstreckung (TEX) eines Halbleitergebiets (15)

der SOI-Insel (Halbleiter auf einem Isolator) (**15, 16**)  
in der seitlichen Richtung (X) beträgt.

Es folgen 10 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1



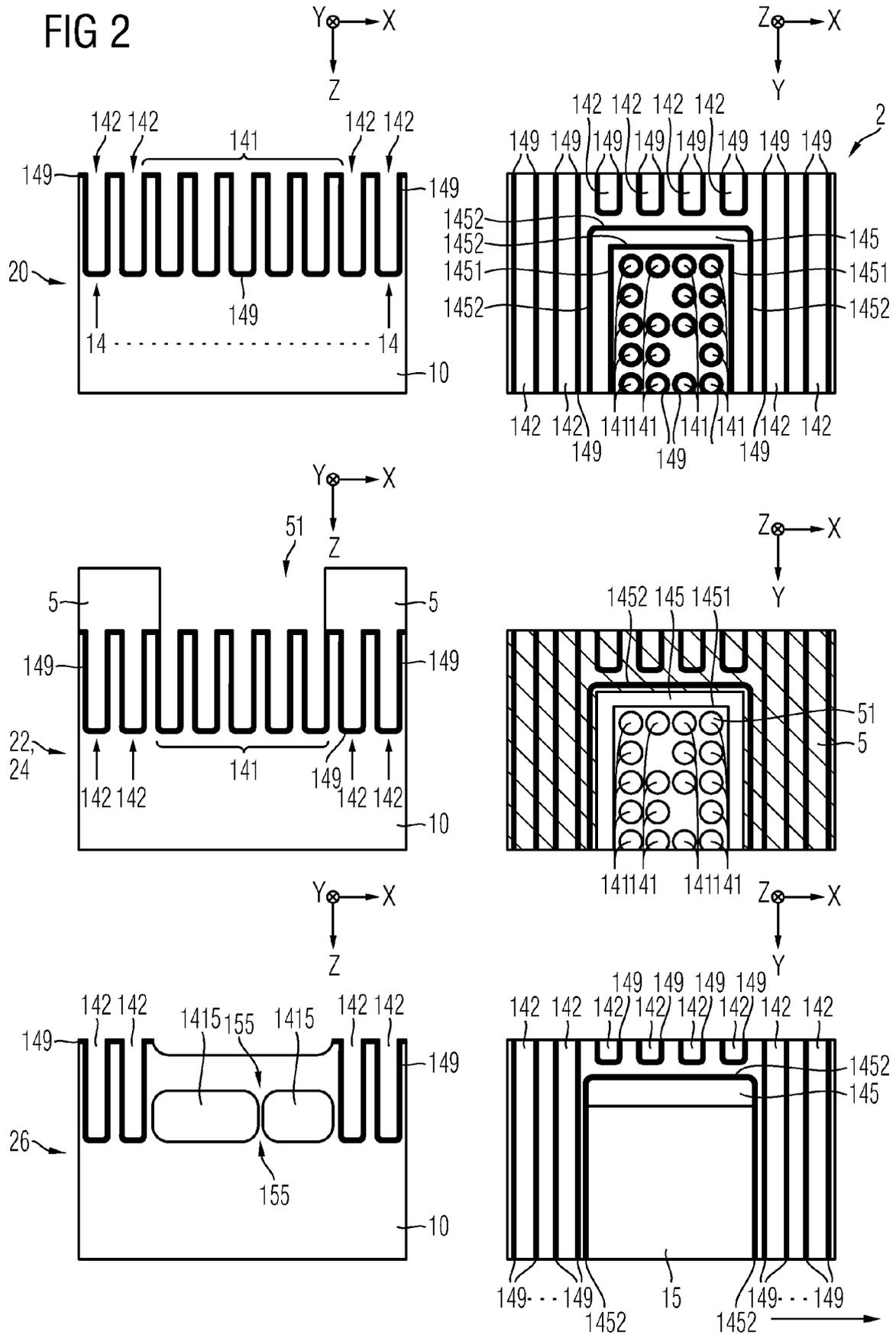
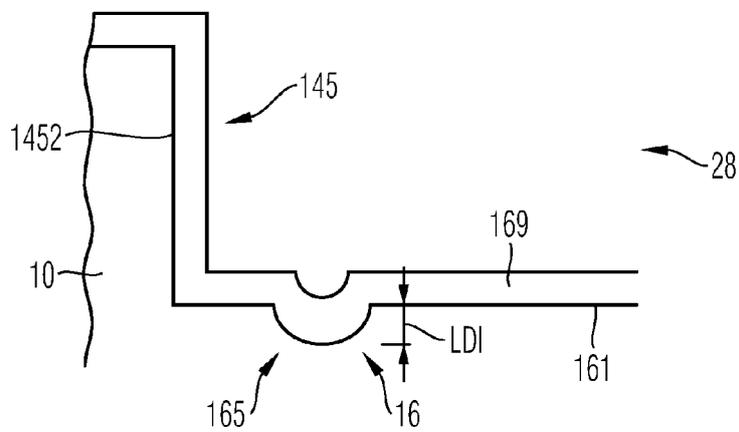
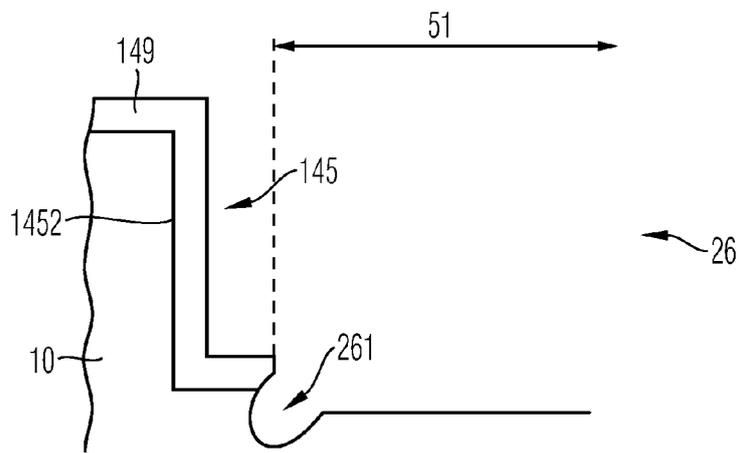
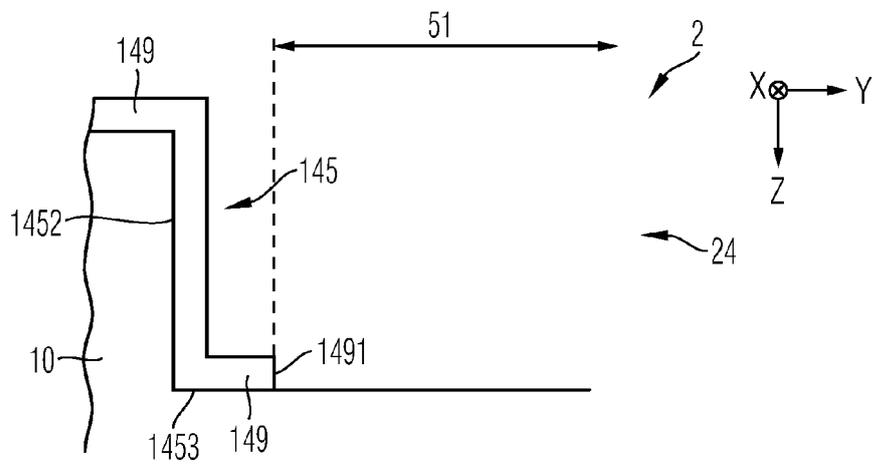




FIG 3



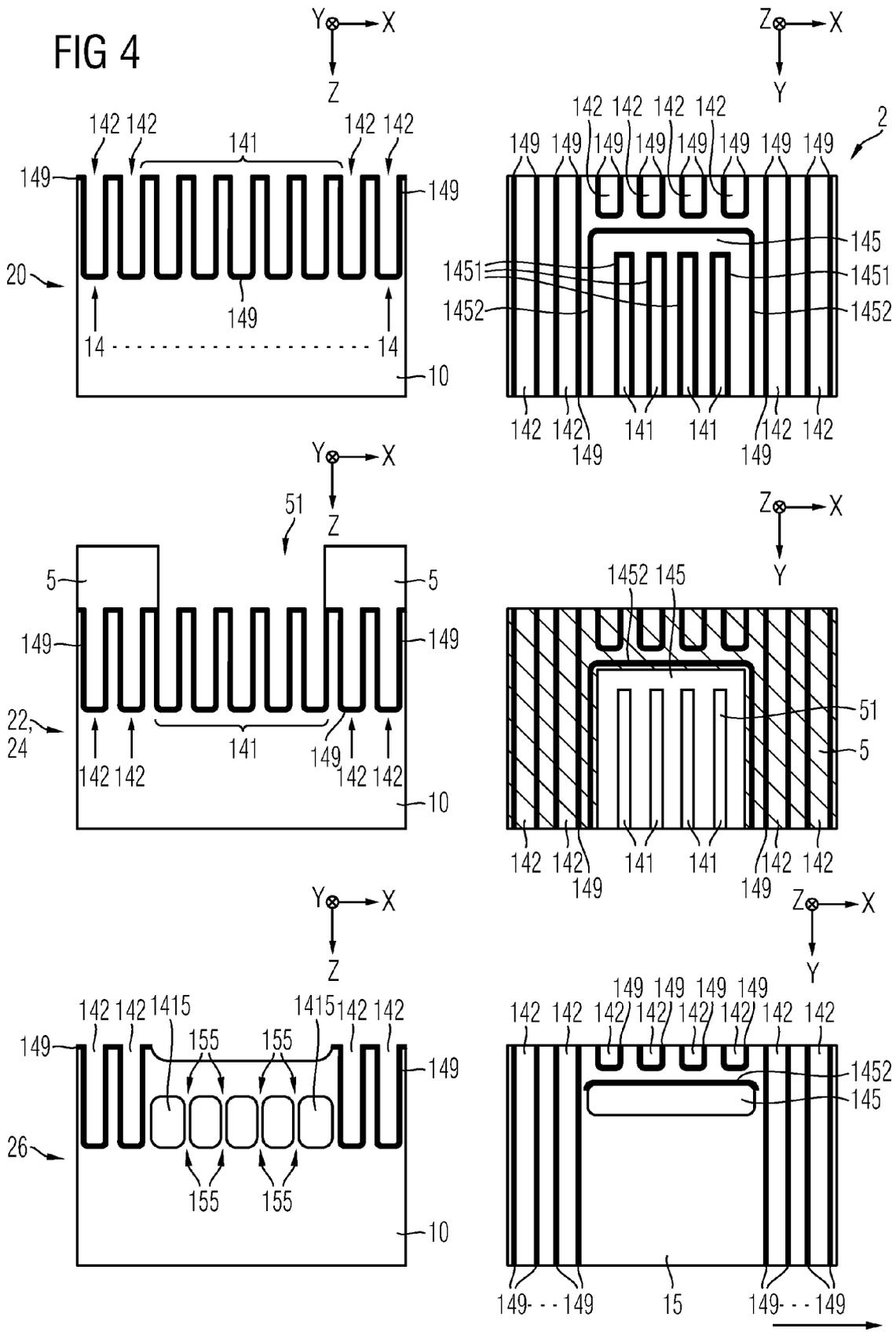


FIG 4

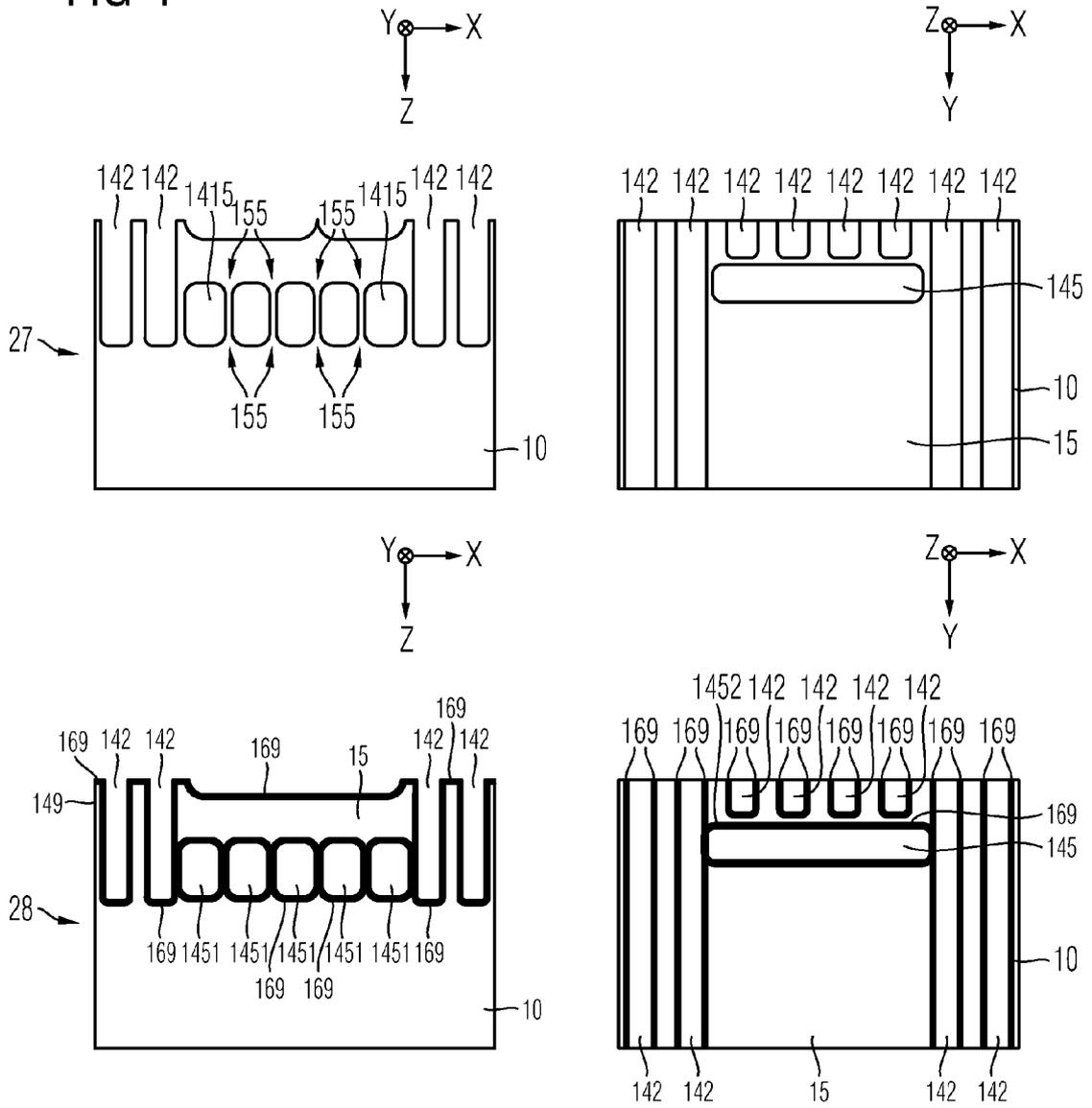
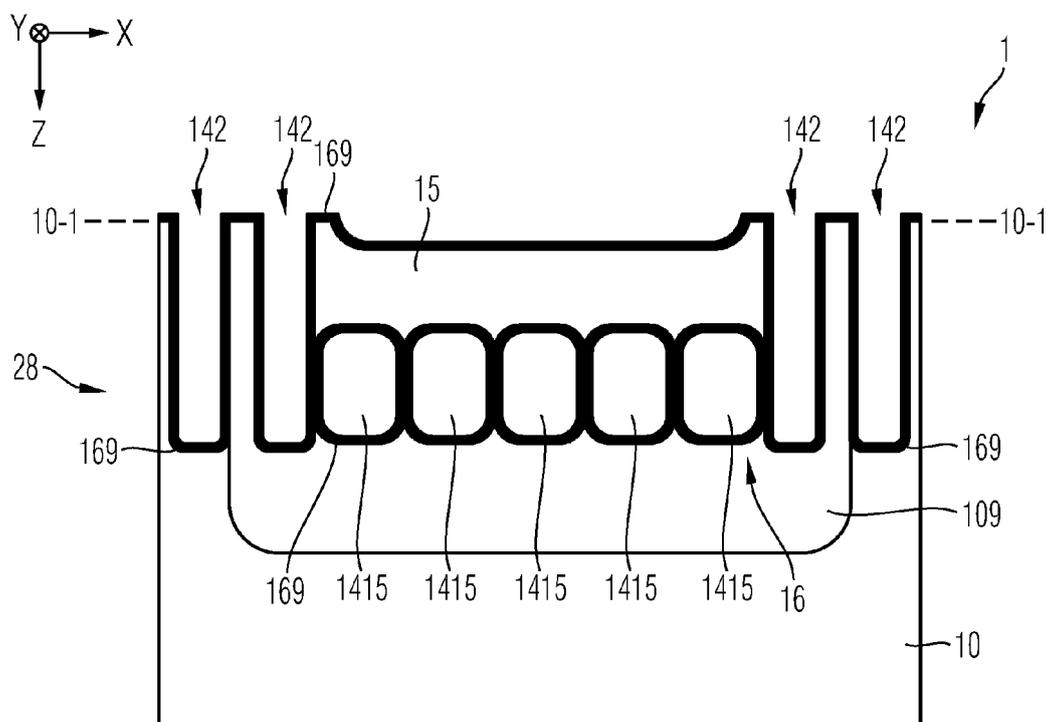


FIG 5



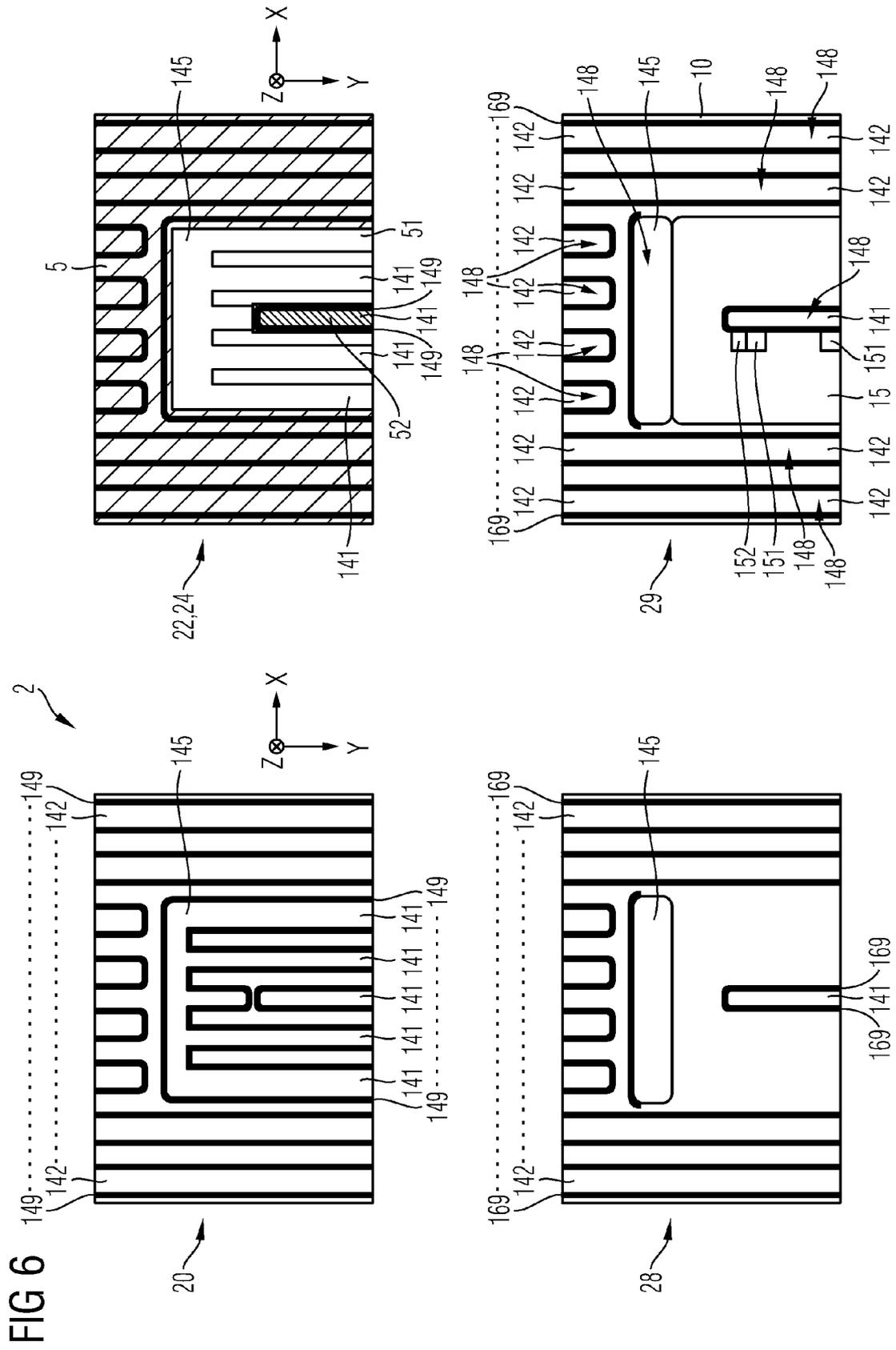


FIG 7

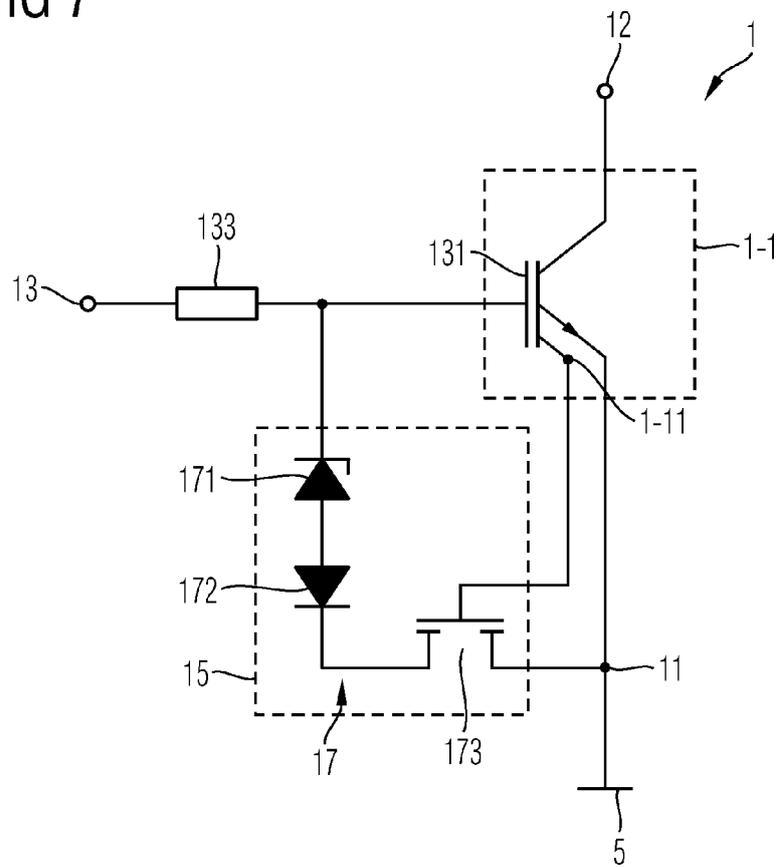


FIG 8

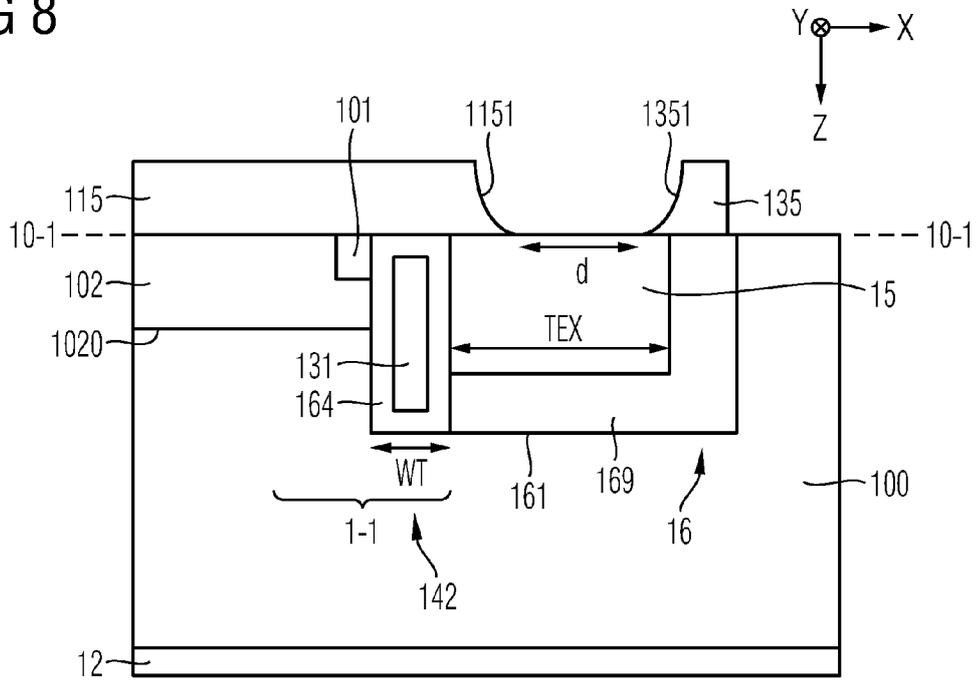


FIG 9

