

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293574
(P2005-293574A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 12/10	G06F 12/10	505Z
G06F 12/02	G06F 12/10	559
	G06F 12/02	570A

審査請求 有 請求項の数 20 O L (全 11 頁)

<p>(21) 出願番号 特願2005-76077 (P2005-76077)</p> <p>(22) 出願日 平成17年3月16日 (2005.3.16)</p> <p>(31) 優先権主張番号 10/814733</p> <p>(32) 優先日 平成16年3月31日 (2004.3.31)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード</p> <p>(74) 代理人 100086243 弁理士 坂口 博</p> <p>(74) 代理人 100091568 弁理士 市位 嘉宏</p> <p>(74) 代理人 100108501 弁理士 上野 剛史</p>
--	---

最終頁に続く

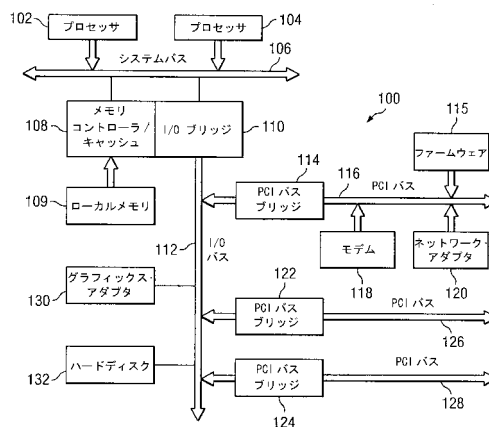
(54) 【発明の名称】 ホールをもつシステムメモリアドレスをサポートするデータ処理システム及びコンピュータプログラム

(57) 【要約】 (修正有)

【課題】 ホールをもつシステムメモリアドレスをサポートする。

【解決手段】 論理区画をサポートするように構成されたプロセッサにより稼動されるオペレーティング・システムのシステムメモリに対して割り振られた第1の物理アドレス範囲を仮想化して、第1の論理アドレス範囲を生成する。第2の物理アドレス範囲を仮想化して、第2の論理アドレス範囲を生成する。第1及び第2の物理アドレス範囲は不連続である。第1及び第2の物理アドレス範囲の仮想化は、第1の論理アドレス範囲及び第2の論理アドレス範囲が連続するようにされる。第1の物理アドレス範囲及び第2の物理アドレス範囲の間にあるメモリマップされた入力/出力物理アドレス範囲を仮想化して、第3の論理アドレス範囲を生成する。第3の論理アドレス範囲の最下部の論理アドレスは、第1及び第2の論理アドレス範囲のそれぞれの最上部の論理アドレスを超える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ホールをもつメモリアドレスをサポートするための方法であって、コンピュータにより実施されるステップからなり、

論理区画をサポートするように構成されたプロセッサにより稼動されるオペレーティング・システムのシステムメモリに対して割り振られた第 1 の物理アドレス範囲を仮想化して、第 1 の論理アドレス範囲を生成し、

前記オペレーティング・システムのシステムメモリに対して割り振られた、前記第 1 の物理アドレス範囲とは不連続の第 2 の物理アドレス範囲を仮想化して、前記第 1 の論理アドレス範囲に連続する第 2 の論理アドレス範囲を生成し、

前記第 1 及び第 2 の物理アドレス範囲の中間にあるメモリマップされた入力 / 出力物理アドレス範囲を仮想化して、第 3 の論理アドレス範囲を生成する、
ステップを含み、

前記第 3 の論理アドレス範囲の最下部の論理アドレスが、前記第 1 及び第 2 の論理アドレス範囲のそれぞれの最上部の論理アドレスを超えることを特徴とする方法。

【請求項 2】

前記第 1 の物理アドレス範囲と、前記第 2 の物理アドレス範囲と、前記メモリマップされた入力 / 出力物理アドレス範囲とを仮想化するステップが、物理アドレス及び対応する論理アドレスを定義するマッピング・テーブルを維持することを含む請求項 1 に記載の方法。

【請求項 3】

前記マッピング・テーブルを維持することが、さらに、該マッピング・テーブルを、前記第 1 及び第 2 の物理アドレス範囲の 1 つに割り振られた、該第 1 及び第 2 の物理アドレス範囲にアクセスするオペレーティング・システムには利用不可能な物理アドレス・スペースに維持することを含む請求項 2 に記載の方法。

【請求項 4】

前記第 3 の論理アドレス範囲が、前記第 1 の論理アドレス範囲及び前記第 2 の論理アドレス範囲と不連続である請求項 1 に記載の方法。

【請求項 5】

前記第 1 の物理アドレス範囲及び前記第 2 物理アドレス範囲の少なくとも 1 つの一部を、論理区画管理ソフトウェア層に割り振ることをさらに含む請求項 1 に記載の方法。

【請求項 6】

前記メモリマップされた入力 / 出力物理アドレス範囲が、キャッシュ禁止アドレスに対して割り振られる請求項 1 に記載の方法。

【請求項 7】

不連続物理メモリ範囲を連続論理アドレス範囲に仮想化するためのコンピュータ可読媒体におけるコンピュータプログラムであって、

システムメモリに対して割り振られたメモリデバイスの第 1 及び第 2 の不連続物理アドレス範囲、及び、前記第 1 及び第 2 の物理アドレス範囲の中間にあるメモリマップされた入力 / 出力物理アドレス範囲を含む第 3 の物理アドレス範囲のための論理対物理メモリアドレス変換を格納する第 1 の命令を含み、前記論理対物理メモリアドレス変換により与えられる前記第 3 の物理アドレス範囲の最下部の論理アドレスが、該論理対物理メモリアドレス変換により与えられる、前記第 1 及び第 2 の不連続物理アドレス範囲に対応する前記第 1 及び第 2 の論理アドレス範囲の最上部より大きいものであり、

前記第 1 の命令の実行に応答して、論理アドレスを対応する物理アドレスに変換するための第 2 の命令、
を含むコンピュータプログラム。

【請求項 8】

前記論理対物理メモリの変換が、前記メモリデバイスにアクセスするオペレーティング・システムには利用不可能であるマッピング・テーブルに格納された請求項 7 に記載のコ

10

20

30

40

50

ンピュータプログラム。

【請求項 9】

前記マッピング・テーブルが、前記第 1 及び第 2 の物理アドレス範囲の少なくとも 1 つに維持された請求項 8 に記載のコンピュータプログラム。

【請求項 10】

前記第 2 の命令が、論理区画機能を与える請求項 7 に記載のコンピュータプログラム。

【請求項 11】

前記第 2 の命令が、前記第 1 及び第 2 の物理アドレス範囲の少なくとも 1 つに維持された請求項 7 に記載のコンピュータプログラム。

【請求項 12】

前記第 2 の命令が、データ処理システムの入力及び出力装置をもつオペレーティング・システムとインターフェースする請求項 7 に記載のコンピュータプログラム。

【請求項 13】

前記第 2 の命令が、前記第 1 及び第 2 の論理アドレス範囲を含む連続論理アドレス範囲を、前記オペレーティング・システムに提示する請求項 12 に記載のコンピュータプログラム。

【請求項 14】

前記第 3 の物理アドレス範囲が、キャッシュ禁止のメモリマップされた入力/出力アドレスに対して割り振られた請求項 8 に記載のコンピュータプログラム。

【請求項 15】

不連続のシステムメモリアレイをサポートするデータ処理システムであって、
第 1 及び第 2 のそれぞれの物理アドレス範囲を有するシステムメモリに対して割り振られた第 1 及び第 2 の不連続物理メモリアレイと、前記第 1 及び第 2 の物理アドレス範囲の中間に第 3 の物理アドレス範囲を有する第 3 の物理メモリアレイと、データ・セットと、命令のセットとを含むメモリ、及び

論理区画をサポートするように構成されたプロセッサ、
を備え、前記プロセッサには、前記第 1 及び第 2 の不連続メモリアレイへのアクセスに対して、前記命令の実行にตอบสนองして、連続論理アドレス範囲が提示されることを特徴とするデータ処理システム。

【請求項 16】

前記データ・セットが、論理対物理メモリアドレス変換を定義するマッピング・テーブルである請求項 15 に記載のデータ処理システム。

【請求項 17】

前記命令のセットが、論理区画管理を与える請求項 15 に記載のデータ処理システム。

【請求項 18】

前記データ・セットが、前記第 1 及び第 2 の物理アドレス範囲の少なくとも 1 つにおけるメモリに維持された請求項 15 に記載のデータ処理システム。

【請求項 19】

前記命令のセットが、前記第 1 及び第 2 の物理アドレス範囲の少なくとも 1 つにおけるメモリに維持された請求項 15 に記載のデータ処理システム。

【請求項 20】

第 2 の論理アドレス範囲が前記第 3 の物理アドレス範囲にマップされて、前記第 2 の論理アドレス範囲の最下部の論理アドレスは、前記連続論理アドレス範囲の最上部の論理アドレスより大きいものである請求項 15 に記載のデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、改善されたデータ処理システム、特に、改善されたオペレーティング・システム作動のための方法及びデータ処理システムに関する。より詳細には、本発明は、メモリマップされた入力/出力物理アドレスを仮想化して、連続するシステムメモリ

10

20

30

40

50

アドレス・スペースを与えるための方法及びデータ処理システムを提供するものである。

【背景技術】

【0002】

多くのデータ処理システムにおいては、入力/出力キャッシュ禁止アドレスは、システム・アドレス・スペースのアドレス範囲にマップされる。多くの場合、入力/出力キャッシュ禁止アドレスは、オペレーティング・システムによる使用のために割り振られたシステムメモリの多数の物理アドレス範囲の中間に、物理アドレスを有する。このような場合には、入力/出力キャッシュ禁止アドレスは、オペレーティング・システムがアドレス可能な別々のメモリのブロックの間に存在する、物理アドレスのメモリ「ホール」(hole)を呈するものとなる。

10

【発明の開示】

【発明が解決しようとする課題】

【0003】

オペレーティング・システムは、ホールをもつシステムメモリアドレスをサポートできないことがある。例えば、2つのメモリアレイをもつ幾つかの構成においては、Linux(Linus Torvaldsの商標)のオペレーティング・システムは、ホールをもつメモリアドレスを処理できないことがある。このような状況においては、オペレーティング・システムのカーネルを、メモリホールに対応するように変更することができる。しかしながら、このような解決策は時間がかかり、幾つかのサーバプログラムの機能性、可用性、及び、このような欠陥をもつオペレーティング・システムのバージョンを十分にサポートするデータ処理システムの能力を脅かすことになる。

20

【0004】

従って、ホールをもつシステムメモリアドレスをサポートするデータ処理システムを提供することが有益である。さらに、オペレーティング・システムのカーネルを変更することなく、ホールをもつシステムメモリアドレスをサポートするデータ処理システムを提供することが有益であるであろう。

【課題を解決するための手段】

【0005】

本発明は、ホールをもつメモリアドレスをサポートするための方法、コンピュータプログラム、及びデータ処理システムを提供する。論理区画(logical partitioning)をサポートするように構成されたプロセッサにより稼動されるオペレーティング・システムのシステムメモリに対して割り振られた第1の物理アドレス範囲を仮想化して、第1の論理アドレス範囲を生成する。オペレーティング・システムのシステムメモリに対して割り振られた第2の物理アドレス範囲を仮想化して、第2の論理アドレス範囲を生成する。第1の物理アドレス範囲及び第2の物理アドレス範囲は不連続である。第1及び第2の物理アドレス範囲の仮想化は、第1の論理アドレス範囲及び第2の論理アドレス範囲が連続するようにされる。第1の物理アドレス範囲及び第2の物理アドレス範囲の中間にあるメモリマップされた入力/出力物理アドレス範囲を仮想化して、第3の論理キャッシュ禁止アドレス範囲を生成する。第3の論理アドレス範囲の最下部の論理アドレスは、第1及び第2の論理アドレス範囲のそれぞれの最上部の論理アドレスを超える。

30

40

【0006】

本発明の特性と考えられる新規な特徴が、添付の特許請求の範囲に記載される。しかしながら、本発明自体並びに好ましい使用モード、そのさらなる目的及び利点は、以下の例示的な実施形態の詳細な説明を添付の図面と併せて読んだときに、最もよく理解されることになるであろう。

【発明を実施するための最良の形態】

【0007】

図1を参照すると、本発明の好ましい実施形態に係る、ホールをもつシステムメモリアドレスにサポートを与えるデータ処理システムのブロック図が示されている。データ処理システム100は、システムバス106に接続された複数のプロセッサ102及び104

50

を含む対称型マルチプロセッサ(SMP)システムとすることができる。プロセッサ102及び104は、論理区画環境の下で稼動されるようにすることが好ましい。例えば、プロセッサ102及び104は、それぞれニューヨーク州アーモンク所在のインターナショナル・ビジネス・マシーンス・コーポレーションにより製造された970PowerPCプロセッサ、又は同様の機能プロセッサデバイスとして実施することができる。代替的には、単一のプロセッサシステムを用いることができる。さらに、システムバス106には、ローカルメモリ109にインターフェースを与えるメモリコントローラ/キャッシュ108が接続される。I/Oバスブリッジ110がシステムバス106に接続され、I/Oバス112にインターフェースを与える。メモリコントローラ/キャッシュ108、及び、I/Oバスブリッジ110は図示されるように統合することができる。

10

【0008】

I/Oバス112に接続された周辺機器相互接続(PCI)バスブリッジ114は、PCIローカルバス116にインターフェースを与える。幾つかのモデムをPCIローカルバス116に接続することができる。典型的なPCIバスの実装は、4つのPCI拡張スロット又はアドインコネクタをサポートする。顧客データ処理システムに対する通信リンクは、アドインコネクタを介してPCIローカルバス116に接続されたモデム118及びネットワーク・アダプタ120により与えることができる。さらに、システムファームウェア115をローカルバス116に接続することができる。

【0009】

付加的なPCIバスブリッジ122及び124は、付加的なPCIローカルバス126及び128にインターフェースを与え、そこから付加的なモデム又はネットワーク・アダプタをサポートすることができる。このようにして、データ処理システム100は、多数のネットワークコンピュータに対する接続を可能にする。図示されるように、メモリマップされたグラフィックス・アダプタ130及びハードディスク132もまた、直接又は間接のいずれかで、I/Oバス112に接続することができる。

20

【0010】

当業者であれば、図1に示されるハードウェアを変更できることを認識するであろう。例えば、さらに、光ディスクドライブなどといった他の周辺装置を、図示されるハードウェアに加えて、又はその代わりに用いることもできる。図示される実施例は、本発明に対する構造的な制限を示すことを意味するものではない。

30

【0011】

図1に示されるデータ処理システムは、例えば、拡張対話式エグゼクティブ(AIX)オペレーティング・システム又はLINUXのオペレーティング・システムを稼動させる、ニューヨーク州アーモンク所在のインターナショナル・ビジネス・マシーンス・コーポレーションの製品であるIBM JS20 blade eServer pSeries systemとすることができる。

【0012】

図2は、本発明の好ましい実施形態に係る、ホールをもつメモリアドレスをサポートするために仮想化することができる不連続物理メモリアドレス・スペースを有する、図1に示されるデータ処理システム100のローカルメモリ109のようなメモリデバイスの概略図である。説明に役立つ実例においては、メモリ200は、8ギガバイト(GB)、すなわち8192MBのシステムメモリを備える。システムメモリは、2つの不連続物理メモリ範囲に分割される。具体的には、メモリ200は、第1の物理範囲210及び第2の物理範囲211を含み、これらは、該第1の物理範囲210と該第2の物理範囲211との中間でアドレスホールを呈するメモリマップされた入力/出力(MMIO)物理範囲220によって分離されている。説明に役立つ実例においては、物理範囲210は、オペレーティング・システムによりアドレス可能な2048メガバイト(MB)のシステムメモリ範囲を含み、物理範囲211は、オペレーティング・システムによりアドレス可能な6144MBのシステムメモリ範囲を含む。物理範囲210は、16進法の0x00000000から0x07FFFFFFFまでの物理アドレス範囲を含み、物理範囲211は

40

50

、16進法の0×100000000から0×15FFFFFFFまでの物理アドレス範囲を含む。キャッシュ禁止アドレスは、物理範囲210及び211の中間にアドレス範囲を有する物理範囲220にマップされる。このように、メモリ200は、物理範囲210及び211により与えられるシステムメモリの物理アドレスにおいて不連続性を呈するMMIO物理範囲220を含む。MMIO物理範囲220は、16進法の0×0800000000から0×FFFFFFFまでの物理メモリアドレス範囲を有する2048MBのメモリを備える。

【0013】

図3は、本発明の好ましい実施形態に係る、メモリホールをもつメモリアドレスをサポートするために、メモリアドレスの論理区画により仮想化を実現するソフトウェア及びハードウェア構成の概略図である。オペレーティング・システム304は、例えば、Linuxのオペレーティング・システムの実装、拡張対話式エグゼクティブ・オペレーティング・システム(AIX)といったUnix(登録商標)のオペレーティング・システムの別の変形その他同様なものとして行うことができる。オペレーティング・システム304は、アプリケーション302を稼働させる。論理区画(LP AR)管理306は、LP ARリソースの管理を容易にするソフトウェアシステム層である。LP AR管理306は、例えば、ハードディスク又は図1に示されるデータ処理システム100のファームウェア115のようなシステムファームウェアに格納されるコンピュータプログラムとして維持されるコンピュータ実行可能命令を含むことができる。LP AR管理306は、例えば、ニューヨーク州アーモンク所在のインターナショナル・ビジネス・マシーンス・コーポレーションの製品である、Hypervisorシステムとして実施することができる。LP AR管理306は、さらに、図1に示されるデータ処理システム100のローカルメモリ109のようなシステムメモリデバイスに割り振られたコンピュータ実行可能論理を含むことができる。例えば、LP AR管理306は、物理範囲210又は211の一部を、論理対物理アドレスのマッピング・テーブル、LP ARプログラム及びデータ・ストレージその他同様なものに割り振ることができる。さらに、LP AR306は、オペレーティング・システム304の仮想アドレッシング・サポートを可能にするように、ページ・テーブルを割り振ることができる。マッピング・テーブル、ページ・テーブル、LP ARプログラム及びデータ・ストレージにより利用される物理範囲210又は211のアドレス・スペースは、オペレーティング・システムによるアクセスには利用できない。

10

20

30

【0014】

LP AR管理306は、プロセッサ308、及び、メモリ309、及び、入力及び出力(I/O)デバイス310といったシステムハードウェアに対するO/S304のアクセスを管理する。プロセッサ308は、図1に示されるデータ処理システム100のプロセッサ102及び104を表し、メモリ309は該データ処理システム100のローカルメモリ109を表す。プロセッサ308は、論理区画をサポートし、本発明の好ましい実施形態に係る論理区画環境の下で稼働するように構成される。

【0015】

図4は、本発明の好ましい実施形態に係る、図1のデータ処理システム100のオペレーティング・システムに連続論理アドレス・スペースを与える、図3に示されるメモリ309のようなメモリデバイスの概略図である。MMIO物理範囲220の物理アドレスは、システムメモリをマッピングするのに要求されるあらゆる論理アドレスより上の論理アドレスに仮想化される。説明に役立つ事例においては、0×0800000000から0×FFFFFFFまでの物理アドレス範囲を有するMMIO物理範囲220は、0×100800000000から0×100FFFFFFFまでの論理アドレスを有する論理MMIO範囲420に仮想化される。さらに、O/S304には、0から物理メモリのサイズまでの論理アドレスを有するシステムメモリが提示される(LP AR管理306に要求されるどのようなオーバーヘッドより少ない)。

40

【0016】

例示的な実施においては、0×000000000000から0×001F5FFFFFFF

50

Fまでの論理アドレスを有する論理範囲410によりアクセスされるシステムメモリがO/S304に提示され、LPAR306プログラム、データ・ストレージ、及び論理対物理マッピング・テーブルは、32MBのシステムメモリを利用する。LPAR306は、仮想アドレスサポートのためにプロセッサ308により用いられるページ・テーブルに対して128MBのシステムメモリを使用する。このように、説明に役立つ実例においては、システムメモリは、0x000000000000から0x001F5FFFFFFFまでの論理アドレスを含む論理範囲410によりアドレス指定される。MMIO物理範囲220は、0x100800000000から0x100FFFFFFFまでの論理アドレスを含む論理MMIO範囲420によりアドレス指定される。

【0017】

LPAR管理306は、論理アドレスを対応する物理アドレスに変換して、物理メモリにアクセスする。例えば、変換は、論理範囲410に対してはテーブル索引により、及び論理MMIO範囲420に対しては範囲検査により行うことができる。本発明の好ましい実施形態に係るメモリアドレスの仮想化に対するマッピング・テーブルにより定義することができる、論理メモリの開始アドレス及び終了アドレス、及び、対応する物理メモリの開始アドレス及び終了アドレスは、以下の表1にまとめられている。表1に示されるように、論理MMIO範囲420の最下部又は開始アドレスは、論理範囲410の最上部又は終了アドレスより大きい。

【表1】

論理メモリ開始アドレス	論理メモリ終了アドレス	物理メモリ開始アドレス	物理メモリ終了アドレス
0x000000000000	0x00077FFFFFFF	0x0080000000	0x07FFFFFFF
0x000780000000	0x001EFFFFFFF	0x1000000000	0x27FFFFFFF
0x001F00000000	0x001F5FFFFFFF	0x0020000000	0x007FFFFFFF
論理MMIO開始アドレス	論理MMIO終了アドレス	物理MMIO開始アドレス	物理MMIO終了アドレス
0x100800000000	0x100FFFFFFF	0x0800000000	0x0FFFFFFF

【0018】

図5は、本発明の好ましい実施形態に係る、オペレーティング・システムがホールをもつメモリアドレスをサポートするようにメモリデバイスを構成するための、図1のデータ処理システム100のようなデータ処理システムにより実行されるルーチンのフローチャートである。このルーチンは、例えば、システムのブート中に開始し(ステップ502)、データ処理システムのプロセッサが、論理区画環境において構成される(ステップ504)。物理範囲210のような物理メモリアドレスの第1の物理メモリアレイ又は範囲が、対応する第1の論理アドレス範囲又はアレイに仮想化される(ステップ506)。次に、物理範囲211のような、第1のメモリアレイと不連続である第2のメモリアレイが仮想化される(ステップ508)。第2の物理範囲の仮想化は、第2のメモリアレイに対応する仮想アドレス範囲が、第1のメモリアレイの仮想化により生成された論理アドレス範囲と連続するように実行される。このように、第1の及び第2の物理範囲の仮想化により生成された論理アドレス範囲は、連続する論理アドレス範囲をもたらす。

【0019】

次に、MMIO物理アドレス範囲が、第3の論理アドレス範囲に仮想化される(ステップ510)。MMIO物理アドレス範囲の仮想化は、このMMIO物理アドレス範囲の仮想化により生成される論理アドレス範囲の最下部の論理アドレスが、物理範囲210及び211の仮想化により生成される論理アドレス範囲の最上部の論理アドレスよりも大きくなるように実行される。次に、マッピング・テーブルがシステムのメモリデバイスにロードされ、論理対物理アドレスの変換を与えて(ステップ512)、ルーチンは終了する(ステップ514)。従って、オペレーティング・システムには、システムメモリへのアク

10

20

30

40

50

セスに対して、図4に示される論理範囲410のような単一の連続論理アドレス・スペースが提示されるという利点がある。

【0020】

このように、本発明はホールをもつシステムメモリアドレスをサポートするデータ処理システムを提供する。システムメモリの不連続物理アドレス範囲は、連続論理アドレス・スペースに仮想化される。メモリマップされた入力/出力物理範囲は、システムメモリの論理範囲の最上部アドレスの上に最下部のアドレスを有するメモリの論理範囲に仮想化される。有利なことに、ホールをもつシステムメモリアドレスをサポートするのに、データ処理システムのO/Sのカーネルの変更は必要ではない。

【0021】

本発明は、十分に機能するデータ処理システムとの関連において説明されてきたが、重要なこととして、当業者であれば、本発明のプロセスは、コンピュータ可読媒体の命令の形態、及び様々な形態で配布することができ、そして本発明は、この配布を行うために実際に用いられている特定形式の信号伝達媒体に係りなく、等しく適用可能であると認識するであろうことに注目するのは重要である。コンピュータ可読媒体の例には、フロッピー（登録商標）ディスク、ハードディスクドライブ、RAM、CD-ROM、DVD-ROMのような書き込み可能型媒体、例えば無線周波数及び光波伝送といった伝送形態を用いるデジタル及びアナログ通信リンク、有線又は無線通信リンクのような伝送型媒体がある。コンピュータ可読媒体は、特定のデータ処理システムにおける実際の使用のためにデコードされるコード化フォーマットの形態をとることができる。

【0022】

本発明の詳細な説明は、図示及び説明のために与えられるものであって、網羅的なものとして、すなわち本発明を開示された形態に限定するものとして意図されたものではない。多くの修正及び変形が当業者には明らかとなるであろう。実施形態は、本発明の原理、実用的用途を最も良く解説し、かつ当業者以外の人々が本発明の種々の修正を有する種々の実施形態を、考えられる特定の用途に適するものとして理解できるように、選択され、説明されるものである。

【図面の簡単な説明】

【0023】

【図1】本発明の好ましい実施形態により示される、ホールをもつシステムメモリアドレスにサポートを与えるデータ処理システムのブロック図である。

【図2】本発明の好ましい実施形態に係る、ホールをもつメモリアドレスをサポートするのに仮想化することができる不連続物理メモリアドレス・スペースを有するメモリデバイスの概略図である。

【図3】本発明の好ましい実施形態に係る、メモリホールをもつメモリアドレスをサポートするために、メモリアドレスの論理区画により仮想化を実現するソフトウェア及びハードウェア構成の概略図である。

【図4】本発明の好ましい実施形態に係る、連続論理システムメモリアドレス・スペースを与えるメモリデバイスの概略図である。

【図5】本発明の好ましい実施形態に係る、オペレーティング・システムがホールをもつメモリアドレスをサポートするようにメモリデバイスを構成するための、図1のデータ処理システム100のようなデータ処理システムにより実行されるルーチンのフローチャートである。

【符号の説明】

【0024】

100：データ処理システム
 102、104：プロセッサ
 106：システムバス
 108：メモリコントローラ/キャッシュ
 109：ローカルメモリ

10

20

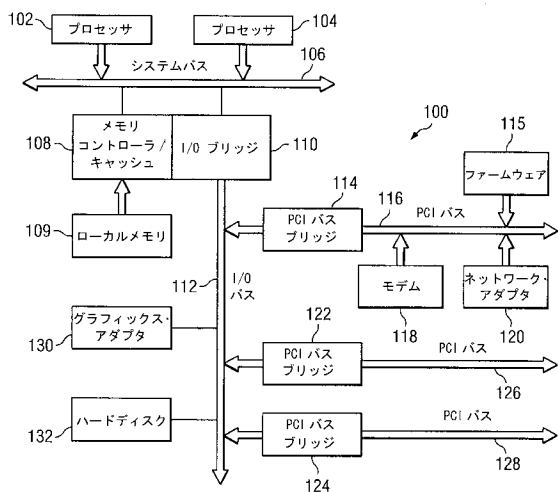
30

40

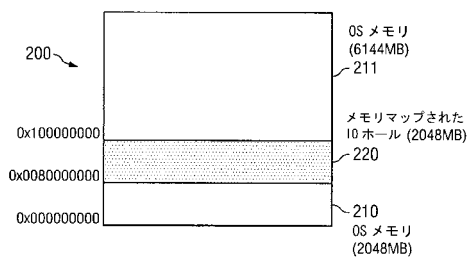
50

- 1 1 0 : I / O ブリッジ
- 1 1 2 : I / O バス
- 1 1 4、1 2 2、1 2 4 : P C I バスブリッジ
- 1 1 5 : ファームウェア
- 1 1 6、1 2 6、1 2 8 : P C I バス
- 1 1 8 : モデム
- 1 2 0 : ネットワーク・アダプタ
- 1 3 0 : グラフィックス・アダプタ
- 1 3 2 : ハードディスク

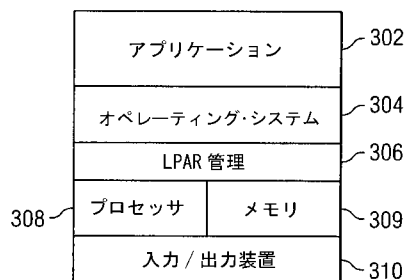
【 図 1 】



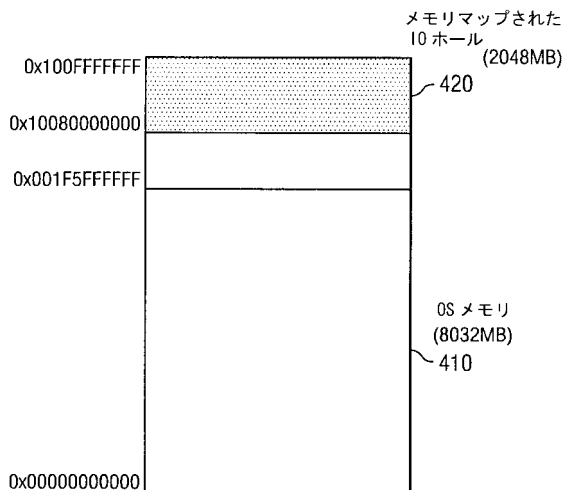
【 図 2 】



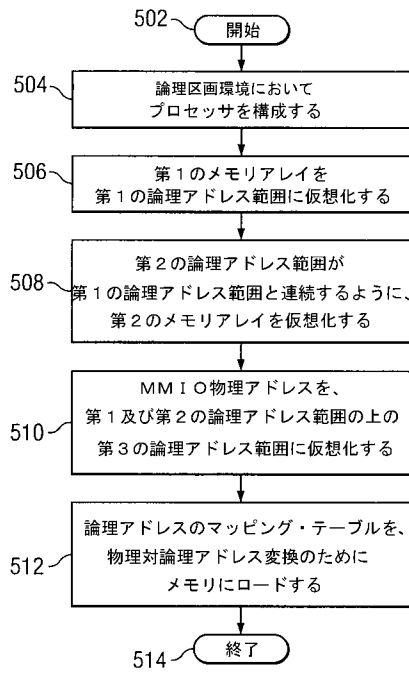
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 バン・ホア・リー

アメリカ合衆国 7 8 6 1 3 テキサス州 セダー・パーク ペブル・ブルック・ロード 1 1 0
3

Fターム(参考) 5B005 JJ24 RR02

5B060 AA08 AC20