

(12) 发明专利

(10) 授权公告号 CN 101563722 B

(45) 授权公告日 2013. 01. 16

(21) 申请号 200780042807. X

(22) 申请日 2007. 11. 14

(30) 优先权数据

60/860, 059 2006. 11. 20 US

(85) PCT申请进入国家阶段日

2009. 05. 18

(86) PCT申请的申请数据

PCT/US2007/023782 2007. 11. 14

(87) PCT申请的公布数据

W02008/063477 EN 2008. 07. 10

(73) 专利权人 寇平公司

地址 美国马萨诸塞州

(72) 发明人 费德瑞克·赫曼 张琨

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

代理人 许静

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1167306 A, 1997. 12. 10, 全文.

US 5869857 A, 1999. 02. 09, 全文.

US 2003/0043680 A1, 2003. 03. 06, 全文.

CN 1240043 A, 1999. 12. 29, 全文.

US 2004/0234020 A1, 2004. 11. 25, 全文.

US 6232939 B1, 2001. 05. 15, 全文.

US 5479370 A, 1995. 12. 26, 全文.

审查员 晏静文

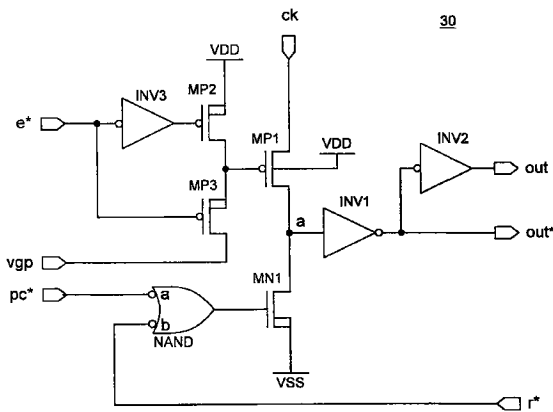
权利要求书 2 页 说明书 4 页 附图 6 页

(54) 发明名称

用于低功率消耗应用的移位寄存器

(57) 摘要

一种高电压移位寄存器级, 其直接接受低电压时钟信号输入而无需运用时钟缓冲器。特别是, 一种移位寄存器级电路适于以低电压摆幅时钟信号下操作, 该级电路具有直接驱动的单一个状态节点 a。此配置允许降低功率消耗与较高操作速度。



1. 一种移位寄存器级电路,包含:

一单级晶体管 MP1,在一源极端子处连接以接收一时钟信号 ck,在一闸极端子处连接以接收一状态输入信号,在一汲极端子处提供一信号至一级输出节点,该时钟信号为一低电压时钟信号,其具有介于一高电压供应参考 VDD 与一低时钟电压 VEE 之间的一电压范围,VEE 大于一低供应参考电压 VSS ;及

一输入电路,包含至少一个输入晶体管,其具有一闸极端子连接以接收一级输入信号,汲极或源极端子其中之一连接至该高电压供应参考,且另一源极或汲极端子其中之一连接至一偏压电压 Vgp,电压 Vgp 取决于该单级晶体管的一临界电压 Vth 与该低时钟电压 VEE,且该输入电路连接以提供该状态输入信号至单级晶体管的该闸极端子 ;及

单一个缓冲晶体管 MN1,于一汲极端子处连接以接收该低供应参考电压 VSS,于一源极端子处连接至该级输出节点,及经由一闸极端子以接收一预充电输入。

2. 如权利要求 1 所述的电路,其中该输入电路包含 :一对输入晶体管 MP2 与 MP3,连接为一串级串联对,使得 MP2 的一汲极端子于一串级对节点处连接至 MP3 的一源极端子,MP2 与 MP3 的闸极端子连接以接收互补的级输入信号,MP2 的一源极端子连接至高电压供应参考 VDD,MP3 的一汲极端子连接至偏压电压 Vgp,且于该串级对节点处提供该状态输入信号至单级晶体管。

3. 如权利要求 1 所述的电路,其中,该低时钟电压 VEE 高于 0 伏特且低于 3.3 伏特。

4. 如权利要求 2 所述的电路,其中,该互补的级输入信号接收自另一个移位寄存器级电路。

5. 如权利要求 1 所述的电路,更包含 :一逻辑闸,连接于一第一输入端子处以接收一预充电信号,于一第二输入端子处以接收一级重设信号,以及于耦接至该级输出节点的一输出端子处以提供一节点控制信号。

6. 如权利要求 5 所述的电路,其中,该逻辑闸为一 NAND 闸。

7. 如权利要求 5 所述的电路,更包含 :至少一个输出缓冲反相器 INV1,连接至该级输出节点以将其隔离。

8. 一种多级管线式移位寄存器电路,包含 :

至少三个移位寄存器级,各级包含 :

一单级晶体管 MP1,于一源极端子处连接以接收一时钟信号 ck,于一闸极端子处连接以接收一状态输入信号,及于一汲极端子处提供一信号至一级输出节点,该时钟信号为一低电压时钟信号,其具有介于一高电压供应参考 VDD 与一低时钟电压 VEE 之间的一电压范围,VEE 大于一低供应参考电压 VSS ;

一输入电路,包含至少一个输入晶体管,其具有一闸极端子连接以接收一级输入节点信号,汲极或源极端子其中之一连接至该高电压供应参考,且另一源极或汲极端子其中之一连接至一偏压电压 Vgp,电压 Vgp 取决于该单级晶体管的一临界电压 Vth 与该低时钟电压 VEE,且该输入电路连接以提供该状态输入信号至单级晶体管的该闸极端子 ;及

单一个缓冲晶体管 MN1,于一汲极端子处连接以接收该低供应参考电压 VSS,于一源极端子处连接至该级输出节点,及经由一闸极端子以接收一预充电输入 ;

一逻辑闸,连接于一第一输入端子处以接收一预充电信号,于一第二输入端子处以接收一级重设信号,及于一输出端子处以提供一节点控制信号,该输出端子耦接该级输出节

点以提供信号；且

该至少三个移位寄存器级进一步连接,使得一第一移位寄存器级的级输出节点信号连接至一第二移位寄存器级的一级输入节点信号,该第二移位寄存器级的级输出节点信号连接至一第三移位寄存器级的一级输入节点信号,且该第三移位寄存器级的级输出节点信号连接以提供该预充电信号至该第一移位寄存器级。

9. 如权利要求 8 所述的电路,其中,这些移位寄存器级耦接至一显示组件。

10. 如权利要求 9 所述的电路,其中,该显示组件运用于一数字相机、数字单镜头 (SLR) 相机、夜视型显示器、手持式视讯游戏机、行动电话、或视讯眼戴式装置其中之一。

11. 如权利要求 9 所述的电路,其中,一显示列选择线或一显示行选择线的至少一者提供自该移位寄存器电路。

## 用于低功率消耗应用的移位寄存器

[0001] 相关申请

[0002] 本申请案主张 2006 年 11 月 20 日提申的美国临时专利申请案第 60/860,059 号的权益。本文以引用的方式将其全部教示并入作为参考。

### 技术领域

[0003] 本发明关于移位寄存器电路,且尤指其适用于提供最低可能功率消耗的移位寄存器设计。

### 背景技术

[0004] 图 1 说明针对于单级静态移位寄存器的一种现有的设计。如同关于任何的移位寄存器,此电路 10 具有一信号输入 in、一时钟输入 ck、与于此架构的互补输出 out 与 out\*。该电路由两个轨线电压 VDD 与 VSS 所提供的一供应电压所供电。

[0005] 此特定电路运用一输入信号的缓冲晶体管 MP1,其馈接一对的交叉耦接式晶体管 MP2 与 MP3,以储存该输入信号状态。连接至 MP1 的输出的反相器 INV1 与 INV2 作为以缓冲输出电压与电流位准。时钟开关晶体管 MN1、MN2、MN3 与 MN4 接通该移位寄存器以接受诸如自前一级的一数字输入信号。

[0006] 针对于该移位寄存器以运作,开关 MN1-MN4 必须为完全接通或关断,因此需要于其闸极端子的全轨线至轨线的电压摆幅 (swing)。即使外部的低电压时钟信号被施加,位准移位器与时钟缓冲器 (未显示于图 1) 必须为运用以使得闸极控制电压成为全轨线电压摆幅。不幸的是,于此等时钟缓冲器的功率消耗等于  $V^2 C_p f_c$ ,其中, V 是电源供应电压差异 (VDD-VSS),  $C_p$  连接至时钟缓冲器输出的总寄生电容,且  $f_c$  是时钟频率。借着高电压供应 (10 伏特或更大者)、多个串联的移位寄存器、长的连接线、与高时钟频率,图 1 运用级电路的一种移位寄存器将因此消耗大量的功率。

[0007] 图 2 说明另一种现有的移位寄存器级电路 20,其某个程度为改良于图 1 的设计。此移位寄存器级电路适以操作于一低电压摆幅的时钟信号而非高电压摆幅的逻辑电路。举例而言,于 VDD 与 VSS 之间的电压范围可能为 10 伏特以提供高速。然而,来自时钟输入 ck 的电压摆幅可能为较小许多 (于 3 伏特左右的规模) 以降低功率消耗。

[0008] 针对于图 2 的电路 20 的输入与输出信号如后:

[0009] ck 具有自 VEE 至 VDD 的峰对峰电压的时钟信号 ( $VEE > VSS$ )

[0010] e\* 自先前的移位寄存器级的互补输出

[0011] o 与 o\* 分别为寄存器输出与其互补输出

[0012] r 针对于个别的移位寄存器的重设信号

[0013] vgp 模拟偏压电压

[0014] pc 预充电信号,以在起始之前而初始化所有的移位寄存器至低

[0015] 电路 20 设置成使一内部节点 a 作为针对于输入信号状态及针对于驱动输出缓冲器 INV1 的一集合点。在此,状态晶体管的数目已经减少至两个,MP2 与 MP1,其以串级

(cascode) 串联配置。该 ck 信号输入馈送至 MP2 源极。VDD 供应电压馈送以偏压晶体管 MP2 的栅极。MP2 的栅极自前一个移位寄存器级的互补的输出所馈入。

[0016] MP1 的栅极由其为一模拟偏压电压的 vgp 所控制。MP1 是偏压, 当其源极电压大于 vgp 的量为  $V_{tp}$  时导通, 其中,  $V_{tp}$  是 MP1 的临限电压。一预充电输入 pc 与一重设输入 r 是馈入 MP1 的汲极, 其亦设定于节点 a 的电压。

[0017] 于作业时, 电压 vgp 因此设定为使得  $VEE - v_{gp} < V_{tp}$ , 其中,  $V_{tp}$  是晶体管 MP1 的临限电压。当 ck 为低 (VEE), MP1 为关断 (off) 且节点 a 保持为其先前值; 当 ck 为高 (VDD) 且前级输出 e 为高 (其意指:  $e^*$  为低 (VSS)), 节点 a 透过晶体管 MP1 与 MP2 而充电达到一高电压 (VDD)。

[0018] 图 2 的电路 20 因此相较于图 1 的电路 10 而提供降低的功率消耗。然而, 于诸如此举的设计, 借着由一低电压摆幅的输入时钟所驱动的一种高电压摆幅的移位寄存器, 内部或外部的位准移位器与时钟缓冲器因此经常为必要。

### 发明内容

[0019] 本发明是一种针对于高电压移位寄存器的改良设计, 其直接接受低电压时钟信号输入而无须运用时钟缓冲器。特别而言, 一种移位寄存器级电路适以操作于一低电压摆幅时钟信号, 该级电路具有单一个输入晶体管所直接驱动的单一个状态节点 a。此配置允许降低的功率消耗。

[0020] 本发明亦提供改良的速度。该移位寄存器级的速度主要由连接至单一节点 a 的寄生电容、与自一时钟信号 ck 至节点 a 的一小信号电阻所决定。寄生电容包括接线电容、连接至节点 a 的晶体管的电容。

[0021] 多种应用可利用所产生的低功率消耗与高速。此等者包括: 设计以运用根据本发明的一种移位寄存器的显示器; 执行于电池的可携式装置, 诸如视讯眼戴件 (eyewear); 用于摄录像机 (camcorder) 与数字相机的电子式探视器 (viewfinder); 军事系统, 诸如热武器瞄准器与夜视型防护镜; 及, 其它的最终用途。

### 附图说明

[0022] 前文由如伴随图式所示的本发明实施例所下述较为特定说明而显明, 其中, 相同的参考符号指于不同视图之中的相同部分。图式无须为依比例所绘制, 而是强调在于说明本发明的实施例。

[0023] 图 1 说明其顺应低电压摆幅时钟信号输入的一种先前技艺的移位寄存器级。

[0024] 图 2 说明另一种先前技艺的移位寄存器级。

[0025] 图 3 说明本发明的一个实施例。

[0026] 图 4A 与 4B 更为详细说明时钟信号。

[0027] 图 5A 与 5B 显示图 3 的多级为如何结合且显示一个时序图。

[0028] 图 6 说明一种双向移位寄存器的高阶图。

### 具体实施方式

[0029] 本发明实施例的说明如后。

[0030] 图 3 说明其改良于图 1 与 2 的配置的一种电路 30。在此,时钟信号输入  $ck$  亦驱动一级晶体管  $MP1$ 。然而, $MP1$  的栅极馈送自一对的串级(cascode)晶体管  $MP2$  与  $MP3$ ,其设定于节点  $a$  的状态为如由输入  $e^*$  与  $v_{gp}$  所决定。自前级的反相输入  $e^*$  馈送至反相器  $INV3$  的输入端子,以控制晶体管  $MP3$  的栅极。 $MP3$  汲极端子控制晶体管  $MP1$  的栅极。晶体管  $MP2$  的源极端子自电压  $VDD$  而馈电。

[0031] 一意图的预充电输入  $pc^*$  连同—重设信号  $r^*$  为馈送通过单一个 NAND 闸。单一个 NAND 闸的输出驱动信号缓冲晶体管  $MN1$  的栅极端子。第一反相器  $INV1$  与第二反相器  $INV2$  分别提供反相的输出  $out^*$  与非反相的输出  $out$ 。

[0032] 电路 30 的操作类似于图 2 的电路 20。然而,连接至节点  $a$  的晶体管的数目减少。此外,透过反相器  $INV1$  与  $INV2$ ,节点  $a$  屏蔽为隔开外部接线与由移位寄存器级 30 所驱动的装置。自  $ck$  至节点  $a$  的电阻亦自一对的串级晶体管者而减少至单一个晶体管。

[0033] 就图 2 的电路 20 而言, $v_{gp}$  设定为  $VEE-v_{gp} < V_{tp}$ ,其中, $V_{tp}$  是晶体管  $MP1$  的临界电压。图 4A 的例图可助于可视化此情况,其中, $V_{sw}$  是晶体管  $MP1$  的切换临界且  $V_{tp}$  是  $MP1$  的  $p$  信道临界电压。

[0034] 图 4B 更为特定说明低电压时钟信号  $ck$  的情况,其中,信号值变化自—高轨线电压  $VDD$  而仅为降低至—电压  $VEE$ , $VEE$  相较于低轨线电压  $VSS$  为较大许多。于  $VEE$  与  $VDD$  之间的摆幅可例如为仅 3.3 伏特而临界电压  $V_{th}$  设定为稍高于  $VEE$ 。

[0035] 图 3 的的移位寄存器级 30 的速度因此为主要由连接至节点  $a$  的寄生电容、与自时钟输入  $ck$  至节点  $a$  的小信号电阻所决定。此寄生电容包括接线电容、连接至节点  $a$  的那些晶体管的电容。

[0036] 晶体管  $MP1$  接着偏压,当充电节点  $a$  时其几乎未接通。由于此切换作业将已经为相当缓慢(即:其为由具有低电压摆幅的一时钟信号所控制),故于其为避免引入额外的电阻。

[0037] 由输出驱动器反相器  $INV1$  与  $INV2$  所提出的输出负载进一步降低,由于节点  $a$  仅需要驱动对于反相器  $INV1$  的单个输入而无直接外部输出。反相器  $INV1$  与  $INV2$  因此亦提供自输出  $out$  与  $out^*$  的隔离,而提供电路 30 具有自其将为由外部电路所提出的阻抗的进一步隔离。

[0038] 反相器  $INV1$  与  $INV2$  可包含快速 10 伏特摆幅的闸,其依据功率消耗的观点而相较于由低电压摆幅时钟信号所驱动的内部移位寄存器 20 电路的其余者为较少关系。此种配置藉由仅具有单一连接而亦降低于节点  $a$  的电容负载。

[0039] 图 3 的电路 30 因此允许节点  $a$  以仅为由—低电压摆幅时钟信号  $ck$  所驱动而摆动自  $VDD$  至  $VSS$ (摆动自 0–3 伏特的一较低许多的电压范围),而且使得电阻负载与电容负载为最小。图 3 的电路 30 因此提供其优于图 1 的电路 10 和 / 或图 2 的电路 20 的优点,理由如后:

[0040] 1. 藉由结合小的  $r^*$  与  $pc^*$  输入,仅有一个晶体管 ( $MN1$ ) 运用以提供预充电或重设节点  $a$ 。

[0041] 2. 藉由在其施加至该级电路前而结合输入  $v_{gp}$  与  $e^*$ ,仅有另一个晶体管 ( $MP1$ ) 需要以驱动节点  $a$ 。此种配置降低其提供自时钟输入至节点  $a$  的电阻,因此电阻相乘电容 ( $RC$ ) 延迟亦为降低。

[0042] 3. 藉由高电压摆幅(10 伏特) 闸以隔离输出信号 out 与 out\*, 获得提高的速度。

[0043] 图 5A 与 5B 说明多个图 3 的个别级 30 为可如何组合以提供一种管线式的移位寄存器 50。在此, 至少三个个别的级 30 需要以馈送一逻辑位 1 为自输入至输出。此串联连接(管线式)的级 30-1、30-2、与 30-3 各者具有反相的输出信号 o\*, 其馈入下个接续的反相输入信号 e\*。一对的偏移时钟信号 ck0 与 ck1 馈入个别级。一给定级 30-3 的输出馈入初始级的重设输入。此电路因此提供循环移位寄存器的一种型式, 其中, 一位值可移位自输入至输出。

[0044] 图 5B 的时序图说明的是: 举例而言, 于预充电 pc 信号的上升缘, 所有的状态(o0、o1、o2、o3、等等) 重设至一零逻辑状态。于 ck0 的下一个上升缘, 输出 o0(自第一级 30-1) 将切换至一高逻辑值状态。于时钟信号 ck1 的下一个上升缘, 类似的变化发生于 o1(第二级 30-2 的输出) 状态。于时钟信号 ck0 的下一个上升缘, 输出 o2 亦将接着达到一高电压状态。自第三级 30-3 的输出 o2 回到第一级 30-1 的反馈连接将接着致使第一级 30-1 的输出状态 o0 为返回至一低逻辑值。

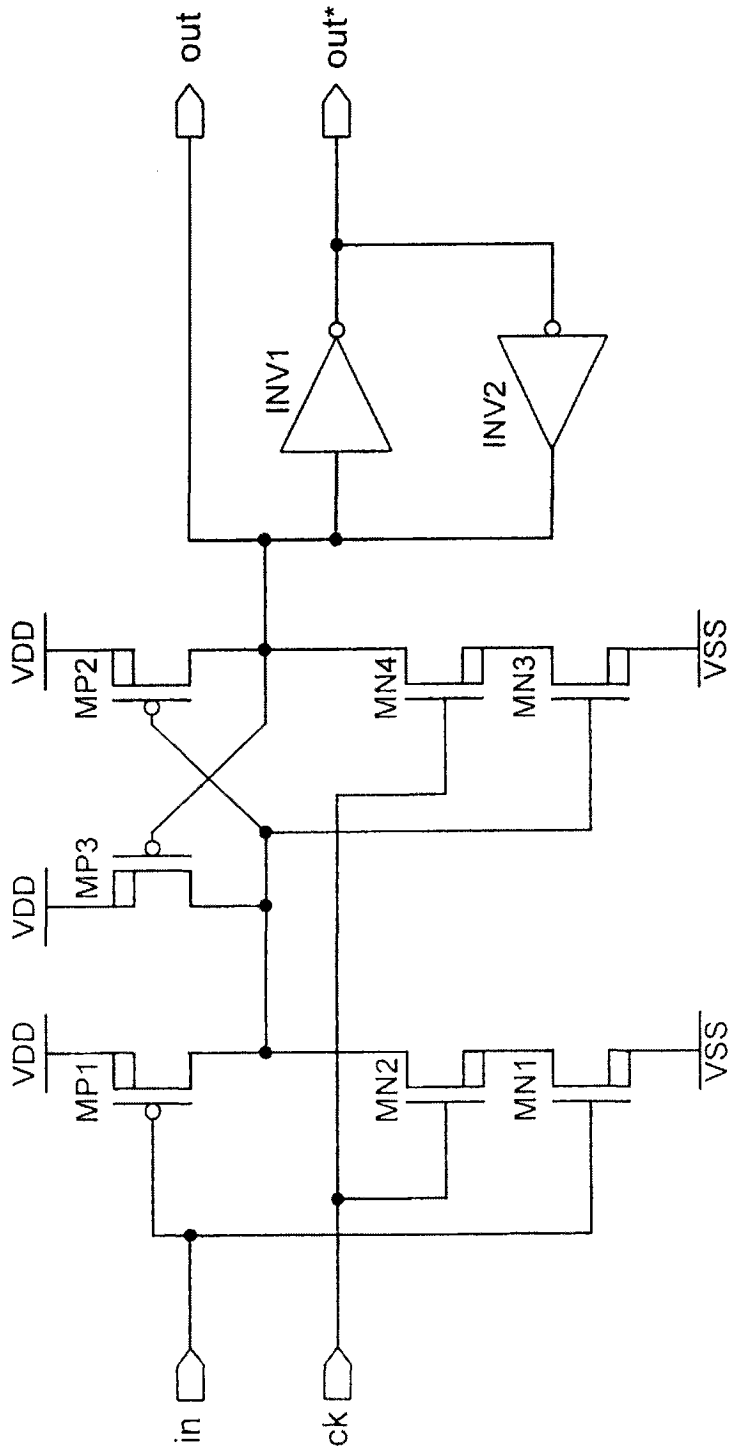
[0045] 视该移位寄存器的期望长度而定, 自一级 30-4(未显示) 的输出 o3 的反馈信号类似控制于一串的该等诸级的第二级 30-2、等等。

[0046] 图 6 是高阶图, 说明诸如图 5A 所示的一种管线式移位寄存器 50 为可如何配置以提供一种双向式移位寄存器 60。诸如管线 50-1 之一配置以移位为自左至右, 且一第二管线 50-2 移位为自右至左。连接至各个输出位的多任务器 51-1、...、51-n-1、51-n 允许选择所运用的方向。

[0047] 根据本发明的移位寄存器可运用于诸多不同应用。作为仅为一个实例, 描述于公元 2007 年 4 月 5 日所提出的共同申请中的美国专利申请案第 11/784, 215 号(以参照方式而纳入于本文) 的型式的显示器包括一数组的画素(pixel) 组件。如为现有于此技艺, 那些画素组件由列选择线与行选择线所控制。此等选择线可馈送自其为实施如本文所述的个别的移位寄存器 50。该种型式的显示器可相继为运用于数字相机、数字单镜头(SLR, Single Lens Reflex) 相机、夜视型显示器、手持式视讯游戏机、行动电话、视讯眼戴式(eyewear) 装置、与其它类似产品。

[0048] 尽管本发明已经特定显示及描述为关于其实例, 熟悉此技艺的人士将了解的是: 于形式与细节的种种的变化可作成于其而未脱离由随附申请专利范围所涵盖的本发明的范畴。

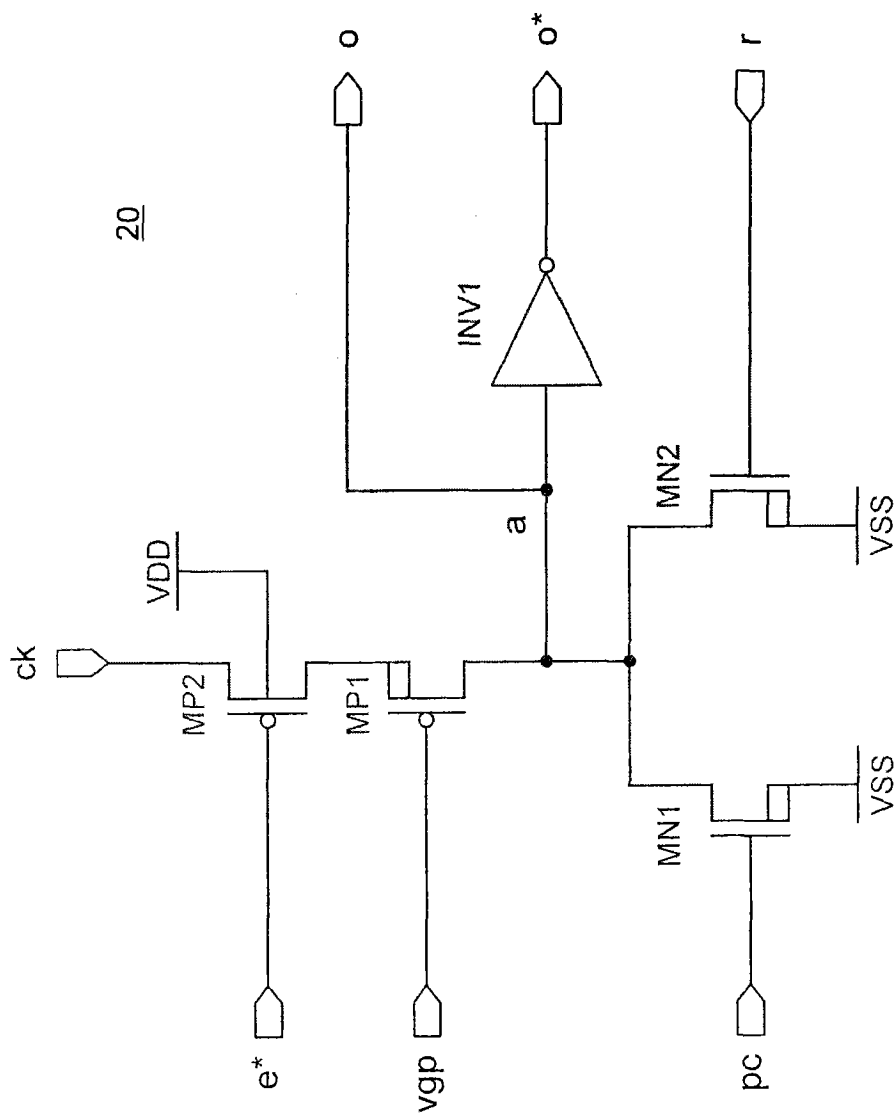
10



(现有技术)

图 1





(现有技术)  
图 2

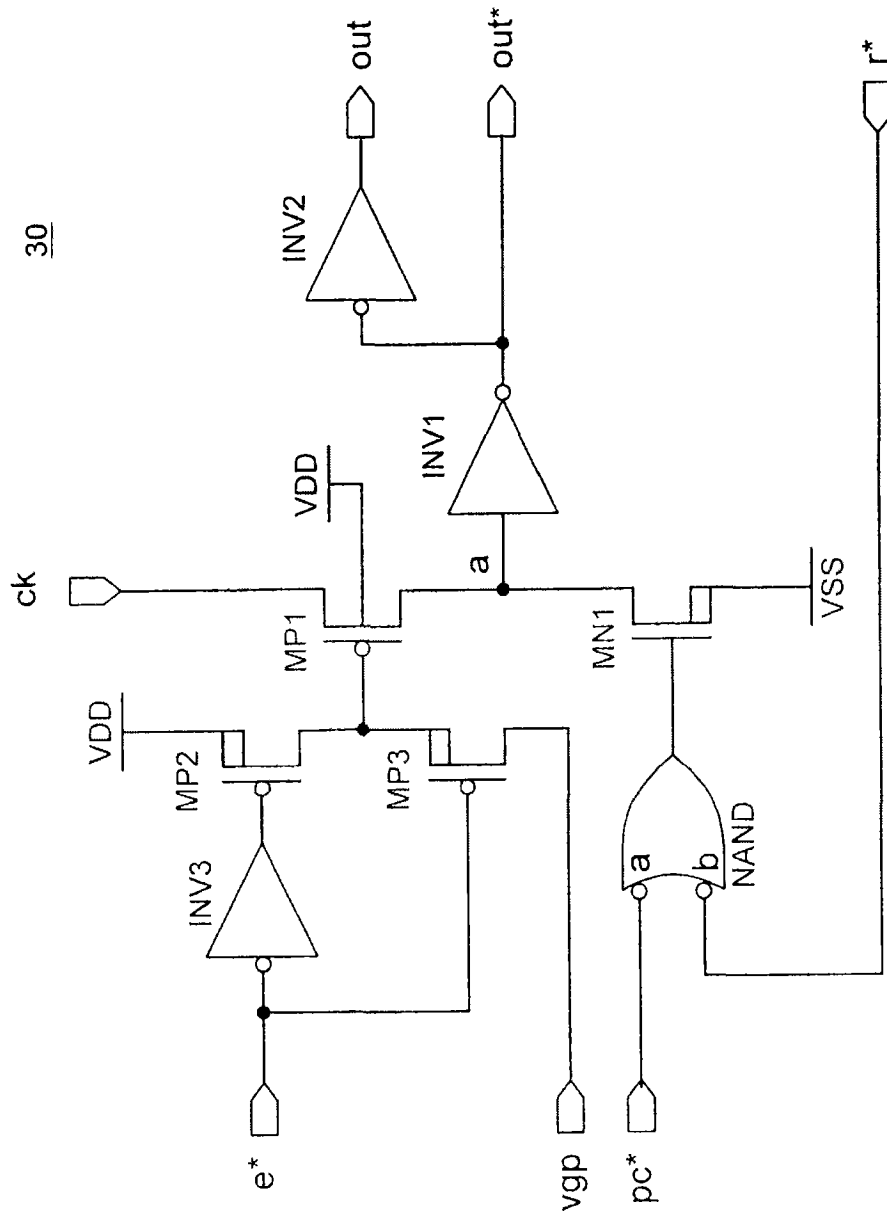
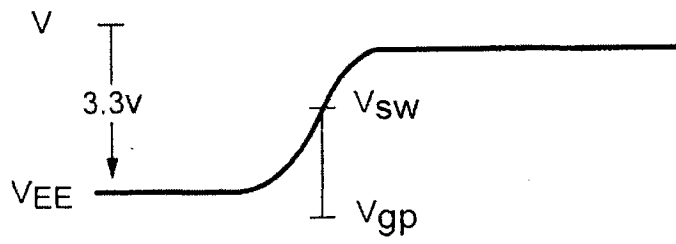


图 3



$$V_{gp} = V_{sh} - |V_{Tp}|$$

图 4A

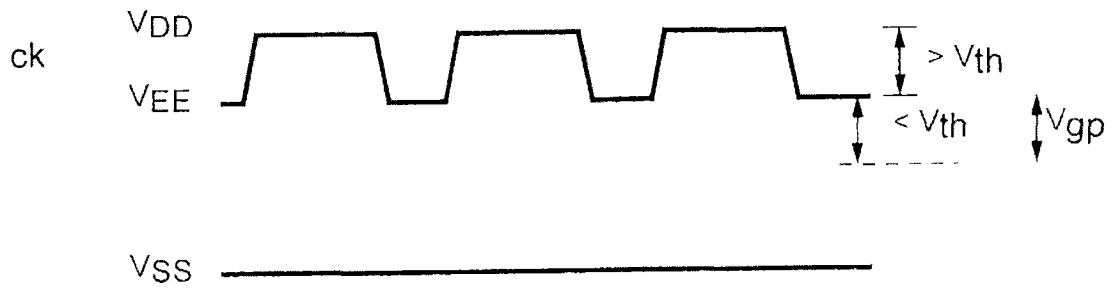


图 4B

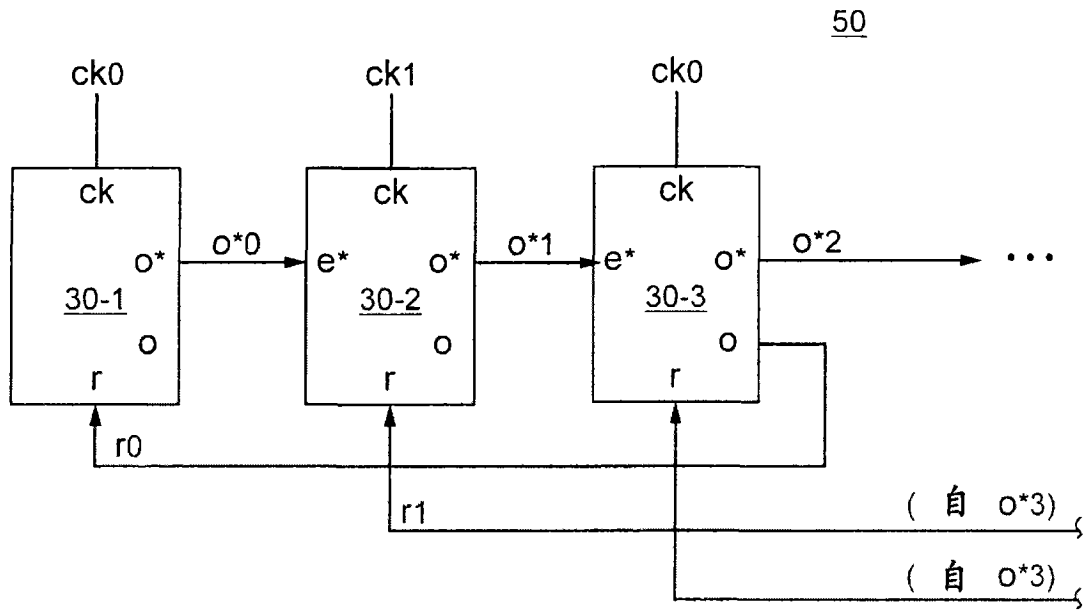


图 5A

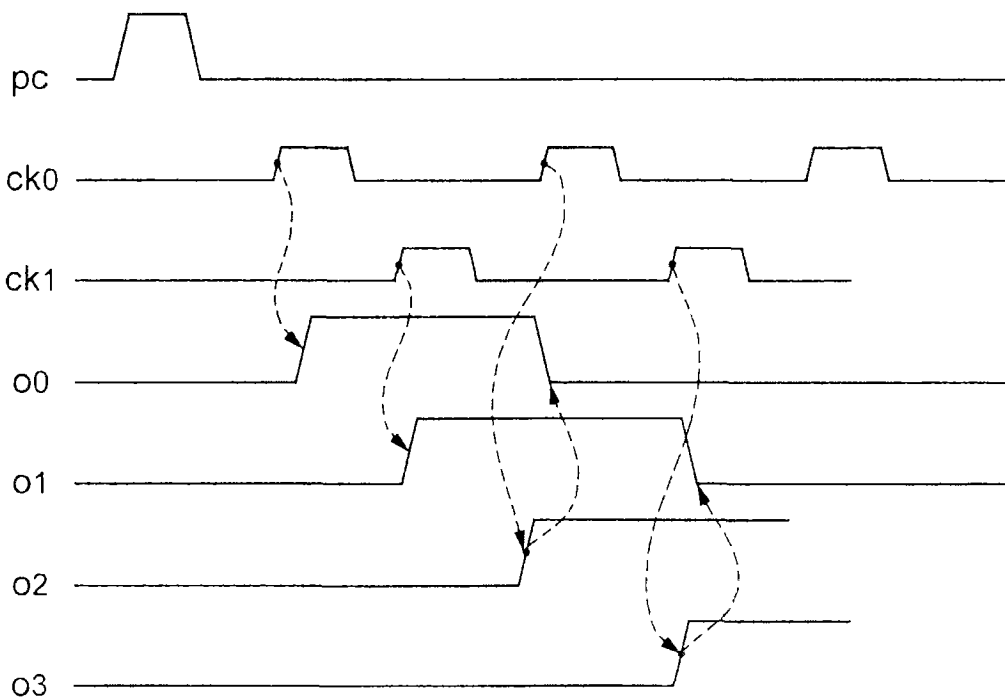


图 5B

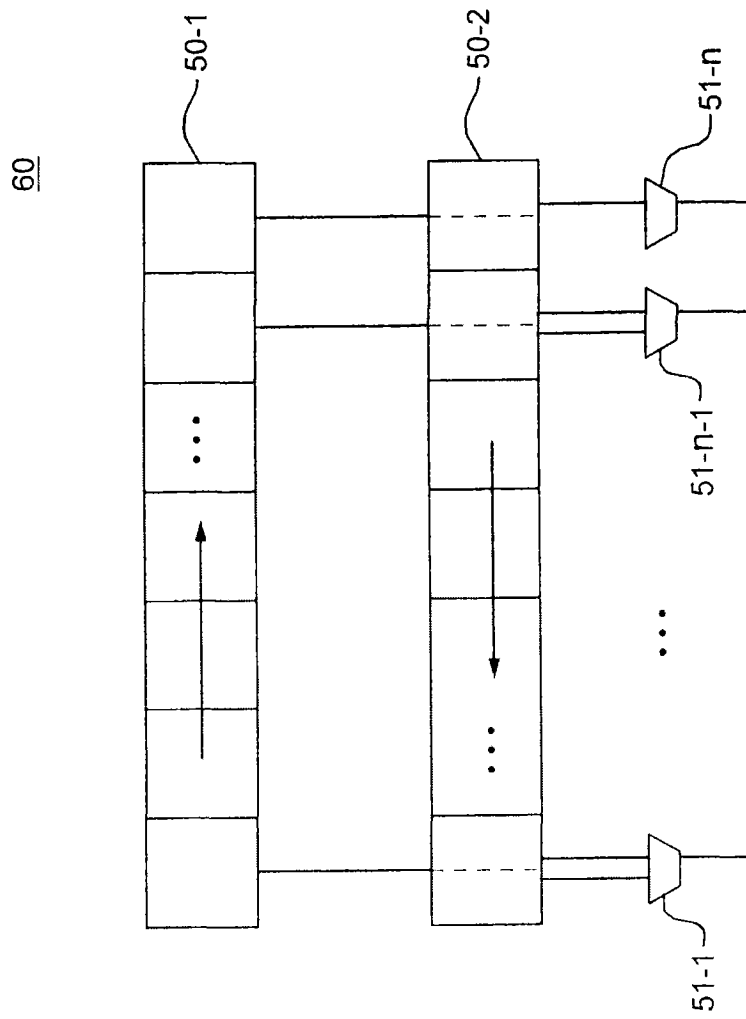


图 6