

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3710114号

(P3710114)

(45) 発行日 平成17年10月26日(2005.10.26)

(24) 登録日 平成17年8月19日(2005.8.19)

(51) Int. Cl.⁷

H04L 12/40

F I

H04L 12/40

M

請求項の数 5 (全 7 頁)

(21) 出願番号	特願平11-79415	(73) 特許権者	303013763 NECエンジニアリング株式会社 東京都港区芝浦三丁目18番21号
(22) 出願日	平成11年3月24日(1999.3.24)	(74) 代理人	100081710 弁理士 福山 正博
(65) 公開番号	特開2000-278291(P2000-278291A)	(72) 発明者	松岡 稔 東京都港区芝浦三丁目18番21号 日本電気エンジニ アリング株式会社内
(43) 公開日	平成12年10月6日(2000.10.6)	審査官	矢頭 尚之
審査請求日	平成15年2月27日(2003.2.27)	(56) 参考文献	特開昭58-140841(JP,A) 特開昭64-73895(JP,A) 特開平6-112955(JP,A) 最終頁に続く

(54) 【発明の名称】 データバス回路

(57) 【特許請求の範囲】

【請求項1】

制御部と、該制御部からの制御信号を受け対応する出力信号を出力する複数の部位回路とを含み、該部位回路の出力をデータバスを介して前記制御部に入力するデータバス回路において、

前記部位回路の出力が出力制御端子に入力される複数の出力バッファを設け、

前記データバスは、前記複数の部位回路のうち後段の部位回路の出力が接続されている前記出力バッファの出力を順次前段の出力バッファの入力端子に接続して構成することを特徴とするデータバス回路。

【請求項2】

前記制御部の制御信号は、共通制御線を介して前記複数の部位回路に入力することを特徴とする請求項1に記載のデータバス回路。

【請求項3】

前記制御部からの制御信号を入力として、前記出力バッファに故障箇所決定用試験信号を入力する試験回路部を有することを特徴とする請求項1に記載のデータバス回路。

【請求項4】

前記試験回路部の試験信号は、前記出力バッファと直列接続され且つ出力制御端子を有する試験用出力バッファの前記出力制御端子に入力されることを特徴とする請求項3に記載のデータバス回路。

【請求項5】

10

20

デジタル処理装置の制御系処理部に使用されることを特徴とする請求項 1、2、3 又は 4 に記載のデータバス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データバス回路、特にデジタル処理装置の制御系処理部に使用され、情報を収集するデータバス回路に関する。

【0002】

【従来の技術】

コンピュータを始めとするデジタル処理装置にあっては、例えばプロセッサや各種メモリ等の複数のデバイスが使用されている。これら各デバイス間にはデータの送信/受信を行うが必ずしも常時接続されている必要はない。そこで、データバスと称される 1 本以上の導体より成る信号伝送路を設け、このデータバスに必要時に接続されて各デバイス相互間のデータの送受信を行うようにするのが一般的であり、これにより構成の簡素化を図っている。或いは斯る共通データバスに選択的に出力信号を出力する。

10

【0003】

デジタル処理装置の制御系処理部に使用される従来のデータバス回路は、一般的に制御部から接続されるデータ受信用信号バスがシステム内にある多数の部位回路の各部位回路の出力に直接接続されている。各部位回路の出力を制御して、出力信号が重ならないようにして信号の送受信を行っていた。斯る構成により、制御部と複数の部位回路との間の信号線本数が大幅に減少し且つ回路規模も減少し小型化することが可能になるという特徴乃至効果を有する。

20

【0004】

図 3 に従来のデータバス回路の一例を示す。また、図 4 に図 3 のデータバス回路の動作タイミングチャートを示す。

【0005】

図 3 の従来システムにあっては、1 個の制御部 1 と n (正の整数) 個の部位回路 $2a$ 、 $2b$ 、...、 $2n$ (図 3 中には $2a$ 及び $2b$ のみを示す) とにより構成される。制御部 1 からの制御信号は、制御バス 5 を介して各部位回路 $2a \sim 2n$ に共通入力される。また、各部位回路 $2a \sim 2n$ の出力信号は、各々出力バッファ $3a \sim 3n$ を介してデータバス 6 に出力され、これは制御部 1 に入力されると共に共通抵抗 4 に接続される。

30

【0006】

次に、図 4 のタイミングチャートを参照して、図 3 の従来システムの動作を説明する。先ず制御部 1 が制御バス (又はライン) 5 に制御信号 $2-1$ (図 4 (a) 参照) を出力する。この制御信号 $2-1$ は、部位回路 $2a \sim 2n$ に入力され、制御部 1 から要求を受けた部位回路 (例えば $2a$) のみが、この制御信号 $2-1$ を取込み、要求に応じた処理を行う。この部位回路は、その処理結果を応答信号 $2-2$ 、 $2-4$ として出力バッファ 3 におく (図 4 (b)、(d) 参照)。これと同時に応答信号 $2-2$ 、 $2-4$ の有効性を示す出力制御信号 $2-3$ 、 $2-5$ が出力バッファ 3 の制御端子に送られる (図 4 (c)、(e) 参照)。

40

【0007】

出力バッファ 3 は、出力制御信号 $2-3$ 、 $2-5$ の制御により、応答信号 $2-2$ 、 $2-4$ をデータバス 6 に載せて、制御部 1 にその信号 (図 4 (f) 参照) を送る。図 4 (f) から明らかな如く、制御信号 $2-3$ 、 $2-5$ を受けた出力バッファ 3 のみが応答信号をデータバス 6 に載せるので、複数の部位回路 $2a \sim 2n$ がデータバス 6 に同時に応答信号を出力することはない。

【0008】

【発明が解決しようとする課題】

上述の如く、従来技術にあっては、情報を収集する制御部 1 に多数の部位回路 $2a \sim 2n$ が接続され、そこから情報を効率よく収集すると共に回路規模は小さくしている。しかし

50

、回路構成の簡単化及び効率化の反面、情報収集を1本のバスに委ねて、多数の部位回路2a~2nの出力をデータバスに直接並列接続している。そこで、回路上の異常又は収集情報に誤り(エラー)が発生しても、発生箇所を迅速に決定することができないという問題があった。

【0009】

これは、データバス回路の構成が、通信しているデータの異常監視しかできない為である。各部位回路における異常又は回路障害及び通信異常は判断できるが、データバス回路上の故障又は通信異常に対しては、どの部位回路による影響かが判断できないという状況で発生していた。斯る故障箇所の特定は、最近のデジタル処理装置やデータ伝送装置の中で非常に重要な機能の1つとされ、装置の故障箇所の特定又は復旧に大きな影響を与えている。

10

【0010】

本発明の目的は、回路故障や回線異常に際し、故障箇所の特定を可能とし、装置の保守又は維持(メンテナンス)を円滑にする機能を有するデータバス回路を提供することである。

【0011】

【課題を解決するための手段】

前述の課題を解決するため、本発明によるデータバス回路は、次のような特徴的な構成を採用している。

【0012】

20

(1)制御部と、該制御部からの制御信号を受け対応する出力信号を出力する複数の部位回路とを含み、該部位回路の出力をデータバスを介して前記制御部に入力するデータバス回路において、

前記部位回路の出力が出力制御端子に入力される複数の出力バッファを設け、

前記データバスは、前記複数の部位回路のうち後段の部位回路の出力が接続されている前記出力バッファの出力を順次前段の出力バッファの入力端子に接続して構成するデータバス回路。

【0013】

(2)前記制御部の制御信号は、共通制御線を介して前記複数の部位回路に入力する上記(1)のデータバス回路。

30

【0014】

(3)前記制御部からの制御信号を入力として、前記出力バッファに故障箇所決定用試験信号を入力する試験回路部を有する上記(1)のデータバス回路。

【0015】

(4)前記試験回路部の試験信号は、前記出力バッファと直列接続される且つ出力制御端子を有する試験用出力バッファの前記出力制御端子に入力される上記(3)のデータバス回路。

【0016】

(5)デジタル処理装置の制御系処理部に使用される上記(1)、(2)、(3)又は(4)のデータバス回路。

40

【0017】

【発明の実施の形態】

以下、本発明によるデータバス回路の好適実施形態例の構成及び動作を添付図1及び図2を参照して詳細に説明する。

【0018】

先ず、図1は本発明によるデータバス回路の好適実施形態例の構成図である。図2は、図1のデータバス回路の各部動作説明用タイミングチャートである。

【0019】

図1を参照して、本発明によるデータバス回路の構成を説明する。このデータバス回路は、制御部10、n個(この例では3個)の部位回路12a、12b、12c、電源VDD

50

と接地間に直列接続される１対の出力バッファ１３ a ~ １３ c、１４ a ~ １４ c 及び負荷抵抗１５ a ~ １５ c、制御部１０から各部位回路１２ a ~ １２ c の入力側に接続される制御信号バス１６及び各後段の出力バッファ１４ c、１４ b、１４ a から前段の出力バッファ１４ b、１４ a の入力側又は制御部１０の入力側に順次接続されるデータバス１７ c、１７ b、１７ a 及び制御部１０の出力側に接続された試験回路部２０より構成される。

【 0 0 2 0 】

制御部１０は、各部位回路１２ a ~ １２ c に指令を送り、情報を収集し、その情報により対応する部位回路１２ a ~ １２ c を制御する。各部位回路１２ a ~ １２ c は、制御部１０から出力される指令又は制御信号で制御され、対応する応答信号を出力バッファ１４ a ~ １４ c に出力する。出力バッファ１４ a ~ １４ c は、各部位回路１２ a ~ １２ c からの応答信号をデータバス１７ a ~ １７ c に載せる。試験回路部２０は、出力バッファ１４ a ~ １４ c に直列接続される試験用出力バッファ１３ a ~ １３ c に試験信号を送る。また、試験用出力バッファ１３ a ~ １３ c は、試験回路部２０から送られてくる試験信号を受け、各出力バッファ１４ a ~ １４ c の入力側である前段データバス１７ b、１７ c に接続される。

10

【 0 0 2 1 】

各データバス１７ a ~ １７ c は、負荷抵抗又はHレベル保証の為に電源VDDにプルアップ抵抗１５ a ~ １５ c を介して接続されている。

【 0 0 2 2 】

このデータバス回路にあっては、回路が正常で故障等がない場合、制御部１０から出力された制御信号は、各部位回路１２ a ~ １２ c 及び試験回路部２０に入力される。制御部１０が回答を要求している部位回路のみから制御信号を取込む。その部位回路１２は、その要求に対する処理を行い、応答信号を出力バッファ１４ a ~ １４ c の出力制御入力に送る。そこで、出力バッファ１４ a ~ １４ c は、部位回路１２ a ~ １２ c から応答信号を受け、その制御により出力のオン/オフを行う。出力バッファ１４の入力端子には、前段のデータバス１７が入力されている。即ち、出力バッファ１４ a にはデータバス１７ b が、出力バッファ１４ b には、データバス１７ c が接続されている。応答を要求されている部位回路１２以外の出力バッファが全てオン状態の為に、応答する出力バッファ１４の入力端子はLレベルとなっている。

20

【 0 0 2 3 】

また、試験用出力バッファ１３は、試験回路部２０からの試験信号により、最終段のバッファ１３以外は全てオフとなっており、高インピーダンスになっている。最終段の試験用出力バッファ１３ c は、通常オンでありLレベルを出力している。よって、実際に応答が必要な部位回路１２に接続されている出力バッファ１４は、部位回路１２の応答信号の制御によって、オンの場合はLレベルを、またオフの場合はHレベルを対応するデータバス１７に出力する。この信号は、制御端子がオンとなっている次段の出力バッファ１４を通り、最終的にデータバス１７ a に伝わり、制御部１０に入力される。この信号が、制御部１０で対象となった部位回路１２の応答信号と認識され、正常に処理されたと判断されることとなる。

30

【 0 0 2 4 】

次に、このデータバス回路内に故障が発生した場合につき説明する。この場合には制御部１０に正常な応答が戻って来ない。制御部１０からの制御信号によって、各部位回路１２の個別試験が開始される。

40

【 0 0 2 5 】

まず、対象になる部位回路（例えば１２ b）が決められる。それ以前の各部位回路（例えば１２ a）には、対応する出力バッファ１４の制御端子をオフとし出力を高インピーダンスとする。またそれ以後の各部位回路（例えば１２ c）には、対応する出力バッファ１４の制御端子をオンとし、出力をスルーにする。次に、対象となる部位回路１２ a の試験用出力バッファ１３を試験回路部２０からの試験信号で出力制御端子をオンとさせる。これにより、その出力をLレベルとする。これで対象となる部位回路１２が完全に制御部１０と

50

1対1となり、外部の影響を受けず自由に回路の正常性と回線の状態を確認可能になる。ここで、制御部10への応答が正常であれば、対象となった部位回路（例えば12b）及びそれ以降のデータバス17と出力バッファ14は正常と判断される。よって故障は、この対象部位回路12以外となる。

【0026】

もし、この状態で、制御部10への応答が異常であれば、対象の部位回路（12b）又はそれ以降の出力バッファ14の異常か、1段前の出力バッファ14の異常となり、障害箇所のしぼり込みができる。更に対象部位回路12を前後にずらすことにより、障害箇所の一層のしぼり込みができる。

【0027】

次に、図1のデータバス回路の動作タイミングチャートを示す図2につき簡単に説明する。このデータバス回路の動作は上述のとおりであるので、(a)乃至(j)のタイミングチャートにつき説明する。

【0028】

(a)は、制御部10から各部位回路12a～12cに送られる制御信号4-1である。
 (b)は、部位回路12が取込む制御信号4-2である。
 (c)は、部位回路12からの応答信号4-3である。
 (d)は、出力バッファ14からデータバス17に出力されるデータバス信号4-4である。
 (e)は、回路故障又はデータバス障害の場合のデータバス信号4-5である。
 (f)は、部位回路12からの応答信号が正常な場合の正常信号4-6である。
 (g)は、部位回路12からの応答信号が異常である異常信号4-7である。
 (h)は、各部位回路12からの各応答信号が正常な場合の信号4-8である。
 (i)は、各部位回路12からの各応答信号が異常な場合の信号4-9である。
 (j)は、部位回路12からの応答信号が異常な場合のデータバス17の信号4-10である。

【0029】

以上説明した如く本発明によるデータバス回路は、制御部、複数の部位回路、出力バッファ、試験用出力バッファ及び試験回路部を設けることにより、監視機能付きデータバス回路が得られる。しかし、本発明は斯る特定例のみに限定されるべきではなく、本発明の要旨を逸脱することなく種々の変形変更が可能である。例えば、データバス回路に含まれる部位回路の個数は用途に応じて任意数に選定することが可能である。

【0030】

【発明の効果】

上述の説明から理解される如く、本発明のデータバス回路によると、各部位回路又は部位回路間の動作監視が可能な試験回路部を設けることにより装置全体の動作が保証でき、その保守及び運用が向上する。

【図面の簡単な説明】

【図1】本発明によるデータバス回路の好適実施形態例の構成図である。

【図2】図1のデータバス回路の動作タイミングチャートである。

【図3】従来のデータバス回路の構成図である。

【図4】図4のデータバス回路の動作タイミングチャートである。

【符号の説明】

10 制御部
 12 a～12 c 部位回路
 13 a～13 c 試験用出力バッファ
 14 a～14 c 出力バッファ
 16 制御信号バス
 17 a～17 c データバス
 20 試験回路部

10

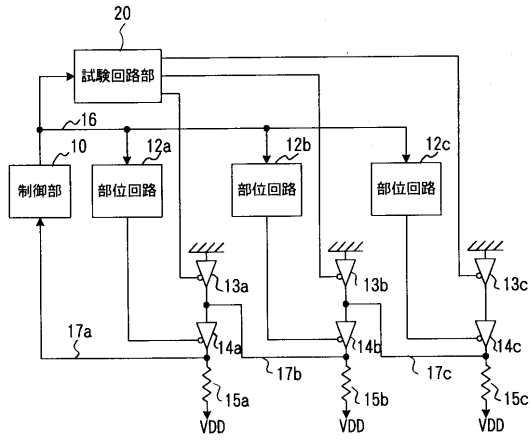
20

30

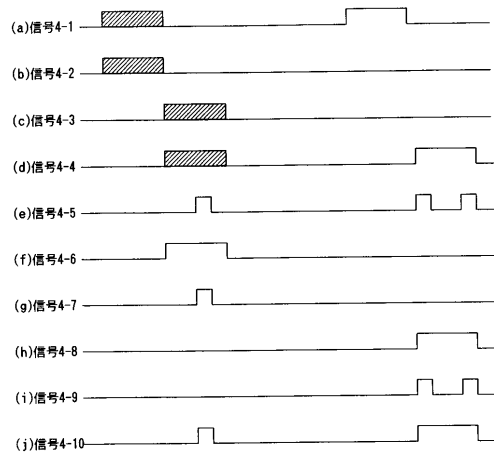
40

50

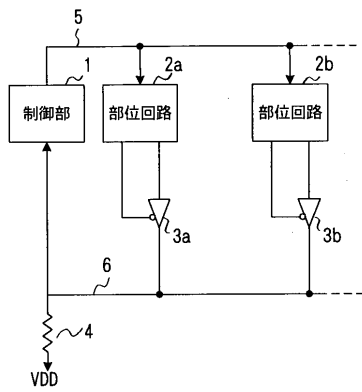
【 図 1 】



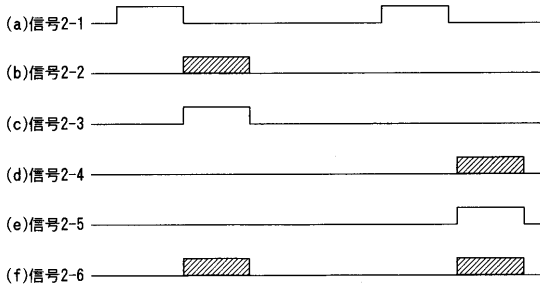
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H04L 12/40