

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和6年6月27日(2024.6.27)

【国際公開番号】WO2022/013677

【出願番号】特願2022-535980(P2022-535980)

【国際特許分類】

G 0 6 G 7/60(2006.01)

G 0 6 F 7/575(2006.01)

G 0 6 F 7/523(2006.01)

G 0 6 F 17/10(2006.01)

H 0 1 L 21/8234(2006.01)

H 0 1 L 27/088(2006.01)

H 1 0 B 12/00(2023.01)

H 1 0 B 99/00(2023.01)

H 1 0 B 41/70(2023.01)

H 0 1 L 21/336(2006.01)

H 0 1 L 29/786(2006.01)

G 0 6 F 12/00(2006.01)

G 0 6 F 13/16(2006.01)

10

20

【F I】

G 0 6 G 7/60

G 0 6 F 7/575

G 0 6 F 7/523

G 0 6 F 17/10 A

H 0 1 L 27/088 E

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/088 3 3 1 E

H 1 0 B 12/00 8 0 1

H 1 0 B 99/00 4 4 1

H 1 0 B 41/70

H 0 1 L 29/78 3 7 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

G 0 6 F 12/00 5 6 0 F

G 0 6 F 13/16 5 1 0 D

30

【手続補正書】

【提出日】令和6年6月19日(2024.6.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1記憶回路部と、第1演算回路部と、を有する第1演算ブロックと、

第2記憶回路部と、第2演算回路部と、を有する第2演算ブロックと、

第1配線と、第2配線と、を有し、

前記第1記憶回路部は、複数の第1重みデータを保持する第1記憶回路を有し、

40

50

前記第 2 記憶回路部は、複数の第 2 重みデータを保持する第 2 記憶回路を有し、
 前記第 1 演算回路部は、第 1 演算回路と、第 1 切替回路と、第 3 切替回路と、を有し、
 前記第 2 演算回路部は、第 2 演算回路と、第 2 切替回路と、第 4 切替回路と、を有し、
 前記第 1 切替回路は、前記複数の第 1 重みデータのいずれか一を前記第 1 配線に与える
 機能を有し、

前記第 2 切替回路は、前記複数の第 2 重みデータのいずれか一を前記第 2 配線に与える
 機能を有し、

前記複数の第 1 重みデータのいずれか一を前記第 1 配線に与える動作は、前記複数の第
 2 重みデータのいずれか一を前記第 2 配線に与える動作と異なる期間に行われ、

前記第 3 切替回路は、前記第 1 配線に与えられた前記第 1 重みデータ、または前記第 2
 配線に与えられた前記第 2 重みデータ、のいずれか一を前記第 1 演算回路に与える機能を
 有し、

前記第 4 切替回路は、前記第 1 配線に与えられた前記第 1 重みデータ、または前記第 2
 配線に与えられた前記第 2 重みデータ、のいずれか一を前記第 2 演算回路に与える機能を
 有し、

前記第 1 配線に与えられた前記第 1 重みデータを前記第 1 演算回路に与える動作は、前
 記第 2 配線に与えられた前記第 2 重みデータを前記第 2 演算回路に与える動作と異なる期
 間に行われる、半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 記憶回路部は、前記第 1 演算回路部を有する層上に積層される層に設けられ、
 前記第 2 記憶回路部は、前記第 2 演算回路部を有する層上に積層される層に設けられる
 、半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 1 演算回路および前記第 2 演算回路は、それぞれ独立に、積和演算処理を行う、
 半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記第 1 記憶回路部および前記第 2 記憶回路部はそれぞれ、第 1 トランジスタを有し、
 前記第 1 トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有する、
 半導体装置。

【請求項 5】

請求項 4 において、

前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、

前記第 1 演算回路部および前記第 2 演算回路部はそれぞれ、第 2 トランジスタを有し、
 前記第 2 トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有する、半
 導体装置。

10

20

30

40

50