



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209624

(11)

(B1)

(51) Int. Cl.³
G 06 F 9/46

/22/ Přihlášeno 08 05 80
/21/ /PV 3239-80/

(40) Zveřejněno 27 02 81

(45) Vydáno 15 02 83

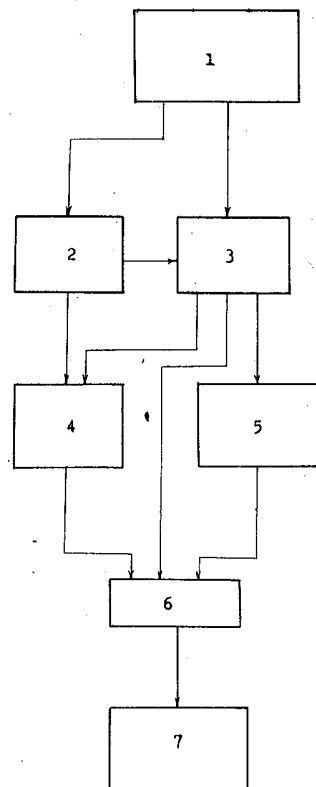
(75)

Autor vynálezu

EISLER VLADIMÍR ing., PRAHA

(54) Řadič organizátoru

Vyžaduje-li některý modul informaci z hlavní paměti, vyšle signál do hardwarového řadiče. Zde se signál analyzuje, zjistí se, zda jsou splněny všechny podmínky k tomu, aby spojení bylo navázáno. Je-li tomu tak, potom dá podnět k rozběhu hlavní paměti a hlídá, zda nedošlo k chybě a končí spojení.



Vynález se týká řadiče organizátoru, to jest obvodu pro řízení styku mezi moduly a hlavní pamětí.

Dosud běžný způsob řazení jednotlivých modulů je softwarový, který je pomalý.

Počítač EC 1025, pro nějž je popisovaný řadič podle vynálezu určen, je stavěn z různých důvodů poněkud jiným způsobem, než různé stroje tuzemské a zahraniční. Přitom ale bylo nutno zajistit, aby stroj byl s běžnými stroji kompatibilní a aby jeho výkon a ostatní parametry těmto vzorům odpovídaly. Jedním z prostředků pro dosažení rychlého a ekonomického přenášení informací mezi moduly je hardwarové organizování mezimodulového styku. Částí organizátoru je tak zvaný řadič.

Nedostatky pomalé činnosti softwarového řešení odstraňuje řadič organizátoru podle vynálezu pro řízení styku s hlavní pamětí, eventuálně pamětí klíčů, podle vynálezu, jehož podstatou je, že sestává z obvodu pro zahájení spojení, analyzující signály adresové, příznakové a datové sběrnice a je napojen na obvod pro skupinové čtení a na obvod pro kontrolu funkce hardware, přičemž výstup obvodu pro skupinové čtení je napojen též na vstup obvodu pro kontrolu funkce hardware a druhý výstup obvodu pro skupinové čtení je napojen na obvod pro nahrávání do paměti, na který je také napojen výstup obvodu pro kontrolu funkce hardware a druhý výstup obvodu pro kontrolu funkce hardware je napojen na obvod pro čtení paměti a dále výstup obvodu pro nahrávání do paměti, výstup obvodu pro čtení paměti a třetí výstup obvodu pro kontrolu funkce hardware jsou napojeny na obvod pro registraci chyb, jehož výstup je napojen na obvod pro ukončení spojení.

Výhodou řadiče organizátoru podle vynálezu je rychlejší činnost daná hardwarovým uspořádáním. U výpočetní techniky je právě rychlost činnosti základním požadavkem a též hlavní výhodou každého řešení.

Jedno z možných provedení vynálezu je zobrazeno na připojeném výkrese, který představuje blokové schéma řadiče organizátoru.

Řadič organizátoru pro řízení styku s hlavní pamětí, eventuálně pamětí klíčů je upraven tak, že sestává z obvodu 1 pro zahájení spojení, analyzující signály adresové, příznakové a datové sběrnice a je napojen na obvod 2 pro skupinové čtení a na obvod 3 pro kontrolu funkce hardware, přičemž výstup obvodu 2 pro skupinové čtení je napojen též na vstup obvodu 3 pro kontrolu funkce hardware a druhý výstup obvodu 2 pro skupinové čtení je napojen na obvod 4 pro nahrávání do paměti, na který je také napojen výstup obvodu 3 pro kontrolu funkce hardware a druhý výstup obvodu 3 pro kontrolu funkce hardware je napojen na obvod 5 pro čtení paměti a dále výstup obvodu 4 pro nahrávání do paměti, výstup obvodu 5 pro čtení paměti a třetí výstup obvodu 3 pro kontrolu funkce hardware jsou napojeny na obvod 6 pro registraci chyb, jehož výstup je napojen na obvod 7 pro ukončení spojení.

Pro bližší pochopení funkce řadiče organizátoru je dále uveden podrobnější popis jeho činnosti.

Řadič organizátoru řídí přenos dat mezi některým z modulů a pamětí nebo mezi dvěma moduly. Přenos se uskutečňuje pomocí adresové, datové a tak zvané příznakové sběrnice.

Zjistí-li některý z modulů, že potřebuje navázat spojení s některým jiným modulem nebo pamětí, dále jen volajícím modul, vyšle žádost o přidělení sběrnic. Za jistých podmínek oznámí přidělovač organizátoru volajícímu modulu, že jeho žádosti bylo vyhověno: signál PŘIDĚLENO. Nato vysílá volajícím modul po adresové sběrnici číslo volaného modulu. Současně s tím vysílá organizátor signál PA: Přijmi adresu. Volaný modul na to reaguje tak, že se připojí na sběrnice, po kterých proběhne přenos dat, jehož směr určuje volací modul. Spojení je ukončeno signálem "KONEC SPOJENÍ", který vysílá volaný modul. Je-li spojení navazováno s hlavní pamětí, eventuálně s pamětí klíčů, vysílá tento signál sám řadič organizátoru.

Dále popisovaný obvod, jehož schéma je na výkrese, zajišťuje uvedené funkce. Tento obvod se skládá z obvodu pro zahájení spojení, který ovládá jednak obvod pro skupinové čtení a obvod pro kontrolu hardware. Obvod pro kontrolu hardware sleduje, zda všechny ostatní obvody zakončily svoji práci včas a zda přitom nevznikly nějaké poruchy. Jsou-li podmínky uspokojivé funkce splněny, povolí tento obvod, aby organizátor pokračoval ve své funkci, tj. propustí příslušný signál do obvodu pro nahrávání do paměti, anebo obvodu pro čtení z paměti podle toho, jaká funkce je požadována.

Nejsou-li podmínky normálního pokračování splněny, zařídí tento obvod podle vestavěného algoritmu buď opakování celé operace, nebo při vážnějších chybách ukončí spojení. V obou případech, nastanou-li během této funkce nějaké chyby, registrují se v obvodu pro registraci chyb.

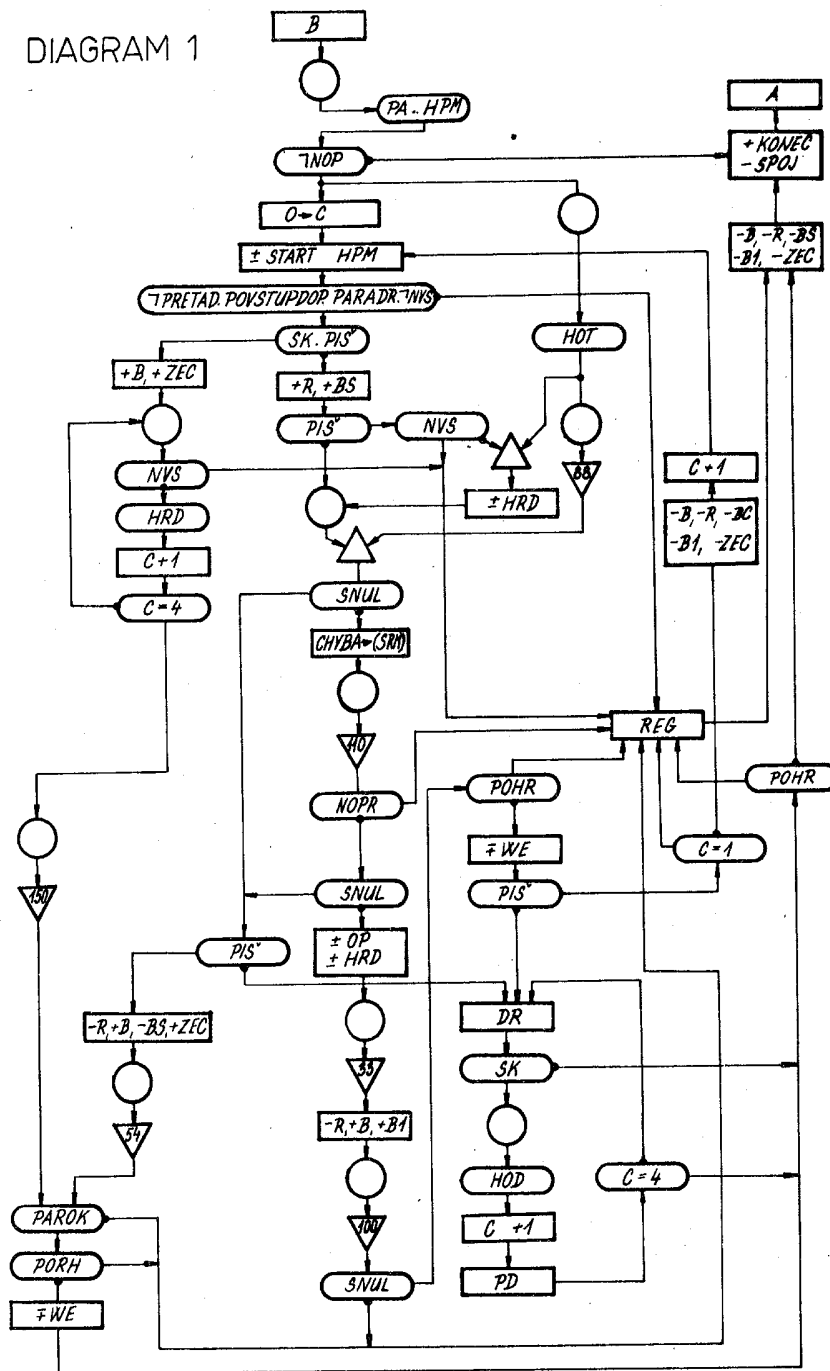
Spojení ukončuje obvod pro ukončení spojení.

Aby popisované schéma zapojení bylo přehlednější, byl užit vedle obvyklého způsobu kreslení, ještě způsob zavedený pro kreslení vývojových diagramů. Funkce, kterou obvod vykonává, je uvnitř hranatého nebo oválného rámečku, přičemž oválným rámečkem je zobrazen blok s rozhodovací funkcí. Je-li u takového bloku jen jediný výstup, znamená to, že se na povel uvnitř oválu čeká.

Podmínkou pro rozběh obvodu je vždy signál PA, tj. přijmi adresu. Zda se rozběhne část, určená pro řízení styku s hlavní pamětí nebo s pamětí klíčů, je dáno formátem, HPI nebo PKI, vysílaným po adresové sběrnici.

Formát HPI je znázorněn na diagramu 1.

DIAGRAM 1



Pro formát HPI, viz diagram 1, obvod nejdříve testuje, zda nejde o prázdnou operaci, signál NOP. Jestliže ano, vysílá se signál "KONEC SPOJENÍ". Jestliže ne, anulují se všechny čítače a pomocí paměti a podle adresy se vybere ten kvadrant hlavní paměti, s kterým se bude pracovat. Protože se zapisuje vždy 64 významových bitů najednou, provádí se i zápis, tak, že se nejdříve přečte starý obsah do buffru, vyrovnávací paměti, pak se jistá část nebo celý obsah vymění a zapíše do hlavní paměti. Proto se v této fázi vždy rozbíhá cyklus čtení. Dále se kontroluje, zda požadovaná adresa není vyšší než nejvyšší možná, signál PRETAD, zda je

povoleno vstup do hlavní paměti, signál POVSTUDOP, zda není hlášena nějaká nesrovnalost na sběrnicích, signál NVS, a zda volená adresa má v pořádku paritu, signál PARADR.

Není-li splněna kterákoliv z těchto podmínek, oznamuje se tato skutečnost servisnímu modulu po zvláštním vedení k registraci chyby, log, eventuálně k speciálnímu zpracování. Po registraci se vždy generuje signál "KONEC SPOJENÍ", který ukončí celý algoritmus. Ve vývojovém diagramu 1 je tato činnost znázorněna obdélníkem s nápisem REC, za nímž následuje obdélník s nápisem "KONEC SPOJENÍ" a v dalším popisu se bude tento postup nazývat registrace chyby s KS, KONEC SPOJENÍ.

Když jsou přítomny všechny shora popisované signály, testuje se, zda nejde o skupinový zápis do hlavní paměti. Jestliže ano, následuje cyklus 4 přenosů do vyrovnávací paměti hlavní paměti, které kontroluje čítač C. Tím se naplní všech 64 významových bitů, automaticky se vygeneruje místo paritních bitů 8 kontrolních bitů a všech 72 bitů se zapisuje. Při každém přenosu se kontroluje, zda obsah sběrnic souhlasí s tím, co se na sběrnice skutečně vysílá, signál NVS, a jestliže ne, registruje se chyba s KS.

Po jisté době obvody, jejichž účelem je kontrola parity, vydávají signál PAROK a jiné, které kontrolují správnou funkci hardware, signál PORH, dovolí zápis do paměti, nebo registruje se chyba s KS.

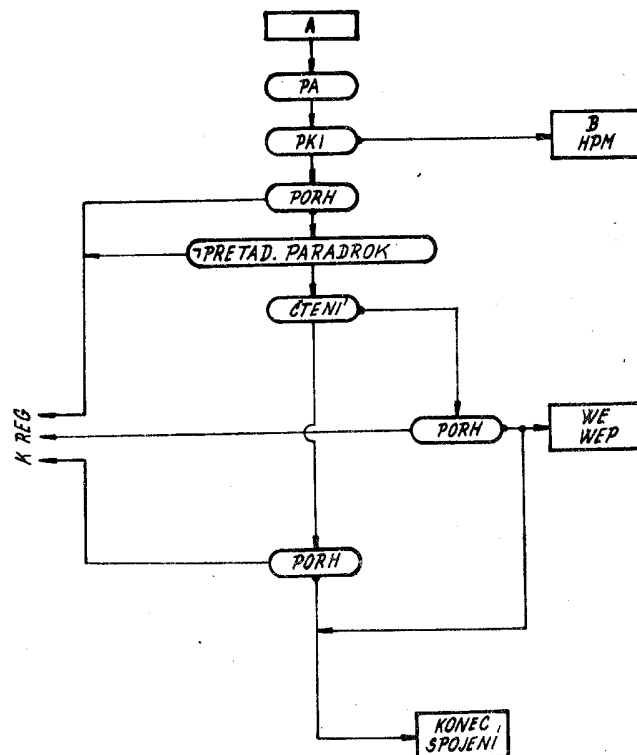
Nejde-li o skupinový, nýbrž jen o jednoduchý zápis, plní se po rozběhu čtení součinem signálů, není NVS.HOT, posledním oznamuje paměť, že je čtení ukončeno, buffer. Je-li signál NVS, registruje se chyba s KS. Od tohoto místa probíhá čtení i zápis stejnou větev vývojového diagramu. Kontroluje se, zda čtení proběhlo v pořádku, signál SNUL. Kontrolu čtení pomocí tak zvaného nulového syndromu provádí jiný obvod, který není předmětem tohoto vynálezu. Když ano, kontroluje se parita a hardware a stejně jako v případě skupinového čtení se generuje povel pro zápis, eventuálně se registruje chyba. Když se stane, že syndrom není nulový, není SNUL, hlásí se chyba do servisního modulu, aby bylo možno udělat záznam pro statické účely, avšak spojení se výjimečně nekončí. Po jisté době se znovu vede dotaz na nulovost syndromu. Jestliže se signál SNUL z nějakého důvodu pouze časově opozdil, dovolí se výměna příslušné části vyrovnávací paměti a zápis celého buffru, nebo vyslání informace na datovou sběrnici. Když však ani do této doby nepříjde signál SNUL, opraví se chybná informace v buffru, oprava se inicializuje signálem OP - oprava povolena a provádí ji obvod OKO. Jestliže ani potom se nevygeneruje SNUL do stanoveného časového intervalu, registruje se chyba s KS. Přijde-li signál SNUL, vede se dotaz, zda není porucha hardware. Jestliže je, registruje se chyba s KS. Když chyba hardware není, zapíše se starý, opravený obsah buffru zpět do paměti.

Odtud se opět průběh čtení a zápisu ve vývojovém diagramu odděluje. Jde-li o zápis, kontroluje se, zda se zapisuje podruhé, čítač C = 1. Když ne, přičte se k čítači C jednička a startuje se znova hlavní paměť. Když ano, registruje se chyba s KS.

Jde-li o čtení, nabudí se vysílače datových sběrnic, obdélník s nápisem DR, a podle toho, zda jde o skupinové nebo jednotlivé čtení, přenáší se přečtená informace na datovou sběrnici. Data se přijímají buď s koncem spojení KS, který se generuje po kontrole hlídačů hardware, a to tehdy, nejde-li o skupinový přenos. V opačném případě, tj. jde-li o skupinový přenos, se vysílá s daty signál PD - přijmi data.

Formát PKI je znázorněn na diagramu 2.

DIAGRAM 2



SK - skup. přenos
 HOT - hotovo z paměti
 HOD. - hodiny
 PA - přijmi adresu
 HP - hlavní paměť
 PAROK - parita dat OK
 PARADR - parita adr. OK
 PRETAD - přečtení adresy
 POVSTUDOP - povolen vstup do HP
 PD - přijmi data
 NKS - nesouhlas vysílačů se sběrnici
 N - prázdná operace
 DR - vysílač
 REG - registrace

R
 B
 B1
 BS
 ZEC

HRADLA

PORH - porucha hardwaru
 SNUL - syndrom nulový

Pro formát PKI, viz diagram 2, se nejdříve testuje, zda je porucha hardwaru, PORH. Jestliže ano, registruje se chyba s KS. Do stejného stavu se sklouzne tehdy, když sice není PORH, ale není PARADROK, nebo je PRETAD. Nenastane-li žádný takovýto stav, pak po čtení, eventuálně zápisu a dalším testu na PORH následuje KS.

Řadič organizátoru je určen pro řízení přenosu dat v počítačích.

PŘEDMĚT VYNÁLEZU

Řadič organizátoru, řídící styk s hlavní pamětí, eventuálně pamětí klíčů, vyznačený tím, že sestává z obvodu /1/ pro zahájení spojení, analyzující signály adresové, příznakové a datové sběrnice a je napojen na obvod /2/ pro skupinové čtení a na obvod /3/ pro kontrolu funkce hardware, přičemž výstup obvodu /2/ pro skupinové čtení je napojen též na vstup obvodu /3/ pro kontrolu funkce hardware a druhý výstup obvodu /2/ pro skupinové čtení je napojen na obvod /4/ pro nahrávání do paměti, na který je také napojen výstup obvodu /3/ pro kontrolu funkce hardware a druhý výstup obvodu /3/ pro kontrolu funkce hardware je napojen na obvod /5/ pro čtení paměti a dále výstup obvodu /4/ pro nahrávání do paměti, výstup obvodu /5/ pro čtení paměti a třetí výstup obvodu /3/ pro kontrolu funkce hardware jsou napojeny na obvod /6/ pro registraci chyb, jehož výstup je napojen na obvod /7/ pro ukončení spojení.

1 výkres

