



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월22일
(11) 등록번호 10-1236582
(24) 등록일자 2013년02월18일

(51) 국제특허분류(Int. Cl.)

G11C 17/00 (2006.01)

(21) 출원번호 10-2008-7003002

(22) 출원일자(국제) 2006년07월28일

심사청구일자 2011년07월21일

(85) 번역문제출일자 2008년02월04일

(65) 공개번호 10-2008-0041189

(43) 공개일자 2008년05월09일

(86) 국제출원번호 PCT/US2006/029704

(87) 국제공개번호 WO 2007/019109

국제공개일자 2007년02월15일

(30) 우선권주장

11/197,814 2005년08월05일 미국(US)

(56) 선행기술조사문헌

US20040190335 A1

전체 청구항 수 : 총 7 항

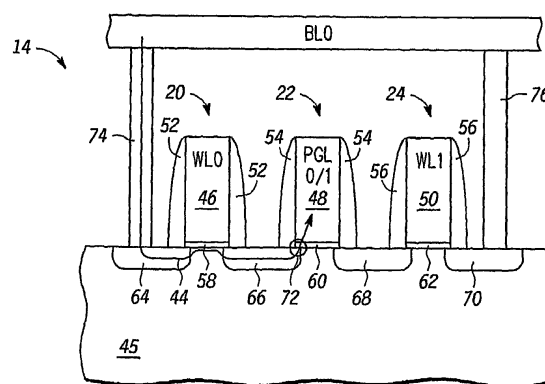
심사관 : 한선경

(54) 발명의 명칭 OTP 메모리 및 동작 방법

(57) 요약

OTP(one time programmable) 메모리(10)는 밀도 증대를 위해 2-비트 셀(14)을 갖는다. 각 셀(14)은 2개의 선택 트랜지스터(20, 24) 및 2개의 선택 트랜지스터들 사이에 직렬로 프로그램가능 트랜지스터(22)를 갖는다. 프로그램가능 트랜지스터(22)는 2개의 독립 저장 위치(22)를 갖는다. 하나는 게이트(48)와 제1 소스/드레인 영역(66) 사이에 있고, 두 번째 것은 게이트(48)와 제2 소스/드레인 영역(68) 사이에 있다. 저장 위치들(72)은 소스 또는 드레인들(66, 68)이 게이트(48)와 겹치는 게이트 유전체(60)의 일부이며, 그들을 통해서 프로그래밍 전류(44)를 선택적으로 흘려보냄으로써 독립적으로 프로그램된다. 프로그래밍 전류(44)는 프로그램되는 저장 위치(72)의 크기의 세 자릿수 이상만큼 임피던스를 영구적으로 감소시키기에 충분한 크기와 지속시간으로 되어 있다. 프로그래밍 전류(44)는 다른 회로 구성요소들의 손상을 피하기 위해 그 크기가 제한되고, 음의 전압을 프로그래밍 트랜지스터(22)의 게이트(48)에 인가함으로써 적어도 부분적으로 유도되는 것이 바람직하다.

대표도 - 도2



특허청구의 범위

청구항 1

2 비트 메모리 셀을 구비한 OTP(one time programmable) 메모리로서,

상기 2 비트 메모리 셀은,

비트 라인에 연결된 제1 전류 전극, 제1 워드 라인에 연결된 제어 전극, 및 제2 전류 전극을 구비한 제1 선택 트랜지스터와,

상기 제1 선택 트랜지스터의 제2 전류 전극에 연결된 제1 전류 전극, 제어 전극 유전체, 프로그래밍 라인에 연결된 제어 전극, 및 제2 전류 전극을 구비한 프로그래밍가능한 트랜지스터와,

제1 전류 전극, 제2 워드 라인에 연결된 제어 전극, 및 상기 프로그래밍가능한 트랜지스터의 제2 전류 전극에 연결된 제2 전류 전극을 구비한 제2 선택 트랜지스터

를 포함하며,

상기 프로그래밍가능한 트랜지스터는, 상기 제1 전류 전극과 상기 제어 전극 사이의 제1 프로그래밍가능한 영역, 및 상기 제2 전류 전극과 상기 제어 전극 사이의 제2 프로그래밍가능한 영역을 구비하며,

상기 제1 선택 트랜지스터가 도통되는 것에 응답하여, 전류가, 상기 프로그래밍가능한 트랜지스터의 제1 전류 전극과 상기 제어 전극 유전체를 통해, 상기 제어 전극과 상기 제1 전류 전극이 오버랩하는 영역 내의 상기 제어 전극에 전달되며,

상기 제2 선택 트랜지스터가 도통되는 것에 응답하여, 전류가, 상기 프로그래밍가능한 트랜지스터의 제2 전류 전극과 상기 제어 전극 유전체를 통해, 상기 제어 전극과 상기 제2 전류 전극이 오버랩하는 영역 내의 상기 제어 전극에 전달되며,

프로그램 동작 동안에는 전류가 상기 프로그래밍가능한 트랜지스터의 제1 전류 전극으로부터 흐르는, OTP 메모리.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제1 프로그래밍가능한 영역 및 제2 프로그래밍가능한 영역은, 상기 프로그래밍가능한 트랜지스터의 제어 전극에 인가되는 음의 전압의 인가에 응답하여, 초기 임피던스로부터 상대적으로 더 낮은 임피던스로 변환되는 OTP 메모리.

청구항 4

제1항에 있어서, 상기 제1 프로그래밍가능한 영역은, 상기 제1 선택 트랜지스터의 제1 및 제2 전류 전극들, 상기 프로그래밍가능한 트랜지스터의 제1 전류 전극, 및 상기 프로그래밍가능한 트랜지스터의 제어 전극을 통해 전류를 흘려서, 초기 임피던스로부터 상대적으로 더 낮은 임피던스로 변환되는 OTP 메모리.

청구항 5

제1항에 있어서, 상기 제2 프로그래밍가능한 영역은, 상기 제2 선택 트랜지스터의 제1 및 제2 전류 전극들, 상기 프로그래밍가능한 트랜지스터의 제2 전류 전극, 및 상기 프로그래밍가능한 트랜지스터의 제어 전극을 통해 전류를 흘려서, 초기 임피던스로부터 상대적으로 더 낮은 임피던스로 변환되는 OTP 메모리.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

OTP 메모리를 동작시키는 방법으로서,

비트 라인에 연결되는 제1 전류 전극, 제1 워드 라인에 연결되는 제어 전극, 및 제2 전류 전극을 갖는 제1 선택 트랜지스터를 제공하는 단계;

상기 제1 선택 트랜지스터의 상기 제2 전류 전극에 연결되는 제1 전류 전극, 프로그래밍 라인에 연결되는 제어 전극, 및 제2 전류 전극을 갖는 프로그래밍가능한 트랜지스터를 제공하는 단계;

상기 비트 라인에 연결되는 제1 전류 전극, 제2 워드 라인에 연결되는 제어 전극, 및 상기 프로그래밍가능한 트랜지스터의 상기 제2 전류 전극에 연결된 제2 전류 전극을 갖는 제2 선택 트랜지스터를 제공하는 단계 - 상기 제1 선택 트랜지스터, 상기 프로그래밍가능한 트랜지스터, 및 상기 제2 선택 트랜지스터는 2비트 메모리 셀을 형성함 -;

상기 제1 선택 트랜지스터의 상기 제1 및 제2 전류 전극, 상기 프로그래밍가능한 트랜지스터의 제1 전류 전극, 및 상기 프로그래밍가능한 트랜지스터의 상기 제어 전극을 통해 제1 프로그래밍 전류를 인가함으로써 제1 비트를 프로그래밍하는 단계; 및

상기 제2 선택 트랜지스터의 상기 제1 및 제2 전류 전극, 상기 프로그래밍가능한 트랜지스터의 상기 제2 전류 전극, 및 상기 프로그래밍가능한 트랜지스터의 상기 제어 전극을 통해 제2 프로그래밍 전류를 인가함으로써 제2 비트를 프로그래밍하는 단계

를 포함하는 OTP 메모리 동작 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

OTP 메모리 셀로서,

단일 비트 라인의 2개의 콘택트들 사이에 2개의 선택 트랜지스터들과 직렬로 연결되어 있는 프로그래밍가능한 트랜지스터

를 포함하며,

상기 프로그래밍가능한 트랜지스터는 그 게이트와 그 제1 소스/드레인 사이에 제1 프로그래밍가능한 영역을 포함하며, 상기 게이트와 그 제2 소스/드레인 사이에 제2 프로그래밍가능한 영역을 포함하는 OTP 메모리 셀.

청구항 19

제18항에 있어서, 상기 제1 프로그래밍가능한 영역은 상기 프로그래밍가능한 트랜지스터의 게이트 유전체로 된 제1 부분이고, 상기 제2 프로그래밍가능한 영역은 상기 게이트 유전체로 된 제2 부분이며, 상기 게이트 유전체로 된 상기 제1 및 제2 부분은 임피던스가 저감된 상태로 영구적으로 프로그래밍가능한 OTP 메모리 셀.

청구항 20

삭제

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체에 관한 것이며, 좀더 구체적으로는 정보 저장 능력을 갖는 반도체 디바이스에 관한 것이다.

배경기술

[0002] 반도체 메모리의 일 형태는 1회 프로그램가능한(OTP:one time programmable) 메모리이다. OTP 메모리의 일 형태는 안티퓨즈(antifuse)이다. 안티퓨즈는 처음에는 비전도성을 띠므로써 퓨즈에 반대로 기능한다. 프로그램 되면, 안티퓨즈는 전도성이 된다. 안티퓨즈를 프로그래밍하기 위해서 산화물과 같은 유전체층을 높은 전기장 처리를 하여 유전체에 터널링 전류를 생성한다. 터널링 전류는 심한 절연 파괴(hard dielectric breakdown)로 알려진 현상으로 이어진다. 절연 파괴후, 도전 경로(conductive path)가 유전체를 통해서 형성됨으로써 안티퓨즈가 도전성이 된다.

[0003] 행과 열을 갖는 어레이 형태의 안티퓨즈들을 적절히 조합함으로써 프로그램된 후 비휘발성 메모리로서 기능한다. 이러한 형태의 메모리는 프로그래밍을 변경할 수 없기 때문에 ROM(read only memory)으로서 기능한다. 대체로 커패시터 구조들이 안티퓨즈의 유전체 물질로서 사용된다. 단일 비트의 정보 저장 장치를 구현하기 위해서는 하나의 커패시터 및 하나의 선택 트랜지스터를 필요로 한다. 선택 트랜지스터는 프로그램이나 판독 동작을 위해서 그 연관된 특정 커패시터를 선택할 것을 필요로 한다. 분리 소자(isolation element)는 비트들을 서로 분리하기 위해서 각 비트의 경계에 있을 것을 필요로 한다. 따라서 비트당 면적은 비효율적이다. 전자 디바이스가 진화함에 따라서, 비트당 면적이 더 작은 OTP 메모리가 필요하다.

실시예

[0009] 도 1에는 트랜지스터의 행렬의 어레이로 배열된 메모리(10)가 도시된다. 메모리(10)는 커패시터는 없고 2비트의 프로그램된 정보를 정의하는 3개의 트랜지스터를 갖는 것으로 구현된 효율적인 OTP 메모리이다. 메모리(10)는 메모리 셀(14), 메모리 셀(15), 메모리 셀(16) 및 메모리 셀(17)을 갖는 것으로 도시된다. 메모리 셀(14)은 BL0으로 나타낸 제1 비트 라인에 접속된 드레인을 갖는 메모리 셀(14)의 제1 선택 트랜지스터(20)를 갖는다. 제1 선택 트랜지스터(20)의 게이트는 워드 라인 선택 회로(11)에 의해 제공되는 워드 라인(WL0)에 접속된다. 제1 선택 트랜지스터(20)의 소스는 프로그램 트랜지스터(22)의 드레인에 접속된다. 프로그램 트랜지스터(22)의 소스는 메모리 셀(14)의 제2 선택 트랜지스터(24)의 소스에 접속된다. 프로그램 트랜지스터(22)의 게이트는 전류 제한 회로(12)에 의해 제공되는 PGL 0/1로 나타낸 프로그램 라인 신호에 접속된다. 전류 제한 회로(12)는 워드 라인 선택 회로(11)에 접속된다. 제2 선택 트랜지스터(24)의 드레인은 메모리 셀(15)의 제1 선택 트랜지스터(26)의 드레인 및 BL0로 나타낸 제1 비트 라인에 접속된다. 제2 선택 트랜지스터(24)의 게이트는 워

드 라인 선택 회로(11)에 의해 제공된 워드 라인(WL1)에 접속된다. 제1 선택 트랜지스터(26)의 게이트는 워드 라인 선택 회로(11)에 의해 제공되는 워드 라인(WL2)에 접속된다. 제1 선택 트랜지스터(26)의 소스는 프로그램 트랜지스터(28)의 드레인에 접속된다. 프로그램 트랜지스터(28)의 게이트는 전류 제한 회로(13)에 의해 제공되는 프로그램 신호(PGL 2/3)에 접속된다. 전류 제한 회로(13)는 워드 라인 선택 회로(11)에 접속된다. 프로그램 트랜지스터(28)의 소스는 제2 선택 트랜지스터(30)의 소스에 접속된다. 제2 선택 트랜지스터(30)의 게이트는 워드 라인 선택 회로(11)에 의해 제공되는 워드 라인(WL3)에 접속된다. 제2 선택 트랜지스터(30)의 드레인은 BL0로 표시되는 제2 비트 라인에 접속되고, 파선으로 표시되는 동일한 열 내의 다른 메모리 셀(도시되지 않음)에 접속된다.

[0010] 메모리 셀(16)의 트랜지스터(32)는 제2 비트 라인(BL1)에 접속되는 드레인을 갖는다. 트랜지스터(32)의 게이트는 워드 라인(WL0)에 접속된다. 트랜지스터(32)의 소스는 트랜지스터(34)의 드레인에 접속된다. 트랜지스터(34)의 게이트는 프로그램 신호(PGL 0/1)에 접속된다. 트랜지스터(34)의 소스는 트랜지스터(36)의 소스에 접속된다. 트랜지스터(36)의 게이트는 워드 라인 신호(WL1)에 접속된다. 트랜지스터(36)의 드레인은 메모리 셀(17) 내의 트랜지스터(38)의 드레인에 접속되고, 비트 라인(BL1)에 접속된다. 트랜지스터(38)의 게이트는 워드 라인 신호(WL2)에 접속된다. 트랜지스터(38)의 소스는 트랜지스터(40)의 드레인에 접속된다. 트랜지스터(40)의 게이트는 프로그램 신호(PGL 2/3)에 접속된다. 트랜지스터(40)의 소스는 트랜지스터(42)의 소스에 접속된다. 트랜지스터(42)의 게이트는 워드 라인(WL3)에 접속된다. 트랜지스터(42)의 드레인은 비트 라인(BL1) 및 메모리 셀(17) 아래의 파선에 의해 표시되는 다른 회로(도시되지 않음)에 접속된다.

[0011] 동작시, 각 메모리 셀들(14, 15, 16 및 17)은 안티퓨즈 또는 메모리 셀당 2 저장 비트를 갖는 OTP 메모리로서 기능한다. 각 메모리 셀은 3개의 트랜지스터를 포함한다. 메모리(10)의 메모리 셀(14)의 제1 비트를 프로그램하기 위해서, 비트 라인(BL0), 워드 라인(WL0) 및 프로그램 라인(PGL 0/1)이 모두 어서트된다(asserted). 어서트된 신호의 로직 상태가 트랜지스터의 도전성 형태에 의존하므로, 로직 하이(logic high) 또는 로직 로우(logic low) 신호일 수 있다는 것은 잘 이해될 것이다. 하나의 형태에서, BL0 신호 및 WL0 신호는 각각이 기관(도 1에 도시되지 않음)의 전압에 대해서 양인, 동일한 전압 또는 다른 전압으로 된다. 한 형태에서 기관 전압은 전기적 접지(electrical ground)이다. PGL 0/1 신호는 기관 전압에서 대해서 음인 전압으로 된다. PGL 신호들이 가정하는 음의 프로그래밍 전압의 값은 애플리케이션마다 구현되는 게이트 유전체 두께에 크게 의존한다. 예를 들면, -0.7 볼트에서 -5 볼트 범위의 프로그래밍 전압이 이용될 수 있다. 예를 들면, 실리콘 다이옥사이드는 1.3nm 내지 5nm 범위의 두께를 갖는 유전체 물질로서 이용될 수 있다. 다른 유전체 두께 또는 물질과 조합하여 다른 음의 전압이 선택된 처리 파라미터에 따라서 이용될 수 있음이 이해되어야 한다. 적절한 다른 유전체 물질은 질화 규소, 질산화 규소 또는, 종종 높은 k 유전체로 지칭되는 금속 산화물층을 포함한다. 전압의 결과로서, 전류(44)를 위한 전류 경로가 비트 라인(BL0)으로부터 제1 선택 트랜지스터(20)를 통해서 프로그램 트랜지스터(22)로 만들어진다. 프로그램 트랜지스터(22)에서 전류(44)는 그 게이트 유전체를 통해서 흘러, 프로그램 트랜지스터(22)의 드레인/게이트 중첩 영역에서의 유전체 브레이크다운(dielectric breakdown)을 야기한다. 중첩 영역은 도 2와 관련하여 이하에서 더 설명될 것이다. 결과로서, 전류(44)는 프로그램 트랜지스터(22)의 게이트로부터 전류 제한 회로(12)의 입력으로 계속 흐른다. 전류 제한 회로(12)는 브레이크다운 전류의 크기를 제한하는 능동 디바이스를 갖는다. 절연체의 임피던스가 감소함에 따라서, 전류는 증가한다. 하지만, 전류 제한 회로(12)는 프로그램 라인에 인가되는 프로그램 전압을 감소시킴으로써 절연체 전류(dielectric current)의 통제되지 않는 증가를 막는다. 이는 소스/드레인과 기관 사이의 접합이 브레이크다운 하도록 하는 런어웨이 효과를 초래할 수 있는 절연체의 극심한 브레이크다운을 방지하는 이점을 갖는다. 프로그래밍의 종료시에는, 유전체의 양단에 걸쳐, 미프로그래밍 비트와는 대조적으로 프로그래밍된 비트를 통해 적어도 3-4 자릿수의 높은 크기의 판독 전류가 흐르도록 허용하는 상당히 낮은 임피던스가 존재한다.

[0012] 위에서 프로그램된 메모리 셀(14)의 제1 비트를 판독하기 위해서, 워드 라인(WL0)과 비트 라인(BL0)이 어서트된다. 프로그램 라인(PGL 0/1)은 기관에 대해서 0 또는 음의 전위를 갖는 소정의 고정 전압을 인가함으로써 어서트된다. 단지 예시로만, PGL 프로그램 라인들에 인가하는 고정된 음의 전압은 구현되는 프로세스 파라미터들에 따라서 0에서부터 -(0.7)V일 수 있다. BL0 신호 및 WL0 신호는, 한 형태에서, 각각이 기관(도 1에 도시되지 않음)의 전압에 대해서 양(positive)인 동일한 전압 또는 다른 전압으로 된다. 비트 라인 신호(BL0)를 판독하기 위해서는 프로그램 동작 동안에서보다 크기가 작아야 한다. PGL 0/1이 어서트되는 경우에도, 프로그램이 동작하는 동안에서보다 크기가 실질적으로 더 작아야 한다. 신호 WL0는 프로그램 동작 중이었던 때보다 판독 동작 동안의 크기가 더 작을 수도 있고 또는 그렇지 않을 수도 있다. 판독 동작 동안, 기관 전압은 전기적 접지로 유지된다. PGL 0/1 신호가 어서트됨과 함께, PGL 0/1 신호는 기관 전압에 대해서 음인 전압이 된다. 판독중인 비트가 미리 프로그램되는 경우, 전류(44)는 비트 라인(BL0)으로부터 제1 선택 트랜지스터(20)를 통해서, 프

그램 트랜지스터(20)까지 존재하여 비트 라인(BL0)으로부터 프로그램 라인(PGL 0/1)으로 제1 선택 트랜지스터(20)와 프로그램 트랜지스터(22)를 통해서 판독 전류가 흐르게 된다. 판독중인 비트가 미리 프로그램되지 않았던 경우, 전류(44)는 존재하지 않으며 어떠한 판독 전류도 흐르지 않는다. 일 형태에서, 이 판독 전류가 흐르는지 여부를 감지하는 것은 비트 라인(BL0)에 접속된 회로(도시되지 않음)에 의해서 감지된다. 판독하는 동안의 우발적인 프로그래밍을 방지하기 위해서, 신호들(WL0 및 BL0)은 프로그래밍 동작 동안보다 판독 동작 동안 더 작아야 한다.

[0013] 도 2에 도시된 것은, 2 비트를 저장하도록 요구되는 3개의 트랜지스터의 구조적 구현을 더 도시하는 도 1의 메모리 셀(14)의 단면도이다. 도시된 형태에는 반도체 기판(45)이 제공된다. 위에 놓여서 반도체 기판(45) 내에 형성된 것들은 3개의 트랜지스터들, 즉 제1 선택 트랜지스터(20), 프로그램 트랜지스터(22) 및 제2 선택 트랜지스터(24)이다. 제1 선택 트랜지스터(20)는 워드 라인 신호(WL0)를 수신하는 게이트(46)를 갖는다. 제1 선택 트랜지스터(20)는 게이트 옥사이드(gate oxide; 58) 위에 놓이는 게이트(46)에 접하는 측벽 스페이스(sidewall spacer; 52)를 갖는다. 제1 선택 트랜지스터(20)는 또한 드레인(64)과 소스(66)를 갖는다. 프로그램 트랜지스터(22)는 프로그램 신호(PGL 0/1)를 수신하는 게이트(48)를 갖는다. 측벽 스페이스(54)는 게이트(48)에 접한다. 게이트(48)의 아래에는 절연체로서 기능하는 게이트 절연체(60)가 있다. 일 형태에서 게이트 절연체(60)는 산화물이다. 프로그램 트랜지스터(22)는 제1 선택 트랜지스터(20)와 소스(66)를 형성하는 확산 영역을 공유한다. 프로그램 트랜지스터(22)는 또한 드레인을 형성하는 확산 영역(68)을 갖는다. 제2 선택 트랜지스터(24)는 워드 라인 신호(WL1)를 수신하는 게이트(50)를 갖는다. 측벽 스페이스(56)는 게이트(50)에 접한다. 게이트(50) 아래에는 게이트 옥사이드(62)가 있다. 제2 선택 트랜지스터(24)는, 또한 프로그램 트랜지스터(22)의 드레인으로서도 기능하는 확산 영역(68)에 의해 형성되는 소스를 갖는다. 제2 선택 트랜지스터(24)는, 또한 반도체 기판(45) 내의 확산 영역에 의해 형성되는 드레인(70)을 갖는다. 콘택트(74)는 드레인(64) 및 비트 라인(BL0)에 접속된다. 콘택트(76)는 드레인(70) 및 비트 라인(BL0)에 접속된다. 도시된 측벽 스페이스들, 비트 라인(BL0) 및 콘택트들(74 및 76) 사이의 영역들은 산화물과 같이 절연 물질에 의해서 전기적으로 절연됨이 이해되어야 할 것이다.

[0014] 프로그램 동작 모드에서, 전류(44)는 비트 라인 내에서 시작하여, 콘택트(74)를 통과하고 제1 선택 트랜지스터(20)의 채널 영역을 통해서 흐른다. 전류(44)는 소스(66) 및 게이트 유전체(60)를 통과하여, 프로그램 트랜지스터(22)의 게이트(48)로 싱크(sink)된다. 전류(44)가 제1 선택 트랜지스터(20)의 채널 영역을 통해서 흐르는 경우, 전류는 게이트 옥사이드(58)에 매우 근접하며, 반드시 비례에 맞게 그려지지 않는에 유의한다. 전류(44)는, 프로그램 트랜지스터(22)의 게이트 절연체의 도 2에 도시된 영역(72) 내에서 게이트(48) 및 소스(66)가 중첩하는 영역을 통해서 흐른다. 전류(44)는 공지된 Fowler-Nordheim 터널링 메커니즘 또는 다이렉트 터널링 메커니즘과 같은 전자 터널링 메커니즘을 통해서 흐르며, 영역(72)에 한정된다. 프로그램 라인(PGL 0/1) 상의 음의 전압 바이어스는 전류(44)의 싱킹(sinking)을 돕는다. 게이트(48)에서의 PGL 0/1 신호의 음의 전압은, 중첩된 영역이 상정하는 전기 배향(electric field orientation)이 게이트(48) 상의 접지 전압에 비해 더 수직적인 특성을 띠게 방향을 가정하도록 하는 경향이 있다. 그러나, 게이트 절연체(60)의 광범위한 브레이크다운이 전압은 영역(72)의 외부에 미칠만큼 너무 음이어서는 안된다. 즉, 게이트 바이어스 전압은 게이트 절연체(60)의 광범위한 브레이크다운과, 프로그램 트랜지스터(22)의 우측에 있는 다른 비트를 실수로(inadvertently) 프로그래밍하는 것을 회피하기 위해 절대값이 충분히 작아야 한다. 그 결과로서, 게이트 절연체는 2개의 물리적으로 구별되는 영역으로 나뉜다. 제1 개별 영역, 영역(72)은 소스(66)와 게이트(48)의 중첩된 확산의 영역 내에 있다. 제2 개별 영역은 영역(72)의 게이트(48)의 반대편 에지 상의 확산 영역(68)과 게이트(48)의 중첩 영역 내에 있다. 이러한 2개의 물리적 개별 영역들은 프로그램 트랜지스터(22)와 연관된 2 비트의 분리된 개별 프로그래밍을 허용한다.

[0015] 판독 모드 동작에서, 비트가 미리 프로그램되지 않았다면 전류(44)는 존재하지 않을 것이다. 프로그램 트랜지스터(22)의 좌측과 연관된 비트는 미리 프로그램되어있는 것으로 가정한다. 따라서, 판독 동작 동안, 전류(44)는 다시 존재할 것이다. 프로그램 트랜지스터(22)의 게이트(48)에 의해 싱크된 전류는 도 1의 프로그램 라인(PGL 0/1)을 따라서 전도되고 종래의 회로(도시되지 않음)에 의해 감지된다. 감지 회로는 프로그램 트랜지스터(22)의 게이트의 좌측이 비교적 높은 임피던스 상태 또는 낮은 임피던스 상태인지 여부를 검출할 것이다.

[0016] 도 3에 도시된 것은 메모리 셀(14)의 평면도이다. 워드 라인(WL0), 프로그램 신호(PGL 0/1) 및 워드 라인(WL1)은 나란히 배치된 컨덕터들로 구현된다. 금속 또는 폴리실리콘과 같은 임의의 도전성 물질이, 이러한 컨덕터들을 구현하는데 이용될 수 있음이 이해되어야 한다. 워드 라인(WL0 및 WL1) 및 프로그램 신호(PGL 0/1)는 반도체 기판(45) 내의 활성 영역 위에 놓이고, 반도체 기판(45) 내의 확산 영역을 나타낸다. 콘택트(74)는 드레

인(64)에 접속된다. 워드 라인(WL0)과 프로그램 신호(PTL 0/1) 사이에서 컨덕터는 소스(66)이다. 프로그램 신호(PGL 0/1)와 워드 라인(WL1) 사이에는, 프로그램 트랜지스터(22)에 대해서 드레인으로 기능하고 제2 선택 트랜지스터(24)에 대해서 소스로 기능하는 확산 영역(68)이 있다. 콘택트(76)는 드레인(70)에 접속한다.

[0017] 메모리 셀(14)의 배치는 간결함을 유의해야 한다. 3개의 병렬 컨덕터들이 사용되며, 주어진 설계 규칙의 세트에 대해 최소 설계 치수보다 크기 않은 폭을 갖도록 형성될 수 있다. 이러한 평행한 컨덕터들 사이나 활성 영역(78)의 도시된 부분 내의 어디에도 절연 분리 구조(insulating isolation structure)가 구현될 것이 요구되지 않는다. 메모리 구조에의 콘택트가 메모리 셀(14)에 쉽게 만들어질 수 있다. 메모리 셀(14)의 배치와 관련된 어떠한 중요한 정렬 문제도 없음을 유의해야 한다. 반면, 커패시터와 같은 구조들이 활성 영역(78) 내에 구현될 필요가 있는 경우, 활성 영역 내의 물리적 불연속성이 존재하여, 워드 라인과 같은 컨덕터 위에 놓여야 하는 2개의 부분을 초래할 수 있다. 그러한 일 실시예에서, 아래에 놓이는 컨덕터의 폭은 잠재적인 오정렬을 보상하도록 더 크게 만들어져야 한다. 커패시턴스 변화에 부가해서, 일부 예상된 오정렬을 위해 더 큰 셀 사이즈가 요구된다. 개시된 실시예에 의해, OTP를 구현하는 커패시터 구조의 사용과 연관된 정렬은 회피된다.

[0018] 이제, 2개의 저장 비트를 갖춘 OTP 셀을 갖는 메모리 구조 및 반도체 OTP 메모리를 형성하는 방법이 제공되어 있음이 이해되어야 한다. 개시된 OTP 메모리 셀은 종래의 ROM(read only memories) 및 NVM(nonvolatile memory)의 하나의 트랜지스터 셀 사이즈의 사이즈 근사치를 구한다. 도 3의 배치가 도시된 수직 방향의 셀당 피치를 감소시키기 때문에, 비트당 요구되는 회로 면적은 상당히 감소된다. 개시된 저장 셀은 ROM 치환(replacement) 또는 NVM 치환으로서 이용될 수 있다. 개시된 회로는 CMOS 트랜지스터와 같은 종래의 트랜지스터로 구현될 수 있음을 유의해야 한다. 프로그래밍이 전류/전압 프로그래밍에 의해서 구현되기 때문에, 다양한 반도체 패키지들이 이용될 수 있고, 패키징의 형태나 가격 상에 어떠한 제한도 존재하지 않는다. 본 명세서에는, 3개의 트랜지스터가 비트라인(bitline)의 2개의 콘택트들 사이에 직렬로 접속된 3개의 트랜지스터 메모리 셀이 개시된다. 다른 형태에서, 메모리 셀들의 열당 2개의 비트라인들이 구현될 수 있지만, 이 실시예들은 더 큰 배치 면적을 필요로 한다. 중심에 있는 트랜지스터는 일회 프로그래밍가능한(one-time programmable) 메모리 셀 또는 안티퓨즈로서 역할하고, 게이트/드레인 및 게이트/소스 중첩 영역 내의 게이트 옥사이드의 선택적, 절연 브레이크다운에 의해 프로그래밍된다. 3개 트랜지스터 중의 다른 2개 트랜지스터들은 선택 트랜지스터로서 기능한다.

[0019] 전술한 명세서에서, 본 발명은 특정 실시예를 참조하여 설명되었다. 그러나, 해당 기술의 당업자라면 이하에 기술된 특허청구범위에서와 같이 다양한 개조와 변경이 본 발명의 범위를 벗어나지 않고 만들어질 수 있음을 이해한다. 예를 들면, 트랜지스터 반도체 프로세스의 어떠한 형태라도 개시된 트랜지스터들(즉, MOS, BiCMOS)을 구현하는데 이용될 수 있다. 본 명세서에 기술된 회로는 다수의 내장형 메모리 애플리케이션들에 이용될 수 있다. 또한, 기술된 전압 및 도전성은 도시된 것과 반대일 수 있다. 또한, 전체 메모리, 메모리의 부분 또는 개별 비트 셀 또는 트랜지스터들은 개별적인, 전기적으로 양호하게 절연된 확산 영역에 위치할 수 있다. 본 명세서에 기술된 저장 회로는 독립형 메모리 제품 또는 다른 회로에 내장되어 구현될 수 있다. 일 형태에서, 어레이 내의 모든 트랜지스터들은 N-채널 트랜지스터로서 구현된다. 다른 형태에서, 모든 프로그램 트랜지스터들은 N-채널이며 모든 선택 트랜지스터들은 P-채널이다. 다른 형태에서, 어레이 내의 모든 트랜지스터들은 P-채널 트랜지스터들로서 구현된다. 또 다른 형태에서, 모든 프로그램 트랜지스터들은 P-채널이며 모든 선택 트랜지스터들은 N-채널이다.

[0020] 본 명세서에는 2-비트 메모리 셀을 갖는 OTP(one time programmable) 메모리가 제공된다. 2-비트 메모리 셀은 비트 라인에 접속된 제1 전류 전극, 제1 워드 라인에 접속된 제어 전극, 및 제2 전류 전극을 갖는 제1 선택 트랜지스터를 갖는다. 프로그램가능한 트랜지스터는 제1 선택 트랜지스터의 제2 전류 전극에 접속된 제1 전류 전극, 프로그래밍 라인에 접속된 제어 전극, 및 제2 전류 전극을 갖는다. 제2 선택 트랜지스터는 비트 라인에 접속된 제1 전류 전극, 제2 워드 라인에 접속된 제어 전극, 및 프로그램가능한 트랜지스터의 제2 전류 전극에 접속된 제2 전류 전극을 갖는다. 프로그램가능한 트랜지스터는 제1 전류 전극과 제어 전극 사이의 제1 프로그램가능 영역 및 제2 전류 전극과 제어 전극 사이의 제2 프로그램가능 영역을 갖는다. 제1 및 제2 프로그램가능 영역들은 독립적으로 최초 임피던스로부터 비교적 낮은 임피던스로 변환될 수 있다. 일 형태에서, 프로그램가능 트랜지스터의 제어 전극은 게이트이며, 프로그램가능 트랜지스터는 게이트 아래에 게이트 절연체를 갖는다. 제1 전류 전극의 일부는 게이트 절연체의 제1 부분과 겹치며, 제2 전류 전극의 일부는 게이트 절연체의 제2 부분과 겹친다. 게이트 절연체의 제1 부분은 제1 프로그램가능 영역이며, 게이트 절연체의 제2 부분은 제2 프로그램가능 영역이다. 다른 형태에서, 제1 및 제2 프로그램가능 영역들은 프로그램가능 트랜지스터의 제어 전극에 인가된 음의 전압의 적용에 응답하여, 초기 임피던스로부터 비교적 낮은 임피던스로 변환된다. 또 다른

형태에서, 제1 프로그램가능 영역은, 제1 선택 트랜지스터의 제1 및 제2 전류 전극들, 프로그램가능 트랜지스터의 제1 전류 전극, 및 프로그램가능 트랜지스터의 제어 전극을 통해서 흐르는 전류에 의해서 초기 임피던스로부터 비교적 낮은 임피던스로 변환된다. 또 다른 형태에서, 제2 프로그램가능 영역은, 제2 선택 트랜지스터의 제1 및 제2 전류 전극, 프로그램가능 트랜지스터의 제2 전류 전극, 및 프로그램가능 트랜지스터의 제어 전극을 통해서 흐르는 전류에 의해서 초기 임피던스로부터 비교적 낮은 임피던스로 변환된다. 또 다른 형태에서, OTP 메모리는 제1 선택 트랜지스터의 제어 전극에 접속된 제1 출력, 제2 선택 트랜지스터의 제어 전극에 접속된 제2 출력, 및 제3 출력을 갖는 워드 라인 선택 회로를 더 갖는다. 전류 제한 회로는 워드 라인 선택 회로의 제3 출력에 접속된 입력 및 프로그램가능 트랜지스터의 제어 전극에 접속된 출력을 갖는다. 다른 형태에서, OTP 메모리는 비트 라인에 접속된 복수의 2-비트 메모리 셀을 더 포함한다. 또 다른 형태에서, 복수의 2-비트 메모리 셀들은 제1 및 제2 워드 라인 및 프로그래밍 라인에 접속된다. 또 다른 형태에서, OTP 메모리는 반도체 기판을 포함하며, 제1 선택 트랜지스터의 제2 전류 전극 및 프로그램가능 트랜지스터의 제1 전류 전극은 기판 내의 도핑 영역을 공유한다. 다른 형태에서, 초기 임피던스는 비교적 낮은 임피던스보다 크기가 세 자릿수 이상 크다.

[0021] 또한 2-비트 메모리 셀을 프로그래밍하는 방법이 제공된다. 비트 라인에 접속된 제1 전류 전극, 제1 워드 라인에 접속된 제어 전극, 및 제2 전류 전극을 갖는 제1 선택 트랜지스터가 제공된다. 제1 선택 트랜지스터의 제2 전류 전극에 접속된 제1 전류 전극, 프로그래밍 라인에 접속된 제어 전극, 및 제2 전류 전극을 갖는 프로그램가능 트랜지스터가 제공된다. 비트 라인에 접속된 제1 전류 전극, 제2 워드 라인에 접속된 제어 전극, 및 프로그램가능 트랜지스터의 제2 전류 전극에 접속된 제2 전류 전극을 갖는 제2 선택 트랜지스터가 제공된다. 제1 비트를 프로그래밍하기 위해서, 제1 프로그래밍 전류가 제1 선택 트랜지스터의 제1 및 제2 전류 전극, 프로그램가능 트랜지스터의 제1 전류 전극, 및 프로그램가능 트랜지스터의 제어 전극을 통해서 인가된다. 제2 비트를 프로그래밍하기 위해서, 제2 프로그래밍 전류가 제2 선택 트랜지스터의 제1 및 제2 전류 전극, 프로그램가능 트랜지스터의 제2 전류 전극, 및 프로그램가능 트랜지스터의 제어 전극을 통해서 인가된다. 또 다른 형태에서, 제1 비트를 프로그래밍하기 위해서는 인에이블(enable) 신호를 제1 워드 라인에, 디스에이블(disable) 신호를 제2 워드 라인에 인가하는 것을 포함한다. 다른 형태에서, 제1 선택 트랜지스터를 인에이블하게 하고, 제2 선택 트랜지스터를 디스에이블하게 하고, 제1 선택 트랜지스터의 제1 전류 전극과 프로그램가능 트랜지스터의 제어 전극 사이에 전압차를 인가함으로써, 제1 비트가 프로그래밍된다. 다른 형태에서, 전압차는 제1 프로그래밍 전류가 프로그램가능 트랜지스터의 제1 전류 전극으로부터 프로그램가능 트랜지스터의 제어 전극으로 흐르도록 유발한다. 다른 형태에서, 전압차는 프로그램가능 트랜지스터의 제어 전극에 인가된 음의 전압 및 제1 선택 트랜지스터의 제1 전류 전극에 인가된 양의 전압이다. 다른 형태에서, 제1 프로그래밍 전류는 프로그램가능 트랜지스터의 제1 전류 전극에의 손상을 피하는데 충분하도록 제한된다. 또 다른 형태에서, 제1 프로그래밍 전류는, 프로그램가능 트랜지스터의 제1 전류 전극과 제어 전극 사이의 임피던스의 영구적인 감소를 가져오기에 충분한 크기 및 지속시간으로 되어 있다.

[0022] 또한, 2개의 선택 트랜지스터들 사이에 프로그램가능 트랜지스터가 직렬로 있는 2-비트 메모리 셀이 제공되며, 프로그램가능 트랜지스터는 게이트와 제1 소스/드레인 사이의 제1 프로그램가능 영역 및 게이트와 제2 소스/드레인 사이의 제2 프로그램가능 영역을 갖는다. 일 형태에서, 제1 프로그램가능 영역은 프로그램가능 트랜지스터의 게이트 절연체의 제1 부분이며, 제2 프로그램가능 영역은 게이트 절연체의 제2 부분이고, 게이트 절연체의 제1 및 제2 부분은 감소된 임피던스의 조건으로 영구적으로 프로그램가능하다. 다른 형태에서, 게이트 절연체의 제1 및 제2 부분은 그것을 통한 전류 흐름에 의해 감소된 임피던스의 조건으로 변환된다.

[0023] 따라서, 명세서 및 도면들은 제한적인 의미라기보다는 예시적인 의미로 간주되며, 그러한 모든 변형은 본 발명의 범위 내에 포함되도록 의도된다.

[0024] 이점, 다른 장점, 및 문제의 해결책이 특정 실시예에 관해서 기술되었다. 그러나, 이점, 장점들, 문제의 해결책들, 및 어떠한 이점, 장점 또는 해결책이 발생하거나 더 주장되도록 할 수 있는 임의의 구성요소(들)는, 임의의 또는 모든 특허청구범위의 결정적이고, 필요하거나 필수적인 형태 또는 구성요소로서 해석되지는 않는다. 본 명세서에 사용된 바와 같이, 용어 "포함한다(comprise)", "포함하는(comprising)", 또는 그것들의 다른 변형은 비배타적인 포함을 커버하도록 의도되므로, 구성요소의 리스트를 포함하는 절차, 방법, 물건, 또는 장치는 그 구성요소들뿐만 아니라, 명시적으로 열거되지 않거나 그러한 절차, 방법, 물건, 또는 장치에 내재하는 다른 구성요소를 포함할 수 있다. 본 명세서에 사용되는, 용어 하나(a or an)는 하나 이상의 것으로 정의된다. 본 명세서에 사용되는, 용어 복수(plurality)는 둘 이상의 것으로 정의된다. 본 명세서에 사용되는, 용어 다른(another)은 적어도 두 번째 이상의 것으로 정의된다. 본 명세서에 사용되는, 포함하는(including and/or havine)은 포함하는(comprising)(즉, 열린 언어)으로서 정의된다. 본 명세서에 사용되는, 용어 접속된

(coupled)은, 반드시 직접적으로, 및 반드시 기계적으로는 아니더라도 연결되는(connected) 것으로서 정의된다.

도면의 간단한 설명

[0004] 본 발명은 예시의 방법으로 도시되고 첨부한 도면에 한정되지 않으며, 유사한 참조번호는 유사한 구성요소를 표시한다.

[0005] 도 1은 본 발명에 따른 OTP 메모리 어레이의 부분적 개략 형태를 도시한다.

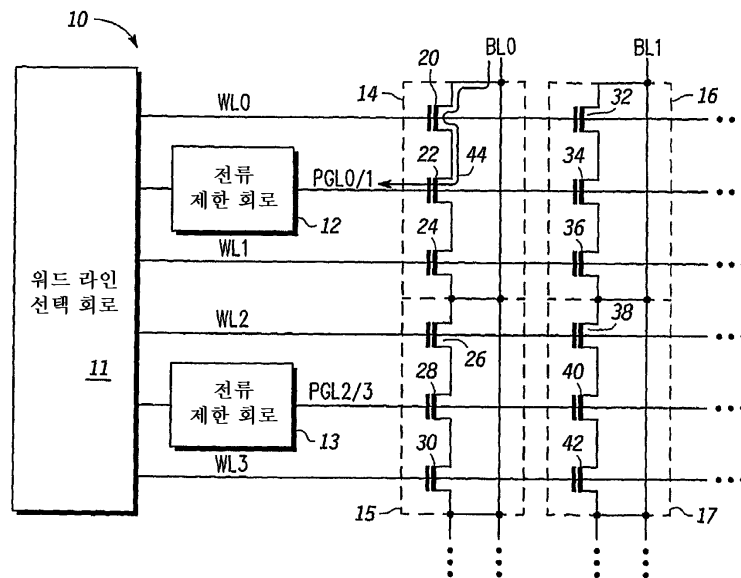
[0006] 도 2는 도 2의 OTP 메모리 어레이의 예시적인 메모리 셀의 단면 형태를 도시한다.

[0007] 도 3은 도 2의 예시적인 메모리 셀의 배치 형태를 도시한다.

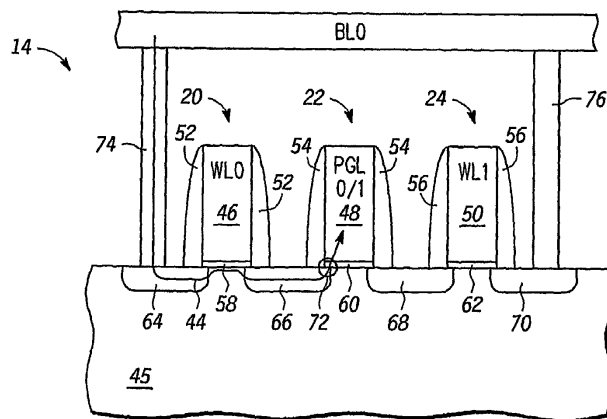
[0008] 당업자라면 도면의 구성요소들이 단순하고 명료하게 도시되며 반드시 비례에 맞게 그려질 필요가 없다는 것을 이해한다. 예를 들면, 도면의 일부 구성요소들의 사이즈는 본 발명 실시예의 이해의 개선을 돕도록 다른 구성 요소에 비해서 과장될 수 있다.

도면

도면1



도면2



도면3

