

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316132

(P2005-316132A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G09F 9/00	G09F 9/00 346A	5C080
G09G 3/20	G09F 9/00 304B	5C580
G09G 3/28	G09G 3/20 621G	5E322
H05K 7/20	G09G 3/20 621M	5G435
	G09G 3/20 624P	

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2004-134006 (P2004-134006)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成16年4月28日 (2004.4.28)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	長原 輝明 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	為谷 典孝 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

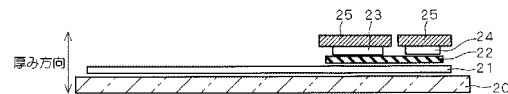
(54) 【発明の名称】 フラットパネルディスプレイ装置及びこれに用いる半導体素子

(57) 【要約】

【課題】本発明は、駆動回路の小型化、低コスト化が可能であり、装置自体の厚みを薄くすることができるフラットパネルディスプレイ装置を提供する。

【解決手段】画像を表示する表示パネル20と、表示パネル20を駆動する駆動回路と、表示パネル20を支持する背板21とを備える。駆動回路は、背板21に固定されている回路基板22と、表示パネル20に形成された複数の電極と接続するために回路基板22に面実装される半導体素子23, 24と、背板21と略平行となるように、半導体素子23, 24の回路基板22に面実装された面と反対側の面に取り付けられた放熱板25とを備える。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

画像を表示する表示パネルと、  
前記表示パネルを駆動する駆動回路と、  
前記表示パネルを支持する背板とを備えるフラットパネルディスプレイ装置であって、  
前記駆動回路は、前記背板に固定されている回路基板と、  
前記表示パネルに形成された複数の電極と接続するために前記回路基板に面実装された半導体素子と、  
前記背板と略平行となるように、前記半導体素子の前記回路基板に面実装された面と反対側の面に取り付けられた放熱板とを備えることを特徴とするフラットパネルディスプレイ装置。

10

**【請求項 2】**

請求項 1 に記載のフラットパネルディスプレイ装置であって、  
前記駆動回路は、前記複数の電極間で放電を生じさせる維持回路部と電力回収回路部とを含み、  
前記半導体素子は、前記維持回路部のハーフブリッジ回路を構成する I G B T に逆導通型 I G B T を用い、前記電力回収回路部のハーフブリッジ回路を構成する I G B T に逆耐圧型 I G B T を用いることを特徴とするフラットパネルディスプレイ装置。

**【請求項 3】**

表示パネルを駆動する駆動回路に用いる半導体素子であって、  
前記表示パネルに形成された複数の電極と接続するために、前記表示パネルを支持する背板に固定される回路基板に面実装可能であり、  
前記背板と略平行となるように、前記半導体素子の前記回路基板に面実装された面と反対側の面に放熱板を取り付け可能であることを特徴とする半導体素子。

20

**【請求項 4】**

請求項 3 に記載の半導体素子であって、  
前記駆動回路は、前記複数の電極間で放電を生じさせる維持回路部と電力回収回路部とを含み、  
前記維持回路部のハーフブリッジ回路を構成する I G B T に逆導通型 I G B T を用い、前記電力回収回路部のハーフブリッジ回路を構成する I G B T に逆耐圧型 I G B T を用いることを特徴とする半導体素子。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、フラットパネルディスプレイ装置及びこれに用いる半導体素子に係る発明であって、特に、駆動回路が実装されるフラットパネルディスプレイ装置及びこれに用いる半導体素子に関するものである。

**【背景技術】****【0002】**

近年、大画面のフラットパネルディスプレイ装置としてプラズマディスプレイパネル装置（以下、PDPともいう）が、業務用に限らず、民生用としても広く普及を始めている。PDPは、ガラス基板を表裏2枚接合し、その間に放電ガスを封入した構造である。放電ガスを封入したガラス基板は、表示パネルと呼ばれている。この表示パネルの背面には、パワー素子を含む駆動回路が実装されている。そして、このパワー素子によって表示パネルに電流が供給され、表示パネルに所望の画像が表示される。

40

**【0003】**

PDPは、最大で300V以上の高電圧を印加し、瞬間で200Aの電流を流すことができる駆動回路が必要である。この駆動回路は、多くの回路部分から構成されているが、中でも最も電流容量が必要となるのは、維持回路と呼ばれる部分である。また、電力回収回路と呼ばれる部分も大きな電流容量を必要とする。

50

## 【0004】

表示パネルには、X電極及びY電極が平行に設けられており、これらの電極に維持回路から電流を印加することで電極間に放電を生じさせる。面放電型のAC型PDPでは、電極が誘電体で覆われているため、X電極とY電極との間は容量性負荷となる。そのため、維持回路は、駆動に必要な電圧まで引き上げるための上アームのスイッチング素子と電位をゼロにするための下アームのスイッチング素子とが接続され、ハーフブリッジ回路を構成している。実際のPDPでは、表示動作のために複数の電圧や複雑な波形を印加できるように、様々なスイッチング素子や回路がさらに実装されている。

## 【0005】

PDPを駆動する場合、容量性負荷への充放電が生じ、この時に非常に大きな電流が流れ、維持回路のスイッチング素子の損失を非常に大きくする。これを避け、容量性負荷に蓄えられた電荷を有効に利用するために、電力回収回路が設けられる。電力回収回路は、容量性負荷に蓄えられた電荷を一時的に電力回収回路内のコンデンサに移行することで、有効に電力を利用し、維持回路のスイッチング素子に流れる電流を小さくして、損失を大幅に低減させている。

10

## 【0006】

維持回路及び電力回収回路には、複数のスイッチング素子が設けられている。これらのスイッチング素子には、通常、電界効果トランジスタ（以下、FETともいう）が用いられている。これは、PDPが100kHzから250kHz程度の周波数で駆動するため、高速のスイッチングが可能なFETをスイッチング素子として採用する必要がある。

20

## 【0007】

しかし、PDPの駆動には瞬間で200A程度の大電流が必要であるため、1個のFETの電流容量ではPDP全体を駆動するには不足であった。また、FETの損失を現実的な値にまで抑えるためには、複数のFETを並列に接続する必要がある。

## 【0008】

PDPの駆動に用いるスイッチング素子としては、FETが高速スイッチングの点で非常に有利な特長を持っている。しかし、上述したようにPDPの駆動には非常に大きな電流を必要とするため、PDPの駆動回路には複数のFETを並列接続する必要がある。複数のFETが必要であるということは、実装する回路基板が大きくなり、放熱板（以下、放熱フィンともいう）も大きなものが必要となるので、製品の小型化、低コスト化を図る上で問題であった。

30

## 【0009】

そこで、FET以外のスイッチング素子を用いて、より少ないスイッチング素子数でPDPを駆動しようとする試みがなされている。例えば、特許文献1では、PDPの駆動回路として絶縁ゲートバイポーラトランジスタ（以下、IGBTともいう）を用いることが提案されている。IGBTは、FETと比較して、電流容量が大きく、ON電圧（ON抵抗）が低い点、素子温度が高くなってもON電圧の変化が少ない点など有利な特徴を有している。IGBTをPDPの駆動回路に採用できれば、多数のFETを並列接続していたスイッチング部分を1個のIGBTで代用することができる。1個のIGBTで、PDPを駆動できれば、大幅にスイッチング素子の数を減らせ、回路基板の面積を縮小化できる

40

## 【0010】

【特許文献1】特開2000-330514号公報

## 【発明の開示】

【発明が解決しようとする課題】

## 【0011】

フラットパネルディスプレイ装置の駆動回路は、表示パネルを支持する背板に設けられている。そのため、駆動回路が大きくなれば、装置自体も大きくなる。特に、駆動回路にFETを用いる場合、大きな放熱フィンが必要となり、フラットパネルディスプレイ装置の厚み方向に駆動回路が大きくなる。PDPなどのフラットパネルディスプレイ装置では

50

厚みが薄いことが特徴であるため、大きな放熱フィンを必要とすることは薄型化を妨げる大きな問題であった。

【0012】

そこで、本発明は、駆動回路の小型化、低コスト化が可能であり、装置自体の厚みを薄くすることができる駆動回路が実装されたフラットパネルディスプレイ装置及びこれに用いる半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明に係る解決手段は、画像を表示する表示パネルと、表示パネルを駆動する駆動回路と、表示パネルを支持する背板とを備えるフラットパネルディスプレイ装置であって、  
10 駆動回路は、背板に固定されている回路基板と、表示パネルに形成された複数の電極と接続するために回路基板に面実装された面と反対側の面に面実装される半導体素子と、背板と略平行となるように、半導体素子に取り付けられた放熱板とを備える。

【発明の効果】

【0014】

本発明に記載のフラットパネルディスプレイ装置は、駆動回路が、背板と略平行となるように、半導体素子の回路基板に面実装された面と反対側の面に取り付けられた放熱板を備えるので、駆動回路の小型化、低コスト化が可能であり、フラットパネルディスプレイ装置の厚みを薄くすることができる効果がある。

【発明を実施するための最良の形態】

【0015】

(実施の形態1)

図1は、表示パネルの駆動回路を示す回路図である。本実施の形態では、フラットパネルディスプレイ装置としてPDPを例に上げて説明するが、本発明はこれに限られず同様の駆動回路を構成するフラットパネルディスプレイ装置(例えば、無機ELディスプレイなど)に適用される。

【0016】

PDPは、表示パネル上に略平行に形成されるX電極及びY電極を有し、このX電極及びY電極に電流を印加することで電極間に放電を生じさせている。また、X電極及びY電極上には、誘電体が覆うように形成されている。そのため、X電極とY電極との間には、  
30 容量性負荷が形成されることとなる。図1では、この容量性負荷を模式的に容量1として示している。表示パネルを駆動させるためには、容量1の両端のX電極及びY電極に必要な電圧を印加する必要がある。なお、図1に示す回路では、左側がX電極側、右側がY電極側を表している。

【0017】

容量1のX電極側には、駆動に必要な電圧 $V_s$ まで引き上げるための上アームのスイッチング素子 $2_x$ と、電位をゼロにするための下アームのスイッチング素子 $3_x$ とが接続され、ハーフブリッジを構成している。この部分は、駆動回路の一部を構成し、X電極側の維持回路と呼ばれている。

【0018】

同様に、容量1のY電極側には、駆動に必要な電圧 $V_s$ まで引き上げるための上アームのスイッチング素子 $2_y$ と、電位をゼロにするための下アームのスイッチング素子 $3_y$ とが接続され、ハーフブリッジを構成している。この部分は、駆動回路の一部を構成し、Y電極側の維持回路と呼ばれている。

【0019】

図1では、スイッチング素子 $2_x$ 、 $2_y$ の一方が電位 $V_s$ に接続し、他方が容量1に接続している。また、スイッチング素子 $3_x$ 、 $3_y$ の一方が電位ゼロに接続し、他方が容量1に接続している。なお、実際のPDPに設けられている維持回路では、表示動作のために複数の電圧や複雑な波形を印加できるように、さらにいろいろなスイッチング素子や回路が実装されている。

10

20

30

40

50

## 【 0 0 2 0 】

図 1 に示す駆動回路には、さらに電力回収回路と呼ばれる回路が設けられている。この電力回収回路は、容量 1 に蓄えられた電荷を有効に利用するために、X 電極側と Y 電極側に設けられている。X 電極側の電力回収回路は、共振リアクトル 4 x、上アームのスイッチング素子 5 x、下アームのスイッチング素子 6 x、ダイオード 7 x 及びコンデンサ 8 x により構成されている。同様に、Y 電極側の電力回収回路も、共振リアクトル 4 y、上アームのスイッチング素子 5 y、下アームのスイッチング素子 6 y、ダイオード 7 y 及びコンデンサ 8 y により構成されている。

## 【 0 0 2 1 】

図 1 に示すように、スイッチング素子 5, 6 の一方がダイオード 7 及び共振リアクトル 4 を介してそれぞれの維持回路と接続され、他方がコンデンサ 8 にそれぞれ接続されている。これらの電力回収回路により、容量 1 に蓄えられた電荷を一時的にコンデンサ 8 に移行することができる。これにより駆動回路は、電力を有効に利用し、維持回路のスイッチング素子 2, 3 に流れる電流を小さくして、損失を大幅に低減することができる。

## 【 0 0 2 2 】

以上のように、図 1 に示す駆動回路では、X 電極側及び Y 電極側にそれぞれ 4 個（合計 8 個）のスイッチング素子 2, 3, 5, 6 が必要である。そして、図 1 では、スイッチング素子 2, 3, 5, 6 を F E T として図示している。しかし、背景技術で説明したように F E T は大電流を供給することができないため、実際の駆動回路ではスイッチング素子 2, 3, 5, 6 にはそれぞれ複数の F E T を並列に接続する必要がある。図 1 では、F E T が並列されている様子は図示されていないが、例えば、スイッチング素子 2, 3 には、それぞれ 8 個の F E T が並列接続され、スイッチング素子 5, 6 には、それぞれ 4 個の F E T が並列接続される必要がある。なお、図 1 に示すスイッチング素子 2, 3, 5, 6 のゲート電極は、それぞれドライバ I C と接続されているが、図 1 では図示を省略している。

## 【 0 0 2 3 】

次に、本実施の形態に係る駆動回路では、スイッチング素子 2, 3, 5, 6 に F E T を用いるのではなく I G B T を用いている。これにより、それぞれのスイッチング素子 2, 3, 5, 6 には、1 個の I G B T を設けるだけで良い。つまり、F E T のように複数の並列接続する必要がない。

## 【 0 0 2 4 】

図 2 に、本実施の形態に係る X 電極側の維持回路の回路図を示す。図 2 に示す維持回路では、図 1 で F E T として図示していたスイッチング素子 2 x, 3 x 部分を、それぞれ 1 個の I G B T 及びフリーホイールダイオードに置き換えている。図示していないが同様に、Y 電極側の維持回路もスイッチング素子 2 y, 3 y 部分を I G B T 及びフリーホイールダイオードに置き換えている。

## 【 0 0 2 5 】

一方、図 3 に、本実施の形態に係る X 電極側の電力回収回路の回路図を示す。図 3 に示す維持回路では、図 1 で F E T として図示していたスイッチング素子 5 x, 6 x 部分を、それぞれ 1 個の I G B T に置き換えている。図示していないが同様に、Y 電極側の電力回収回路もスイッチング素子 5 y, 6 y 部分を I G B T に置き換えている。

## 【 0 0 2 6 】

図 2 に示した維持回路は、パッケージされ 1 つの半導体素子を構成している。図 2 の破線で囲まれたスイッチング素子 2 x, 3 x の I G B T 及びフリーホイールダイオードが、パッケージされ 1 つの半導体素子を構成している。Y 電極側の維持回路も同様である。

## 【 0 0 2 7 】

図 4 ( a ) に、本実施の形態に係る維持回路を含む半導体素子の平面図を示す。図 4 ( a ) では、外部リード 9 上に I G B T チップ 1 0 とダイオードチップ 1 1 が載置され、必要に応じて他の外部リード 9 と A 1 ワイヤ 1 2 で接続されている。なお、図 4 ( a ) の上側に図示されている I G B T チップ 1 0 とダイオードチップ 1 1 が、スイッチング素子 3 x の I G B T 及びフリーホイールダイオードを示しており、図 4 ( a ) の下側に図示され

10

20

30

40

50

ている IGBT チップ 10 とダイオードチップ 11 が、スイッチング素子 2x の IGBT 及びフリーホイールダイオードを示している。なお、外部リード 9、IGBT チップ 10、ダイオードチップ 11 及び A1 ワイヤ 12 は、モールド樹脂 13 でパッケージングされている。

#### 【0028】

図 4 (b) に、図 4 (a) の A - A 面で切断した半導体素子の断面図を示す。さらに、図 4 (c) に、図 4 (a) に示す半導体素子の斜視図を示す。図 4 (b) や図 4 (c) に示すように、スイッチング素子 2x, 3x に IGBT を用いて、且つ 1 つの半導体素子にパッケージングすることで、維持回路を小型化することが可能となる。

#### 【0029】

一方、図 3 に示した電力回収回路も、パッケージされ 1 つの半導体素子を構成している。図 3 の破線で囲まれたスイッチング素子 5x, 6x の IGBT とダイオード 7x とが、パッケージされ 1 つの半導体素子を構成している。Y 電極側の電力回収回路も同様である。

#### 【0030】

図 5 に、本実施の形態に係る電力回収回路を含む半導体素子の平面図を示す。図 5 では、外部リード 9 上に IGBT チップ 10 とダイオードチップ 11 が載置され、必要に応じて他の外部リード 9 と A1 ワイヤ 12 で接続されている。なお、図 5 の左側に図示されている IGBT チップ 10 とダイオードチップ 11 が、スイッチング素子 5x の IGBT 及びダイオード 7x を示しており、図 5 の右側に図示されている IGBT チップ 10 とダイオードチップ 11 が、スイッチング素子 6x の IGBT 及びダイオード 7x を示している。なお、外部リード 9、IGBT チップ、10 ダイオードチップ 11 及び A1 ワイヤ 12 は、モールド樹脂 13 でパッケージングされている。

#### 【0031】

次に、図 6 に、本実施の形態に係る駆動回路の断面図を示す。図 6 に示す駆動回路は、表示パネル 20 を支持する背板 21 の上に設けられている。なお、背板 21 は、表示パネル 20 の強度を補強するとともに、表示パネル 20 から生じる熱を放熱する役割を担っている。

#### 【0032】

駆動回路は、回路基板 22, 維持回路を含む半導体素子 23, 電力回収回路を含む半導体素子 24 及び放熱フィン 25 で構成されている。なお、実際の PDP に設けられている駆動回路は、表示動作のために複雑な制御を行う必要があるため、さらに様々なスイッチング素子や回路が実装されている。図 6 に示す駆動回路では、回路基板 22 が背板 21 の所定の場所に固定されている。この回路基板 22 は、背板 21 に固定されている面と反対側の面に半導体素子 23, 24 が実装されている。本実施の形態では、回路基板 22 の表面に半導体素子 23, 24 を直接ハンダ付けする面実装を行っている。

#### 【0033】

半導体素子 23, 24 の面実装された面と反対側の面には、それぞれ放熱フィン 25 が取り付けられている。半導体素子 23, 24 は、回路基板 22 に実装されている面と反対側の面に放熱フィン 25 が取り付けられている。この放熱フィン 25 は、背板 21 と略平行になるように取り付けられている。

#### 【0034】

なお、放熱フィン 25 は、半導体素子 23, 24 より面積が大きい金属板である。また、半導体素子 23, 24 と放熱フィン 25 との接合面は、熱伝導を良くするため熱伝導グリスなどを用いても良い。さらに、図 6 に示す駆動回路では、半導体素子 23, 24 のそれぞれに放熱フィン 25 が設けられているが、半導体素子 23, 24 に共通の 1 つの放熱フィン 25 を設けても良い。また、図 6 では、PDP の右側 (Y 電極側) のみ駆動回路が図示されているが、左側 (X 電極側) にも同様の駆動回路が存在する。

#### 【0035】

図 6 に示す駆動回路が実装された PDP (フラットパネルディスプレイ装置) では、半

10

20

30

40

50

導体素子 2 3 , 2 4 が面実装され、放熱フィン 2 5 が背板 2 1 と略平行であるので、フラットパネルディスプレイ装置の厚み方向（図 6 では、上下方向）に駆動回路を薄くすることができる。駆動回路を薄くすることができれば、フラットパネルディスプレイ装置自体を薄型化できる。また、表示パネルの駆動に I G B T を用いたことで、回路基板の面積が小さくなり材料コストが低減できるとともに、実装する作業を削減することができるので製造コストを低減できる。

#### 【 0 0 3 6 】

I G B T をハーフブリッジ接続して構成した維持回路を含む半導体素子 2 3 と、I G B T をハーフブリッジ接続して構成した電力回収回路を含む半導体素子 2 4 とを備えているので、ディスクリート部品の F E T を用いる場合に比べて、小型化することが可能になる

10

#### 【 0 0 3 7 】

なお、本実施の形態では、I G B T を含む半導体素子で構成される駆動回路について説明したが、本発明はこれに限られず I G B T 以外を含む半導体素子で構成された駆動回路であっても良い。

#### 【 0 0 3 8 】

（実施の形態 2）

図 7 に、本実施の形態に係る駆動回路の回路図を示す。図 7 に示す回路図は、表示パネルを表す容量 1 に接続された X 電極側の駆動回路を図示している。そして、図 7 に示す回路図は、図 1 の回路図と同様、維持回路と電力回収回路とを備えている。図 7 の維持回路は、スイッチング素子 2 x , 3 x に I G B T 及びフリーホイールダイオードが用いられている。また、図 7 の電力回収回路は、スイッチング素子 5 x , 6 x に I G B T が用いられている。

20

#### 【 0 0 3 9 】

本実施の形態では、図 7 の破線で示されている部分（スイッチング素子 2 x , 3 x , 5 x , 6 x 及びダイオード 7 x ）が 1 つの半導体素子にパッケージされている。これにより、維持回路を含む半導体素子と電力回収回路を含む半導体素子を別々に実装する必要がなくなる。なお、Y 電極側の駆動回路も同様である。

#### 【 0 0 4 0 】

以上のように本実施の形態に記載のフラットパネルディスプレイ装置は、駆動回路が、半導体素子に含まれる複数のハーフブリッジ回路（維持回路及び電力回収回路）を 1 つにパッケージしているので、基板回路に実装する部品点数が減り、実装する作業を削減でき製造コストを低減が可能となる。

30

#### 【 0 0 4 1 】

（実施の形態 3）

図 2 に示したように維持回路では、スイッチング素子 2 , 3 に I G B T 及びフリーホイールダイオードが用いられている。そのため、図 4 ( a ) に示すように半導体素子には、I G B T チップ 1 0 とダイオードチップ 1 1 がともにパッケージングされることになる。

#### 【 0 0 4 2 】

本実施の形態に係る維持回路では、この I G B T に代えて逆方向にも導通させることが可能な逆導通型 I G B T を用いる。この逆導通型 I G B T は、Reverse Conducting I G B T とも呼ばれている（以下、R C - I G B T ともいう）。維持回路に R C - I G B T を用いることで、フリーホイールダイオードを設ける必要がなくなるため、維持回路を含む半導体素子はさらに小型化することができる。

40

#### 【 0 0 4 3 】

図 8 に、本実施の形態に係る維持回路を含む半導体素子の平面図を示す。図 8 では、外部リード 9 上に R C - I G B T チップ 3 0 が載置され、必要に応じて他の外部リード 9 と A 1 ワイヤ 1 2 で接続されている。なお、図 8 の上側に図示されている R C - I G B T チップ 3 0 が、スイッチング素子 2 を示しており、図 8 の下側に図示されている R C - I G B T チップ 3 0 が、スイッチング素子 3 を示している。なお、外部リード 9、R C - I G

50

B Tチップ30及びA1ワイヤ12は、モールド樹脂13でパッケージングされている。

【0044】

次に、図3に示したように電力回収回路では、IGBTのスイッチング素子5,6とダイオード7とが用いられている。そのため、図5に示すように半導体素子には、IGBTチップ10とダイオードチップ11がともにパッケージングされることになる。

【0045】

本実施の形態に係る電力回収回路では、このIGBTに代えて逆耐圧特性を持った逆耐圧型IGBTを用いる。この逆耐圧型IGBTは、Reverse Blocking IGBTとも呼ばれている(以下、RB-IGBTともいう)。電力回収回路にRB-IGBTを用いることで、ダイオード7を設ける必要がなくなるため、電力回収回路を含む半導体素子はさらに小型化することができる。

10

【0046】

図9に、本実施の形態に係る維持回路を含む半導体素子の平面図を示す。図9では、外部リード9上にRB-IGBTチップ31が載置され、必要に応じて他の外部リード9とA1ワイヤ12で接続されている。なお、図9の左側に図示されているRB-IGBTチップ31が、スイッチング素子5を示しており、図9の右側に図示されているRB-IGBTチップ31が、スイッチング素子6を示している。なお、外部リード9、RB-IGBTチップ31及びA1ワイヤ12は、モールド樹脂13でパッケージされている。

【0047】

以上のように本実施の形態に係るフラットパネルディスプレイ装置は、駆動回路に含まれる半導体素子が、維持回路部のハーフブリッジ回路を構成するIGBTに逆導通型IGBT用い、電力回収回路部のハーフブリッジ回路を構成するIGBTに逆耐圧型IGBTを用いるので、少なくとも維持回路又は電力回収回路を含む半導体素子を小型化することができる。

20

【0048】

(実施の形態4)

維持回路を構成するスイッチング素子2,3は、ゲート電極に供給される信号に基づいて駆動される。ゲート電極に信号を供給するのがドライバICと呼ばれる部分であり、従来の構成においては維持回路を含む半導体素子の外部に設けられていた。

【0049】

本実施の形態では、ドライバICが維持回路を含む半導体素子内に設けられている。図10に、本実施の形態に係る維持回路を含む半導体素子のブロック図を示す。図10に示す半導体素子には、維持回路を構成するスイッチング素子2,3とドライバIC40が設けられている。このドライバIC40には、スイッチング素子2のゲート電極に接続されるP側ゲートドライバ41、スイッチング素子3のゲート電極に接続されるN側ゲートドライバ42、レベルシフト回路43及び入力信号処理回路44とを備えている。

30

【0050】

入力信号処理回路44は、外部から供給されたP側入力信号及びN側入力信号に対して所定の処理を行った後に、P側ゲートドライバ41及びN側ゲートドライバ42のそれぞれに供給する。レベルシフト回路43は、入力信号処理回路44から供給されたP側入力信号を所定のレベルに変更した後に、P側ゲートドライバ41に供給している。

40

【0051】

維持回路を含む半導体素子にドライバIC40を設けることにより、スイッチング素子2,3のゲート電極配線を短くでき、外来のノイズによる誤動作を防止できる。なお、図10の破線で囲まれた部分が、1つの半導体素子パッケージを構成している。

【0052】

一方、電力回収回路を構成するスイッチング素子5,6も、ゲート電極に供給される信号に基づいて駆動される。ゲート電極に信号を供給するのがドライバICと呼ばれる部分であり、従来の構成においては電力回収回路を含む半導体素子の外部に設けられていた。

【0053】

50

本実施の形態では、ドライバICが電力回収回路を含む半導体素子内に設けられている。図11に、本実施の形態に係る電力回収回路を含む半導体素子のブロック図を示す。図11に示す半導体素子には、電力回収回路を構成するスイッチング素子5,6とドライバIC50が設けられている。このドライバIC50には、スイッチング素子5のゲート電極に接続されるP側ゲートドライバ51、スイッチング素子6のゲート電極に接続されるN側ゲートドライバ52及び入力信号処理回路54とを備えている。

#### 【0054】

入力信号処理回路54は、外部から供給されたP側入力信号及びN側入力信号に対して所定の処理を行った後に、P側ゲートドライバ51及びN側ゲートドライバ52のそれぞれに供給する。電力回収回路を含む半導体素子にドライバIC50を設けることにより、スイッチング素子5,6のゲート電極配線を短くでき、外来のノイズによる誤動作を防止できる。なお、図11の破線で囲まれた部分が、1つの半導体素子パッケージを構成している。

10

#### 【0055】

さらに、維持回路や電力回収回路を含む半導体素子に保護機能を設けることができる。具体的に、維持回路を含む半導体素子に保護機能を設けた例を図12に示す。図12に示す半導体素子に追加されている保護機能は、ドライバICの電源電圧低下検出機能、P側フローティング電源電圧低下検出機能、インターロック防止機能及び過電流・短絡防止機能がある。なお、図12の破線で囲まれた部分が、1つの半導体素子パッケージを構成している。

20

#### 【0056】

ドライバICの電源電圧低下検出機能は、ゲート電圧の低下による損失増加を防ぐためにドライバICの電源電圧低下を検出し外部に対してエラー出力を行っている。図12に示す半導体素子では、電圧低下検出回路61でドライバICの電源電圧低下を検出し、その結果をエラー出力回路62より外部に出力している。

#### 【0057】

P側フローティング電源電圧低下検出機能は、ゲート電圧の低下による損失増加を防ぐためにP側フローティング電源電圧低下を検出している。図12に示す半導体素子では、電圧低下検出回路63でP側フローティング電源電圧低下を検出している。

#### 【0058】

インターロック防止機能は、スイッチング素子2(P側)とスイッチング素子(N側)とが同時にON状態になるのを防止している。図12に示す半導体素子では、インターロック回路64が入力信号処理回路44を制御して、スイッチング素子2(P側)とスイッチング素子(N側)とが同時にON状態になるのを防止している。

30

#### 【0059】

過電流・短絡防止機能は、過電流が流れた場合や短絡が生じた場合に半導体素子が破壊されるのを防止する。図12に示す半導体素子では、過電流・短絡保護回路65がスイッチング素子3のエミッタ側に接続された電流検出抵抗66で電流を測定し、過電流が流れた場合や短絡が生じた場合に半導体素子が破壊されるのを防止している。

#### 【0060】

なお、電力回収回路を含む半導体素子にも、ドライバICの電源電圧低下検出機能、P側フローティング電源電圧低下検出機能、インターロック防止機能及び過電流・短絡防止機能を設けることができる。また、上記で説明した保護機能は例示であって、維持回路や電力回収回路を含む半導体素子には他の保護機能を設けても良い。個別に保護機能を設けた場合に比べ、半導体素子に保護機能を組み込むことにより小型化でき、配線を短くできる等の利点を有するため精度良く半導体素子を保護することができる。

40

#### 【0061】

以上のように、本実施の形態に記載のフラットパネルディスプレイ装置は、駆動回路に含まれる半導体素子がスイッチング素子2,3,5,6(IGBT)を駆動するドライバ回路をさらに備えるので、スイッチング素子2,3,5,6のゲート電極配線を短くでき、

50

外来のノイズによる誤動作を防止することができる。

【図面の簡単な説明】

【0062】

【図1】表示パネルを駆動する駆動回路の回路図である。

【図2】本発明の実施の形態1に係る維持回路の回路図である。

【図3】本発明の実施の形態1に係る電力回収回路の回路図である。

【図4】本発明の実施の形態1に係る維持回路の構造を示す図である。

【図5】本発明の実施の形態1に係る電力回収回路の平面図である。

【図6】本発明の実施の形態1に係る駆動回路の断面図である。

【図7】本発明の実施の形態2に係る駆動回路の回路図である。

10

【図8】本発明の実施の形態3に係る維持回路の平面図である。

【図9】本発明の実施の形態3に係る電力回収回路の平面図である。

【図10】本発明の実施の形態4に係る維持回路のブロック図である。

【図11】本発明の実施の形態4に係る電力回収回路のブロック図である。

【図12】本発明の実施の形態4に係る維持回路のブロック図である。

【符号の説明】

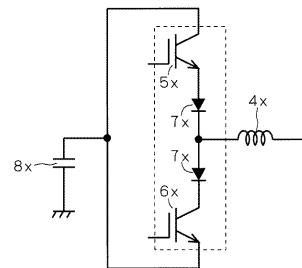
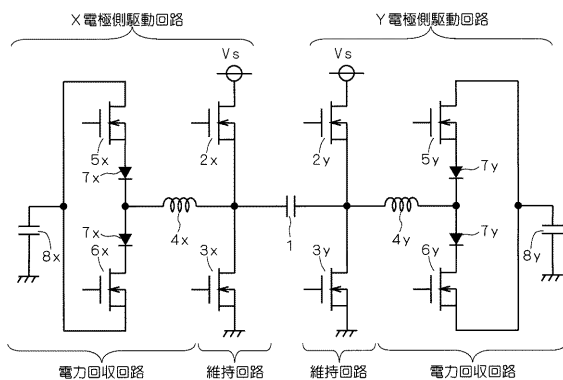
【0063】

- 1 容量、2, 3, 5, 6 スイッチング素子、4 共振リアクトル、7 ダイオード
- 、8 コンデンサ、9 外部リード、10 IGBTチップ、11 ダイオードチップ、
- 12 Alワイヤ、13 モールド樹脂、20 表示パネル、21 背板、22 回路基板、
- 23, 24 半導体素子、25 放熱フィン、30 RC-IGBTチップ、31 RB-IGBTチップ、
- 40, 50 ドライバIC、41, 51 P側ゲートドライバ、42, 52 N側ゲートドライバ、
- 43 レベルシフト回路、44, 54 入力信号処理回路、61, 63 電圧低下検出回路、
- 62 エラー出力回路、64 インターロック回路、65 過電流・短絡保護回路、
- 66 電流検出抵抗。

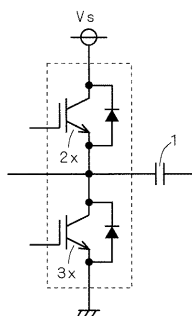
20

【図1】

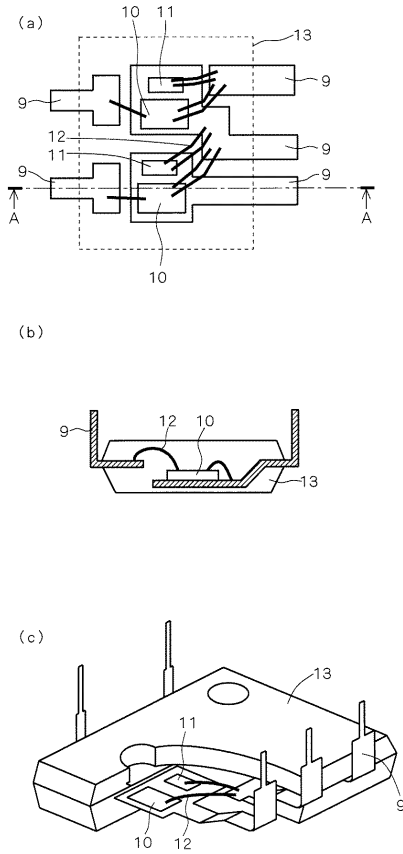
【図3】



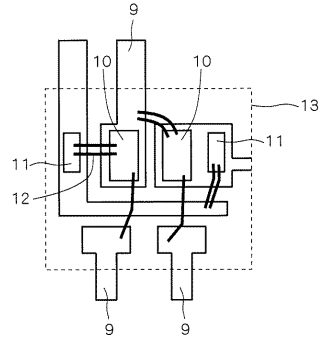
【図2】



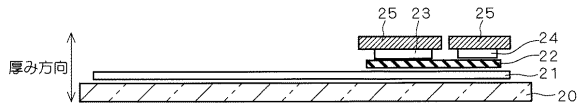
【 図 4 】



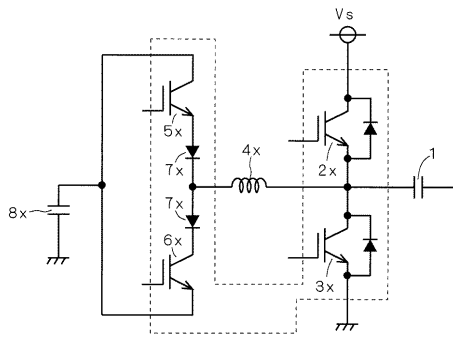
【 図 5 】



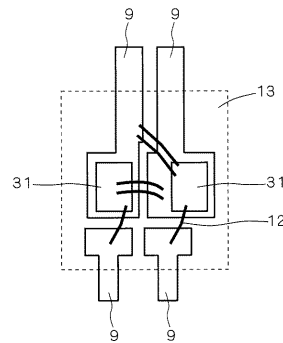
【 図 6 】



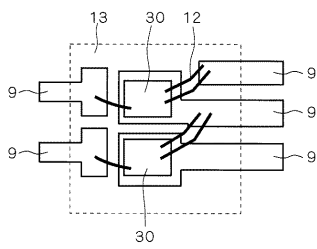
【 図 7 】



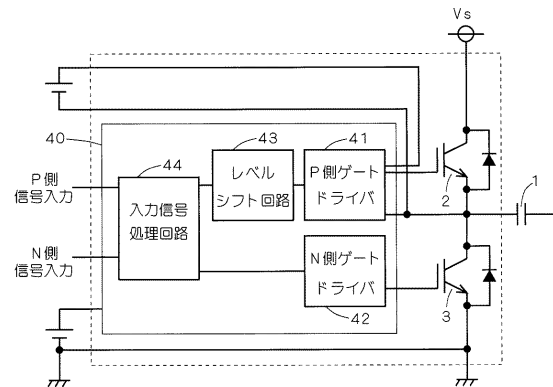
【 図 9 】



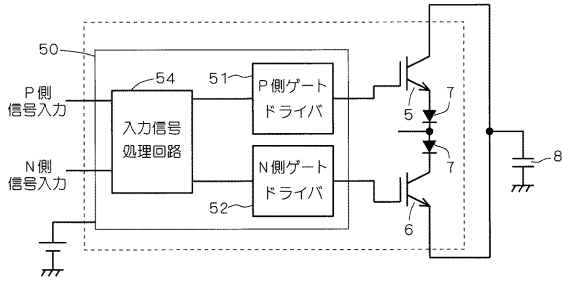
【 図 8 】



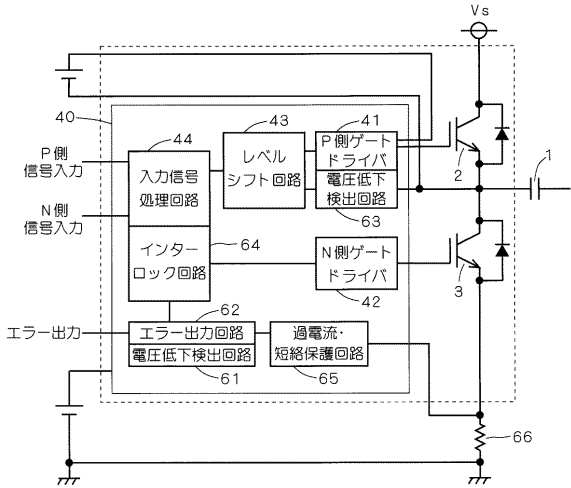
【 図 10 】



【 図 1 1 】



【 図 1 2 】



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 L
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 8 0 G
H 0 5 K	7/20	D
G 0 9 G	3/28	Z

F ターム(参考) 5C080 AA05 DD09 DD19 DD20 DD22 DD26 DD28 HH05 JJ02 JJ03  
JJ06  
5C580 BA03 BB01 BB21 BB27 BB28 BC01 EA03 FA01 FA04  
5E322 AA01  
5G435 AA18 BB05 BB06 EE36 EE43 GG44 HH13