

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 27 日 (27.01.2022)



(10) 国际公布号
WO 2022/016935 A1

(51) 国际专利分类号:
H01L 27/06 (2006.01) **H01L 27/02** (2006.01)
H01L 29/06 (2006.01) **H01L 21/8249** (2006.01)

(21) 国际申请号: PCT/CN2021/089671

(22) 国际申请日: 2021 年 4 月 25 日 (25.04.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010699036.9 2020 年 7 月 20 日 (20.07.2020) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 冒义祥 (MAO, Yixiang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。张兰 (ZHANG, Lan); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。周俊芳

(ZHOU, Junfang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。韩晨彬 (HAN, Chenbin); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件

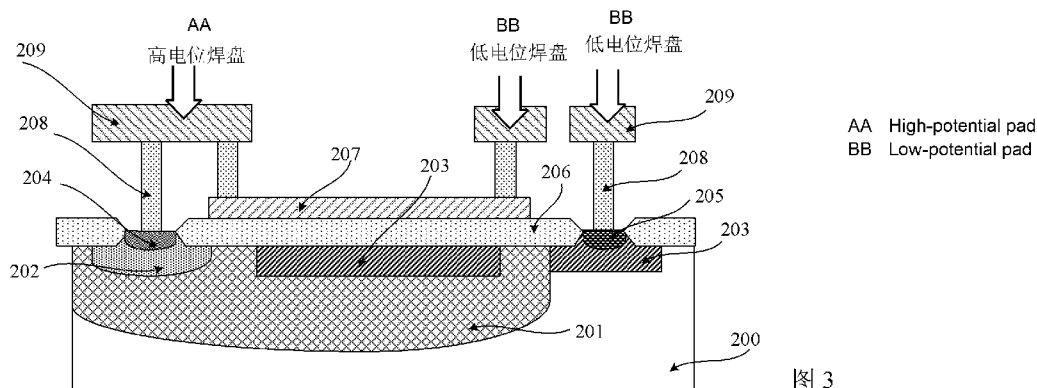


图 3

(57) Abstract: A semiconductor device. The semiconductor device comprises: a semiconductor substrate (200) on which a field oxide layer (206) is formed, the semiconductor substrate (200) having a first conductivity type; a resistance layer (207), which is formed on the field oxide layer (206) and is provided with a high-potential connection end (2071) and a low-potential connection end (2072); a deep well (201), which is formed in the semiconductor substrate (200), wherein the resistance layer (207) is located in a region above the deep well (201), and the deep well (201) has a second conductivity type, the second conductivity type being opposite to the first conductivity type; a deep well leading-out terminal (204), which is formed in the deep well (201); and a substrate leading-out terminal (205), which is formed in the semiconductor substrate (200) and located outside the deep well (201). The high-potential connection end (2071) and the deep well leading-out terminal (204) are connected to a high-potential pad, and the low-potential connection end (2072) and the substrate leading-out terminal (205) are connected to low-potential pads.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体器件, 该半导体器件包括: 半导体衬底(200), 其上形成有场氧化层(206), 半导体衬底(200)具有第一导电类型; 电阻层(207), 形成在场氧化层(206)之上, 具有高电位连接端(2071)和低电位连接端(2072); 深阱(201), 形成在所述半导体衬底(200)中, 电阻层(207)位于所述深阱(201)之上的区域, 深阱(201)具有第二导电类型, 第二导电类型与第一导电类型相反; 深阱引出端(204), 形成在所述深阱(201)中; 衬底引出端(205), 形成在所述半导体衬底(200)中, 并且位于所述深阱(201)之外; 高电位连接端(2071)和深阱引出端(204)连接至高电位焊盘, 低电位连接端(2072)和衬底引出端(205)连接至低电位焊盘。

半导体器件

相关申请的交叉引用

本申请要求于 2020 年 07 月 20 日提交中国专利局、申请号为 2020106990369、发明名称为“半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术领域，具体而言涉及一种半导体器件及其制造方法。

5

背景技术

这里的陈述仅提供与本申请有关的背景信息，而不必然地构成现有技术。

目前在 BCD (Bipolar-CMOS-DMOS) 工艺中实现超高压分压电阻的应用需求越来越广泛。目前的超高压电阻的设计方法一般是在一层很厚的场氧化层 (FOX, Field Oxide) 上做多晶电阻，其要求场氧化层的厚度能够承受 700V 甚至以上的耐压需求。为了实现这个目的，工艺上需要多做一层光刻，用湿氧化来生长一层 15000Å 以上的场氧化层。这种方法不仅使得工艺成本和流通时间都增加了不少，而且对场氧化层的厚度和绝缘性都提出了很高的要求。另外这种结构的电阻的耐压测试属于场氧化层的热电击穿，而一般击穿后场氧化层会被损坏，且是一种不可逆的损伤；另外高电压下场氧化层损伤后的突然短路很容易烧毁测试针卡，这将造成测试针卡的过度消耗。

15

发明内容

为了解决上述问题中的至少一个而提出了本发明。具体地，本发明一方面提供一种半导体器件，其包括：

20

半导体衬底，所述半导体衬底上形成有场氧化层，所述半导体衬底具有第一导电类型；

电阻层，所述电阻层形成在所述场氧化层之上，所述电阻层具有高电位

连接端和低电位连接端；

深阱，所述深阱形成在所述半导体衬底中，所述电阻层位于所述深阱之上的区域，所述深阱具有第二导电类型，所述第二导电类型与所述第一导电类型相反；

5 深阱引出端，所述深阱引出端形成在所述深阱中；及

衬底引出端，所述衬底引出端形成在所述半导体衬底中，并且位于所述深阱之外；

其中，所述高电位连接端和所述深阱引出端连接至高电位焊盘，所述低电位连接端和所述衬底引出端连接至低电位焊盘。

10 根据本发明的半导体器件，通过增加一个与衬底导电类型相反的深阱，并将深阱与电阻层的高电位连接端短接，将所述衬底与所述电阻层的低电位连接端连接至低电位，这样相当于在电阻方向上并联的了高压 PN 二极管，将高电电阻下的场氧化层承受的高电场和耐压转移到了深阱和衬底的耗尽层内，因此无需使用厚度很多的场氧化层，减少了之前形成厚场氧化层的工艺
15 步骤，并且由于新结构的 PN 结雪崩击穿属于可逆过程，与目前的场氧化层热击穿相比，不会烧毁测试针卡。

本发明再一方面提供一种电子装置，其包括如上所述的半导体器件以及与所述半导体器件相连接的电子组件。

20 本发明提出的电子装置，由于具有上述半导体器件，因而具有类似的优点。

本发明另一方面提供一种半导体器件的制造方法，包括：

在半导体衬底中形成深阱；所述半导体衬底具有第一导电类型，所述深阱具有第二导电类型，所述第二导电类型与所述第一导电类型相反；

25 形成有源区；所述有源区包括深阱引出端和衬底引出端，所述深阱引出端形成在所述深阱中，所述衬底引出端形成在所述半导体衬底中、且位于所述深阱之外；

在所述半导体衬底上形成场氧化层；及

形成多晶硅层；所述多晶硅层包括所述场氧化层之上的电阻层，所述电阻层具有高电位连接端和低电位连接端；

30 其中，所述高电位连接端和所述深阱引出端连接至高电位焊盘，所述低

电位连接端和所述衬底引出端连接至低电位焊盘，所述制造方法还同时形成 BCD 器件，所述半导体器件包括晶体管区域和电阻区域，所述 BCD 器件形成于所述晶体管区域。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 示出目前一种高压电阻结构的示意性剖面图；

图 2 示出图 1 所示高压电阻结构的示意性布图；

图 3 示出根据本发明一实施例的高压电阻结构的示意性剖面图；

图 4 示出根据本发明一实施例的高压电阻结构的示意性布图。

具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，对于本领域公知的一些技术特征未进行描述。

为了彻底理解本发明，将在下列的描述中提出详细的结构，以便阐释本发明提出的技术方案。本发明的可选实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

首先，结合图 1 至图 2 对目前的高压分压电阻结构进行描述。如图 1 所示，目前在诸如 BCD 工艺制作的器件中的高压分压电阻的结构包括衬底 100，形成在衬底 100 之上的场氧化层 101 和位于场氧化层 101 之上的电阻层 102（例如多晶硅层），电阻层 102 的两端通过接触孔 103 引出至互连线 104，并通过互连线 104 分别连接至高电位焊盘和低电位焊盘，以将高电压施加在电阻两端。如图 2 所示，在目前的高压分压电阻结构中，电阻层 102 采用环状设计，高电位端口（连接高电位接触孔的一端）设置在环状内侧，低电位端口（连接低电位接触孔的一端）设置在环状在外侧。

在很多应用中，高压分压电阻的高电位端口需要能承受 700V 甚至以上电压，当高电压加在电阻层 102（多晶硅层）上时，场氧化层 101 需要承受

非常大的纵向电场（因为衬底 100 一般接低电位），且场氧化层 101 越薄，电场就会越大。为了不让场氧化层 101 承受的电场达到击穿场强，在工艺上就需要加厚电阻层 102 下面的场氧化层 101 的厚度，为了实现这个目的，目前工艺上采取的方法是增加一次单独的光刻步骤来生长这个非常厚的氧化层。

5 目前这种工艺的基本流程包括：第一步，制作深 N 阱；第二步，制作牺牲氧化层和氮化硅层（用作厚 FOX 的遮蔽层）；第三步，进行厚场氧化层的光刻工艺，以及该区域氮化硅层的腐蚀；第四步，通过湿氧氧化工艺生长厚场氧化层（例如 15000Å）；第五步，制作 N 阱/P 阱；第六步，制作有源区（或 SDG 层）；第七步，制作 N 型场注入层；第八步，制作正常的场氧化层；第九步，
10 制作栅极氧化层；第十步，制作多晶硅层。其中，第二至第四步是为了形成高压分压电阻所需的厚场氧化层增加的工艺步骤，可见目前这种工艺的复杂性大大增加。且除工艺上复杂外，现有结构在测试耐压上也有显著的缺点，因为加高电位时其电压几乎全部由场氧化层来承受，在达到场氧化层的击穿场强后场氧化层发生热电损伤，造成高电位端到衬底的永久电流通路，所以
15 一个模块在击穿后会彻底失效。而且场氧化层在击穿后其阻抗会突然降低为很小甚至为零，由于多晶硅电阻的高电位端仍然有很高的电压，这会导致一个非常大的电流流过测试针卡，很容易造成测试针卡的损坏。

本发明基于此提出一种半导体器件及其制作方法，以至少克服上述部分缺点。

20 图 3 示出根据本发明一实施例的高压电阻结构的示意性剖面图；图 4 示出根据本发明一实施例的高压电阻结构的示意性布图。下面结合图 3 至图 4 对根据本发明实施例的高压电阻结构进行详细描述。

如图 3 所示，本实施例的高压电阻结构包括衬底 200、深阱 201、第一阱区 202、第二阱区 203、深阱引出端 204、衬底引出端 205、场氧化层 206、
25 电阻层 207、导电插塞 208 和互连层 209。

其中，半导体衬底 200 可以是以下所提到的材料中的至少一种：Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP 或者其它 III/V 化合物半导体，还包括这些半导体构成的多层结构等或者为绝缘体上硅（SOI）、绝缘体上层叠硅

（SSOI）、绝缘体上层叠锗化硅（S-SiGeOI）、绝缘体上锗化硅（SiGeOI）以及绝缘体上锗（GeOI）等。作为示例，在本实施例中，半导体衬底 200 的构成材料选用单晶硅。示例性地，在本实施例中，半导体衬底 200 具有第一导电类型，所述第一导电类型例如为 P 型，即半导体衬底 200 为 P 型半导体衬
30

底。应该理解,在其它实施例中,半导体衬底 200 也可以为 N 型衬底。

深阱 201 形成在所述半导体衬底 200 中,所述深阱 201 具有第二导电类型,所述第二导电类型与所述第一导电类型相反。示例性地,在本实施例中,深阱 201 为 N 型,即深阱 201 为深 N 阱。在本文中深阱中的深表示其注入深度比其他阱区更深,而不表示具体注入深度。深阱 201 可以通过向衬底 200 中注入设计要求的掺杂离子形成,例如注入磷的 N 型掺杂离子形成。深阱 201 的具体注入深度、掺杂浓度等根据具体设计要求确定,在此不做具体限定。

所述第一阱区 202 形成在所述深阱 201 中,并且具有第二导电类型,所述深阱引出端 204 形成在所述第一阱区 202 中。所述第一阱区 202 和所述深阱引出端 204 用于实现深阱 201 与外部的电连接。示例性地,所述第一阱区 202 为 N 阱,所述深阱引出端 204 为 N+注入区。所述第一阱区 202 和所述深阱引出端 204 可以通过离子注入形成,具体注入深度、掺杂浓度等根据具体设计要求确定,在此不做具体限定。

所述第二阱区 203 包括形成在所述深阱 201 中的第一区域和形成在所述深阱 201 之外的第二区域,所述第一区域和所述第二区域电连接,所述第二阱区 203 具有第一导电类型,所述衬底引出端 205 形成在所述第二区域中。示例性地,在本实施例中,第二阱区 203 为 P 阱,衬底引出端 205 为 P+注入区。所述第二阱区 203 和所述衬底引出端 205 可以通过离子注入形成,具体注入深度、掺杂浓度等根据具体设计要求确定,在此不做具体限定。

场氧化层 206 形成在衬底 200 之上,场氧化层 206 用于实现各有源区或晶体管的隔离。场氧化层 206 可以通过常用方法形成,比如热氧化法、湿氧化法等。

电阻层 207 形成在场氧化层 206 之上,并且位于深阱 201 之上的区域中,即电阻层 207 形成在深阱 201 所在的半导体衬底之上。示例性地,电阻层 207 可以采用多晶硅制作,换言之电阻层 207 是多晶硅层,其可以通过常用的多晶硅沉积工艺形成,例如 PVD (物理气相沉积)、CVD (化学气相沉积)、ALD (原子层沉积) 工艺。电阻层 207 的厚度根据设计要求确定,在此不做具体限定。所述电阻层 207 具有高电位连接端 2071 和低电位连接端 2072 (参见图 4),用于与高电位焊盘和低电位焊盘连接。

导电插塞 208 形成在深阱引出端 204、衬底引出端 205、电阻层 207 之上,

以将电阻层 207、深阱 201 和衬底 200 引出与外部进行电连接。

互连层 209 用于实现各器件结构的电连接，在本实施例中，互连层 209 用于实现深阱引出端 204、衬底引出端 205、电阻层 207 与高电位焊盘或低电位焊盘的电连接。应当理解，导电插塞 208 和互连层 209 形成在层间介电层中，图 3 中出于简洁目的并未示出。

如图 3 所示，在本实施例中，电阻层 207 的一端通过高电位连接端 2071、导电插塞 208、互连层 209 与高电位焊盘连接，以连接高电压；另一端通过低电位连接端 2072、导电插塞 208、互连层 209 与低电位焊盘连接，以连接至低电压（例如接地）。这样就可以将高电压施加在电阻层 207 上，同时，在本实施例中，为了不需要制作很厚的场氧化层，制作了深阱 201，并且通过第一阱区 202、深阱引出端 204、导电插塞 208 和互连层 209 将深阱 201 连接至高电位焊盘，换言之，将电阻层 207 的高压端短接到深阱内。同时，通过衬底引出端 205、导电插塞 208 和互连层 209 将衬底 200 和第二阱区 203 连接至低电位焊盘，这样，相当于在电阻层 207 的两端并联了一个高压 PN 二极管，并且是阴极连接高电压，阳极连接低电压（即反接的高压 PN 二极管）。当电阻层 207 承受高压时，其高压主要由深阱 201（深 N 阱）与衬底 200

（P-SUB）和第二阱区 203（PW）的耗尽层来承担，而电阻层 207 和下方硅表面（深阱 201 表面）基本等电位，所施加在场氧化层 206 上的纵向电场很小，因此不需要额外的加厚场氧化层的厚度。换言之，本实施例的高压电阻结构实现了高压电场从场氧化层向 PN 结耗尽区的转移，这样电阻层下方的场氧化层使用正常的厚度即可，无需增加工艺步骤制作加厚的场氧化层。

请参阅图 4，在本实施例中，电阻层 207 呈环状结构，其包括依次首尾相接的多圈电阻线。即电阻层 207 由一圈又一圈彼此连接的多晶硅线构成，其中内圈的端点作为高电位连接端 2071，外圈的端点与衬底引出端 205 连接，作为低电位连接端 2072。换言之，所述高电位连接端 2071 位于所述电阻线处于靠近所述环状结构中心的一侧，所述低电位连接端 2072 位于所述电阻线处于靠近所述环状结构边缘的一侧。相应地，在本实施例中，所述深阱引出端 204（即 N⁺注入区）形成在所述环状结构的中心区域，并且示例性地，深阱引出端 204 呈圆形。所述衬底引出端 205 呈环状结构，且环绕所述深阱 201 设置。

如图 4 所示, 在本实施例中, 高压电阻结构采用圆形布局, 高压端位于中心区域, 低压端位于边缘区域, 这样更有利于 PN 结中电荷平衡和耐压的稳定性。

如上所述, 本实施例的高压电阻结构耐压主要由 Deep-NW (深阱 201) 与 P-SUB (衬底 200) &PW (第二阱区 203) 的耗尽层来承担, 因此只需调整 Deep-NW (深阱 201) 的长度就能实现不同档位高压电阻的需求, 另外新结构深阱 201 采用圆形的布局, 高压端位于中心, 低压端位于边缘, 新增的衬底引出端作为 P/N 结的阳极, 此结构在 N、P 电荷平衡上更好, 其在耐压的稳定性上也更好。另外本实施例的高压电阻结构的击穿属于雪崩击穿, 其不仅属于可逆过程, 且雪崩击穿的电流相比热电击穿很小, 因此不会损伤测试针卡。

如上所述, 本实施例的高压电阻结构, 无需增加工艺步骤制作加厚的场氧化层, 因此制作本实施例的高压电阻结构基本流程包括: 第一步, 制作深 N 阱 (即在衬底 200 中形成深阱 201); 第二步, 制作 NW/PW 层 (即形成第一阱区 202 和第二阱区 203); 第三步, 制作有源区 (即形成深阱引出端 204 和衬底引出端 205 以及其他区域的源漏区注入); 第四步, 制作 N 型场注入层 (即对场区进行离子注入); 第五步, 制作正常的场氧化层 (即制作场氧化层 207 和其他区域的场氧化层); 第六步, 制作栅极氧化层; 第七步, 制作多晶硅层 (形成电阻层 207 和其他区域的栅极层)。通过与前述对比可知, 制作本实施例的高压电阻结构, 工艺步骤以目前 BCD 工艺的常规步骤即可实现, 无需增加前述制作加厚场氧化层的额外步骤, 因此目前的高压电阻制作工艺相比, 减少了工艺步骤, 降低了工艺难度和成本。

本发明的另一个方面还提供一种电子装置, 包括半导体器件以及与所述半导体器件相连的电子组件。其中, 该半导体器件包括: 半导体衬底, 所述半导体衬底上形成有场氧化层, 所述半导体衬底具有第一导电类型; 电阻层, 所述电阻层形成在所述场氧化层之上, 所述电阻层具有高电位连接端和低电位连接端; 深阱, 所述深阱形成在所述半导体衬底中, 所述电阻层位于所述深阱之上的区域, 所述深阱具有第二导电类型, 所述第二导电类型与所述第一导电类型相反; 深阱引出端, 所述深阱引出端形成在所述深阱中; 衬底引出端, 所述衬底引出端形成在所述半导体衬底中, 并且位于所述深阱之外;

其中，所述高电位连接端和所述深阱引出端连接至高电位焊盘，所述低电位连接端和所述衬底引出端连接至低电位焊盘。

进一步地，该半导体器件还包括：第一阱区，所述第一阱区形成在所述深阱中，并且具有第二导电类型，所述深阱引出端形成在所述第一阱区中。

5 进一步地，该半导体器件还包括：第二阱区，所述第二阱区包括形成在所述深阱中的第一区域和形成在所述深阱之外的第二区域，所述第一区域和所述第二区域电连接，所述第二阱区具有第一导电类型，所述衬底引出端形成在所述第二区域中。

其中，该电子组件，可以为分立器件、集成电路等任何电子组件。

10 本发明实施例的电子装置，由于所包含的ESD保护器件可以在增加维持电压同时增大ESD鲁棒性，增加了电流泄放能力，因此可以实现更好的ESD防护效果。因此该电子装置同样具有类似的优点。

15 尽管这里已经参考附图描述了示例实施例，应理解上述示例实施例仅仅是示例性的，并且不意图将本发明的范围限制于此。本领域普通技术人员可以在其中进行各种改变和修改，而不偏离本发明的范围和精神。所有这些改变和修改意在包括在所附权利要求所要求的本发明的范围之内。

权利要求书

1、一种半导体器件，包括：

半导体衬底，具有第一导电类型；

场氧化层，形成在所述半导体衬底上；

电阻层，形成在所述场氧化层之上，所述电阻层具有高电位连接端和低

5 电位连接端；

深阱，形成在所述半导体衬底中，所述深阱具有第二导电类型，所述第二导电类型与所述第一导电类型相反，所述电阻层位于所述深阱之上的区域；

深阱引出端形成在所述深阱中；及

衬底引出端形成在所述半导体衬底中，并且位于所述深阱之外；

10 其中，所述高电位连接端和所述深阱引出端连接至高电位焊盘，所述低电位连接端和所述衬底引出端连接至低电位焊盘。

2、根据权利要求1所述的半导体器件，其特征在于，还包括：

第一阱区，所述第一阱区形成在所述深阱中，并且具有第二导电类型，所述深阱引出端形成在所述第一阱区中。

15 3、根据权利要求2所述的半导体器件，其特征在于，还包括：

第二阱区，所述第二阱区包括形成在所述深阱中的第一区域和形成在所述深阱之外的第二区域，所述第一区域和所述第二区域电连接，所述第二阱区具有第一导电类型，所述衬底引出端形成在所述第二区域中。

20 4、根据权利要求1所述的半导体器件，其特征在于，所述电阻层呈环状结构。

5、根据权利要求4所述的半导体器件，其特征在于，所述电阻层包括依次首尾相接的多圈电阻线。

6、根据权利要求4所述的半导体器件，其特征在于，所述深阱引出端形成在所述环状结构的中心区域。

25 7、根据权利要求4所述的半导体器件，其特征在于，所述高电位连接端位于所述电阻线处于靠近所述环状结构中心的一侧，所述低电位连接端位于所述电阻线处于靠近所述环状结构边缘的一侧。

8、根据权利要求4所述的半导体器件，其特征在于，所述衬底引出端呈

环状结构，且环绕所述深阱设置。

9、根据权利要求 1 所述的半导体器件，其特征在于，所述场氧化层的厚度为 5000~6000Å。

10、根据权利要求 9 所述的半导体器件，其特征在于，所述半导体衬底包括晶体管区域和电阻区域，所述晶体管区域中的所述场氧化层的厚度与所述电阻区域中的所述场氧化层的厚度相同。

11、根据权利要求 1 所述的半导体器件，其特征在于，所述半导体器件形成有与所述电阻层的两端并联的二极管，所述二极管的阴极连接至所述高电位焊盘，所述二极管的阳极连接至所述低电压焊盘，所述二极管的阴极包括所述深阱，所述二极管的阳极包括所述半导体衬底。

12、根据权利要求 1 所述的半导体器件，其特征在于，所述电阻层采用多晶硅制作。

13、一种半导体器件的制造方法，包括：

在半导体衬底中形成深阱；所述半导体衬底具有第一导电类型，所述深阱具有第二导电类型，所述第二导电类型与所述第一导电类型相反；

形成有源区；所述有源区包括深阱引出端和衬底引出端，所述深阱引出端形成在所述深阱中，所述衬底引出端形成在所述半导体衬底中、且位于所述深阱之外；

在所述半导体衬底上形成场氧化层；及

形成多晶硅层；所述多晶硅层包括所述场氧化层之上的电阻层，所述电阻层具有高电位连接端和低电位连接端；

其中，所述高电位连接端和所述深阱引出端连接至高电位焊盘，所述低电位连接端和所述衬底引出端连接至低电位焊盘，所述制造方法还同时形成 BCD 器件，所述半导体器件包括晶体管区域和电阻区域，所述 BCD 器件形成于所述晶体管区域。

14、根据权利要求 13 所述的制造方法，所述在半导体衬底中形成深阱的步骤之后、所述形成有源区的步骤之前，还包括形成第一导电类型阱区和第二导电类型阱区的步骤；所述第一导电类型阱区包括第二阱区，所述第二阱区包括形成在所述深阱中的第一区域和形成在所述深阱之外的第二区域，所述第一区域和所述第二区域电连接，所述衬底引出端形成在所述第二区域中；

所述第二导电类型阱区包括第一阱区，所述第一阱区形成在所述深阱中，所述深阱引出端形成在所述第一阱区中；

所述所述半导体衬底上形成场氧化层的步骤之后、所述形成多晶硅层的步骤之前，还包括形成栅极氧化层的步骤；所述多晶硅层还包括栅极层，所述栅极层形成于晶体管区域；

所述形成有源区的步骤还包括形成源区和漏区，所述源区和漏区形成于晶体管区域。

15、根据权利要求 13 所述的制造方法，其特征在于，所述在所述半导体衬底上形成场氧化层的步骤包括同时在晶体管区域和电阻区域形成场氧化层，且晶体管区域的场氧化层和电阻区域的场氧化层厚度相同。

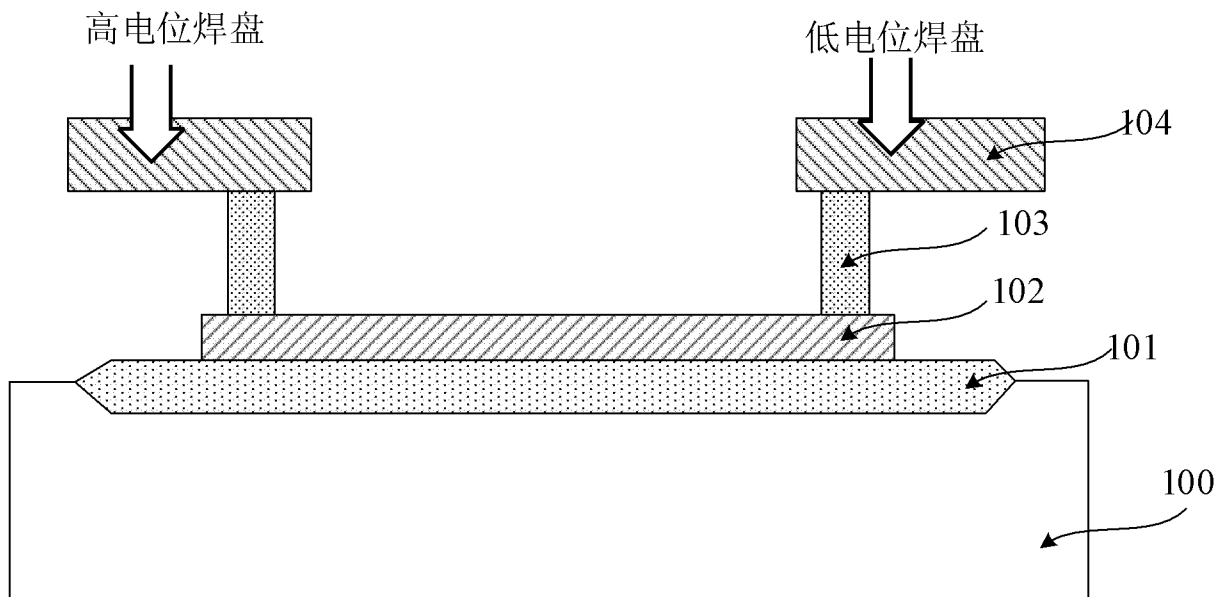


图 1

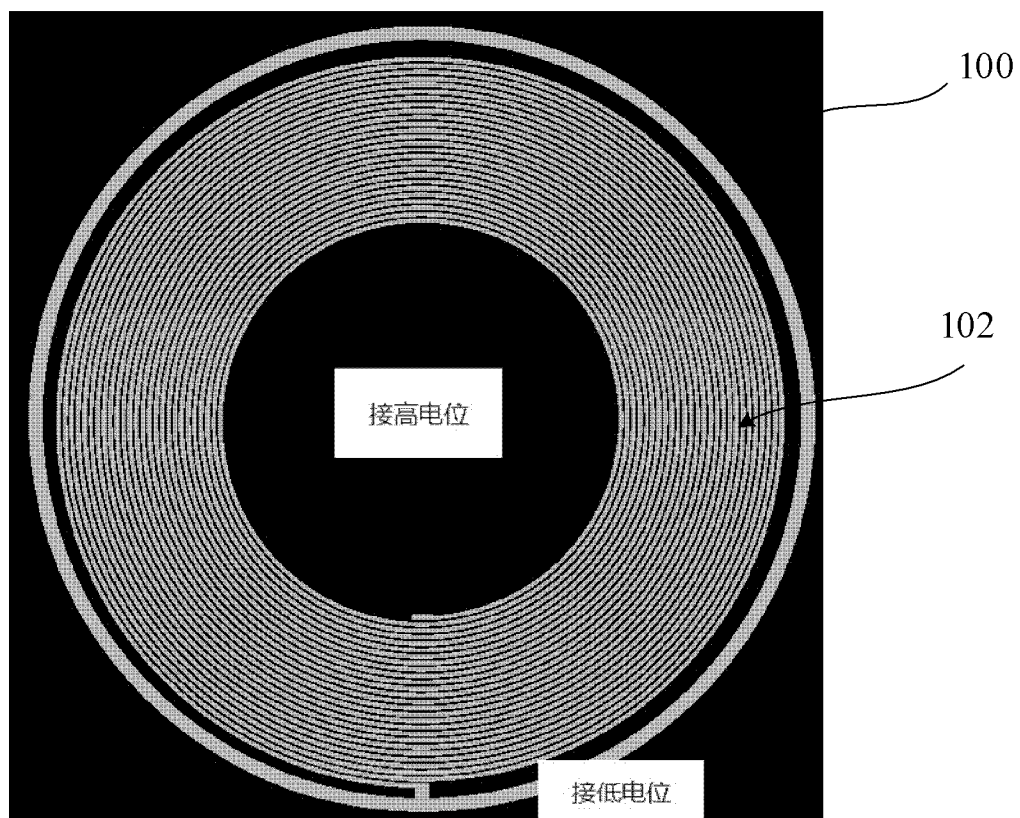


图 2

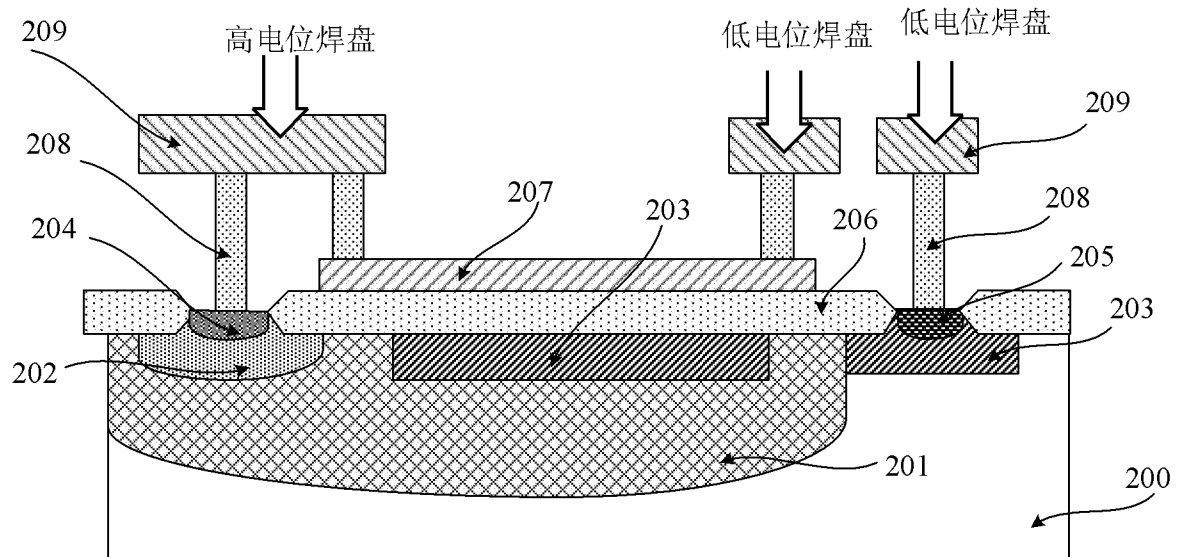


图 3

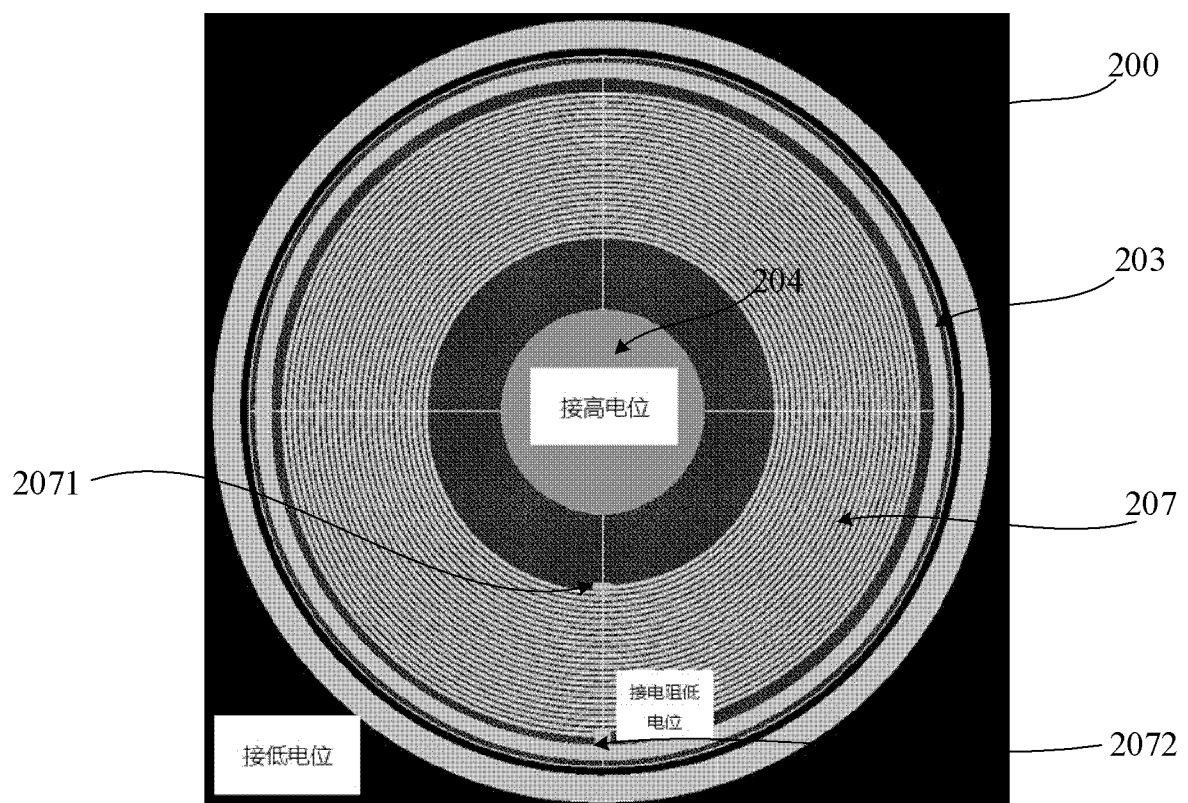


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/089671

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/06(2006.01)i; H01L 29/06(2006.01)i; H01L 27/02(2006.01)i; H01L 21/8249(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT: 高压, 耐压, 电阻, 二极管, 并联, 场氧, 氧化, 厚度, 阱, BCD, bipolar CMOS DMOS, high voltage, resistance, RS, PD, diode?, PN, parallel connection, field oxide, well?, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109216176 A (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 15 January 2019 (2019-01-15) description paragraph [0018] - paragraph [0103], figures 1-14	1-15
X	CN 109585427 A (SHENZHEN WINSEMI MICROELECTRONICS CO., LTD.) 05 April 2019 (2019-04-05) description, paragraph [0024], and figure 3	1-15
A	CN 103633083 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 12 March 2014 (2014-03-12) entire document	1-15
A	CN 102842577 A (MACRONIX INTERNATIONAL CO., LTD.) 26 December 2012 (2012-12-26) entire document	1-15
A	US 2015325694 A1 (MACRONIX INTERNATIONAL CO., LTD.) 12 November 2015 (2015-11-12) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 June 2021

Date of mailing of the international search report

16 July 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/089671

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109216176	A	15 January 2019	TW	201906177	A	01 February 2019
				CN	109216176	B	22 December 2020
				KR	20190003287	A	09 January 2019
				KR	102011942	B1	26 August 2019
				US	10297661	B2	21 May 2019
				US	2019006460	A1	03 January 2019
				US	2019109189	A1	11 April 2019
				DE	102017120574	A1	03 January 2019
CN	109585427	A	05 April 2019	None			
CN	103633083	A	12 March 2014	CN	103633083	B	08 June 2016
CN	102842577	A	26 December 2012	CN	102842577	B	09 September 2015
US	2015325694	A1	12 November 2015	US	9343568	B2	17 May 2016

国际检索报告

国际申请号

PCT/CN2021/089671

A. 主题的分类

H01L 27/06(2006.01)i; H01L 29/06(2006.01)i; H01L 27/02(2006.01)i; H01L 21/8249(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;USTXT;WOTXT;EPTXT: 高压, 耐压, 电阻, 二极管, 并联, 场氧, 氧化, 厚度, 阱, BCD, bipolar CMOS DMOS, high voltage, resistance, RS, PD, diode?, PN, parallel connection, field oxide, well?, thickness

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109216176 A (台湾积体电路制造股份有限公司) 2019年 1月 15日 (2019 - 01 - 15) 说明书第[0018]段-第[0103]段、附图1-14	1-15
X	CN 109585427 A (深圳市稳先微电子有限公司) 2019年 4月 5日 (2019 - 04 - 05) 说明书第[0024]段、附图3	1-15
A	CN 103633083 A (上海华虹宏力半导体制造有限公司) 2014年 3月 12日 (2014 - 03 - 12) 全文	1-15
A	CN 102842577 A (旺宏电子股份有限公司) 2012年 12月 26日 (2012 - 12 - 26) 全文	1-15
A	US 2015325694 A1 (MACRONIX INT CO LTD) 2015年 11月 12日 (2015 - 11 - 12) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 6月 18日

国际检索报告邮寄日期

2021年 7月 16日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张斌

电话号码 (86-512)88995753

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/089671

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109216176	A	2019年 1月 15日	TW	201906177	A	2019年 2月 1日
				CN	109216176	B	2020年 12月 22日
				KR	20190003287	A	2019年 1月 9日
				KR	102011942	B1	2019年 8月 26日
				US	10297661	B2	2019年 5月 21日
				US	2019006460	A1	2019年 1月 3日
				US	2019109189	A1	2019年 4月 11日
				DE	102017120574	A1	2019年 1月 3日
CN	109585427	A	2019年 4月 5日	无			
CN	103633083	A	2014年 3月 12日	CN	103633083	B	2016年 6月 8日
CN	102842577	A	2012年 12月 26日	CN	102842577	B	2015年 9月 9日
US	2015325694	A1	2015年 11月 12日	US	9343568	B2	2016年 5月 17日