

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G06F 11/14

(11) 공개번호 특2002 - 0006734
(43) 공개일자 2002년01월26일

(21) 출원번호 10 - 2000 - 0040088
(22) 출원일자 2000년07월13일

(71) 출원인 엘지정보통신주식회사
서평원
서울 강남구 역삼1동 679

(72) 발명자 김용웅
서울특별시성동구사근동199하이츠아파트101동410호

(74) 대리인 홍성철

심사청구 : 없음

(54) 고속 데이터의 오류 검증회로

요약

본 발명은 이더넷 스위치의 100 Mbps 포트에서, 데이터의 CRC 검증 회로에 관한 것으로, 특히, 병렬로 데이터 오류를 검사하는 회로에 관한 것이며, 병렬로 연속 입력되는 데이터를, 위상이 다른 2 분주 클럭에 의하여, 2 클럭 단위 병렬 데이터를 하나의 병렬데이터로 변환하고, 출력 제어신호에 의하여 동시 출력되도록 하는 변환부와, 변환부로부터 입력된 데이터를 배타적 오어 로직에 의하여 순환중복검사 한 값으로 출력하는 처리부와, 처리부로부터 인가된 값을 보관하고, 클럭신호에 의하여 상기 처리부로 순환시키며, 보관된 값을 모두 노어 연산 처리하여 순환중복 검사 값으로 출력하는 오류판단부로 구성되는 특징에 의하여, 낮은 클럭을 사용하여, 입력데이터를 배수로 정렬할 수 있고, 로직회로의 구성이 간단하며, 회귀 알고리즘을 사용하여 최적화된 연산식을 찾아내므로, 최고 1536 바이트에 이르는 이더넷 패킷을 모두 저장하지 않고서도 100 Mbps의 고속 입력 데이터를 순환중복검사 할 수 있는 효과 및 적은 레지스터를 이용하여 로직을 단순화하므로써, 회로의 구성이 간단하고, 낮은 비용으로 제작이 가능하며, 소형화할 수 있는 공업적 및 산업적 이용효과가 있다.

대표도
도 4

명세서

도면의 간단한 설명

도1 은 일반적인 이더넷 패킷 프레임의 구조도 이고,
 도2 는 종래 기술의 직렬처리방식에 의한 순환중복검사 생성회로이며,
 도3 은 종래 기술의 병렬처리방식에 의한 순환중복검사 생성회로이고,
 도4 는 본 발명 기술에 의한 고속 데이터의 오류 검증회로 기능블록도 이며,
 도5 는 본 발명에 의한 변환부의 상세 기능 블록도 이고,
 도6 은 본 발명 기술에 사용되는 신호 파형도 이다.

**** 도면의 주요 부분에 대한 부호 설명 ****

10 : 직렬 레지스터 15 : 직렬 XOR 로직
 20 : 혼합기 30 : 병렬 XOR 로직
 40 : 병렬 레지스터 50 : 변환부
 60 : 처리부 70 : 오류판단부
 80 : 위상변환부 90,95,100 : 데이터 저장부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이더넷 스위치(Ethernet Switch)의 100 Mbps의 포트(Port)에서, 데이터를 CRC(Cyclic Redundancy Check) 검증하는 회로에 관한 것으로, 특히, 병렬로 데이터 오류를 검사하는 회로에 관한 것이다.

디지털 데이터 통신장비는 데이터의 전송과정에서 발생하는 전송오류를 검증하고 수정할 수 있어야 하며, 전송되는 신호의 오류 발생 여부를 검증하는 여러 가지 방법 중에서, 순환중복검사(CRC: Cyclic Redundancy Check) 방법이 가장 일반적이고 많이 사용되는 검증방법이다.

순환중복검사(CRC)는 계산방식이 매우 복잡하여, 소프트웨어(S/W: Soft Ware) 처리로 활용되어 왔으나, 최근의 데이터 전송속도가 급속히 향상되면서부터 처리속도를 높이기 위하여 하드웨어(H/W: Hard Ware)로 구현하여 처리하는 경향이다.

이하, 첨부된 도면을 참조하여, 종래 기술에 의한 데이터 오류 검증회로를 설명한다.

종래 기술을 설명하기 위하여 첨부된 것으로써, 도1 은 일반적인 이더넷 패킷 프레임의 구조도 이고, 도2 는 종래 기술의 직렬처리방식에 의한 순환중복검사 생성회로이며, 도3 은 종래 기술의 병렬처리방식에 의한 순환중복검시 생성회로 이다.

상기 첨부된 도1을 참조하면, 일반적인 이더넷 패킷 프레임은, 프레임 단위의 동기(Synchronism)를 위한 프리앰블을 위하여 8 바이트(Byte)가 할당되고, 패킷이 전송되는 목적지 주소를 위하여 6 바이트(Byte)가 할당되며, 발신지의 주

소를 기록하기 위하여 6 바이트(Byte)를 할당하고, 또한, 전송되는 프레임 단위 패킷의 총 길이를 표시하는 2 바이트(Byte)와 전송되는 데이터의 영역으로써 48 바이트(Byte) 내지 1500 바이트(Byte)가 할당되고, 마지막 부분에는 FCS(Frame Check Sequence) 영역으로서, 순환중복검사(CRC)로 얻은 값이 삽입된다.

상기와 같은 이더넷 패킷 프레임의 디지털 데이터는 프리앰블 영역을 제외하고, 목적주소 영역에서부터 데이터 영역까지의 디지털 데이터를 다항식의 계수들로 가정하고, 특정한 생성 다항식으로 나눈 나머지의 계수들을, 상기 FCS 영역에 해당 값, 즉, 0 또는 1의 값으로 기록하는 방식이다.

상기와 같이 FCS 영역에 기록될 CRC 값을 계산하는 식은 다음의 식1과 같으며, IEEE 802.3의 권고 안에 의한 것으로서, CRC - 32차 생성다항식이다.

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \text{ (식 1)}$$

상기 생성다항식은 차수가 높을수록 정밀하게 검증할 수 있게 되고, 상기와 같은 CRC 계산은, 일반적으로 배타적 오어 또는 이스크루시브 오어(XOE: Exclusive OR) 게이트 및 플립플롭(FF: Flip Flop)을 사용한다.

상기 첨부된 도2 는 저속으로 처리되는 데이터의 검증에 사용되는 직렬 CRC 생성회로로써, 직렬로 인가되는 데이터를 레지스터(10)에서 인가받고, 직렬 XOR 로직(15)에 인가하므로써, CRC 계산을 한다.

상기 레지스터(10)는 CRC 계산식의 차수(Order)에 해당하는 만큼의 숫자를 직렬로 배치 한 것이고, 입력되는 데이터는, 별도의 클럭 신호에 의하여, 한 비트(Bit) 씩 오른쪽으로 이동함과 동시에 직렬 XOR 로직(15)에 인가하므로써, CRC 계산을 한다.

상기 직렬 XOR 로직(15)에서 계산된 CRC 계산 값은, 혼합기(20)에 직렬 순서로 인가하므로써, 다음 순서로 입력되는 데이터와 XOR 연산을 하여 순환 입력되며, 레지스터(10)에 직렬로 인가되어, CRC 계산 값으로 검증된 출력데이터가 된다.

상기와 같은 직렬 CRC 생성회로는 회로의 구성이 간단한 장점이 있으나, 입력되는 데이터가 직렬이 아니고 병렬로 입력되는 경우, 병렬 비트 숫자에 해당하는 만큼의 높은 클럭 신호에 의하여 직렬로 변환한 후에 입력시켜야 하므로, 높은 클럭 속도를 필요로 하고, 고속으로 전송되는 데이터의 검증에는 사용하기 어려운 문제가 있다.

상기와 같은 직렬 데이터 CRC 생성회로의 문제점을 일부 개선한 것이, 도3 에 도시된 것과 같은, 병렬 데이터 CRC 생성회로이다.

상기 도3을 참조하면, M 비트 단위의 병렬로 인가되는 데이터를 병렬 XOR 로직(30)에서 인가받고, CRC 계산하므로써, N 비트의 계산 값이 출력되며, 상기 N의 값은 M의 값의 약수가 된다.

상기 병렬 XOR 로직(30)에서 계산된 CRC 검증 값은, 병렬 레지스터(40)에 인가되어 출력됨과 동시에, 상기 병렬 XOR 로직(30)에 순환(Cyclic) 입력시켜, 신규로 입력되는 M 비트의 데이터와 XOR 연산을 하여 순환 입력되며, CRC 계산을 중복되게 하며, N 비트의 CRC 계산 값으로 상기 레지스터(40)에 인가되어 저장된 후, 클럭 신호에 의하여 출력된다.

이더넷 데이터를 전송하는 스위치에서, 10 Mbps 전송속도의 데이터가 전송되는 경우는 1 비트 단위의 직렬로 전송되고, 100 Mbps 전송속도의 데이터가 전송되는 경우는 4 비트 단위의 병렬로 전송된다.

그러나 상기와 같은 병렬 데이터 CRC 생성회로에서도, 입력되는 M 비트의 약수인 N 비트의 CRC 계산 값을, M 비트의 해당 위치에 정렬하기 위해서는, 높은 클럭 신호가 필요하므로, 입력되는 M 비트의 전송속도보다 더 높은 클럭 속도가 필요한 문제가 있을 뿐만 아니라, CRC 로직의 구성이 복잡해지고, 처리시간이 많이 소요되며, 크기가 커지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 위상이 다른 2분주 클럭을 사용하여 낮은 주파수에서 처리할 수 있는 동시에, 회귀 알고리즘을 적용하여 CRC 검증의 효율을 높이고, 회로를 간단하게 하는 고속 데이터의 오류 검증 회로를 제공하는 것이 그 목적이다.

상기와 같은 목적을 달성하기 위하여 안출한 본 발명은, 병렬로 연속 입력되는 데이터를, 위상이 다른 2 분주 클럭에 의하여, 2 클럭 단위 병렬데이터를 하나의 병렬데이터로 변환하고, 출력 제어신호에 의하여 동시 출력되도록 하는 변환부와, 상기 변환부로부터 입력된 데이터를 배타적 오어 로직에 의하여 순환중복검사 한 값으로 출력하는 처리부와, 상기 처리부로부터 인가된 값을 보관하고, 클럭신호에 의하여 상기 처리부로 순환시킴과 동시에, 상기 보관된 값을 모두 노어(NOR) 연산 처리하여 순환중복 검사 값으로 출력하는 오류판단부로 구성되는 특징이 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명 기술에 의한, 고속 데이터의 오류 검증회로를 설명한다.

본 발명의 기술을 설명하기 위하여 첨부된 것으로써, 도4 는 본 발명 기술에 의한 고속 데이터의 오류 검증회로 기능 블록도 이고, 도5 는 본 발명에 의한 변환부의 상세 기능 블록도 이며, 도6 은 본 발명 기술에 사용되는 신호 파형도 이다.

상기 첨부된 도면을 참조하면, 본 발명 기술에 의한 이더넷 스위칭 포트에서, 100 Mbps 고속 데이터의 오류를 검출하는 회로는, 수신클럭(RXCLK) 신호를 위상(Phase)이 다른 제1 및 제2 위상 클럭(CK - A, CK - B) 신호로 각각 변환하여 출력하는 위상변환부(80);

수신클럭(RXCLK)에 의하여 병렬로 입력되는 데이터(RXD)를 상기 위상변환부(80)로부터 인가된 제1 위상 클럭(CK - A) 신호에 의하여 저장하는 제1 데이터 저장부(90);

수신클럭(RXCLK)에 의하여 병렬로 입력되는 데이터(RXD)를 상기 위상변환부(80)로부터 인가된 제2 위상 클럭(CK - B) 신호에 의하여 저장하는 제2 데이터 저장부(95);

상기 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)로부터 각각 인가된 데이터(RXD)를 저장하고, 출력제어 신호에 의하여 병렬로 동시 출력하는 제3 데이터 저장부(100)로 이루어지는 변환부(50)와,

상기 변환부(50)로부터 입력된 데이터를 배타적 오어(XOR: Exclusive OR) 로직(Logic)에 의하여 순환중복검사(CRC: Cyclic Redundancy Check) 한 값으로 출력하는 처리부(60)와,

상기 처리부(60)로부터 인가된 값을 보관하고, 수신클럭 신호에 의하여 상기 처리부(60)로 순환(Cyclic) 시킴과 동시에, 상기 보관된 값을 모두 노어(NOR) 연산 처리하여 순환중복 검사(CRCCHK) 값으로 출력하는 오류판단부(70)로 구성된다.

이하, 상기와 같은 구성의 본 발명 기술에 의한 고속 데이터의 오류 검증회로를, 도4 내지 도6을 참조하여, 상세히 설명한다.

이더넷 스위칭 포트에서 100 Mbps의 전송속도로 인가되는 입력데이터(RXD)는 4 비트 단위의 병렬 데이터(RXD4[3:0])로 인가된다.

상기 4 비트 단위의 병렬 데이터(RXD4[3:0])는 변환부(50)의 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)에 동시 입력된다.

상기 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)는 클럭 신호를 인가 받아야만, 상기 입력 데이터(RXD)를 저장하는 것으로써, 4개의 디 플립플롭(D - FF)이 병렬로 접속되어 있다.

상기 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)에 입력데이터(RXD)를 각각 저장하도록 하는 클럭 신호는, 수신클럭(RXCLK) 신호를 입력받아, 2 분주함과 동시에, 위상(Phase)이 서로 다른 제1 위상 클럭(CK - A) 신호와 제2 위상 클럭(CK - B) 신호를 각각 출력하는 것으로써, 디 플립플롭(D - FF)으로 이루어지는 위상변환부(80)에 의하여 공급받는다.

따라서, 수신데이터(RXD)를 동시에 인가 받는, 상기 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)는 상기 위상 변환부(80)로부터 인가되는, 제1 위상 클럭(CK - A) 및 제2 위상 클럭(CK - B)이 인가되는 경우에만 저장하는 것으로써, 즉, 제1 위상 클럭(CK - A)이 하이레벨 또는 '1'의 레벨인 경우, 상기 제1 데이터 저장부(90)에서 수신데이터(RXD)를 저장하고, 제2 위상 클럭(CK - B)이 하이레벨 또는 '1'의 레벨인 경우, 상기 제2 데이터 저장부(95)에서 수신데이터(RXD)를 저장한다.

상기 제1 및 제2 위상 클럭(CK - A, CK - B)은 클럭 주기가 수신클럭(RXCLK)을 2 분주한 것으로써, 2배 늦고, 따라서, 상기 2배 빠른 클럭에 의하여 입력되는 수신데이터(RXD)는, 늦은 주기의 제1 및 제2 위상클럭(CK - A, CK - B)에 의하여, 교차 순서로 저장된다.

좀더 상세히 설명하면, 수신클럭(RXCLK)에 의하여 처음에 입력되는 수신데이터(RXD)는 제1 데이터 저장부(90)에 기록되고, 상기 수신클럭(RXCLK)의 다음 순서에 의하여 입력되는 수신데이터(RXD)는 제2 데이터 저장부(95)에 기록되는 과정이 계속 반복된다.

상기 제1 데이터 저장부(90) 및 제2 데이터 저장부(95)에 기록 또는 저장된 데이터는 제3 데이터 저장부(100)에 각각 입력되고, 상기 제3 데이터 저장부(100)는 출력 제어신호에 의하여 상기 입력된 8 비트의 병렬 데이터(RXD8[7:0]) 신호를 저장 또는 기록하게 된다.

상기 출력 제어신호는 도6을 참조하면, 제1 및 제2 위상 클럭(CK - A, CK - B) 신호와 클럭 주기가 동일하고, 위상(Phase)에 반 클럭의 차이가 있다.

상기 출력 제어신호를 인가 받은 제3 데이터 저장부는 입력된 8비트 병렬 데이터(RXD8[7:0])를 저장함과 동시에, 상기 처리부(60)로 출력한다.

상기 처리부(60)는 배타적 오어(XOR: Exclusive OR) 로직에 의하여 순환중복검사(CRC)를 하는 것으로써, 입력된 8비트 데이터(RXD8)와, 상기 오류판단부(70)로부터 인가된 것으로서, 전 순서에 의한 CRC 값을 혼합하여 CRC 값을, 상기 식1 에 의하여 계산하고, 상기 계산 결과인 32 비트의 결과 값을 상기 오류판단부(70)에 출력한다.

상기 오류판단부(70)는 입력된 32 비트의 결과 값을 저장하고, 인가되는 클럭 신호에 의하여 상기 처리부에 회귀(Recursive) 시킨다.

또한, 상기 입력된 32 비트의 결과 값을 다음의 식 2에 의하여 계산한다.

(식 2)

$$S[31]=S[29] \text{ XOR } S[23] \text{ XOR } D[5] = S(29,23)D(5)$$

$$S[30]=S(31,28,22)D(7,4)$$

$$S[29]=S(31,30,27,21)D(7,6,3)$$

$$S[28]=S(30,29,26,20)D(6,5,2)$$

$$S[27] = S(31,29,28,25,19)D(7,5,4,1)$$

$$S[26] = S(30,28,27,24,18)D(6,4,3,0)$$

$$S[25] = S(27,26,17)D(3,2)$$

$$S[24] = S(31,26,25,16)D(7,2,1)$$

$$S[23] = S(30,25,24,15)D(6,1,0)$$

$$S[22] = S(24,14)D(0)$$

$$S[21] = S(29,13)D(5)$$

$$S[20] = S(28,12)D(4)$$

$$S[19] = S(31,27,11)D(7,3)$$

$$S[18] = S(31,30,26,10)D(7,6,2)$$

$$S[17] = S(30,29,25,9)D(6,5,1)$$

$$S[16] = S(29,28,24,8)D(5,4,0)$$

$$S[15] = S(31,29,28,27,7)D(7,5,4,3)$$

$$S[14] = S(31,30,28,27,26,6)D(7,6,4,3,2)$$

$$S[13] = S(31,30,29,27,25,5)D(7,6,5,3,2,1)$$

$$S[12] = S(30,29,28,26,25,24,4)D(5,4,2,1,0)$$

$$S[11] = S(28,27,25,24,3)D(4,3,1,0)$$

$$S[10] = S(29,27,26,24,2)D(5,3,2,0)$$

$$S[9] = S(29,28,26,25,1)D(5,4,2,1)$$

$$S[8] = S(28,27,25,24,0)D(4,3,1,0)$$

$$S[7] = S(31,29,27,26,24)D(7,5,3,2,0)$$

$$S[6] = S(31,30,29,28,26,25)D(7,6,5,4,2,1)$$

$$S[5] = S(31,30,29,28,27,25,24)D(7,6,5,4,3,1,0)$$

$$S[4] = S(30,28,27,26,24)D(6,4,3,2,0)$$

$$S[3] = S(31,27,26,25)D(7,3,2,1)$$

$$S[2]=S(31,30,26,25,24)D(7,6,2,1,0)$$

$$S[1]=S(31,30,25,24)D(7,6,1,0)$$

$$S[0]=S(30,24)D(6,0)$$

상기의 식 2에 의하여 계산된 결과 값을 모두 노어(NOR) 연산에 의하여 처리하고, 그 결과 값을, 순환중복검사 값(CRCCHK)으로 출력한다.

상세히 설명하면, 상기 식 2에 의하여 계산된 32 비트의 값이 모드 0 이면, 노어(NOR) 연산 값이 1 이 되고, 상기의 1 의 값이 순환중복검사 값(CRCCHK)으로 출력되는 것으로써, 오류가 없음을 표시하게 된다.

발명의 효과

상기와 같은 구성의 본 발명은, 입력클럭을 2 분주한 낮은 클럭을 사용함과 동시에, 입력데이터를 배수로 정렬할 수 있고, 로직회로의 구성이 간단하며, 회귀 알고리즘을 사용하여 최적화된 연산식을 찾아내므로, 최고 1536 바이트에 이르는 이더넷 패킷을 모두 저장하지 않고서도 100 Mbps의 고속 입력 데이터를 순환중복검사 할 수 있는 효과가 있다.

또한, 적은 레지스터를 이용하여 로직을 단순화 하므로써, 회로의 구성이 간단하고, 낮은 비용으로 제작이 가능하며, 소형화할 수 있는 공업적 및 산업적 이용효과가 있다.

(57) 청구의 범위

청구항 1.

수신클럭에 의하여 병렬로 연속 입력되는 데이터를, 위상이 다른 2 분주 클럭에 의하여, 2 수신클럭 단위 병렬데이터를 하나의 병렬데이터로 변환하고, 출력 제어신호에 의하여 동시 출력되도록 하는 변환부와,

상기 변환부로부터 입력된 데이터를 배타적 오어 로직에 의하여 순환중복검사 한 값으로 출력하는 처리부와,

상기 처리부로부터 인가된 값을 보관하고, 수신클럭 신호에 의하여 상기 처리부로 순환시킴과 동시에, 상기 보관된 값을 모두 노어 연산 처리하여 순환중복 검사 값으로 출력하는 오류판단부로 구성되는 것을 특징으로 하는 고속 데이터의 오류 검증회로.

청구항 2.

제1 항에 있어서,

상기 변환부는, 수신클럭 신호를 위상이 다른 제1 및 제2 위상 클럭 신호로 각각 변환하여 출력하는 위상변환부와,

상기 수신클럭에 의하여 병렬로 입력되는 데이터를 상기 위상변환부로부터 인가된 제1 위상 클럭 신호에 의하여 저장하는 제1 데이터 저장부와,

상기 수신클럭에 의하여 병렬로 입력되는 데이터를 상기 위상변환부로부터 인가된 제2 위상 클럭 신호에 의하여 저장하는 제2 데이터 저장부와,

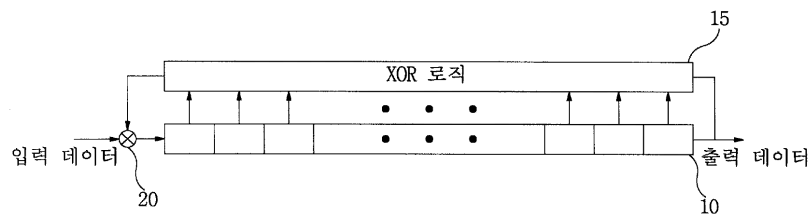
상기 제1 데이터 저장부 및 제2 데이터 저장부로부터 각각 인가된 데이터를 저장하고, 출력제어 신호에 의하여 병렬로 동시 출력하는 제3 데이터 저장부로 구성되는 것을 특징으로 하는 고속 데이터의 오류 검증회로.

도면

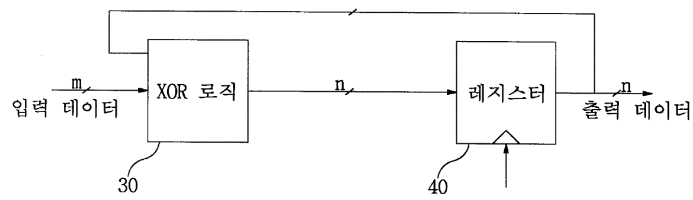
도면 1

8bytes	6bytes	6bytes	2bytes	48~1500bytes	4bytes
프리앰블	목적 주소	발신 주소	길이	데이터	FCS

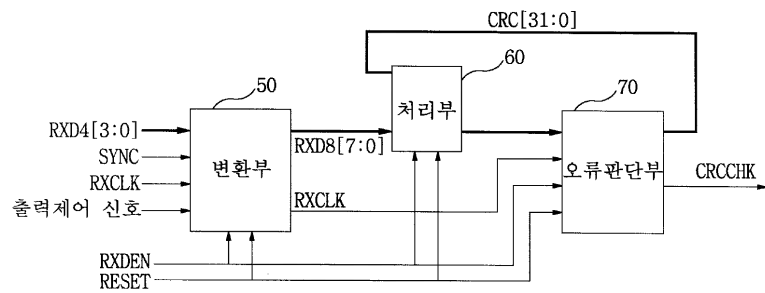
도면 2



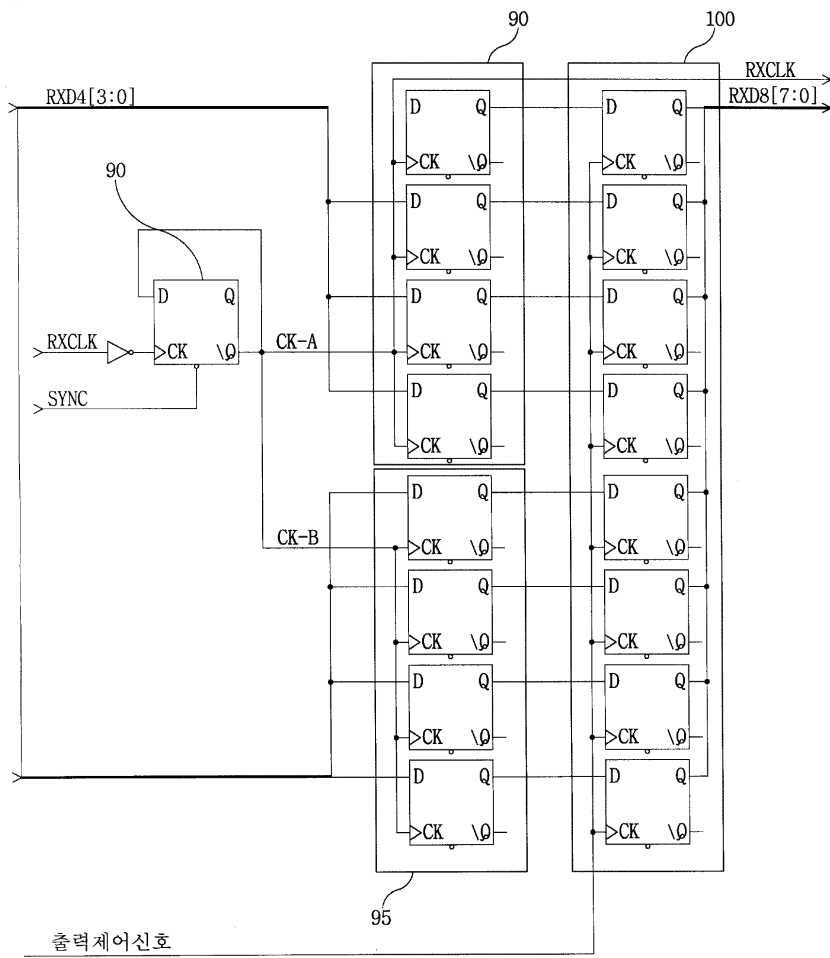
도면 3



도면 4



도면 5



도면 6

