



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I549198 B

(45)公告日：中華民國 105 (2016) 年 09 月 11 日

(21)申請案號：104103729

(22)申請日：中華民國 98 (2009) 年 12 月 17 日

(51)Int. Cl. : H01L21/336 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2008/12/26 日本

2008-333788

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6645859B1

US US20030116837A1

審查人員：陳建仲

申請專利範圍項數：10 項 圖式數：24 共 124 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

一種半導體裝置，包括具有氧化物半導體層和優良的電特性的薄膜電晶體。此外，提供用於製造半導體裝置的方法，其中在一個基底上形成多種類型的不同結構的薄膜電晶體以形成多種類型的電路，而且其中沒有顯著增加步驟數量。在絕緣表面上形成金屬薄膜之後，在金屬薄膜上形成氧化物半導體層。然後，執行諸如熱處理之類的氧化處理以部分或全部地氧化金屬薄膜。此外，在諸如邏輯電路之類強調操作速度的電路與矩陣電路之間，薄膜電晶體的結構不同。

A semiconductor device which includes a thin film transistor having an oxide semiconductor layer and excellent electrical characteristics is provided. Further, a method for manufacturing a semiconductor device in which plural kinds of thin film transistors of different structures are formed over one substrate to form plural kinds of circuits and in which the number of steps is not greatly increased is provided. After a metal thin film is formed over an insulating surface, an oxide semiconductor layer is formed thereover. Then, oxidation treatment such as heat treatment is performed to oxidize the metal thin film partly or entirely. Further, structures of thin film transistors are different between a circuit in which emphasis is placed on the speed of operation, such as a logic circuit, and a matrix circuit.

指定代表圖：

400 · · · 基底

發明摘要

※申請案號： 104103729 (由 100118210 分案)

※申請日：098 年 12 月 17 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

H01L 21/36

G09G 3/20

H2006.01

H2006.01

● 【中文】

一種半導體裝置，包括具有氧化物半導體層和優良的電特性的薄膜電晶體。此外，提供用於製造半導體裝置的方法，其中在一個基底上形成多種類型的不同結構的薄膜電晶體以形成多種類型的電路，而且其中沒有顯著增加步驟數量。在絕緣表面上形成金屬薄膜之後，在金屬薄膜上形成氧化物半導體層。然後，執行諸如熱處理之類的氧化處理以部分或全部地氧化金屬薄膜。此外，在諸如邏輯電路之類強調操作速度的電路與矩陣電路之間，薄膜電晶體的結構不同。

【英文】

A semiconductor device which includes a thin film transistor having an oxide semiconductor layer and excellent electrical characteristics is provided. Further, a method for manufacturing a semiconductor device in which plural kinds of thin film transistors of different structures are formed over one substrate to form plural kinds of circuits and in which the number of steps is not greatly increased is provided. After a metal thin film is formed over an insulating surface, an oxide semiconductor layer is formed thereover. Then, oxidation treatment such as heat treatment is performed to oxidize the metal thin film partly or entirely. Further, structures of thin film transistors are different between a circuit in which emphasis is placed on the speed of operation, such as a logic circuit, and a matrix circuit.

【代表圖】

【本案指定代表圖】：第(1D)圖。

【本代表圖之符號簡單說明】：

409：第一引線

406a、406b： n^+ 型層

405：第二氧化物半導體層

412：保護絕緣層

475：有機化合物層

474：第二電極

473：絕緣層

412：保護絕緣層

104a、104b： n^+ 型層

103：氧化物半導體層

105a、105b：源極和汲極電極層

170：第二薄膜電晶體

101：第二閘極電極

472：第一電極

410：第二引線

403：閘極絕緣層

430：第一薄膜電晶體

401：第一閘極電極

400：基底

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明關於具有利用薄膜電晶體（下文稱為 TFT）形成的電路的半導體裝置及其製造方法。舉例而言，本發明關於電子設備，其中安裝了以液晶顯示面板作為代表的電光裝置或以包括有機發光元件的發光顯示裝置作為其元件的。

注意，此說明書中的半導體裝置指的是可使用半導體特性操作的所有裝置，而且光電裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

對不同應用，使用不同金屬氧化物。氧化銦是眾所周知的材料，且用作液晶顯示器等所必需的透明電極材料。

某些金屬氧化物具有半導體特性。具有半導體特性的金屬氧化物是一種類型的化合物半導體。化合物半導體是利用結合在一起的兩種或多種類型的半導體形成的半導體。一般而言，金屬氧化物變成絕緣體。然而，已知金屬

氧化物根據金屬氧化物中包括的元素的組合而變成半導體。

舉例而言，已知氧化鎢、氧化錫、氧化銦、氧化鋅等是具有半導體特性的金屬氧化物。揭示利用這樣的金屬氧化物形成的透明半導體層作為通道形成區的一種薄膜電晶體（專利文獻 1 到 4 與非專利文獻 1）。

此外，已知作為金屬氧化物的不僅有單成份氧化物而且有多成份氧化物。舉例而言，作為同系化合物的 $\text{InGaO}_3(\text{ZnO})_m$ （ m 為自然數）是已知的材料（非專利文獻 2 到 4）。

此外，已經確認這樣的 In-Ga-Zn 為基礎的氧化物可應用於薄膜電晶體的通道層（專利文獻 5 和非專利文獻 5 和 6）。

此外，利用氧化物半導體製造薄膜電晶體、並將薄膜電晶體應用於電子設備或光學器件的技術已經引起人們的注意。舉例而言，專利文獻 6 和專利文獻 7 公開了使用氧化鋅或 In-Ga-Zn-O 基氧化物半導體作為氧化物半導體膜來製造薄膜電晶體的技術，而且用這樣的電晶體作為影像顯示裝置的開關元件等。

[專利文獻]

[專利文獻 1] 日本公開專利申請 No. S60-198861

[專利文獻 2] 日本公開專利申請 No. H8-264794

[專利文獻 3] PCT 國際申請 No. H11-505377 的日文譯本

[專利文獻 4] 日本公開專利申請 No. 2000-150900

[專利文獻 5] 日本公開專利申請 No. 2004-103957

[專利文獻 6] 日本公開專利申請 No. 2007-123861

[專利文獻 7] 日本公開專利申請 No. 2007-096055

[非專利文獻]

[非專利文獻 1] M. W. Prins、K. O. Grosse-Holz、G. Muller、J. F. M. Cillessen、J. B. Giesbers、R. P. Weening 以及 R. M. Wolf, “鐵電透明薄膜電晶體 (A ferroelectric transparent thin-film transistor) ” , 應用物理快報 (*Appl. Phys. Lett.*) , 1996 年 6 月 17 日第 68 卷第 3650-3652 頁

[非專利文獻 2] M. Nakamura、N. Kimizuka 以及 T. Mohri, “ $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 系統在 1350°C 下的相態關係 (The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C) ” , *J. Solid State Chem.*, 1991, 第 93 卷第 298-315 頁

[非專利文獻 3] N. Kimizuka、M. Isobe 以及 M. Nakamura, “ $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 系統中的同系化合物—— $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, 和 5) 、 $\text{InGaO}_3(\text{ZnO})_3$ 、以及 $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, 和 16) 的合成和單晶資料 (Syntheses and Single-Crystal Data of Homologous

Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$) , $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System) ” , *J. Solid State Chem.*, 1995 , 第 116 卷第 170-178 頁

[非專利文獻 4] M. Nakamura、N. Kimizuka、T. Mohri 以及 M. Isobe, “ $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然數) 及其同構化合物的同系系列、合成以及晶體結構 (Homologous Series, Synthesis and Crystal Structure of $\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and its Isostructural Compound) ” , *KOTAI BUTSURI 固態物理 (SOLID STATE PHYSICS)* , 1993 , 第 28 卷 , No. 5 , 第 317-327 頁

[非專利文獻 5] K. Nomura、Ohta、K. Ueda、T. Kamiya、M. Hirano 以及 H. Hosono, “在單晶透明氧化物半導體中製造的薄膜電晶體 (Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor) ” , *SCIENCE* , 2003 年 , 第 300 卷 , 第 1269-1272 頁

[非專利文獻 6] K. Nomura、H. Ohta、A. Takagi、T. Kamiya、M. Hirano 以及 H. Hosono, “使用非晶氧化物半導體的透明柔性薄膜電晶體的腔室溫製造 (Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors) ” , *NATURE* , 2004 年 , 第 432 卷 , 第 488-492 頁

【發明內容】

一目的是提供一種包括薄膜電晶體的半導體裝置，薄膜電晶體具有氧化物半導體層和優良的電特性。

此外，另一目的是提供一種用於製造半導體裝置的方法，其中在一個基底上形成多種類型的不同結構的薄膜電晶體以形成多種類型的電路，而且其中沒有顯著增加步驟數量。

在絕緣表面上形成金屬薄膜之後，在金屬薄膜上形成比金屬薄膜厚的氧化物半導體層。然後，執行諸如熱處理之類的氧化處理以部分或全部地氧化金屬薄膜。作為金屬薄膜，能使用在氧化處理之後用作半導體的材料，舉例而言，較佳地使用銮、鋅、錫、鉬或鎢。經過氧化的金屬薄膜成為第一氧化物半導體層，藉此獲得第一氧化物半導體層和重疊的第二氧化物半導體層的疊層。注意，第一氧化物半導體層具有比第二氧化物半導體層低的電阻率（即更高的電導率）。此外，第一氧化物半導體層與閘極電極之間的距離比第二氧化物半導體層與閘極電極之間的距離短。第一氧化物半導體層至少與閘極絕緣膜接觸。藉由使用此疊層製造薄膜電晶體，能獲得具有優良的電特性（例如電場遷移率）的薄膜電晶體。

根據此說明書公開的本發明實施例的結構是用於製造半導體裝置的方法，包括以下步驟：在絕緣表面上形成閘極電極；在閘極電極上形成絕緣層；在絕緣層上形成金屬

薄膜；在金屬薄膜上形成氧化物半導體層；以及在形成氧化物半導體層之後執行氧化處理以至少部分地氧化金屬薄膜。

藉由上述結構，可解決上述問題中的至少之一。

藉由濺射法、真空汽相沈積法、塗覆法等形成該金屬薄膜。金屬薄膜的厚度大於 0 nm 且小於或等於 10 nm，較佳地為 3 nm 到 5 nm（含 3 nm 和 5 nm）。可替代地使用不同金屬薄膜的疊層，疊層的厚度小於或等於 10 nm。注意，氧化金屬薄膜至少部分意味著將金屬薄膜氧化到薄膜電晶體能起作用並呈現出開關特性的程度。換言之，金屬薄膜被氧化成不致引起源極電極與汲極電極之間流過的電流量在對閘極施加了電壓與未對閘極施加電壓之間幾乎沒有差別的狀態，或不致引起其中源極電極與汲極電極電導通的狀態。

此外，氧化處理是在含氧氣的氣氛、空氣和氮氣氣氛中的任一氣氛中執行的熱處理（在 200℃ 到 600℃ 下）。即使在氮氣氣氛中，藉由熱處理，金屬薄膜與在金屬薄膜上且與金屬薄膜接觸的氧化物半導體層（第二氧化物半導體層）中的氧結合，從而氧化了金屬薄膜。在此情況下，由於金屬薄膜的存在，取出了第二氧化物半導體層的氧，藉此可在第二氧化物半導體層中形成缺氧區。此外，不限於氮氣氣氛中的熱處理，由於金屬薄膜的存在，在含氧氣的氣氛中或空氣中，藉由熱處理也可取出第二氧化物半導體層中的氧，藉此能在第二氧化物半導體層中形成缺氧

區。藉由在第二氧化物半導體層中形成缺氧區，能改善電場遷移率。雖然在某些情況下取決於金屬薄膜的材料而使金屬薄膜與上氧化物半導體層之間的介面因為此熱處理而變得不清晰，但是，靠近閘極絕緣層的作為下氧化物半導體層的氧化物半導體層和上氧化物半導體層具有不同的電特性。

注意，第二氧化物半導體層是含 In、M 以及 Zn 中的至少一種的氧化物半導體，而 M 是從 Ga、Fe、Ni、Mn、Co 等等中選擇的一種或多種元素。注意 M 不包括諸如 Cd 或 Hg 之類的元素，即對人體有害的物質。在此說明書中，如果將 Ga 用作 M，則此薄膜也稱為 In-Ga-Zn-O 為基礎的非單晶膜。在本說明書中，使用含 In、Ga 以及 Zn 的氧化物半導體膜形成的半導體層也稱為“IGZO 半導體層”。而且，在氧化物半導體中，在某些情況下，除包含金屬元素作為 M 之外，還包含諸如 Fe 或 Ni 之類的過渡金屬元素或過渡金屬的氧化物作為雜質元素。此外，第二氧化物半導體層可包含絕緣雜質。作為雜質，應用了以氧化矽、氧化鋇、氧化鋁等為代表的絕緣氧化物等、以氮化矽、氮化鋁等為代表的絕緣氮化物等、或諸如氧氮化矽或氧氮化鋁之類的絕緣氧氮化物。以氧化物半導體的電導率不會退化的濃度向該氧化物半導體添加絕緣氧化物、絕緣氮化物或絕緣氧氮化物。藉由包含這樣的絕緣雜質，氧化物半導體變得難以結晶；因此，能穩定薄膜電晶體的特性。

因爲 In-Ga-Zn-O 爲基礎的氧化物半導體包含諸如氧化矽之類的雜質，所以即使氧化物半導體接受 300℃ 到 600℃ 下的熱處理，也能防止氧化物半導體的結晶或微晶粒的產生。在 In-Ga-Zn-O 爲基礎的氧化物半導體層是通道形成區的薄膜電晶體的製程中，藉由熱處理能改善 S 值（亞閾值擺動值）或電場效應遷移率。即使在這樣的情況下，也能防止薄膜電晶體正常導通。此外，即使對薄膜電晶體施加熱應力或偏置應力，也能防止閾值電壓的變化。

作爲應用於薄膜電晶體的通道形成區的氧化物半導體，可添加以下除上述以外的以下氧化物半導體中的任一種：In-Sn-Zn-O 爲基礎的氧化物半導體、In-Al-Zn-O 爲基礎的氧化物半導體、Sn-Ga-Zn-O 爲基礎的氧化物半導體、Al-Ga-Zn-O 爲基礎的氧化物半導體、Sn-Al-Zn-O 爲基礎的氧化物半導體、In-Zn-O 爲基礎的氧化物半導體、Sn-Zn-O 爲基礎的氧化物半導體、Al-Zn-O 爲基礎的氧化物半導體、In-O 爲基礎的氧化物半導體、Sn-O 爲基礎的氧化物半導體以及 Zn-O 爲基礎氧化物半導體。換言之，藉由向這些氧化物半導體添加抑制結晶的雜質以保持非晶態，能使薄膜電晶體的特性穩定。作爲雜質，應用了以氧化矽、氧化鋇、氧化鋁等爲代表的絕緣氧化物等、以氮化矽、氮化鋁等爲代表的絕緣氮化物等、或諸如氧氮化矽或氧氮化鋁之類的絕緣氧氮化物。

舉例而言，在藉由濺射法形成添加了氧化矽的 In-Sn-Zn-O 爲基礎的氧化物半導體膜的情況下，使用了以預定

比例燒結的 In_2O_3 、 SnO_2 、 ZnO 以及 SiO_2 的靶。在添加了氧化矽的 In-Al-Zn-O 為基礎的氧化物半導體的情況下，使用其中以預定比例燒結 In_2O_3 、 Al_2O_3 、 ZnO 、 SiO_2 的靶形成膜。

此外，作為用於薄膜電晶體的 n^+ 型層的氧化物半導體，可使用含氮的 In-Ga-Zn-O 為基礎的非單晶膜，即 In-Ga-Zn-O-N 為基礎的非單晶膜（也稱為 IGZON 膜）。藉由在含氮氣的氣氛中使用包括含銦、鎵以及鋅的氧化物的靶形成含銦、鎵以及鋅的氧氮化物膜、然後對膜執行熱處理，可獲得此 In-Ga-Zn-O-N 為基礎的非單晶膜。

此外，較佳地，第二氧化物半導體層的厚度至少大於金屬薄膜的厚度，例如金屬薄膜的厚度的兩倍或更多倍。具體而言，第二氧化物半導體層的厚度是 30 nm 或更厚，較佳地是 60 nm 到 150 nm（含 60 nm 和 150 nm）。此外，第二氧化物半導體層較佳地包含金屬薄膜中包含的至少一種元素。如果第二氧化物半導體層包含金屬薄膜中包含的至少一種元素，則能使用同一蝕刻劑或同一蝕刻氣體以在同一蝕刻步驟中蝕刻第二氧化物半導體層和金屬薄膜，這能使製造步驟的數量減少。

此外，藉由在一個基底上製造矩陣電路和驅動器電路，降低了半導體裝置的製造成本。驅動器電路包括例如強調操作速度的邏輯電路。在這樣的電路中使用包括第一氧化物半導體層和第二氧化物半導體層的疊層的薄膜電晶體，而在形成像素部分的矩陣電路中，使用包括第三氧化

物半導體層的單層的薄膜電晶體。以這樣的方式，在諸如邏輯電路之類強調操作速度的電路與矩陣電路之間，薄膜電晶體的結構不同。

根據本發明的實施例的另一結構是半導體裝置，包括在絕緣表面上的矩陣電路和驅動矩陣電路的驅動器電路。在半導體裝置中，驅動器電路具有第一薄膜電晶體，第一薄膜電晶體包括第一氧化物半導體層和與第一閘極電極交疊的第二氧化物半導體層的疊層，疊層與第一閘極電極之間插入有第一閘極絕緣膜，而矩陣電路包括第二薄膜電晶體，第二薄膜電晶體包括與第二閘極電極交疊的第三氧化物半導體層，第三氧化物半導體層與第二閘極電極之間插入有第二閘極絕緣膜。第一氧化物半導體層的材料與第二氧化物半導體層的材料彼此不同，而第二氧化物半導體層的材料和第三氧化物半導體層的材料相同。

藉由上述結構，可解決上述問題中的至少一個。

在上述結構中，第一薄膜電晶體包括在第一閘極電極上的第一閘極絕緣膜、在第一閘極絕緣膜上的第一氧化物半導體層以及在第一氧化物半導體層上的第二氧化物半導體層。第一氧化物半導體層的電阻率低於第二氧化物半導體層的電阻率。此外，在上述結構中，第二薄膜電晶體包括在第二閘極電極上的第二閘極絕緣膜和在第二閘極絕緣膜上的第三氧化物半導體層。

本發明的實施例中還包括用於製造上述結構的方法。這些方法之一是用於製造半導體裝置的方法，半導體裝置

包括在一個基底上的矩陣電路和用於驅動矩陣電路的驅動器電路。方法包括以下步驟：在基底的矩陣電路區和驅動器電路區上均形成第一氧化物半導體層；藉由蝕刻以去除矩陣電路區上的第一氧化物半導體層；以及在驅動器電路區中的第一氧化物半導體層和矩陣電路區中的第三氧化物半導體層上形成第二氧化物半導體層，以形成包括驅動器電路區中的第一氧化物半導體層和第二氧化物半導體層的疊層的第一薄膜電晶體，和包括矩陣電路區中的第三氧化物半導體層的第二薄膜電晶體。

此外，也能夠藉由將如所選擇而形成的金屬薄膜氧化來形成第一氧化物半導體層。本發明的實施例還包括了這樣的情況下的製造方法。方法是用於製造半導體裝置的方法，半導體裝置包括在一個基底上的矩陣電路和用於驅動矩陣電路的驅動器電路。方法包括以下步驟：在基底的矩陣電路區和驅動器電路區上形成金屬薄膜；藉由蝕刻以去除矩陣電路區上的金屬薄膜；在驅動器電路區中和矩陣電路區中的金屬薄膜上形成氧化物半導體層；以及在形成氧化物半導體層之後執行氧化處理以便氧化金屬薄膜，從而形成包括驅動器電路區中的第一氧化物半導體層和第二氧化物半導體層的疊層的第一薄膜電晶體，和包括矩陣電路區中的第三氧化物半導體層的第二薄膜電晶體。

在藉由上述方法製造的每一種結構中，第一氧化物半導體層的電阻率低於第二氧化物半導體層的電阻率。此外，在藉由上述方法製造的每一種結構中，第一氧化物半

導體層的材料與第二氧化物半導體層的材料彼此不同，而第二氧化物半導體層的材料和第三氧化物半導體層的材料相同。

本說明書中指示諸如“在……之上”、“在……上方”、“在……之下”、“在……下方”、“側面”、“水平”、或“垂直”之類的方向的術語是基於裝置設置在基底表面之上的假定。

利用氧化物半導體層的疊層，能實現包括具有優良電特性的薄膜電晶體的半導體裝置。

此外，在一個基底上形成包括氧化物半導體層的疊層的薄膜電晶體和包括單層的氧化物半導體層的薄膜電晶體，藉此能製造多種類型的電路。

【圖式簡單說明】

圖 1A 到 1D 是半導體裝置的製程的實施例的截面圖。

圖 2A 到 2C 是顯示半導體裝置的實施例的截面圖、等效電路圖以及俯視圖。

圖 3 是半導體裝置的實施例的等效電路圖。

圖 4A 和 4B 是半導體裝置的方塊圖的實施例。

圖 5 示出信號線驅動器電路的結構的實施例。

圖 6 是信號線驅動器電路的操作的實施例的時序圖。

圖 7 是信號線驅動器電路的操作的實施例的時序圖。

圖 8 示出移位暫存器的結構的示例。

圖 9 示出圖 8 中所示的正反器中的連接的實施例。

圖 10 示出半導體裝置的像素等效電路的實施例。

圖 11A 到 11C 是半導體裝置的實施例的截面圖。

圖 12A 和 12B 分別是半導體裝置的實施例的俯視圖和截面圖。

圖 13A 到 13C 是半導體裝置的製程的實施例的截面圖。

圖 14 是像素的實施例的俯視圖。

圖 15 是像素部分、電容器部分以及端子部分的實施例的截面圖。

圖 16A 和 16B 分別是端子部分的實施例的俯視圖和截面圖。

圖 17 是像素的實施例的俯視圖。

圖 18A1 和 18A2 是俯視圖，而圖 18B 是半導體裝置的實施例的截面圖。

圖 19 是半導體裝置的實施例的截面圖。

圖 20A 到 20E 是半導體裝置的製程的實施例的截面圖。

圖 21A 到 21C 是半導體裝置的製程的實施例的截面圖。

圖 22A 和 22B 分別是作為半導體裝置的實施例的電子設備的截面圖和外視圖。

圖 23A 和 23B 是電子設備的實施例。

圖 24A 和 24B 是電子設備的實施例。

【實施方式】

以下將描述本發明的實施例。

將參照附圖詳細描述實施例。注意，本發明不限於以下描述，而且本領域技術人員容易理解的是，能按照多種方法修改模式和細節，而不悖離本發明的精神和範圍。因此，不應當將本發明解釋為受限於以下給出的實施例的描述。注意在以下描述的結構中，不同附圖中的相似部分或具有相似功能的部分由相似的代號代號表示，並且省略了重復的描述。

（實施例 1）

圖 1A 到 1D 示出在同一基底上形成用於驅動器電路的第一薄膜電晶體 430 和用於像素部分（也稱為矩陣電路）的第二薄膜電晶體 170 的製程的實施例。

在本實施例中，提供了一種新穎的結構及其製造方法，其中在同一基底上形成具有不同結構的薄膜電晶體，以形成能高速工作的驅動器電路和包括具有高導通/截止比的薄膜電晶體的像素部分。此外，在本實施例中，還提供了用於製造以氧化物半導體層的疊層作為通道形成區的薄膜電晶體的一種新穎的方法。

使用反相器電路、電容器、電阻器等形成用於驅動像素部分的能高速工作的驅動器電路。當組合兩個 n 通道 TFT 以形成反相器電路時，存在以下組合：增強型電晶體

和空乏型電晶體的組合（下文將通過這種組合形成的電路稱為“EDMOS”電路）以及增強型 TFT 的組合（下文將通過這種組合形成的電路稱為“EEMOS 電路”）。注意閾值電壓為正的 n 通道 TFT 被定義為增強型 TFT，而閾值電壓為負的 n 通道 TFT 被定義為空乏型電晶體。本說明書遵循這些定義。

像素部分中的薄膜電晶體用作施加給像素電極的電壓的開關，因此它應當具有高導通/截止比。導通/截止比是導通電流與截止電流之比（ I_{ON}/I_{OFF} ），而且 I_{ON}/I_{OFF} 的值越高，則其開關特性越好。因此，高 I_{ON}/I_{OFF} 比有助於顯示對比度的改進。注意導通電流是在電晶體處於導通狀態時在源極電極與汲極電極之間流動的電流。同時，截止電流是在電晶體處於截止狀態時在源極電極與汲極電極之間流動的電流。舉例而言，在 n 通道電晶體中，當閘極電壓低於電晶體的閾值電壓時，截止電流是在源極電極與汲極電極之間流動的電流。因此，較佳地將增強型電晶體用於像素部分，以實現高對比度和低功耗的驅動。

如上所述，像素部分與驅動器電路之間所強調的電特性不同。因此，較佳地在像素部分與驅動器電路中使用具有不同結構的薄膜電晶體。在此實施例中，以下將描述用於這樣的情況的製造方法的實施例。

首先，在具有絕緣表面的基底 400 上設置第一閘極電極 401 和第二閘極電極 101。可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或鈳之類的金屬材料或包括這些材

料中的任一種作為其主要成份的任何合金材料來形成具有單層結構或層疊結構的第一閘極電極 401 和第二閘極電極 101。

舉例而言，作為第一閘極電極 401 和第二閘極電極 101 中的每一個的兩層結構，較佳地使用以下結構：鋁層和層疊在鋁層上的鉬層的兩層結構、銅層和層疊在該銅層上的鉬層的兩層結構、銅層和層疊在銅層上的氮化鈦或氮化鉬層的兩層結構、以及氮化鈦層和鉬層的兩層結構。替代地，可採用包括含 Ca 的銅層和其上作為阻擋層的含 Ca 的氧化銅層的疊層，或包括含 Mg 的銅層和其上作為阻擋層的含 Mg 的氧化銅層的疊層。作為三層結構，較佳的是鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、以及氮化鈦層或鈦層的疊層。

然後，形成覆蓋第一閘極電極 401 和第二閘極電極 101 的閘極絕緣層 403。藉由濺射法、PCVD 法等，將閘極絕緣層 403 形成為 50 nm 到 400 nm 厚度。

舉例而言，藉由濺射法，形成 100 nm 厚的氧化矽膜作為閘極絕緣層 403。不言而喻，閘極絕緣層 403 不限於這樣的氧化矽膜，且可以是諸如氧氮化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氧化鉬膜之類的其它絕緣膜的單層或疊層。在形成疊層的情況下，舉例而言，可藉由 PCVD 法以形成氮化矽膜，然後藉由濺射法，在氮化矽膜上形成氧化矽膜。如果將氧氮化矽膜、氮化矽膜等用作閘極絕緣層 403，則能防止鈉之類的雜質從玻璃基底

擴散而進入稍後將在基底上形成的氧化物半導體中。

替代地，可由使用有機矽烷氣體而藉由 CVD 法形成的氧化矽層來形成閘極絕緣層 403。作為有機矽烷氣體，可使用諸如四乙氧基矽烷（TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）或三二甲基氨基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）之類的含矽化合物。

然後，在閘極絕緣層 403 上形成銦、鋅、錫、鉬、鎢等的金屬薄膜。替代地，可形成那些元素的任一種的合金薄膜或疊層。藉由濺射法、真空汽相沈積法或塗覆法，形成金屬薄膜。這裏，以汽相沈積法形成厚度為大於 0 nm 且小於或等於 10 nm（較佳地為 3 nm 到 5 nm（含 3 nm 和 5 nm））的銦膜。注意對於金屬薄膜，將其材料選擇成使金屬薄膜藉由稍後進行的熱處理而變成氧化物，而且氧化物具有比隨後在金屬薄膜上形成並與金屬薄膜接觸的氧化物半導體層更低的電阻率。此外，根據金屬薄膜的材料或成膜條件，金屬薄膜沒有覆蓋閘極絕緣層 403 的表面，而且閘極絕緣層 403 的部分可在某些情況下曝露；舉例而言，金屬簇狀物可散佈在閘極絕緣層 403 上。同樣在金屬簇狀物散佈的情況下，只要金屬藉由稍後進行的氧化處理而變成氧化物半導體，就能提高薄膜電晶體的電場遷移率。此外，在金屬簇狀物散佈的情況下，金屬不限於上述

材料；能使用鋁、銅等。此外，可在簇狀物上形成金屬薄膜，以改善薄膜電晶體的電特性。

然後，藉由微影術，按所選擇地去除金屬膜。這裏能使用濕蝕刻或乾蝕刻。因此，在驅動器電路區中形成金屬薄膜 470。圖 1A 是此階段的截面圖。注意，當採用了微影術時，金屬薄膜曝露於空氣中，藉此可根據其材料而在該金屬薄膜的表面上形成天然氧化物膜。如果形成了天然氧化物膜，則可將它用作氧化物半導體層的一部分。

替代地，藉由採用濺射法，利用除期望區域之外的區域被覆蓋的遮光掩罩，可僅在期望區域中形成金屬薄膜。此外，藉由使用遮光掩罩的濺射方法，可在不曝露於空氣的情況下，在金屬薄膜上形成氧化物半導體層。以此方式，可保持金屬薄膜與氧化物半導體層之間的介面清潔，而且能減少光罩的數量。

然後，在金屬薄膜 470 和閘極絕緣層 403 上形成氧化物半導體層。氧化物半導體層的厚度較佳地大於金屬薄膜 470 的厚度。具體而言，氧化物半導體層的厚度大於或等於 30 nm，較佳的是 60 nm 到 150 nm（含 60 nm 和 150 nm）。在此實施例中，形成第一 In-Ga-Zn-O 為基礎的非單晶膜作為氧化物半導體層。在氬氣或氧氣氣氛中，使用具有 8 英寸直徑且包含 In（銦）、Ga（鎵）以及 Zn（鋅）（ In_2O_3 ： Ga_2O_3 ：ZnO 的莫爾比為 1：1：1）的氧化物半導體靶、在基底與靶的距離被設定成 170 mm、0.4 Pa 的氣壓下、以及直流（DC）功率源為 0.5 kW 的情況

下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。注意，較佳地使用脈衝直流（DC）功率源，從而減少灰塵並實現均勻厚度。

在以濺射法形成 In-Ga-Zn-O 為基礎的氧化物半導體層的情況下，含有 In、Ga 以及 Zn 的氧化物半導體靶可包含絕緣雜質。雜質是以氧化矽、氧化鍺、氧化鋁等為代表的絕緣氧化物等、以氮化矽、氮化鋁等為代表的絕緣氮化物等、或諸如氧氮化矽或氧氮化鋁之類的絕緣氧氮化物等。舉例而言，較佳地以 0.1%到 10%重量百分比、更較佳地以 1%到 6%重量百分比，將 SiO₂ 混入氧化物半導體靶中。

當氧化物半導體中包含絕緣雜質時，容易使氧化物半導體的膜成為非晶的。此外，在氧化物半導體膜接受熱處理的情況下，能抑制氧化物半導體膜的結晶。

除 In-Ga-Zn-O 為基礎的氧化物半導體之外，藉由含絕緣雜質的 In-Sn-Zn-O 為基礎的氧化物半導體、In-Al-Zn-O 為基礎的氧化物半導體、Sn-Ga-Zn-O 為基礎的氧化物半導體、Al-Ga-Zn-O 為基礎的氧化物半導體、Sn-Al-Zn-O 為基礎的氧化物半導體、In-Zn-O 為基礎的氧化物半導體、Sn-Zn-O 為基礎的氧化物半導體、Al-Zn-O 為基礎的氧化物半導體、In-O 為基礎的氧化物半導體、Sn-O 為基礎的氧化物半導體以及 Zn-O 為基礎的氧化物半導體能獲得類似的效果。

舉例而言，在藉由濺射法形成添加了氧化矽的 In-Sn-

Zn-O 為基礎的氧化物半導體膜的情況下，使用了以預定比例燒結的 In_2O_3 、 SnO_2 、 ZnO 以及 SiO_2 的靶。在添加了氧化矽的 In-Al-Zn-O 為基礎的氧化物半導體的情況下，使用其中以預定比例燒結 In_2O_3 、 Al_2O_3 、 ZnO 、 SiO_2 的靶形成膜。

接著，在不曝露於空氣的情況下，藉由濺射法形成電阻率低於第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜（在此實施例中為第二 In-Ga-Zn-O 為基礎的非單晶膜）。這裏，使用 In_2O_3 : Ga_2O_3 : ZnO 為 1 : 1 : 1 的靶，在壓力為 0.4 Pa、功率為 500 W、沈積溫度為室溫以及氬氣流速為 40 sccm 的條件下，執行濺射。不論是否使用 In_2O_3 : Ga_2O_3 : ZnO 為 1 : 1 : 1 的靶，在膜形成之後，可立刻形成包括大小為 1 到 10 nm 的晶粒的 In-Ga-Zn-O 為基礎的非單晶膜。注意，可以認為藉由適當調節靶中的成份比、沈積壓力（0.1 Pa 到 2.0 Pa）、功率（250 W 到 3000 W : 8 英寸 ϕ ）、溫度（室溫到 100°C）、用於沈積的反應濺射條件等，可調節晶粒的存在與否或晶粒的密度，並可將其直徑大小調節在 1 nm 到 10 nm 範圍內。第二 In-Ga-Zn-O 為基礎的非單晶膜具有 5 nm 到 20 nm 的厚度。不言而喻，當膜包括晶粒時，晶粒的大小不會超過膜的厚度。在此實施例中，第二 In-Ga-Zn-O 為基礎的非單晶膜的厚度是 5 nm。

在與形成第二 In-Ga-Zn-O 為基礎的非單晶膜的條件不同的條件下形成第一 In-Ga-Zn-O 為基礎的非單晶膜。

舉例而言，在氧氣流速與氬氣流速比高於第二 In-Ga-Zn-O 為基礎的非單晶膜的條件下的氧氣流速與氬氣流速比的條件下，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。具體而言，在稀有氣體（例如氬氣或氦氣）氣氛（或氧氣少於或等於 10%且氬氣多於或等於 90%的氣氛）中，形成第二 In-Ga-Zn-O 為基礎的非單晶膜，而在氧氣氣氛（或氧氣流速大於或等於氬氣流速的氣氛）中，形成第一 In-Ga-Zn-O 為基礎的非單晶膜。

注意，在本實施例中非限制地描述了其中設置了第二 In-Ga-Zn-O 為基礎的非單晶膜的實施例。不一定要設置第二 In-Ga-Zn-O 為基礎的非單晶膜。

濺射法的實施例包括其中將高頻功率源用作濺射功率源的 RF 濺射法、直流濺射法以及以脈衝方式施加偏壓的脈衝直流濺射法。

此外，還存在可設置不同材料的多個靶的多源濺射設備。利用多源濺射設備，可在同一腔室中沈積層疊的不同材料膜，或可在同一腔室中藉由放電而同時形成多種材料的膜。

此外，存在腔室中設置有磁鐵系統且用於磁控管濺射方法的濺射設備，且在不使用輝光放電的情況下，使用微波產生電漿的用於 ECR 濺射方法的濺射設備。

此外，作為藉由濺射法的沈積方法，也有反應濺射方法，其中，靶材和濺射氣體成份在沈積期間相互化學反應以形成它們的化合物薄膜，以及在沈積期間也對基底施加

電壓的偏壓濺射方法。

接著，執行微影步驟以形成光阻掩罩，並蝕刻第一 In-Ga-Zn-O 為基礎的非單晶膜和第二 In-Ga-Zn-O 為基礎的非單晶膜。這裏，藉由使用 ITO07N（KANTO CHEMICAL 股份有限公司的產品）的濕蝕刻，去除不必要部分，從而形成作為第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 485a 和 485b、以及作為第二 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 486a 和 486b。如果將銦膜、鋅膜或錫膜用作金屬薄膜 470，則也用 ITO07N（KANTO CHEMICAL 股份有限公司的產品）蝕刻金屬薄膜 470。在本實施例中，採用了使用銦膜的實施例；因此，金屬薄膜 470 具有與作為第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 485a 基本相同的頂部形狀。注意，此處的蝕刻不限於濕蝕刻，而可以是乾蝕刻。圖 1B 是此階段的截面圖。

在金屬薄膜 470 在上述蝕刻步驟中保留的情況下，使用在上述蝕刻步驟中使用的同一光阻掩罩和不同的蝕刻劑或不同的蝕刻氣體，使金屬薄膜 470 接受蝕刻步驟，以便按照選擇去除金屬薄膜 470。

接著，執行微影步驟以形成光阻掩罩，並藉由蝕刻去除不必要部分以形成接觸孔，接觸孔到達由與閘極電極層相同材料組成的引線或電極層。接觸孔被設置成與稍後形成的導電膜直接接觸。舉例而言，當形成閘極電極層與驅動器電路部分中的源或汲極電極層直接接觸的薄膜電晶體

時，或當形成電連接至端子部分的閘極引線的端子時，形成接觸孔。注意，這裏無特殊限制地描述了藉由微影步驟以形成用於與將稍後形成的導電膜直接連接的接觸孔的實施例。可稍後在形成與像素電極連接的接觸孔的步驟中形成到達閘極電極層的接觸孔，而且可將與像素電極相同的材料用於電連接。在將與像素電極相同的材料用於電連接的情況下，可將掩罩的數量減少一個。

然後，藉由濺射法或真空蒸發沈積法，在作為第二 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 486a 和 486b 上、以及柵絕緣層 403 上，以金屬材料形成導電膜。

作為導電膜的材料，可為從 Al、Cr、Ta、Ti、Mo 或 W 中選擇的元素、包含這些元素中的任一種的合金、包含這些元素的組合的合金膜等。此外，如果在 200℃ 到 600℃ 下執行熱處理，則導電膜較佳地具有針對這樣的熱處理的耐熱性。因為單獨使用 Al 而帶來了諸如低耐熱性和容易被腐蝕之類的缺點，所以與鋁一起組合地使用具有耐熱性的導電材料。作為要與 Al 組合使用的具有耐熱性的導電材料，可使用從鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）或釷（Sc）中選擇的元素、或包含這些元素中的任一種的合金、包含這些元素的組合的合金、或包含這些元素中的任一種的氮化物。

這裏，導電膜具有鈦膜的單層結構。替代地，該導電膜可具有鈦膜疊在鋁膜上的兩層結構。又或者，導電膜可

具有包括 Ti 膜、疊在 Ti 膜上的含 Nd 的鋁膜 (Al-Nd)、以及在這些膜上形成的 Ti 膜的三層結構。導電膜可具有含矽鋁膜的單層結構。

然後，藉由微影步驟形成光阻掩罩，並藉由蝕刻去除不必要部分。因此，在像素部分中形成源極和汲極電極層 105a 和 105b 以及作為源極區和汲極區的 n^+ 型層 104a 和 104b，而在驅動器電路部分中形成作為源極和汲極電極層的第一和第二引線 409 和 410 以及作為源極區和汲極區的 n^+ 型層 406a 和 406b。這時使用濕蝕刻或乾蝕刻作為蝕刻方法。舉例而言，當使用鋁膜或鋁合金膜作為導電膜時，可執行使用磷酸、醋酸以及硝酸的混合溶液的濕蝕刻。這裏，藉由使用氨雙氧水混合物的濕蝕刻（雙氧水與氨以及水的比例為 5：2：2），蝕刻 Ti 膜的導電膜以形成源極和汲極電極層，並蝕刻第二 In-Ga-Zn-O 為基礎的非單晶膜以形成 n^+ 型層 104a 和 104b。在此蝕刻步驟中，將氧化物半導體膜的曝露區域部分蝕刻為氧化物半導體層 103。因此， n^+ 型層 104a 和 104b 之間的氧化物半導體層 103 的通道區具有小厚度。在同一步驟中藉由使用氨雙氧水混合物蝕刻源極和汲極電極層 105a 和 105b 以及 n^+ 型層 104a 和 104b；因此，使源極和汲極電極層 105a 和 105b 的端部與 n^+ 型層 104a 和 104b 的端部對齊，從而這些端部如圖 1 所示地連續。藉由上述步驟，能在像素部分中形成包括氧化物半導體層 103 作為通道形成區的第二薄膜電晶體 170。

接著，較佳地在 200℃ 到 600℃ 下、通常在 300℃ 到

500℃ 下執行熱處理（熱處理可以是利用光的退火）。這裏，在爐中在 350℃ 下在氮氣氣氛中執行熱處理 1 小時。熱處理也可稱為將金屬薄膜 470 部分或全部氧化的氧化處理。在本實施例中，金屬薄膜 470 成為氧化銦膜、第一氧化物半導體層 471。藉由上述步驟，可在驅動器電路中製造包括第一氧化物半導體層 471 和第二氧化物半導體層 405 的疊層的第一薄膜電晶體 430。圖 1C 是此階段的截面圖。此外，藉由此熱處理，在 In-Ga-Zn-O 為基礎的非單晶膜中發生原子級的重排。要注意的是，對熱處理的定時不存在特定限制，只要在第二 In-Ga-Zn-O 為基礎的非單晶膜形成之後的任何時候進行即可，而且，舉例而言，可在像素電極形成之後執行熱處理。

注意，雖然熱處理之前的金屬薄膜 470 的厚度與熱處理之後的第一氧化物半導體層（亦即經過氧化的金屬薄膜 470）的厚度在圖 1C 中實質上相同，但第一氧化物半導體層 471 的厚度由於氧化而可大於熱處理之前的金屬薄膜的厚度。而且，由於第一氧化物半導體層 471 的厚度的增加，所以，覆蓋的第二氧化物半導體層 405 的厚度可小於熱處理之前的厚度。

接著，去除光阻掩罩，並形成保護絕緣層 412 以覆蓋第一薄膜電晶體 430 和第二薄膜電晶體 170。作為保護絕緣層 412，可使用藉由濺射法等形成的氮化矽膜、氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氧化鉬膜等等的單層或疊層。保護絕緣層 412 具有 50 nm 到

400 nm 的厚度。

接著，執行第五微影步驟以形成光阻掩罩，並蝕刻保護絕緣層 412 以形成到達源極電極層或汲極電極層 105b 的接觸孔。

然後去除光阻掩罩。然後形成導電膜，執行微影步驟以形成光阻掩罩，並蝕刻導電膜以形成電連接至源極電極層或汲極電極層 105b 的第一電極 472。然後，形成絕緣層 473，絕緣層 473 用作用於隔離相鄰像素的第一電極的隔離壁。然後，在第一電極 472 上形成包括發光層的有機化合物層 475，並在有機化合物層上形成第二電極 474。發光元件至少包括第一電極 472、包括發光層的有機化合物層 475 以及第二電極 474。圖 1D 是此階段的截面圖。

注意，本實施例在無特定限制的情況下給出了包括發光元件的發光顯示裝置的實施例。可製造液晶顯示裝置或電子紙。

藉由將包括氧化物半導體層的疊層的薄膜電晶體用於諸如液晶顯示裝置、發光顯示裝置、電子紙等等中的閘極線驅動器電路或源極線驅動器電路之類的週邊電路，可實現驅動速度的增加和功耗的降低。此外，可在不會顯著增加步驟數量的情況下，在同一基底上既設置像素部分又設置驅動器電路。藉由在同一基底上設置除像素部分之外的多種電路，能降低顯示裝置的製造成本。

（實施例 2）

在本實施例中，以下將描述使用兩個 n 通道薄膜電晶體形成的反相器電路的實施例。本反相器電路被用作驅動器電路的一部分。注意實施例 1 中的第一薄膜電晶體 430 與圖 2A 中的第一薄膜電晶體 430 相同；因此省略了詳細描述。

在本實施例中，提供了包括在具有絕緣表面的基底上的能高速工作的驅動器電路的新穎結構。此外，還提供了結構的新穎製造方法。此外，還提供了用於在一個基底上製造以氧化物半導體層的疊層用作通道形成區的第一薄膜電晶體和以氧化物半導體層的單層用作通道形成區的第二薄膜電晶體的新穎方法。

圖 2A 示出驅動器電路的反相器電路的截面結構。在圖 2A 中，在基底 400 上設置了第一閘極電極 401 和第二閘極電極 402。

此外，形成了覆蓋第一閘極電極 401 的閘極絕緣層 403 和第二閘極電極 402。在閘極絕緣層 403 上與第一閘極電極 401 交疊的位置處設置第一氧化物半導體層 471 和第二氧化物半導體 405 的疊層。在閘極絕緣層 403 上與第二閘極電極 402 交疊的位置處設置第三氧化物半導體層 451 和第四氧化物半導體 407 的疊層。

此外，在第二氧化物半導體層 405 和第四氧化物半導體層 407 上，設置第一引線 409、第二引線 410 以及第三引線 411。第二引線 410 藉由形成在閘極絕緣層 403 中的接觸孔 404 而直接連接至第二閘極電極 402。注意，對接

觸孔 404 的形成的時機並無特定限制，只要在形成閘極絕緣層 403 之後進行即可。舉例而言，可在稍後進行的氧化物半導體膜的蝕刻之後、或甚至在蝕刻之後進行的熱處理之後形成接觸孔 404。注意，在第二氧化物半導體層 405 與第一引線 409 之間設置 n^+ 型層 406a，而在第二氧化物半導體層 405 與第二引線 410 之間設置 n^+ 型層 406b。此外，在第四氧化物半導體層 407 與第二引線 410 之間設置 n^+ 型層 408a，而在第四氧化物半導體層 407 與第三引線 411 之間設置 n^+ 型層 408b。

第一薄膜電晶體 430 包括：第一閘極電極 401；與第一閘極電極 401 交疊的第一氧化物半導體層 471 和第二氧化物半導體層 405 的疊層，疊層與第一閘極電極 401 之間插入有閘極絕緣層 403；以及，第一引線 409，為處於接地電位的電源線（接地電源線）。此接地電位的電源線可以是施加了負電壓 VDL 的電源線（負電源線）。

此外，第二薄膜電晶體 431 包括：第二閘極電極 402；與第二閘極電極 402 交疊的第三氧化物半導體層 451 和第四氧化物半導體層 407 的疊層，疊層與第二閘極電極 402 之間插入有閘極絕緣層 403；以及第三引線 411，為被施加正電壓 VDD 的電源線（正電源線）。

如圖 2A 所示，電連接至第二氧化物半導體層 405 和第四氧化物半導體層 407 的第二引線 410 藉由形成在閘極絕緣層 403 中的接觸孔 404 而直接連接至第二薄膜電晶體 431 的第二閘極電極 402。藉由第二引線 410 與第二閘極

電極 402 的直接連接，能獲得良好的接觸，這能導致接觸電阻減小。與第二閘極電極 402 和第二引線 410 利用例如透明導電膜等其它導電膜而相互連接的情況相比，可實現接觸孔數量的減少和由於接觸孔數量減少而驅動器電路佔據的面積的減小。

進一步，圖 2C 是驅動器電路的反相器電路的俯視圖。在圖 2C 中，沿點劃線 Z1-Z2 所取的截面對應於圖 2A。

此外，圖 2B 示出 EDMOS 電路的等效電路。圖 2B 示出了圖 2A 和 2C 中所示的電路連接。示出了其中第一薄膜電晶體 430 是 n 通道增強型電晶體、而第二薄膜電晶體 431 是 n 通道空乏型電晶體的實施例。

雖然在圖 2A 到 2C 中描述了 EDMOS 電路的實施例，但可替代地使用 EEMOS 電路。圖 3 中示出了 EEMOS 電路的等效電路。在圖 3 中所示的等效電路中，在以下任一種情況下可形成驅動器電路：第一薄膜電晶體 460 和第二薄膜電晶體 461 都是 n 通道增強型電晶體的情況，或第一薄膜電晶體 460 是 n 通道增強型電晶體、而第二薄膜電晶體 461（亦即另一電晶體）是 n 通道空乏型電晶體的情況。

可以說較佳的是使用圖 3 中所示的電路構造，其中，將同一類型的 n 通道增強型電晶體組合用於驅動器電路。這是因為，在這樣的情況下，用於像素部分的電晶體也由與用於驅動器電路的相同類型的 n 通道增強型電晶體形

成，因而沒有增加製造步驟的數目。

此外，在實施例 1 中，顯示一實施例而無特定限制，其中，在層疊金屬薄膜和氧化物半導體層之後，將金屬薄膜氧化以形成第一氧化物半導體層和第二氧化物半導體層的疊層。舉例而言，還可採用以下製程：在整個表面上形成第一氧化物半導體層之後，用光阻覆蓋驅動電路中的第一氧化物半導體層，並將像素部分中的第一氧化物半導體層蝕刻掉；然後去除光阻；然後，在整個表面上形成第二氧化物半導體層。利用這樣的製程，能夠在同一基底上形成像素部分和驅動器電路，在像素部分設置了包括氧化物半導體層的單層的薄膜電晶體、在驅動器電路中設置了包括氧化物半導體層的疊層的薄膜電晶體。

注意可將本實施方式與實施例 1 任意地組合。

（實施例 3）

以下描述作為半導體裝置的實施例的顯示裝置。在顯示裝置中，在一個基底上形成驅動器電路的至少一部分和像素部分中的薄膜電晶體。

根據實施例 1 形成像素部分中的薄膜電晶體。薄膜電晶體是 n 通道 TFT；因此，在與像素部分中的薄膜電晶體相同基底上形成可使用 n 通道 TFT 而形成的驅動器電路的一部分。

圖 4A 示出作為半導體裝置的實施例的主動矩陣液晶顯示裝置的方塊圖的實施例。圖 4A 中所示的顯示裝置在

基底 5300 上包括：像素部分 5301，其包括分別設置有顯示元件的多個像素；選擇像素的掃描線驅動器電路 5302；以及控制輸入選定像素的視頻信號的信號線驅動器電路 5303。

實施例 1 中描述的薄膜電晶體是 n 通道 TFT。參照圖 5 描述包括 n 通道 TFT 的信號線驅動器電路。

圖 5 的信號線驅動器電路包括驅動器 IC 5601、開關組 5602_1 到 5602_M、第一引線 5611、第二引線 5612、第三引線 5613 以及引線 5621_1 到 5621_M。開關組 5602_1 到 5602_M 的每一個包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

像素部分 5301 利用從信號線驅動器電路 5303 沿行方向延伸的多條信號線 S1 到 Sm（未示出）連接至信號線驅動器電路 5303，且利用從掃描線驅動器電路 5302 沿列方向延伸的多條掃描線 G1 到 Gn（未示出）連接至掃描線驅動器電路 5302。像素部分 5301 包括排列成矩陣以便對應於信號線 S1 到 Sm 和掃描線 G1 到 Gn 的多個像素（未示出）。此外，各個像素連接至信號線 Sj（信號線 S1 到 Sm 中的任一條）和掃描線 Gi（掃描線 G1 到 Gn 中的任一條）。

驅動器 IC 5601 連接至第一引線 5611、第二引線 5612、第三引線 5613 以及引線 5621_1 到 5621_M。開關組 5602_1 到 5602_M 中的每一個連接至第一引線 5611、第二引線 5612 以及第三引線 5613。此外，開關組 5602_1

到 5602_M 分別連接至引線 5621_1 到 5621_M。引線 5621_1 到 5621_M 中的每一條藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c 連接至三條信號線。舉例而言，第 J 行的引線 5621_J（引線 5621_1 到 5621_M 中的一條）分別經由開關組 5602_J 中的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c 而連接至信號線 S_{j-1}、信號線 S_j 以及信號線 S_{j+1}。

注意，信號被輸入至第一引線 5611、第二引線 5612 以及第三引線 5613 中的每一條引線。

注意，較佳地，在單晶半導體基底上形成驅動器 IC 5601。此外，較佳地，在與像素部分相同的基底上形成開關組 5602_1 到 5602_M。因此，較佳地，經由 FPC 等，將驅動器 IC 5601 連接至開關組 5602_1 到 5602_M。

接著，參照圖 6 中的時序圖，描述圖 5 的信號線驅動器電路的操作。圖 6 示出選擇第 i 列中的掃描線 G_i 的時序圖。第 i 列中的掃描線 G_i 的選擇週期被分成第一子選擇週期 T₁、第二子選擇週期 T₂ 以及第三子選擇週期 T₃。此外，當選擇了另一列中的掃描線時，圖 5 的掃描線驅動器電路如圖 6 所示地工作。

注意，圖 6 的時序圖示出第 J 列中的引線 5621_J 分別經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c 而連接至信號線 S_{j-1}、信號線 S_j 以及信號線 S_{j+1} 的情況。

圖 6 的時序圖示出選擇了第 i 列中的掃描線 G_i 的時序、第一薄膜電晶體 5603a 導通／截止的時序 5703a、第二薄膜電晶體 5603b 導通／截止的時序 5703b、第三薄膜電晶體 5603c 導通／截止的時序 5703c 以及輸入至第 J 行中的引線 5621 $_J$ 的信號 5721 $_J$ 。

在第一子選擇週期 T_1 、第二子選擇週期 T_2 以及第三子選擇週期 T_3 中，將不同的視頻信號輸入引線 5621 $_1$ 到 5621 $_M$ 。舉例而言，在第一子選擇週期 T_1 中輸入至引線 5621 $_J$ 的視頻信號被輸入至信號線 S_{j-1} ，在第二子選擇週期 T_2 中輸入至引線 5621 $_J$ 的視頻信號被輸入至信號線 S_j ，以及在第三子選擇週期 T_3 中輸入至引線 5621 $_J$ 的視頻信號被輸入至信號線 S_{j+1} 。以資料 $_j-1$ 、資料 $_j$ 以及資料 $_j+1$ 分別表示在第一子選擇週期 T_1 中、第二子選擇週期 T_2 中以及第三子選擇週期 T_3 中輸入至引線 5621 $_J$ 的視頻信號。

如圖 6 所示，在第一子選擇週期 T_1 中，第一薄膜電晶體 5603a 導通，而第二薄膜電晶體 5603b 和第三薄膜電晶體 5603c 截止。此時，輸入至引線 5621 $_J$ 的資料 $_j-1$ 經由第一薄膜電晶體 5603a 而輸入至信號線 S_{j-1} 。在第二子選擇週期 T_2 中，第二薄膜電晶體 5603b 導通，而第一薄膜電晶體 5603a 和第三薄膜電晶體 5603c 截止。此時，將輸入至引線 5621 $_J$ 的資料 $_j$ 經由第二薄膜電晶體 5603b 而輸入至信號線 S_j 。在第三子選擇週期 T_3 中，第三薄膜電晶體 5603c 導通，而第一薄膜電晶體 5603a 和第

二薄膜電晶體 5603b 截止。此時，輸入至引線 5621_J 的資料 $_j+1$ 經由第三薄膜電晶體 5603c 輸入至信號線 S_{j+1} 。

如上所述，在圖 5 的信號線驅動器電路中，將一個閘極選擇週期分成三個；因此，可在一個閘極選擇週期中，將視頻信號從一條引線 5621 輸入到三條信號線中。因此，在圖 5 中的信號線驅動器電路中，在設置有驅動器 IC 5601 的基底與設置有像素部分的基底之間的連接的數量可以是信號線數量的約 $1/3$ 。當將連接數量減少到信號線數量的約 $1/3$ 時，能提高圖 5 中的信號線驅動器電路的可靠性、生產率等。

要注意的是，對薄膜電晶體的配置、數量、驅動方法等並無特定限制，只要將一個閘極選擇週期分成多個子選擇週期，並如圖 5 所示地在對應的子選擇週期中將視頻信號從一條引線輸入至多條信號線即可。

舉例而言，當在對應的子選擇週期中，將視頻信號從一條引線輸入到三條或更多條信號線時，只需要添加一個薄膜電晶體和用於控制薄膜電晶體的一條引線。要注意的是，當將一個閘極選擇週期分成四個或多個子選擇週期時，每個子選擇週期變短。因此，較佳地將一個閘極選擇週期分成兩個或三個子選擇週期。

作為另一實施例，如圖 7 的時序圖所示，可將一個選擇週期分成預充電週期 T_p 、第一子選擇週期 T_1 、第二子選擇週期 T_2 以及第三子選擇週期 T_3 。圖 7 的時序圖示出

選擇了第 i 列中的掃描線 G_i 的時序、第一薄膜電晶體 5603a 導通／截止的時序 5803a、第二薄膜電晶體 5603b 導通／截止的時序 5803b、第三薄膜電晶體 5603c 導通／截止的時序 5803c、以及輸入至第 J 行中的引線 5621_J 的信號 5821_J。如圖 7 所示，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c 在預充電週期 T_p 中導通。此時，將輸入至引線 5621_J 的預充電電壓 V_p 分別經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c 而輸入至信號線 S_{j-1} 、信號線 S_j 以及信號線 S_{j+1} 。在第一子選擇週期 T_1 中，第一薄膜電晶體 5603a 導通，而第二薄膜電晶體 5603b 和第三薄膜電晶體 5603c 截止。此時，將輸入至引線 5621_J 的資料 $_j-1$ 經由第一薄膜電晶體 5603a 輸入至信號線 S_{j-1} 。在第二子選擇週期 T_2 中，第二薄膜電晶體 5603b 導通，而第一薄膜電晶體 5603a 和第三薄膜電晶體 5603c 截止。此時，將輸入至引線 5621_J 的資料 $_j$ 經由第二薄膜電晶體 5603b 輸入至信號線 S_j 。在第三子選擇週期 T_3 中，第三薄膜電晶體 5603c 導通，而第一薄膜電晶體 5603a 和第二薄膜電晶體 5603b 截止。此時，將輸入至引線 5621_J 的資料 $_j+1$ 經由第三薄膜電晶體 5603c 輸入至信號線 S_{j+1} 。

如上所述，在應用圖 7 的時序圖的圖 5 的信號線驅動器電路中，可藉由在子選擇週期之前提供預充電週期以對信號線預充電。因此，可將視頻信號高速地寫入像素。注

意，以相同的代號表示圖 7 中類似於圖 6 的部分，而且省略相同部分或具有相似功能的部分的詳細描述。

接著，描述掃描線驅動器電路的構成。掃描線驅動器電路包括移位暫存器和緩衝器。在某些情況下，掃描線驅動器電路還可包括位準移動器。在掃描線驅動器電路中，當將時脈信號（CLK）和起動脈衝信號（SP）輸入至移位暫存器時，產生選擇信號。所產生的選擇信號被緩衝器緩衝和放大，而所得的信號被提供給對應的掃描線。一條線中的像素中的電晶體的閘極電極連接至掃描線。此外，因為必須使一條線的像素中的電晶體同時立即導通，所以使用了能饋送大電流的緩衝器。

參照圖 8 和圖 9 描述用作掃描線驅動器電路的一部分的移位暫存器的實施例。

圖 8 示出移位暫存器的電路構造。圖 8 中所示的移位暫存器包括多個正反器：正反器 5701_1 到 5701_n。藉由輸入第一時脈信號、第二時脈信號、起動脈衝信號以及重置信號，以操作移位暫存器。

描述圖 8 的移位暫存器的連接關係。在圖 8 的移位暫存器中的第 i 級的正反器 5701_i（正反器 5701_1 到 5701_n 中的一個）中，圖 9 中所示的第一引線 5501 連接至第七引線 5717_{i-1}，圖 9 中所示的第二引線 5502 連接至第七引線 5717_{i+1}，圖 9 中所示的第三引線 5503 連接至第七引線 5717_i，以及圖 9 中所示的第六引線 5506 連接至第五引線 5715。

此外，圖 9 中所示的第四引線 5504 連接至奇數級的正反器中的第二引線 5712，且連接至偶數級的正反器中的第三引線 5713。圖 9 中所示的第五引線 5505 連接至第四引線 5714。

注意，圖 9 中所示的第一級的正反器 5701_1 的第一引線 5501 連接至第一引線 5711，而圖 9 中所示的第 n 級正反器 5701_ n 的第二引線 5502 連接至第六引線 5716。

注意，第一引線 5711、第二引線 5712、第三引線 5713 以及第六引線 5716 可分別稱為第一信號線、第二信號線、第三信號線以及第四信號線。第四引線 5714 和第五引線 5715 可分別稱為第一電源線和第二電源線。

圖 9 示出圖 8 中所示正反器的細節。圖 9 中所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。注意第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 中的每一個均為 n 通道電晶體，而且在閘極－源極電壓 (V_{gs}) 超過閾值電壓 (V_{th}) 時導通。

在圖 9 中，第三薄膜電晶體 5573 的閘極電極電連接至電源線。此外，可以說第三薄膜電晶體 5573 連接至第四薄膜電晶體 5574 的電路（圖 9 中的虛線包圍的電路）

對應於具有圖 2A 中所示結構的電路。雖然這裏描述了所有薄膜電晶體都是 n 通道增強型電晶體的實施例，但並不特定限於此實施例。舉例而言，甚至可將 n 通道空乏型電晶體用作第三薄膜電晶體 5573 來驅動驅動器電路。

現在，於下述中描述圖 9 中所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極或汲極電極之一）連接至第四引線 5504，而第一薄膜電晶體 5571 的第二電極（源極電極或汲極電極中的另一個）連接至第三引線 5503。

第二薄膜電晶體 5572 的第一電極連接至第六引線 5506。第二薄膜電晶體 5572 的第二電極連接至第三引線 5503。

第三薄膜電晶體 5573 的第一電極連接至第五引線 5505。第三薄膜電晶體 5573 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第三薄膜電晶體 5573 的閘極電極連接至第五引線 5505。

第四薄膜電晶體 5574 的第一電極連接至第六引線 5506。第四薄膜電晶體 5574 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第四薄膜電晶體 5574 的閘極電極連接至第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接至第五引線 5505。第五薄膜電晶體 5575 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第五薄膜電晶體 5575 的閘極電極

極連接至第一引線 5501。

第六薄膜電晶體 5576 的第一電極連接至第六引線 5506。第六薄膜電晶體 5576 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第六薄膜電晶體 5576 的閘極電極連接至第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接至第六引線 5506。第七薄膜電晶體 5577 的第二電極連接至第一薄膜電晶體 5571 的閘極電極。第七薄膜電晶體 5577 的閘極電極連接至第二引線 5502。第八薄膜電晶體 5578 的第一電極連接至第六引線 5506。第八薄膜電晶體 5578 的第二電極連接至第二薄膜電晶體 5572 的閘極電極。第八薄膜電晶體 5578 的閘極電極連接至第一引線 5501。

注意，第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極所連接的點被稱為節點 5543。第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極以及第八薄膜電晶體 5578 的第二電極所連接的點被稱為節點 5544。

第一引線 5501、第二引線 5502、第三引線 5503 以及第四引線 5504 可分別稱為第一信號線、第二信號線、第三信號線以及第四信號線。第五引線 5505 和第六引線 5506 可分別稱為第一電源線和第二電源線。

此外，可僅使用實施例 2 中描述的 n 通道 TFT 以形成信號線驅動器電路和掃描線驅動器電路。實施例 2 中所描述的 n 通道 TFT 具有高遷移率，從而可提高驅動器電路的驅動頻率。舉例而言，使用實施例 2 中所描述的 n 通道 TFT 的掃描線驅動器電路可高速地工作，從而可提高格頻率並實現黑色插入（black insertion）。

此外，舉例而言，當提高了掃描線驅動器電路中的電晶體通道寬度或設置了多個掃描線驅動器電路時，可實現更高的格頻率。當設置了多個掃描線驅動器電路時，將用於驅動偶數掃描線的掃描線驅動器電路設置在一側，而將用於驅動奇數行掃描線的掃描線驅動器電路設置在另一側；因此，可實現格頻率的提高。此外，使用多個掃描線驅動器電路以將信號輸出至同一掃描線，對於增大顯示裝置的尺寸是有利的。

在製造作為半導體裝置的實施例的主動矩陣發光顯示裝置的情況下，因為在至少一個像素中設置多個薄膜電晶體，所以較佳地設置多個掃描線驅動器電路。圖 4B 中示出了主動矩陣發光顯示裝置的方塊圖的實施例。

圖 4B 中所示的發光顯示裝置在基底 5400 上包括：包括分別設置有顯示元件的多個像素的像素部分 5401；選擇像素的第一掃描線驅動器電路 5402 和第二掃描線驅動器電路 5404；以及控制輸入選定像素的視頻信號的信號線驅動器電路 5403。

在向圖 4B 的發光顯示裝置的像素輸入數位視頻信號

的情況下，藉由開/關電晶體以將像素置於發光狀態或不發光狀態。因此，可使用面積比例灰度法或時間比例灰度法顯示灰度。面積比例灰度法指的是藉由將一個像素分成多個子像素並基於視頻信號而獨立地驅動各個子像素，從而顯示灰度的驅動方法。此外，時間比例灰度法指的是藉由控制像素發射光的週期以顯示灰度的驅動方法。

因為發光元件的響應時間比液晶元件等的響應時間快，所以發光元件適合於時間比例灰度法。具體而言，在藉由時間灰度方法顯示的情況下，將一個格週期分成多個子幀週期。接著，根據視頻信號，在各個子格週期中使像素中的發光元件處於發光狀態或不發光狀態。藉由將一個格週期分成多個子格週期，可利用視頻信號以控制像素在一個格週期中實際發光的總時間長度，從而顯示灰度。

注意，在圖 4B 的發光顯示裝置的實施例中，在一個像素包括兩個開關 TFT 的情況下，輸入至第一掃描線（亦即，開關 TFT 之一的閘極引線）的信號在第一掃描線驅動器電路 5402 中產生，而輸入至第二掃描線（亦即，另一開關 TFT 的閘極引線）的信號在第二掃描線驅動器電路 5404 中產生。不過，輸入至第一掃描線和第二掃描線的信號都可在一個掃描線驅動器電路中產生。此外，舉例而言，根據一個像素中所包括的開關 TFT 的數量，能夠在每個像素中設置用於控制開關元件的操作的多條掃描線。在此情況下，輸入至掃描線的信號均可在一個掃描線驅動器電路中產生，或在多個掃描線驅動器電路中

產生。

也在發光顯示裝置中，將利用 n 通道 TFT 形成的驅動器電路的一部分與像素部分的薄膜電晶體一起設置在一個基底上。此外，可僅使用實施例 2 中描述的 n 通道 TFT 以製造信號線驅動器電路和掃描線驅動器電路。

上述驅動器電路不僅可用於液晶顯示裝置或發光顯示裝置，還可用於經由使用電連接至開關元件的元件以驅動電子墨水的電子紙。電子紙也被稱為電泳顯示裝置（電泳顯示器），而且其優點在於它具有與普通紙張一樣的可閱讀性，它具有比其他顯示裝置更低的功耗，而且它可被製造得薄和輕。

有多種模式的電泳顯示器。在電泳顯示器中，分別包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊散佈在溶劑或溶液中，而且將電場施加給這些微膠囊，從而微膠囊中的粒子以彼此相反的方向移動，從而僅顯示聚集在一側的粒子的顏色。注意，第一粒子或第二粒子包括染色劑，而且當沒有電場時它們不移動。此外，第一粒子的顏色不同於第二粒子的顏色（這些粒子也可以是無色的）。

因此，電泳顯示器利用了所謂的介電電泳效應，其中具有高介電常數的物質向具有高電場的區域運動。電泳顯示器不需要液晶顯示器所必需的極化板和對立基底，因此它的厚度和重量約為液晶顯示器的一半。

在溶劑中散佈的上述微膠囊所處於的溶液被稱為電子

墨水。可將此電子墨水印刷在玻璃、塑膠、布料、紙張等的表面上。利用濾色器或包括著色物質的粒子，可以實現彩色顯示。

此外，藉由在主動矩陣基底上適當地設置多個微膠囊以插入兩個電極之間，可完成主動矩陣顯示裝置，而且藉由對微膠囊施加電場，能實現顯示。舉例而言，可使用利用實施例 1 到 2 中所描述的薄膜電晶體所獲得的主動矩陣基底。

注意，微膠囊中的第一粒子和第二粒子可分別由導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、以及磁泳材料中的任一種材料形成，或由這些材料的複合材料形成。

經由上述製程，可製造高度可靠的顯示裝置以作為半導體裝置。

本實施可與其他實施例中描述的任一結構適當的組合實施。

（實施例 4）

本實施例描述作為半導體裝置的發光顯示裝置的實施例。作為顯示裝置的顯示元件，這裏描述了利用電致發光的發光元件。利用電致發光的發光元件是根據發光材料是有機化合物還是無機化合物來分類的。前者稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子

和電洞分別從一對電極注入包含發光有機化合物的層中，從而電流流動。然後那些載子（電子和電洞）複合，從而激發發光有機化合物。當發光有機化合物從激發態返回基態時，發射光。由於這種機制，這種發光元件被稱為電流激發發光元件。

根據無機 EL 元件的元件結構而將它們分類為散射型無機 EL 元件和薄膜型無機 EL 元件。散射型無機 EL 元件具有發光材料的粒子散佈在黏合劑中的發光層，而且其發光機制是利用施子能階和受子能階的施子－受子複合型發光。薄膜型無機 EL 元件具有發光層被夾在介電層之間、而介電層又進一步夾在電極之間的結構，其發光機制是利用金屬離子的內層電子躍遷的局部型發光。注意，這裏使用有機 EL 元件作為發光元件來說明。

圖 10 示出可應用數位時間灰度驅動的像素結構之實施例，其作為半導體裝置的實施例。

以下描述可應用數位時間灰度驅動的像素的結構和操作。在本實施例中，一個像素包括通道形成區中有氧化物半導體層（通常為 In-Ga-Zn-O 為基礎的非單晶膜）的兩個 n 通道電晶體。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 以及電容器 6403。開關電晶體 6401 的閘極連接至掃描線 6406，開關電晶體 6401 的第一電極（源極電極和汲極電極中的一個）連接至信號線 6405，而開關電晶體 6401 的第二電極（源極電極和汲極電極中的另

一個) 連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極藉由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，以及驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極(像素電極)。發光元件 6404 的第二電極對應於公共電極 6408。公共電極 6408 電連接至設置在同一基底上的公共電位線，而且可將連接部分用作公共連接部分。

注意，發光元件 6404 的第二電極(公共電極 6408)被設置為低電源電位。當設置給電源線 6407 的高電源電位是基準時，低電源電位是低於該高電源電位的電位。舉例而言，可採用 GND、0V 等作為低電源電位。為了藉由對發光元件 6404 施加高電源電位與低電源電位之間的電位差，以使電流流過發光元件 6404 而導致發光元件 6404 發光，要將各個電位設置成使高電源電位與低電源電位之間的電位差高於或等於發光元件 6404 的正向閾值電壓。

驅動電晶體 6402 的閘極電容可用作電容器 6403 的替代物，因此可省去電容器 6403。可在通道區與閘極電極之間形成驅動電晶體 6402 的閘極電容。

在電壓-輸入電壓驅動方法的情況下，將視頻信號輸入至驅動電晶體 6402 的閘極，以使驅動電晶體 6402 完全導通或完全截止。亦即，驅動電晶體 6402 在線性區中工作。因為驅動電晶體 6402 在線性區中工作，所以高於電源線 6407 電壓的電壓被施加給驅動電晶體 6402 的閘極。注意，大於或等於驅動電晶體 6402 的電源線電壓與電壓

V_{th} 之和的電壓被施加給信號線 6405。

在執行類比灰度驅動法以代替數位時間灰度法的情況下，藉由改變信號輸入，可使用同於圖 10 中所示的像素結構。

在執行類比灰度驅動的情況下，將高於或等於發光元件 6404 的正向電壓與驅動電晶體 6402 的 V_{th} 之和的電壓施加給驅動電晶體 6402 的閘極。發光元件 6404 的正向電壓指的是獲得期望照度的電壓，且包括至少正向閾值電壓。藉由輸入視頻信號以使驅動電晶體 6402 能在飽和區中工作，電流可流過發光元件 6404。為了使驅動電晶體 6402 能工作於飽和區，將電源線 6407 的電位設置成高於驅動電晶體 6402 的閘極電位。當使用了類比視頻信號時，可根據視頻信號，將電流饋送至發光元件 6404，而且能執行類比灰度驅動。

注意，圖 10 中所示的像素結構不限於此。舉例而言，可向圖 10 中的像素添加開關、電阻器、電容器、電晶體、邏輯電路等。

接著，參照圖 11A 到 11C，描述發光元件的結構。這裏將以 n 通道驅動 TFT 為例來描述像素的截面結構。藉由類似於用於形成實施例 1 中所描述的第二薄膜電晶體 170 的方法，可形成用於圖 11A 到 11C 所示的半導體裝置的驅動 TFT 的 TFT 7001、7011 以及 7021。TFT 7001、7011 以及 7021 分別包括氧化物半導體膜作為半導體層。

為取出從發光元件發出的光，需要陽極或陰極中的至

少一個為透明。在基底上形成薄膜電晶體和發光元件。發光元件可具有藉由與基底相對的表面取出光的頂部發光結構、藉由基底的表面取出光的底部發光結構、或通過與基底相對的表面和基底的表面取出光的雙發光結構。可將像素結構應用於具有這些發光結構中的任一結構的發光元件。

參照圖 11A，描述具有頂部發光結構的發光元件。

圖 11A 是作為驅動 TFT 的驅動 TFT 7001 為 n 通道 TFT 而且發光元件 7002 中產生的光通過陽極 7005 發射的情況下的像素的截面圖。TFT 7001 包括添加了氧化矽的 In-Sn-Zn-O 為基礎的氧化物半導體作為其半導體層。如果 In-Sn-Zn-O 為基礎的氧化物半導體包含諸如氧化矽之類的雜質，所以即使 In-Sn-Zn-O 為基礎的氧化物半導體在 300℃ 到 600℃ 下接受熱處理，也能防止 In-Sn-Zn-O 為基礎的氧化物半導體的結晶或微晶粒的產生。在圖 11A 中，發光元件 7002 的陰極 7003 電連接至自作為驅動 TFT 的 TFT 7001，而發光層 7004 和陽極 7005 以此順序層疊在陰極 7003 上。可使用具有低功函數的任一種導電材料和反射光的膜形成陰極 7003。舉例而言，較佳地使用 Ca、Al、CaF、MgAg、AlLi 等。可使用單個層或層疊多個層以形成發光層 7004。當使用多層形成發光層 7004 時，按照以下順序在陰極 7003 上層疊電子注入層、電子輸運層、發光層、電洞輸運層以及電洞注入層而形成發光層 7004。不一定要形成所有這些層。陽極 7005 由諸如包含氧化鎢

的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化錫銦（下文稱為 ITO）、氧化鋅銦或添加了氧化矽的氧化錫銦之類的透光導電材料製成。

發光元件 7002 對應於陰極 7003 與陽極 7005 夾著發光層 7004 的區域。在圖 11A 中所示的像素中，如箭頭所示，光從發光元件 7002 發射至陽極 7005。

接著，參照圖 11B，描述具有底部發光結構的發光元件。圖 11B 是驅動 TFT 7011 為 n 型 TFT、而且發光元件 7012 中產生的光通過陰極 7013 發射的情況下的像素的截面圖。TFT 7001 包括其中添加了氧化矽的 In-Al-Zn-O 為基礎的氧化物半導體作為其半導體層。如果 In-Al-Zn-O 為基礎的氧化物半導體包含諸如氧化矽之類的雜質，則即使該 In-Al-Zn-O 為基礎的氧化物半導體在 300℃ 到 600℃ 下接受熱處理，也能防止該 In-Al-Zn-O 為基礎的氧化物半導體的結晶或微晶粒的產生。在圖 11B 中，在電連接至驅動 TFT 7011 的具有透光性質的導電膜 7017 上形成發光元件 7012 的陰極 7013，並按順序將發光層 7014 和陽極 7015 層疊在陰極 7013 上。注意，當陽極 7015 具有透光性質時，可形成用於反射和阻擋光的擋光膜 7016 來覆蓋陽極 7015。對於陰極 7013，與圖 11A 的情況一樣，可使用具有低功函數的任一種導電材料。注意，陰極 7013 被形成為具有能透光的厚度（較佳地約 5 nm 到 30 nm）。舉例而言，可將具有 20 nm 厚度的鋁膜用作陰極 7013。

發光層 7014 可由單層組成，或如圖 11A 的情況一樣藉由層疊多個層形成發光層 7014。不需要陽極 7015 透光，但可使用如圖 11A 的情況一樣的透光導電材料形成陽極 7015。作為擋光膜 7016，可使用反射光的金屬等；不過它不限於金屬膜。舉例而言，可使用添加了黑色素的樹脂等。

發光元件 7012 對應於陰極 7013 與陽極 7015 夾著發光層 7014 的區域。在圖 11B 中所示的像素中，如箭頭所示，光從發光元件 7012 發射至陽極 7013。

接著，參考圖 11C 描述具有雙發光結構的發光元件。在圖 11C 中，在電連接至驅動 TFT 7021 的具有透光性質的導電膜 7027 上形成發光元件 7022 的陰極 7023，並按順序將發光層 7024 和陽極 7025 層疊在陰極 7023 上。TFT 7001 包括添加了氧化矽的 Sn-Al-Zn-O 為基礎的氧化物半導體作為其半導體層。如果 Sn-Al-Zn-O 為基礎的氧化物半導體包含諸如氧化矽之類的雜質，則即使 Sn-Al-Zn-O 為基礎的氧化物半導體在 300°C 到 600°C 下接受熱處理，也能防止 Sn-Al-Zn-O 為基礎的氧化物半導體的結晶或微晶粒的產生。像圖 11A 的情況一樣，可使用具有低功函數的任一種導電材料形成陰極 7023。注意，將陰極 7023 形成為具有能透射光的厚度。舉例而言，可將具有 20 nm 厚度的 Al 膜可用作陰極 7023。可使用單層或如圖 11A 的情況一樣藉由層疊多個層來形成發光層 7024。以與圖 11A 相似的方式，可使用透光導電材料形成陽極

7025。

發光元件 7022 對應於陰極 7023、發光層 7024 以及陽極 7025 彼此交疊的區域。在圖 11C 中所示的像素中，如箭頭所示，光從發光元件 7022 發射通過陽極 7025 和陰極 7023。

雖然這裏描述了有機 EL 元件作為發光元件，但還可提供無機 EL 元件作為發光元件。

注意，本實施例描述了控制發光元件的驅動的薄膜電晶體（驅動 TFT）電連接至發光元件的實施例；不過，可採用電流控制 TFT 連接在驅動 TFT 與發光元件之間的結構。

接著，將參照圖 12A 和 12B 描述作為半導體裝置的一個模式的發光顯示面板（也稱為發光面板）的外觀和截面。圖 12A 是使用密封劑以將第一基底上的發光元件和薄膜電晶體密封在第一基底與第二基底之間的面板的俯視圖。圖 12B 是沿圖 12A 的 H-I 的截面圖。

密封劑 4505 被設置成包圍設置在第一基底 4501 上的像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b。此外，將第二基底 4506 設置在像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 上。因此，藉由第一基底 4501、密封劑 4505 以及第二基底 4506，將像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 連同填充物 4507 密封

到一起。以此方式，較佳地用保護膜（諸如黏接膜或紫外光可固化樹脂膜）或具有高氣密性和幾乎無除氣的覆蓋材料以封裝（密封）發光顯示面板，從而使至少像素部分 4502 不曝露於外部空氣中。

在第一基底 4501 上形成的像素部分 4502、信號線驅動器電路 4503a 和 4503b 以及掃描線驅動器電路 4504a 和 4504b 分別包括多個薄膜電晶體。在圖 12B 中示出像素部分 4502 中包括的薄膜電晶體 4510 和信號線驅動器電路 4503a 中包括的薄膜電晶體 4509 作為實施例。

作為薄膜電晶體 4509，採用了實施例 1 中所描述的包括氧化物半導體層的疊層作為其半導體層的第一薄膜電晶體。作為薄膜電晶體 4510，採用了實施例 1 中所描述的包括 In-Ga-Zn-O 為基礎的非單晶膜的單層的第二薄膜電晶體。在本實施例中，薄膜電晶體 4509 和 4510 是 n 通道薄膜電晶體。

此外，代號 4511 表示發光元件。包括在發光元件 4511 中的作為像素電極的第一電極層 4517 電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意，雖然發光元件 4511 在本實施例中具有第一電極層 4517、電致發光層 4512 以及第二電極層 4513 的層疊結構，但發光元件 4511 的結構不限於此。可根據從發光元件 4511 取出光的方向等而適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷，形成隔離壁 4520。尤其較佳地使用光敏材料以製成隔離壁

4520，且使其在第一電極層 4517 上具有開口部分，以將開口部分的側壁形成爲具有連續彎曲的斜面。

可使用單層或層疊的多個層以形成電致發光層 4512。

爲阻止氧氣、氫氣、水汽、二氧化碳等進入發光元件 4511，可在第二電極層 4513 和隔離壁 4520 上形成保護膜。作爲保護膜，可形成氮化矽膜、氮氧化矽膜、DLC 膜等。

此外，從 FPC 4518a 和 4518b，將多個信號和電壓提供給信號線驅動器電路 4503a 和 4503b、掃描線驅動器電路 4504a 和 4504b 或像素部分 4502。

在本實施例中，使用與發光元件 4511 中所包括的第一電極層 4517 相同的導電膜形成連接端子電極 4515。使用與薄膜電晶體 4509 和 4510 中所包括的源極電極層和汲極電極層相同的導電膜形成端子電極 4516。

連接端子電極 4515 藉由各向異性導電膜 4519 而電連接至 FPC 4518a 中所包括的端子。

位於從發光元件 4511 取出光的方向的第二基底需要具有透光性質。在此情況下，使用諸如玻璃板、塑膠板、聚酯膜或丙烯酸膜之類的透光材料。

作爲填充物 4507，可使用紫外光可固化樹脂或熱固性樹脂以及諸如氮氣或氫氣之類的惰性氣體。舉例而言，可使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、聚乙烯醇縮丁醛（PVB）或乙烯乙酸乙烯

酯（EVA）。在本實施例中，使用氮氣作為填充物。

此外，在需要時，可在發光元件的發光表面上適當地設置諸如極化板、圓形極化板（包括橢圓極化板）、阻滯板（四分之一波板或半波板）以及濾色器等光學膜。此外，極化板或圓形極化板可設置有抗反射膜。舉例而言，可執行抗眩光處理，藉由此處理，反射光能由表面上的凸起和凹陷漫射，而減少眩光。

作為信號線驅動器電路 4503a 和 4503b 和掃描線驅動器電路 4504a 和 4504b，可在單獨製備的基底上安裝利用單晶半導體膜或多晶半導體膜形成的驅動器電路。此外，可單獨形成然後安裝信號線驅動器電路及其部分或掃描線驅動器電路及其部分。本實施例不限於圖 12A 和 12B 中所示的結構。

藉由上述製程，可製造高度可靠的發光顯示裝置（顯示面板），以作為半導體裝置。

本實施例可與其他實施例中描述的任一結構適當的組合實施。

（實施例 5）

在本實施例中，參照圖 13A 到 13C，描述了金屬薄膜的上表面的面積不同於實施例 1 中的面積的實施例；換言之，金屬薄膜的端部遠離第二氧化物半導體層的端部。注意，除金屬薄膜的形狀之外，本實施例與圖 1A 到 1C 中的實施例相同，而且相同的代號表示相同的部分。

首先，與實施例 1 中一樣，在具有絕緣表面的基底 400 上設置第一閘極電極 401 和第二閘極電極 101。注意，在形成第一閘極電極 401 和第二閘極電極 101 時，也形成像素部分中的電容器引線 108 和端子部分中的第一端子 121。

然後，形成覆蓋第一閘極電極 401 和第二閘極電極 101 的閘極絕緣層 403。

然後，在閘極絕緣層 403 上形成銦、鋅、錫、鉬、鎢等的金屬薄膜。替代地，可形成那些元素中的任一元素的合金薄膜或疊層膜。藉由濺射法、真空汽相沈積法或塗覆法，形成金屬薄膜。這裏，以濺射法形成厚度為大於 0 nm 且小於或等於 10 nm（較佳地為 3 nm 到 5 nm（含 3 nm 和 5 nm））的鋅膜。

然後，通過微影術按選擇地去除金屬膜。在此蝕刻步驟中，形成金屬薄膜 490，使其面積小於稍後將形成的氧化物半導體層的圖案化形狀的面積。注意，在與第一閘極電極 401 部分交疊的位置形成金屬薄膜 490，在金屬薄膜 490 與閘極絕緣層 403 之間插入有閘極絕緣層 403。當按照這種方式形成金屬薄膜 490 時，金屬薄膜 490 的側表面被氧化物半導體層覆蓋。因此，即使後續的熱處理未將金屬薄膜充分氧化，也能防止第一引線 409 與第二引線 410 之間因金屬薄膜短路。

然後，形成氧化物半導體層以覆蓋金屬薄膜 490 的上表面和側表面。在本實施例中，以濺射法形成第一 In-Ga-

Zn-O 為基礎的非單晶膜作為氧化物半導體層。

在以濺射法形成 In-Ga-Zn-O 為基礎的氧化物半導體層的情況下，含 In、Ga 以及 Zn 的氧化物半導體靶可包含絕緣雜質。雜質是以氧化矽、氧化鎳、氧化鋁等為代表的絕緣氧化物等、以氮化矽、氮化鋁等為代表的絕緣氮化物等、或諸如氧氮化矽或氧氮化鋁之類的絕緣氧氮化物等。舉例而言，較佳地以 0.1%到 10%重量百分比（含 0.1%和 10%）、更較佳地以 1%到 6%（含 1%和 6%）重量百分比，將 SiO₂ 混入氧化物半導體靶中。

接著，在不曝露於空氣的情況下，藉由濺射法形成電阻率低於第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜（在本實施例中為第二 In-Ga-Zn-O 為基礎的非單晶膜）。

接著，執行微影步驟以形成光阻掩罩，並蝕刻第一 In-Ga-Zn-O 為基礎的非單晶膜和第二 In-Ga-Zn-O 為基礎的非單晶膜。以蝕刻去除不必要的部分，從而形成作為第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 485a 和 485b、以及作為第二 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 486a 和 486b。圖 13A 是此階段的截面圖。如圖 13A 所示，作為第一 In-Ga-Zn-O 為基礎的非單晶膜的氧化物半導體膜 485a 覆蓋金屬薄膜 490 的上表面和側表面，因而不曝露金屬薄膜 490。

注意，在本實施例中非限制性地描述了設置了第二 In-Ga-Zn-O 為基礎的非單晶膜的實施例。不一定要設置第

二 In-Ga-Zn-O 爲基礎的非單晶膜。

接著，執行微影步驟以形成光阻掩罩，並以蝕刻去除不必要部分以形成接觸孔，接觸孔到達由與閘極電極層相同材料形成的引線或電極層。接觸孔被設置成與稍後形成的導電膜直接接觸。舉例而言，當在驅動器電路部分中形成閘極電極層與源極或汲極電極層直接接觸的薄膜電晶體時，或當形成電連接至端子部分的閘極引線的端子時，形成接觸孔。

然後，以濺射法，在作爲第二 In-Ga-Zn-O 爲基礎的非單晶膜的氧化物半導體膜 486a 和 486b 上、以及閘極絕緣層 403 上，以金屬材料形成導電膜。

然後，藉由微影步驟，形成光阻掩罩，並以蝕刻去除不必要部分。因此，在像素部分中形成源極和汲極電極層 105a 和 105b 以及作爲源極區和汲極區的 n^+ 型層 104a 和 104b，而在驅動器電路部分中形成作爲源極和汲極電極層的第一和第二引線 409 和 410 以及作爲源極區和汲極區的 n^+ 型層 406a 和 406b。在此蝕刻步驟中，將氧化物半導體膜的曝露區域部分蝕刻爲氧化物半導體層 103。因此， n^+ 型層 104a 和 104b 之間的氧化物半導體層 103 的通道區具有小厚度。藉由上述步驟，能在像素部分中形成包括氧化物半導體層 103 作爲通道形成區的第二薄膜電晶體 170。在微影步驟中，由與源極或汲極電極層 105a 和 105b 相同的材料製成的第二端子 122 被保留在端子部分中。注意，第二端子 122 電連接至源極引線（包括源極電極層或汲極

電極層 105a 和 105b 的源極引線）。

此外，在端子部分中，連接電極 120 通過閘極絕緣膜中形成的接觸孔而直接連接至端子部分的第一端子 121（參見圖 15）。注意，雖然此處未示出，但藉由與上述步驟相同的步驟，將驅動器電路的薄膜電晶體的源極引線或汲極引線直接連接至閘極電極。

接著，較佳地在 200℃ 到 600℃ 下、通常在 300℃ 到 500℃ 下，執行熱處理（熱處理可以是利用光的退火）。這裏，在爐中在 350℃ 下在空氣中執行熱處理 1 小時。熱處理也可稱為將金屬薄膜 490 部分或全部氧化的氧化處理。在本實施例中，金屬薄膜 490 成為具有導電性的氧化鋅膜、第一氧化物半導體層 491。藉由上述步驟，可在驅動器電路中製造包括第一氧化物半導體層 491 和第二氧化物半導體層 405 的疊層的第一薄膜電晶體 420。圖 13B 是此階段的截面圖。此外，藉由此熱處理，在 In-Ga-Zn-O 為基礎的非單晶膜中發生原子級的重排。要注意的是，對熱處理的時機不存在特殊限制，只要在第二 In-Ga-Zn-O 為基礎的非單晶膜形成之後任何時候進行即可，而且，舉例而言，可在像素電極形成之後執行熱處理。

接著，去除光阻掩罩，並形成保護絕緣層 412 以覆蓋第一薄膜電晶體 420 和第二薄膜電晶體 170。

接著，執行微影步驟以形成光阻掩罩，並蝕刻保護絕緣層 412 以形成到達源極電極層或汲極電極層 105b 的接觸孔。此外，藉由這裏的蝕刻，形成到達第二端子 122 的

接觸孔和到達連接電極 120 的接觸孔。

然後，在去除光阻掩罩之後，形成透明導電膜。使用氧化銦（ In_2O_3 ）、氧化銦錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）等，以濺射方法、真空蒸發方法等形成透明導電膜。使用鹽酸基溶液，對這樣的材料執行蝕刻處理。然而，因為在蝕刻 ITO 時尤其傾向於產生殘留物，所以可使用氧化銦和氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）以提高蝕刻處理力。

接著，執行微影步驟以形成光阻掩罩，並以蝕刻去除不必要的部分，從而形成像素電極層 110。此外，在這個微影步驟中，利用電容器引線 108 和像素電極層 110 以形成儲存電容器。儲存電容器包括閘極絕緣層 403 和電容器部分中的保護絕緣層 412 作為電介質。此外，在這個微影步驟中，第一端子和第二端子被光阻掩罩覆蓋，從而透明導電膜 128 和 129 被保留在端子部分中。透明導電膜 128 和 129 用作用於與 FPC 連接的電極或引線。在連接電極 120 上形成的直接連接至第一端子 121 的透明導電膜 128 用作閘極引線的輸入端子的連接端子電極。在第二端子 122 上形成的透明導電膜 129 作為用於連接的端子電極，其作為源極引線的輸入端子（參見圖 15）。

注意，這裏描述了使用閘極絕緣層 403 和保護絕緣層 412 作為電介質以由電容器引線 108 和像素電極層 110 形成儲存電容器的實施例。然而，不存在特殊限制，而且可採用在電容器引線上設置由與源極電極或汲極電極相同的材料形成的電極、並且儲存電容器由電極、電容器引線以

及它們之間的作為電介質的閘極絕緣層 403 形成、以及電極和像素電極電連接的一種結構。

然後去除光阻掩罩，而圖 13C 示出了此階段的截面圖。注意此階段的像素部分中的第二薄膜電晶體 170 的俯視圖對應於圖 14。

圖 15 是沿圖 14 中的線 A1-A2 和 B1-B2 取得的截面圖。圖 15 示出了像素部分中的第二薄膜電晶體 170 的截面結構、像素部分中的電容器部分的截面結構以及端子部分的截面結構。

此外，圖 16A 和 16B 分別是源極引線端子部分的截面圖和俯視圖。圖 16A 是沿圖 16B 中的線 D1-D2 所取的截面圖。在圖 16A 中，在保護絕緣膜 154 上形成的透明導電膜 155 是作為輸入端子的連接端子電極。此外，在圖 16A 中，在端子部分中，由與閘極引線相同材料組成的電極 156 位於電連接至源極引線的第二端子 150 以下且與之交疊，電極 156 與第二端子 150 之間插入有閘極絕緣層 152。電極 156 未電連接至第二端子 150。當電極 156 被設置成，例如浮動、GND 或 0V，以使電極 156 的電位不同於第二端子 150 的電位時，可形成用於防止雜訊或靜電的電容器。此外，第二端子 150 電連接至透明導電膜 155，其中保護絕緣膜 154 插入第二端子 150 與透明導電膜 155 之間。注意保護絕緣膜 154 等同於保護絕緣層 412。

根據像素密度設置多條閘極引線、源極引線以及電容

器引線。在端子部分中，還分別安排了多個與閘極引線相同電位的第一端子、與源極引線相同電位的第二端子、與電容器引線相同電位的第三端子等。對各種端子的數量並無特定限制，而且可由本領域技術人員適當地確定端子的數量。

以上述方式，能完成包括層疊了氧化物半導體層的第一薄膜電晶體 420 的驅動器電路、包括作為底閘極型 n 通道薄膜電晶體的第二薄膜電晶體 170 和儲存電容器的像素部分、以及端子部分。

當製造主動矩陣液晶顯示裝置時，將主動矩陣基底和設置有對立電極的對立基底相互固定，並在它們之間插入液晶層。注意，在主動矩陣基底上設置有電連接至對立基底上的對立電極的公共電極，而且在端子部分中設置有電連接至公共電極的端子。此端子被設置成將公共電極固定至諸如 GND 或 0 V 等預定電位。

此外，本實施例不限於圖 14 中的像素結構，而且在圖 17 中示出了與圖 14 不同的俯視圖的實施例。圖 17 示出一實施例，其中未設置電容器引線，且像素電極與毗鄰像素的閘極引線交疊，而且保護絕緣膜和閘極絕緣膜插入在像素電極與毗鄰像素電極之間以形成儲存電容器。在該情況下，可忽略電容器引線和連接至電容器引線的第三端子。注意，在圖 17 中，由相同的代號代表與圖 14 中相同的部分。

在主動矩陣液晶顯示裝置中，驅動排列成矩陣的像素

電極以在螢幕上形成顯示圖案。具體而言，當在選定的像素電極與對應於該像素電極的對電極之間施加電壓時，設置在像素電極與對立電極之間的液晶層被光學地調變，而此光學調變被觀看者識別為顯示圖案。

在顯示運動影像時，液晶顯示裝置具有的問題在於，液晶分子的長響應時間引起運動影像的拖影或模糊。為改善液晶顯示裝置的運動影像特性，採用了稱為黑色插入的驅動方法，其中每隔一個格週期，在整個螢幕上顯示黑色。

替代地，可採用稱為雙格率驅動的驅動方法，其中垂直同步頻率是通常垂直同步頻率的 1.5 或更多倍、較佳地為 2 倍或更多倍，藉此改善運動影像特性。

又替代地，為改善液晶顯示裝置的運動影像特性，可採用一種啓動方法，其中使用多個 LED（發光二極體）或多個 EL 光源來形成作為背光的表面光源、而且在一個格週期中以脈衝方式獨立地驅動表面光源的各個光源。作為表面光源，可使用三種或更多種類型的 LED，或可使用發射白光的 LED。因為能獨立地控制多個 LED，所以可使 LED 的發光時序與對液晶層進行光調變的時序同步。根據此驅動方法，可使 LED 部分截止；從而，可獲得降低功耗的效果，尤其是顯示具有大部分為黑色的影像的情況下。

藉由組合這些驅動技術，相較於常規液晶顯示裝置的顯示特性，可改善液晶顯示裝置的諸如運動影像特性等顯

示特性。

本實施例中獲得的第一薄膜電晶體 420 包括具有不同導電性和具有良好動態特性的氧化物半導體層的疊層。因此，能夠組合地採用那些驅動技術。

此外，根據本實施例，能以低成本提供具有高電特性和高可靠性的顯示裝置。

（實施例 6）

藉由不僅在驅動器電路中而且在像素部分中使用薄膜電晶體，能製造包括具有不同導電性的氧化物半導體層的疊層的薄膜電晶體，且能製造具有顯示功能的液晶顯示裝置。此外，在與像素部分相同的基底上，形成使用薄膜電晶體的驅動器電路的一部分或全部，藉此可獲得板上系統。

液晶顯示裝置包括作為顯示元件的液晶元件（也稱為液晶顯示元件）。

此外，液晶顯示裝置包括封裝有顯示元件的面板 and 其中包括控制器之類的 IC 等安裝在面板上的模組。本實施例還關於在用於製造液晶顯示裝置的製程中完成顯示元件之前的元件基底的一模式，而且元件基底設置有分別具有用於向顯示元件提供電流的機構的多個像素。具體而言，元件基底可以處於僅形成顯示元件的一個像素電極之後的狀態、在形成作為像素電極的導電膜之後但在蝕刻導電膜以形成像素電極之前的狀態、或任何其他狀態。

注意，本說明書中的液晶顯示裝置表示影像顯示裝置、顯示裝置或光源（包括發光裝置）。此外，液晶顯示裝置在其種類中還可包括以下模組中的任一模組：有諸如 FPC（柔性印刷電路）、TAB（帶式自動接合）帶或 TCP（帶式載體封裝）等連接器附著的模組；具有在端部設置有印刷線路板的 TAB 帶或 TCP 的模組；以及 IC（積體電路）藉由 COG（玻璃上晶片）方法直接安裝在顯示元件上的模組。

將參照圖 18A1、18A2 以及 18B，描述作為液晶顯示裝置的一個實施例的液晶顯示面板的外觀和截面。圖 18A1 和 18A2 是用密封劑 4005 將液晶元件 4013 封裝在第一基底 4001 與第二基底 4006 之間的面板的俯視圖。圖 18B 是沿圖 18A1 和圖 18A2 的 M-N 所取的截面圖。

密封劑 4005 被設置成包圍設置在第一基底 4001 上的像素部分 4002 和掃描線驅動器電路 4004。在像素部分 4002 和掃描線驅動器電路 4004 之上設置第二基底 4006。因此，利用密封劑 4005 將像素部分 4002 和掃描線驅動器電路 4004 以及液晶層 4008 密封在第一基底 4001 與第二基底 4006 之間。在實施例中，無特定限制地將藍相液晶材料用於液晶層 4008。呈現出藍相的液晶材料從未施加電壓的狀態到施加電壓的狀態具有 1 毫秒或更短的響應時間，因此短時間響應成為可能。藍相液晶材料包括液晶和手性劑。採用手性劑以使液晶以螺旋結構對齊，從而使液晶呈現藍相。舉例而言，可將混合了 5%重量百分比或更

多手性劑的液晶材料用於液晶層。作為液晶，使用了熱致液晶、低分子液晶、高分子液晶、鐵電液晶、反鐵電液晶等。

在圖 18A1 中，在分別製備的基底上使用單晶半導體膜或多晶半導體膜而形成的信號線驅動器電路 4003 安裝在一區域上，此區域與第一基底 4001 上被密封劑 4005 包圍的區域不同。相比之下，圖 18A2 示出利用薄膜電晶體以在第一基底 4001 上形成信號線驅動器電路的一部分的實施例，此薄膜電晶體包括具有不同導電性的氧化物半導體層的疊層。在圖 18A2 中，在第一基底 4001 上形成了信號線驅動器電路 4003b，且在第一基底 4001 上安裝了使用單晶半導體膜或多晶半導體膜而在分別製備的基底上形成的信號線驅動器電路 4003a。

注意，對於單獨形成的驅動器電路的連接方法無特定限制，可以使用 COG 法、引線接合法、TAB 法等。圖 18A1 示出藉由 COG 法安裝信號線驅動器電路 4003 的實施例，而圖 18A2 示出藉由 TAB 法安裝信號線驅動器電路 4003 的實施例。

在第一基底 4001 上設置的像素部分 4002 和掃描線驅動器電路 4004 各包括多個薄膜電晶體。圖 18B 示出像素部分 4002 中包括的薄膜電晶體 4010 和掃描線驅動器電路 4004 中包括的薄膜電晶體 4011。絕緣層 4020 和層間膜 4021 設置在薄膜電晶體 4010 和 4011 上。作為薄膜電晶體 4010，採用了實施例 1 中所描述的包括具有不同導電

性的氧化物半導體層的疊層作為其半導體層的第一薄膜電晶體。作為薄膜電晶體 4011，採用了實施例 1 中所描述的包括 In-Ga-Zn-O 為基礎的非單晶膜的單層的第二薄膜電晶體。在本實施例中，薄膜電晶體 4010 和 4011 是 n 通道薄膜電晶體。

此外，在第一基底 4001 上設置了像素電極層 4030 和公共電極層 4031。像素電極層 4030 電連接至薄膜電晶體 4010。液晶元件 4013 包括像素電極層 4030、公共電極層 4031 以及液晶層 4008。在本實施例中，使用了藉由產生與基底實質上平行（即橫向）的電場以使液晶分子在平行於基底的平面中移動來控制灰度的方法。在這樣的方法中，能使用用於共面切換（IPS）模式或邊緣場切換（FFS）模式的電極結構。注意，分別在第一基底 4001 和第二基底 4006 的外側上設置了極化板 4032 和 4033。

作為第一基底 4001 和第二基底 4006，可以使用具有透光性質的玻璃、塑膠等。作為塑膠，能使用玻璃纖維增強塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。或者，可使用 PVF 膜或聚酯膜之間夾有鋁箔的薄板。

代號 4035 表示對絕緣膜選擇性蝕刻而獲得的柱狀隔離件，而且設置柱狀隔離件以控制液晶層 4008 的厚度（單元間隙）。注意，可使用球狀隔離件。

圖 18A1、18A2 以及 18B 示出了在基底的外側（觀看側）上設置極化板的液晶顯示裝置的實施例；然而，也可

在基底的內側上設置極化板。可根據極化板的材料和製程條件，確定極化板的位置。此外，可設置用作黑色基質的擋光層。

層間膜 4021 是透光樹脂層。層間膜 4021 的一部分是擋光層 4012。擋光層 4012 覆蓋薄膜電晶體 4010 和 4011。在圖 18B 中，在第二基底 4006 上設置了擋光層 4034 以與薄膜電晶體 4010 和 4011 交疊。藉由擋光層 4012 和擋光層 4034，能實現對比度的進一步提高和薄膜電晶體的穩定。

當設置了擋光層 4034 時，能使入射至薄膜電晶體的半導體層的光強度衰減。因此，能使薄膜電晶體的電特性穩定，並防止電特性因為氧化物半導體的光敏性而變化。

以作為薄膜電晶體的保護膜的絕緣層 4020，覆蓋薄膜電晶體；然而，對這樣的結構沒有特殊限制。

注意，設置保護膜以用於防止漂浮在空氣中的諸如有機物質、金屬物質或水汽之類的雜質進入，而且較佳地保護膜是緻密膜。可藉由濺射法，使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜和/或氮氧化鋁膜的單層或疊層來形成保護膜。

此外，在形成另一透光絕緣層作為平坦化絕緣膜的情況下，可使用諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧樹脂之類的具有耐熱性的有機材料形成該透光絕緣層。作為這些有機材料的替代物，還可以使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽玻璃

(PSG)、硼磷矽玻璃 (BPSG) 等。注意，可藉由層疊這些材料中的任一材料成的多層絕緣膜而形成絕緣層。

用於形成層疊絕緣層的方法不限於特定方法，而且根據材料可使用以下方法：濺射法、SOG 法、旋塗法、浸塗法、噴塗法、液滴排出法（例如噴墨法、絲網印刷法或膠版印刷法）、刮片法、輥塗法、幕塗法、刀塗法等。在使用材料解決方案以形成絕緣層的情況下，可在烘焙步驟同時對該半導體層退火（在 200℃ 到 400℃ 下）。當組合絕緣層的烘焙步驟和半導體層的退火時，能高效地製造液晶顯示裝置。

可由諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化鋅銦、包含氧化鈦的氧化銦、包含氧化鈦的氧化錫銦、氧化錫銦（下文稱為 ITO）、氧化鋅銦或添加了氧化矽的氧化錫銦之類的透光導電材料製成像素電極層 4030 和公共電極層 4031。

還可將包含導電高分子（也稱為導電聚合物）的導電組合物用於像素電極層 4030 和公共電極層 4031。

此外，從 FPC 4018，將多個信號和電壓提供給分別地形成的信號線驅動器電路 4003、掃描線驅動器電路 4004 或像素部分 4002。

因為薄膜電晶體容易被靜電等損壞，所以較佳地在與閘極線或源極線相同的基底上設置用於保護驅動器電路的保護電路。較佳地使用利用氧化物半導體的非線性元件以形成保護電路。

在圖 18A1、18A2 以及 18B 中，使用與像素電極層 4030 相同的導電膜形成連接端子電極 4015，且使用與薄膜電晶體 4010 和 4011 的源極電極層和汲極電極層相同的導電膜形成端子電極 4016。

連接端子電極 4015 通過各向異性導電膜 4019 電連接至 FPC 4018 中包括的端子。

圖 18A1、18A2 以及 18B 非限制性地示出分別地形成信號線驅動器電路 4003 並將其安裝在第一基底 4001 上的實施例。可分別地形成然後安裝掃描線驅動器電路，或僅分別地形成信號線驅動器電路的一部分或掃描線驅動器電路的一部分，然後安裝。

圖 19 示出液晶顯示裝置的截面結構的實施例，在液晶顯示裝置中，利用密封劑 2602，將元件基底 2600 和對立基底 2601 彼此附著，而且在這些基底之間設置了包括 TFT 等的元件層 2603 和液晶層 2604。

在實現彩色顯示的情況下，將發射多色光的發光二極體設置在背光部分中。在 RGB 模式的情況下，將紅光二極體 2910R、綠光二極體 2910G 以及藍光二極體 2910B 設置在液晶顯示裝置的顯示區所分成的各個區域中。

在對立基底 2601 的外側上設置了極化板 2606，而在元件基底 2600 的外側上設置了極化板 2607 和光學板 2613。使用紅光二極體 2910R、綠光二極體 2910G 和藍光二極體 2910B 以及反射板 2611 形成光源。為電路基底 2612 而設置的 LED 控制電路 2912，經由可撓引線板 2609

而連接至元件基底 2600 的引線電路部分 2608，且進一步包括諸如控制電路或電源電路等外部電路。

本實施例無特殊限制地描述了場序液晶顯示裝置，其中 LED 控制電路 2912 使 LED 單獨地發光。還有可能使用冷陰極螢光燈或白光 LED 作為背光的光源，或提供濾色器。

此外，本實施例無特定限制地採用了用於共面切換（IPS）模式的電極結構。可使用扭曲向列（TN）模式、多疇垂直取向（MVA）模式、影像垂直調整（PVA）模式、軸對稱排列微單元（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等。

本實施可與其他實施例中描述的任一結構適當的組合實施。

（實施例 7）

在本實施例中，描述了使用多色調掩罩進行曝光以減少掩罩數量的示例。注意，多色調掩罩能執行三種程度的曝光，以獲得曝光部分、半曝光部分以及未曝光部分。在通過多色調掩罩之後，光具有多種強度。利用多色調掩罩的一次性曝光和顯影製程能形成具有多種厚度（通常為兩種厚度）的區域的光阻掩罩。因此，藉由使用多色調掩罩，能減少光罩的數量。

作為多色調掩罩的示例，有灰色調掩罩、半色調掩罩

等。

灰色調掩罩包括具有透光性質的基底、以及在基底上形成的擋光部分和繞射射光柵。擋光部分的透光率是 0%。另一方面，繞射光柵具有狹縫狀、點狀、網狀等有間距的透光部分，該間距小於或等於用於曝光的光的解析度極限；因此，能控制透光率。繞射光柵可具有規律地設置的狹縫、點或網、或不規律地設置的狹縫、點或網。

半色調掩罩包括具有透光性質的基底、以及在該基底上形成的半透光部分和擋光部分。可使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等形成半透光部分。可使用諸如鉻或氧化鉻之類吸收光的擋光材料形成擋光部分。當利用光照射半色調掩罩以曝光時，擋光部分的透光率為 0%，而未設置擋光部分和半透光部分的區域的透光率為 100%。可將半透光部分的透光率控制在 10%到 70%的範圍內。可藉由控制用於半透光部分的材料來控制半透光部分的透光率。

圖 20A 到 20E 是示出薄膜電晶體 360 的製程的截面圖。

在圖 20A 中，在其上形成了絕緣膜 357 的基底 350 上形成閘極電極層 351。在本實施例中，將氧化矽膜（具有 100 nm 厚度）用作絕緣膜 357。將閘極絕緣層 352、金屬薄膜 380、氧化物半導體膜 381 以及導電膜 383 按此順序層疊在閘極電極層 351 上。在本實施例中，作為金屬薄膜 380，採用了藉由濺射法形成的 3 nm 厚的鈹膜和藉由濺射

法形成的 3 nm 厚的鋅膜。

在閘極絕緣層 352、金屬薄膜 380、氧化物半導體膜 381 以及導電膜 383 上形成了掩罩 384。

在本實施例中，描述了使用多色調（高色調）掩罩進行曝光以形成掩罩 384 的示例。

使用透光的多色調掩罩進行曝光以獲得多種強度，然後進行顯影，藉此能形成具有不同厚度的掩罩 384，如圖 20B 所示。通過使用多色調掩罩，能減少曝光掩罩的數量。

接著，使用掩罩 384 執行第一蝕刻步驟，以將金屬薄膜 380、氧化物半導體膜 381 以及導電膜 383 蝕刻成島狀。因此，能形成圖案化的金屬薄膜 390、氧化物半導體層 385 以及導電層 387（參見圖 20B）。

然後，使光阻掩罩 384 接受灰化。因此，減小了掩罩的面積和厚度。此時，去除了具有較小厚度的掩罩的區域（與閘極電極層 351 的一部分交疊的區域），從而能形成彼此分離的掩罩 388（參見圖 20C）。

使用掩罩 388 以執行第二蝕刻步驟；藉此將氧化物半導體層 385 和導電層 387 蝕刻成半導體層 353 與源極和汲極電極層 355a 和 355b（參見圖 20D）。注意，半導體層 353 是具有凹槽（凹陷）和端部的部分蝕刻的半導體層，所述端部係被部分地蝕刻和曝露。

當使用添加了氧氣（ O_2 ）（較佳地為 15%或更高）的氯為基礎的氣體（ Cl_2 ）進行蝕刻時，在使用氧氮化矽膜

作為閘極絕緣層 352 的情況下，能提高氧化物半導體層 385 的 In-Ga-Zn-O 為基礎的非單晶膜相對於閘極絕緣層 352 的選擇性。因此，僅氧化物半導體膜 381 被選擇性地蝕刻。

當在第一蝕刻步驟中對氧化物半導體膜 381 和導電膜 383 進行乾蝕刻時，氧化物半導體膜 381 和導電膜 383 被各向異性地蝕刻。以此方式，使掩罩 384 的端部與氧化物半導體層 385 和導電層 387 的端部對齊，而且這些端部變得連續。

以類似於上述的方式，當在第二蝕刻步驟中對氧化物半導體層 385 和導電層 387 進行乾蝕刻時，氧化物半導體層 385 和導電層 387 被各向異性地蝕刻。以此方式，使掩罩 388 的端部與半導體層 353 的凹陷的端部和側表面以及源和汲極電極層 355a 和 355b 的端部對齊以變得連續。

在本實施方式中，半導體層 353 與源極和汲極電極層 355a 和 355b 在相應的端部處具有相同的斜角，並被層疊以使端部連續。然而，因為這些層的蝕刻速率根據氧化物半導體層和導電層的蝕刻條件或材料而變化，所以在某些情況下這些斜角不同，而且這些端部不連續。

然後去除掩罩 388。

然後，在含氧氣的氣氛中，在 200℃ 到 600℃ 下執行熱處理以氧化金屬薄膜 390；從而形成第一氧化物半導體層 391（參見圖 20E）。在本實施例中，第一氧化物半導體層 391 是氧化銦和氧化鋅的混合層。

經由上述步驟，能製造包括第一氧化物半導體層 391 和作為第二氧化物半導體層的半導體層 353 的逆交錯薄膜電晶體 360。

本實施例中使用利用多色調掩罩形成的具有多種厚度（通常為兩種厚度）的區域的光阻掩罩，能實現光阻掩罩數量的減少；因此，能使製程簡化、成本降低。因此，能以低成本和高生產率製造高可靠的半導體裝置。

在本實施例中，描述了驅動器電路中的薄膜電晶體和像素部分中的薄膜電晶體都是包括第一氧化物半導體層 391 和其上作為第二氧化物半導體層的半導體層 353 的逆交錯薄膜電晶體 360 的實施例。換言之，本實施例描述了在驅動器電路中和像素部分中以實質上相同的結構用於薄膜電晶體、以及這些電路的製造方法沒有不同的實施例。

本實施可與其他實施例中描述的任一結構適當的組合實施。

（實施例 8）

在下述中，將參照圖 21A 到 21C，在本實施例中描述與實施例 1 或實施例 2 中所述的底閘極結構實施例不同的底接觸結構（也稱為倒共面結構）的實施例。

在圖 21A 到 21C 中示出了反相器電路的製程實施例。

藉由濺射法，在基底 740 上形成了第一導電膜，並使用第一光掩罩按照選擇般地蝕刻第一導電膜，以形成第一

閘極電極 741 和第二閘極電極 742。接著，藉由電漿 CVD 法或濺射法形成覆蓋第一閘極電極 741 和第二閘極電極 742 的閘極絕緣層 743。可藉由電漿 CVD 方法、濺射方法等，使用氧化矽層、氮化矽層、氧氮化矽層、或氮氧化矽層來形成具有單層或疊層的閘極絕緣層 743。或者，以使用有機矽烷氣體的 CVD 法，以氧化矽形成閘極絕緣層 743。

接著，使用第二光掩罩，按照選擇般地蝕刻閘極絕緣層 743，以形成達到第二閘極電極 742 的接觸孔 744。到此步驟的截面圖對應於圖 21A。

然後，以濺射法形成第二導電膜，並使用第三光掩罩，按照選擇般地蝕刻第二導電膜，以形成第一引線 746、第二引線 750 以及第三引線 751。第三引線 751 通過接觸孔 744 與第二閘極電極 742 直接接觸。

接著，以濺射法形成金屬膜和氧化物半導體膜的疊層。注意，較佳地執行引入氬氣之後產生電漿的反濺射，以在濺射法形成金屬薄膜之前，去除附著至閘極絕緣層 743 的表面和接觸孔 744 的底面的灰塵。反濺射指的是在不對靶側施加電壓的情況下，使用 RF 電源，在氬氣氣氛下對基底側施加電壓以修改表面的一種方法。注意可使用氮氣、氬氣等代替氬氣氣氛。或者，可在添加了氧氣、氬氣、 N_2O 等的氬氣氣氛中執行反濺射。再或者，可在添加了 Cl_2 、 CF_4 等的氬氣氣氛中執行反濺射。

接著，使用第三光掩罩，按照選擇般地蝕刻金屬薄膜

和氧化物半導體膜。

接著，在 200℃ 到 600℃，下在空氣或氮氣氣氛下執行熱處理。藉由熱處理，將金屬薄膜氧化成第一氧化物半導體層 748 和第三氧化物半導體層 749。在熱處理之後，在第一氧化物半導體層 748 上形成第二氧化物半導體層 745，藉此形成第一薄膜電晶體 760。注意，第一氧化物半導體層 748 的電導率不同於第二氧化物半導體層 745 的電導率。第一氧化物半導體層 748 的電導率更高，這對第一薄膜電晶體 760 的電場遷移率的提高有貢獻。同樣，在第三氧化物半導體層 749 上形成第四氧化物半導體層 747，藉此形成第二薄膜電晶體 761。注意，熱處理的時機不受特殊限制，而且可在形成第二氧化物半導體膜之後任何時候執行熱處理。舉例而言，如果在使用第四光罩蝕刻之前執行熱處理以氧化金屬薄膜並形成第一氧化物半導體膜，則使用第四光罩在隨後的蝕刻步驟中蝕刻氧化物半導體膜的疊層；因此，能實現蝕刻殘留物減少的蝕刻。

接著，形成保護層 752，並使用第五光罩，按照選擇般地蝕刻保護層 752 以形成接觸孔。在那之後，形成第三導電膜。最後，使用第六光罩，按照選擇般地蝕刻第三導電膜，以形成電連接至第二引線 750 的連接引線 753。到此步驟的截面圖對應於圖 21C。

注意，上述步驟的次序僅僅是舉例說明，而不存在限制。舉例而言，雖然光罩的數量增加了一個，但可使用不同的光罩以分別執行對金屬薄膜的蝕刻和對氧化物半導體

膜的一部分的蝕刻。

此外，還可能藉由濺射法以在第二導電膜上形成 In-Ga-Zn-O-N 為基礎的非單晶膜，然後將 In-Ga-Zn-O-N 為基礎的非單晶膜形成圖案，以使 In-Ga-Zn-O-N 為基礎的非單晶膜作為第二氧化物半導體層 745 與第一引線 746 和第二引線 750 之間的 n^+ 型層，且作為第四氧化物半導體層 747 與第二引線 750 和第三引線 751 之間的 n^+ 型層。在那種情況下，In-Ga-Zn-O-N 為基礎的非單晶膜被設置在與第一引線 746 和第二氧化物半導體層 745 交疊的區域中、與第二引線 750 和第二氧化物半導體層 745 交疊的區域中、與第二引線 750 和第四氧化物半導體層 747 交疊的區域中以及與第三引線 751 和第四氧化物半導體層 747 交疊的區域中。

本實施可與其他實施例中描述的任一結構適當的組合實施。

（實施例 9）

在本實施例中，將描述作為半導體裝置的電子紙的實施例。

圖 22A 是示出主動矩陣電子紙的截面圖。可按照類似於實施例 1 所描述的第二薄膜電晶體的製造方式的方式來製造用於本半導體裝置的顯示部分的薄膜電晶體 581。薄膜電晶體 581 包括作為其半導體層的氧化物半導體膜，且具有高電特性。在本實施例中，使用了包括 Zn-O-Si 為基

礎的氧化物半導體作為其半導體層且具有高電特性的薄膜電晶體。此外，可任選地在同一基底上設置包括薄膜電晶體的驅動器電路，薄膜電晶體包括 Zn-O-Si 為基礎的氧化物半導體作為其半導體層，而且具有高電特性。此外，還能夠使用實施例 1 中具有氧化物半導體層的疊層的第一薄膜電晶體作為本實施例中的薄膜電晶體 581。

圖 22A 的電子紙是採用扭轉球顯示系統的顯示裝置的示例。扭轉球顯示系統指的是一種方法，其中各個著色為黑色和白色的球狀粒子被安排在作為用於顯示元件的電極層的第一電極層與第二電極層之間、而且在第一電極層與第二電極層之間產生電位差以控制球狀粒子的配向，從而實現顯示。

密封在基底 580 與基底 596 之間的薄膜電晶體 581 是具有底閘極結構的薄膜電晶體，而其源極或汲極電極層通過絕緣層 583、584 以及 585 中形成的開口而與第一電極層 587 接觸，藉此薄膜電晶體 581 電連接至第一電極層 587。在第一電極層 587 與第二電極層 588 之間設置了各具有黑區 590a、白區 590b 以及被液體填充的圍繞這些區的腔 594 的球狀粒子 589。球狀粒子 589 周圍的空間被諸如樹脂之類的填充物 595 填充（參見圖 22A）。在本實施例中，第一電極層 587 對應於像素電極，而第二電極層 588 對應於公共電極。第二電極層 588 電連接至設置在與薄膜電晶體 581 相同的基底上的公共電位線。藉由使用公共連接部分，第二電極層 588 可藉由設置在對立基底之間

的導電粒子而電連接至公共電位線。

可使用電泳元件代替扭轉球。使用了具有約 10 μm 到 200 μm 直徑、且其中密封了透明液體和帶正電的白色微粒以及帶負電的黑色微粒的微膠囊。在設置在第一電極層與第二電極層之間的微膠囊中，當在第一電極層和第二電極層之間施加電場時，白微粒和黑微粒移動到彼此相反側，從而可顯示白色或黑色。使用此原理的顯示元件是電泳顯示元件，且被稱為電子紙。電泳顯示元件比液晶顯示元件具有更高反射率，因此不需要輔助光、功耗低、而且可在暗處識別顯示部分。此外，即使未對顯示部分提供電能，也能保持顯示過的影像。因此，即使具有顯示功能的半導體裝置（可簡單稱為顯示裝置或設置有顯示裝置的半導體裝置）遠離電波源，也能保存已顯示的影像。

藉由按照實施例 1 所描述的製程來製造薄膜電晶體，可以低成本地將電子紙製造為半導體裝置。可將電子紙用於多個領域的電子設備以顯示資訊。舉例而言，可將電子紙應用於電子書閱讀器（電子書）、海報、諸如火車之類的車輛中的廣告、或諸如信用卡之類的多種卡的顯示器。圖 22B 示出了此類電子設備的實施例。

圖 22B 示出電子書閱讀器 2700 的實施例。舉例而言，電子書閱讀器 2700 包括兩個外殼 2701 和 2703。外殼 2701 和外殼 2703 與鉸鏈 2711 組合，從而該電子書閱讀器 2700 可沿該鉸鏈 2711 打開和關閉。利用這樣的結構，可類似於紙書一樣地操作電子書閱讀器 2700。

顯示部分 2705 被包含在外殼 2701 中，而顯示部分 2707 被包含在外殼 2703 中。顯示部分 2705 和顯示部分 2707 可顯示一幅影像或顯示不同的影像。舉例而言，在顯示部分 2705 和顯示部分 2707 上顯示不同影像的結構中，右邊的顯示部分（圖 22B 中的顯示部分 2705）可顯示文字，而左邊的顯示部分（圖 22B 中的顯示部分 2707）可顯示影像。

圖 22B 示出外殼 2701 設置有操作部分等的實施例。舉例而言，外殼 2701 設置有電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可翻頁。注意，可在與外殼的顯示部分相同的平面上設置鍵盤、指向裝置等。此外，外殼的後面或側面可設置有外部連接端子（耳機端子、USB 端子、可與諸如 AC 適配器或 USB 電纜等多種電纜連接的端子等）、儲存媒體插入部等。而且，電子書閱讀器 2700 可具有電子詞典功能。

此外，電子書閱讀器 2700 可無線地發送和接收資訊。可從電子書伺服器無線地購買和下載想要的圖書資料等。

本實施可與其他實施例中描述的任一結構適當的組合實施。

（實施例 10）

可將具有包括氧化物半導體層的薄膜電晶體的半導體裝置應用於多種電子設備（包括遊戲機）。電子設備的實

施例可為電視機（也稱為電視或電視接收機）、電腦的監視器等、諸如數位相機或數位攝像機等照相機、數位相框、蜂巢式電話（也稱為行動電話或行動電話機）、攜帶型遊戲控制臺、攜帶型資訊終端、音頻再生設備、諸如彈珠台等大型遊戲機等。

圖 23A 示出電視設備 9600 的實施例。電視設備 9600 的外殼 9601 中包括顯示部分 9603。顯示部分 9603 可顯示影像。這裏，外殼 9601 的背部受到支承，以致於電視設備 9600 可被固定至牆壁。

可利用外殼 9601 的操作開關或獨立的遙控器 9610 來操作電視設備 9600。可利用遙控器 9610 的操作鍵 9609 以控制頻道和音量，並可控制顯示部分 9603 上顯示的影像。而且，遙控器 9610 可具有顯示部分 9607，可在顯示部分上顯示從遙控器 9610 發出的資訊。

注意，電視設備 9600 設置有接收器、數據機等。利用接收器，可接收一般的電視廣播。而且，當顯示設備經由數據機連接至通信網路時，可實現單向（從發射器到接收器）或雙向（發射器與接收器之間或接收器之間等）資訊通信。

圖 23B 顯示包括外殼 9881 和外殼 9891 的攜帶型遊戲控制臺，其中外殼 9881 和外殼 9891 藉由連接器 9893 而接合到一起以便打開和閉合。顯示部分 9882 和顯示部分 9883 分別被包括在外殼 9881 和外殼 9891 中。此外，圖 23B 中所示的攜帶型遊戲控制臺還包括揚聲器部分 9884、

儲存媒體插入部分 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電功率、射線、流速、濕度、梯度、振動、氣味或紅外線功能））以及麥克風 9889）等。不言而喻，攜帶型遊戲控制臺的結構不限於上述，而且可以是設置有至少一個半導體裝置的任何結構。該攜帶型遊戲控制臺可適當地包括其他附加設備。圖 23B 中所示的攜帶型遊戲控制臺具有讀取儲存在記錄媒體中的程式或資料以將其顯示在顯示部分上的功能、以及藉由無線通信與另一攜帶型遊戲控制臺共用資訊的功能。圖 23B 的攜帶型遊戲控制臺可具有除上述功能之外的多種功能。

圖 24A 示出蜂巢式電話 1000 的實施例。蜂巢式電話 1000 包括含有顯示部分 1002 的外殼 1001、操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

用手指等觸摸顯示部分 1002 可將資訊輸入至圖 24A 中所示的蜂巢式電話 1000。而且，使用者可用他們的手指等觸摸顯示部分 1002 來打電話或寫電子郵件。

顯示部分 1002 主要有三種螢幕模式。第一種模式是主要用於顯示影像的顯示模式。第二種模式是主要用於輸入諸如文字等資訊的輸入模式。第三種模式是組合了顯示模式和輸入模式這兩種模式的顯示及輸入模式。

舉例而言，在打電話或寫電子郵件的情況下，顯示部

分 1002 被設置成主要用於輸入文字的文字輸入模式，而且可輸入在螢幕上顯示的字元。在該情況下，較佳地在顯示部分 1002 的幾乎整個螢幕上顯示鍵盤或數位按鈕。

當在蜂巢式電話 1000 內部設置諸如陀螺儀或加速度感測器之類的包括用於檢測傾斜的感測器的檢測設備時，可藉由檢測蜂巢式電話 1000 的方向（蜂巢式電話 1000 被放置成水平或是垂直以用於風景模式或人像模式）來自動切換顯示部分 1002 的螢幕上的顯示內容。

此外，觸摸顯示部分 1002 或操作外殼 1001 的操作按鈕 1003 可切換螢幕模式。替代地，可根據顯示部分 1002 上顯示的影像類型來切換螢幕模式。舉例而言，當顯示在顯示部分上的影像信號是移動影像資料時，將螢幕模式切換成顯示模式。當信號是文字資料時，將螢幕模式切換成輸入模式。

此外，在輸入模式中，信號由顯示部分 1002 中的光感測器檢測，而且如果未執行觸摸顯示部分 1002 一定時間，則可控制螢幕模式從輸入模式切換至顯示模式。

顯示部分 1002 還能起影像感測器的作用。舉例而言，用手掌或手指觸摸顯示部分 1002 來採集掌紋、指紋等影像，藉此執行個人認證。此外，當在顯示部分中設置發射近紅外光的背光或感測光源時，可拍攝指紋、掌紋等的影像。

圖 24B 示出蜂巢式電話 1000 的另一實施例。圖 24B 中的蜂巢式電話具有：設置有外殼 9411 的顯示裝置

9410，外殼 9411 包括顯示部分 9412 和操作按鈕 9413；設置有外殼 9401 的通信裝置 9400，外殼 9401 包括操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 以及在接收到電話時發光的發光部分 9406。具有顯示功能的顯示裝置 9410 按照箭頭表示的兩個方向可拆卸地附著至具有電話功能的通信裝置 9400。因此，顯示裝置 9410 和通信裝置 9400 可沿它們的短邊或長邊彼此附著。此外，當僅需要顯示功能時，顯示裝置 9410 可從通信器件 9400 脫離並單獨使用。可藉由無線或有線通信在分別具有充電電池的通信裝置 9400 和顯示裝置 9410 之間發送或接收影像或輸入資訊。

本實施例可與其他實施例中描述的任一結構適當的組合實施。

本申請案基於 2008 年 12 月 26 日向日本專利局提交的日本專利申請 S/N. 2008-333788，其全部內容於此一併列入參考。

【符號說明】

101：第二閘極電極

103：氧化物半導體層

104a： n^+ 型層

104b： n^+ 型層

105a：源極和汲極電極層

105b：源極和汲極電極層

- 108：電容器引線
- 110：像素電極層
- 120：連接電極
- 121：第一端子
- 122：第二端子
- 128：透明導電膜
- 129：透明導電膜
- 150：第二端子
- 154：保護絕緣膜
- 155：透明導電膜
- 156：電極
- 170：第二薄膜電晶體
- 350：基底
- 351：閘極電極層
- 352：閘極絕緣層
- 353：半導體層
- 355a：源極和汲極電極層
- 355b：源極和汲極電極層
- 357：絕緣膜
- 360：薄膜電晶體
- 380：金屬薄膜
- 381：氧化物半導體膜
- 383：導電層
- 384：掩罩

- 385：氧化物半導體層
- 387：導電層
- 388：掩罩
- 390：金屬薄膜
- 391：第一氧化物半導體層
- 400：基底
- 401：第一閘極電極
- 403：閘極絕緣層
- 405：第二氧化物半導體層
- 406a： n^+ 型層
- 406b： n^+ 型層
- 407：第四氧化物半導體層
- 408a： n^+ 型層
- 408b： n^+ 型層
- 409：第一引線
- 410：第二引線
- 411：第三引線
- 412：保護絕緣層
- 420：第一薄膜電晶體
- 430：第一薄膜電晶體
- 431：第二薄膜電晶體
- 451：第三氧化物半導體層
- 460：第一薄膜電晶體
- 461：第二薄膜電晶體

- 470：金屬薄膜
- 471：第一氧化物半導體層
- 472：第一電極
- 473：絕緣層
- 474：第二電極
- 475：有機化合物層
- 485a：氧化物半導體層
- 485b：氧化物半導體層
- 486a：氧化物半導體層
- 486b：氧化物半導體層
- 491：第一氧化物半導體層
- 580：基底
- 581：薄膜電晶體
- 583：絕緣層
- 584：絕緣層
- 585：絕緣層
- 587：第一電極層
- 588：第二電極層
- 589：球狀粒子
- 590a：黑區
- 590b：白區
- 594：空穴
- 595：填充物
- 596：基底

- 740：基底
- 741：第一閘極電極
- 742：第二閘極電極
- 743：閘極絕緣層
- 744：接觸孔
- 745：第二氧化物半導體層
- 746：第一引線
- 747：第四氧化物半導體層
- 748：第一氧化物半導體層
- 749：第三氧化物半導體層
- 750：第二引線
- 751：第三引線
- 752：保護層
- 753：連接引線
- 760：第一薄膜電晶體
- 761：第二薄膜電晶體
- 1000：蜂巢式電話
- 1001：外殼
- 1002：顯示部分
- 1003：操作按鈕
- 1004：外部連接埠
- 1005：揚聲器
- 1006：麥克風
- 2600：元件基底

2601：對立基底
2602：密封劑
2603：元件層
2604：液晶層
2606：極化板
2607：極化板
2608：引線電路部分
2609：可撓引線板
2611：反射板
2612：電路基底
2613：光學板
2700：電子書閱讀器
2701：外殼
2703：外殼
2705：顯示部分
2707：顯示部分
2711：鉸鏈
2721：電源開關
2723：操作鍵
2725：揚聲器
2910R：紅光二極體
2910G：綠光二極體
2910B：藍光二極體
2912：LED 控制電路

- 4001：第一基底
- 4002：像素部分
- 4003：信號線驅動器電路
- 4003a：信號線驅動器電路
- 4003b：信號線驅動器電路
- 4004：掃描線驅動器電路
- 4005：密封劑
- 4006：第二基底
- 4008：液晶層
- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4012：擋光層
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：可撓印刷電路
- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：層間膜
- 4030：像素電極層
- 4031：公共電極層
- 4032：極化板
- 4033：極化板
- 4034：擋光層

- 4035：柱狀隔離件
- 4501：第一基底
- 4502：像素部分
- 4503a：信號線驅動器電路
- 4503b：信號線驅動器電路
- 4504a：掃描線驅動器電路
- 4504b：掃描線驅動器電路
- 4505：密封劑
- 4506：第二基底
- 4507：填充物
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：第二電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：第一電極層
- 4518a：可撓印刷電路
- 4518b：可撓印刷電路
- 4519：各向異性導電膜
- 4520：隔離壁
- 5300：基底
- 5301：像素部分

5302：掃描線驅動器電路
 5303：信號線驅動器電路
 5400：基底
 5401：像素部分
 5402：第一掃描線驅動器電路
 5403：信號線驅動器電路
 5404：第二掃描線驅動器電路
 5501：第一引線
 5502：第二引線
 5503：第三引線
 5504：第四引線
 5505：第五引線
 5506：第六引線
 5571：第一薄膜電晶體
 5572：第二薄膜電晶體
 5573：第三薄膜電晶體
 5574：第四薄膜電晶體
 5575：第五薄膜電晶體
 5576：第六薄膜電晶體
 5577：第七薄膜電晶體
 5578：第八薄膜電晶體
 5601：驅動器 IC
 5602_M：開關組
 5603a：第一薄膜電晶體

5603b：第二薄膜電晶體

5603c：第三薄膜電晶體

5611：第一引線

5612：第二引線

5613：第三引線

5621_M：引線

5701_n：正反器

5711：第一引線

5712：第二引線

5713：第三引線

5714：第四引線

5715：第五引線

5716：第六引線

5717_n：第七引線

6400：像素

6401：開關電晶體

6402：驅動電晶體

6403：電容器

6404：發光元件

6405：信號線

6406：掃描線

6407：電源線

6408：公共電極

7001：薄膜電晶體

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7011：薄膜電晶體

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：擋光膜

7017：導電膜

7021：薄膜電晶體

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電膜

9400：通信裝置

9401：外殼

9402：操作按鈕

9403：外部輸入端子

9404：麥克風

9405：揚聲器

9406：發光部分

9410：顯示裝置
9411：外殼
9412：顯示部分
9413：操作按鈕
9600：電視設備
9601：外殼
9603：顯示部分
9607：顯示部分
9609：操作鍵
9610：遙控器
9881：外殼
9882：顯示部分
9883：顯示部分
9884：揚聲器部分
9885：操作鍵
9886：儲存媒體插入部分
9887：連接端子
9888：感測器
9889：麥克風
9890：LED 燈
9891：外殼
9893：連接器

申請專利範圍

1.一種半導體裝置，包括反相器電路以及像素，

該反相器電路包括：

第一電晶體；

第二電晶體；以及

其中，該第一電晶體的源極電連接到該第二電晶體的汲極；

其中，該第一電晶體的閘極電連接到該第一電晶體的該源極；

其中，該第一電晶體和該第二電晶體的至少一者之通道形成區包括第一氧化物半導體層以及第二氧化物半導體層，該第二氧化物半導體層包括銦和鋅；

其中，該第二氧化物半導體層設置在該第一氧化物半導體層上；及

其中，該第一氧化物半導體層具有比該第二氧化物半導體層低的電阻率；以及

該像素包括第三電晶體，

其中，該第三電晶體的通道形成區由單層的第三氧化物半導體層所形成。

2.根據申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體和該第二電晶體的每一者為底閘極型 n 通道電晶體。

3.根據申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體和該第二電晶體的每一者包括形成在該第二氧

化物半導體層之上的源極電極和汲極電極。

4.根據申請專利範圍第 1 項的半導體裝置，其中，該第一電晶體為空乏型電晶體，且該第二電晶體為增強型電晶體。

5.根據申請專利範圍第 1 項的半導體裝置，其中，該第二氧化物半導體層還包括銻。

6.一種半導體裝置，包括反相器電路以及像素，

該反相器電路包括：

第一電晶體；

第二電晶體；以及

其中，該第一電晶體的源極電連接到該第二電晶體的汲極；

其中，該第一電晶體的閘極電連接到該第一電晶體的汲極；

其中，該第一電晶體和該第二電晶體的至少一者之通道形成區包括第一氧化物半導體層以及第二氧化物半導體層，該第二氧化物半導體層包括銦和鋅；

其中，該第二氧化物半導體層設置在該第一氧化物半導體層上；及

其中，該第一氧化物半導體層具有比該第二氧化物半導體層低的電阻率；以及

該像素包括第三電晶體，

其中，該第三電晶體的通道形成區由單層的第三氧化物半導體層所形成。

7.根據申請專利範圍第 6 項的半導體裝置，其中，該第一電晶體和該第二電晶體的每一者為底閘極型 n 通道電晶體。

8.根據申請專利範圍第 6 項的半導體裝置，其中，該第一電晶體和該第二電晶體的每一者包括形成在該第二氧化物半導體層之上的源極電極和汲極電極。

9.根據申請專利範圍第 6 項的半導體裝置，其中，該第一電晶體和該第二電晶體的每一者為增強型電晶體。

10.根據申請專利範圍第 6 項的半導體裝置，其中，該第二氧化物半導體層還包括銻。

圖式

圖 1A

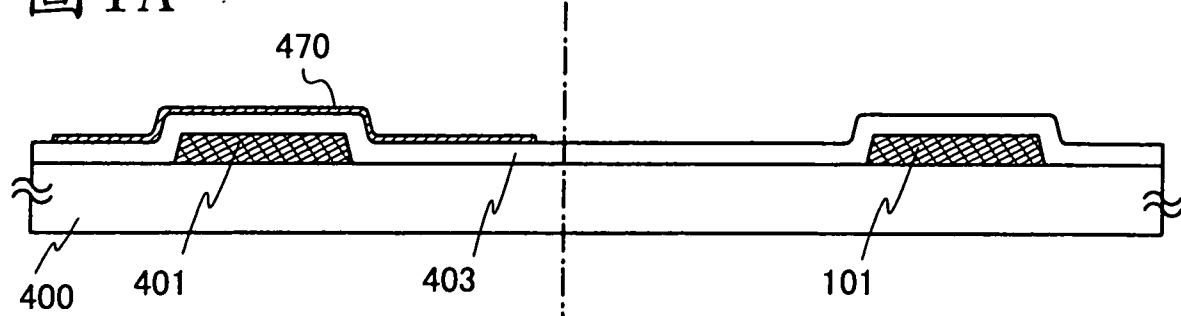


圖 1B

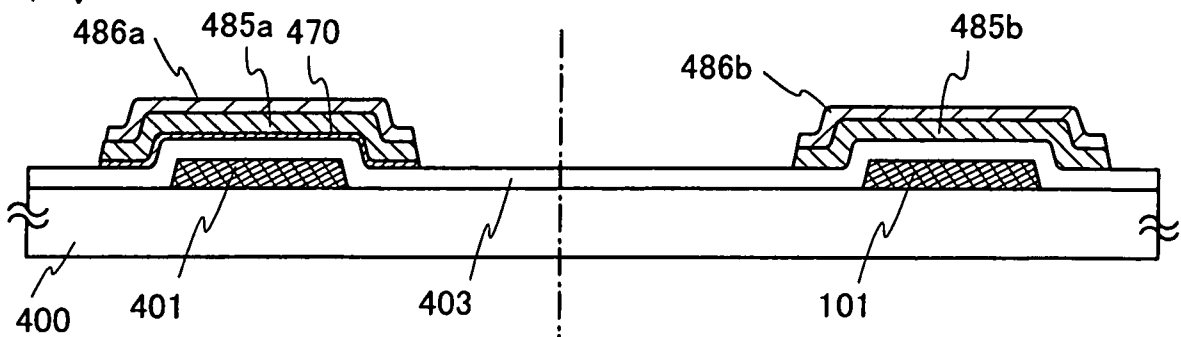


圖 1C

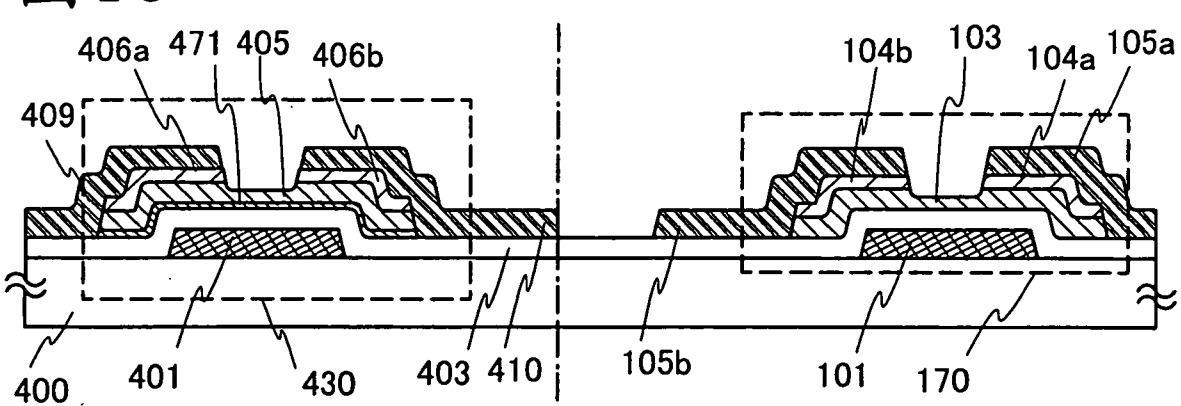


圖 1D

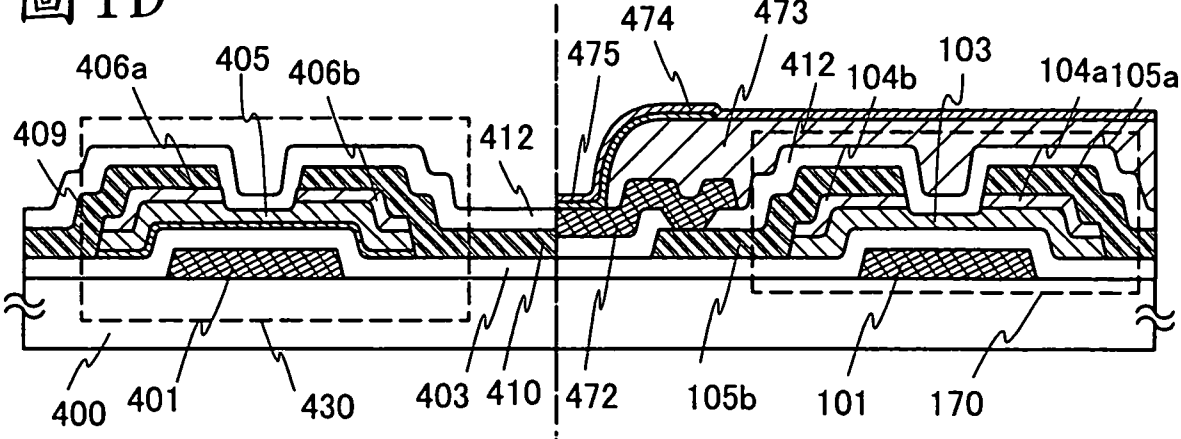


圖 2A

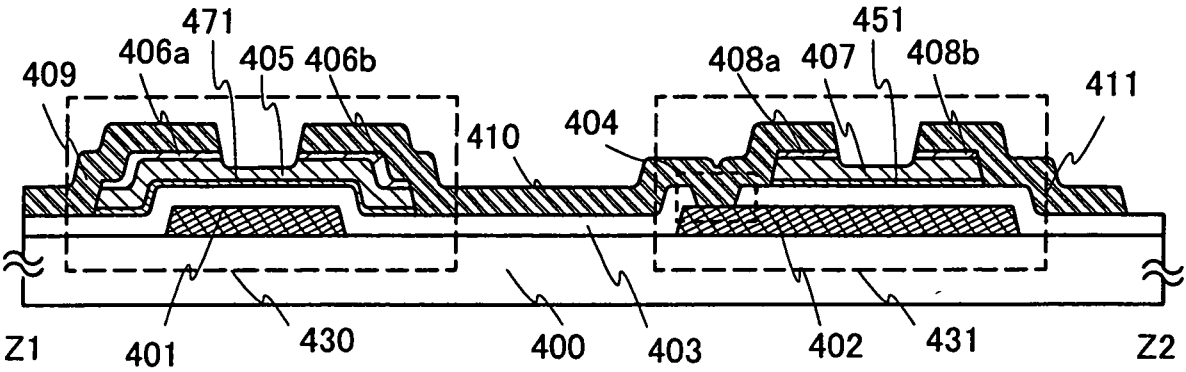


圖 2B

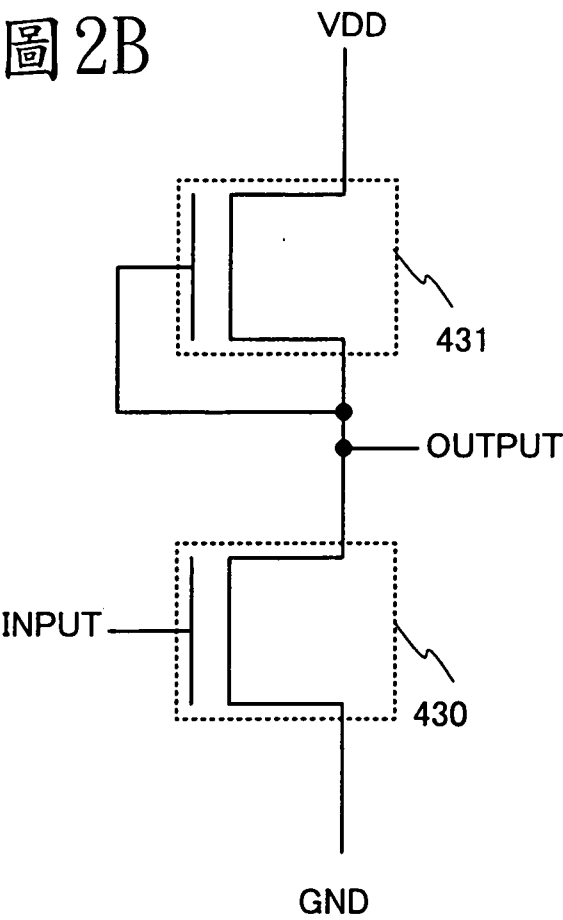


圖 2C

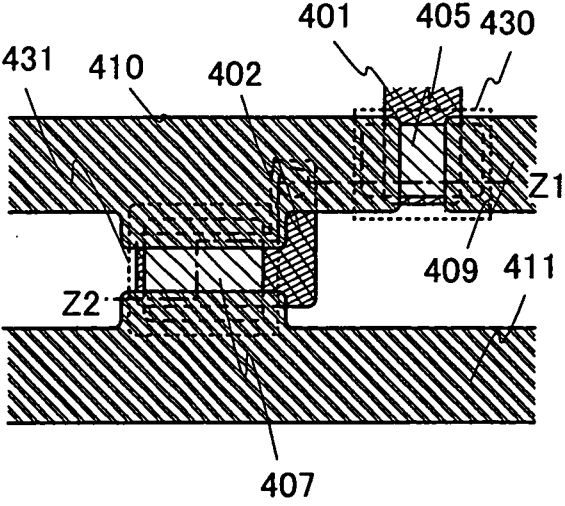


圖 3

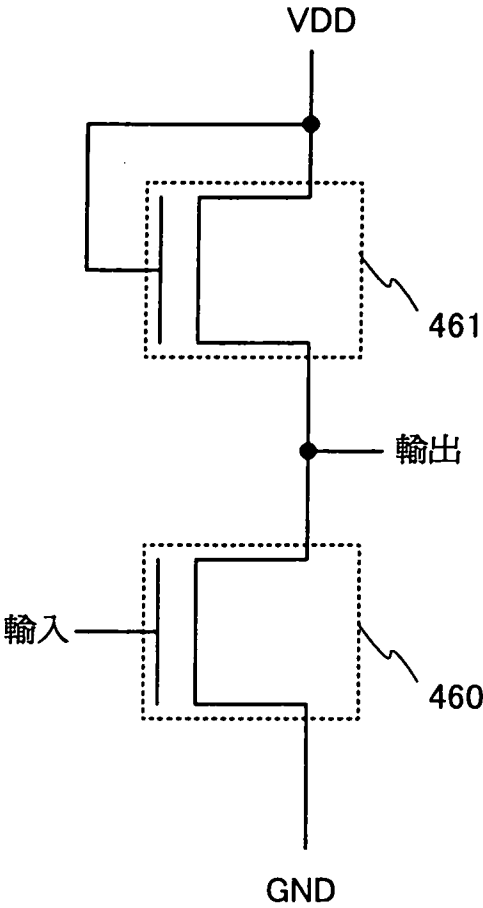


圖 4A

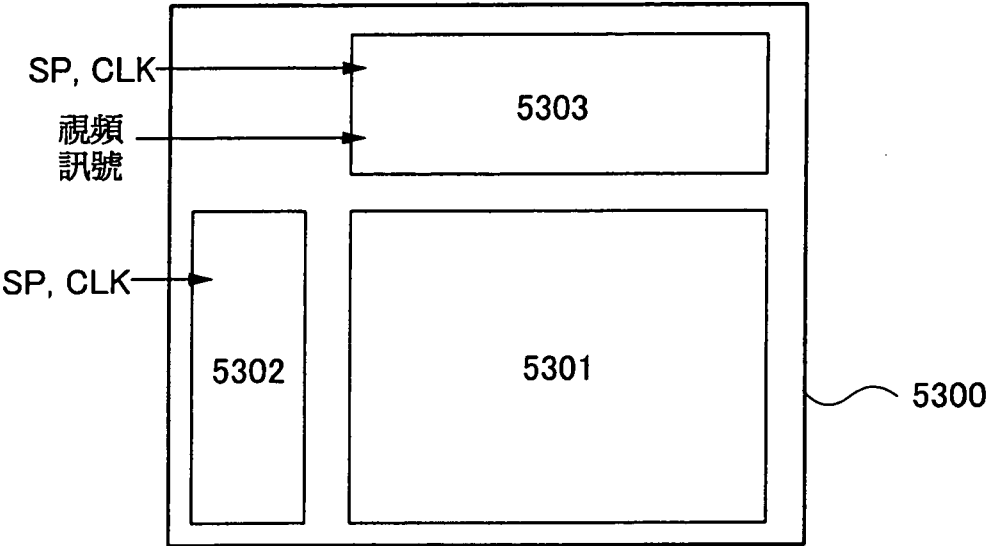


圖 4B

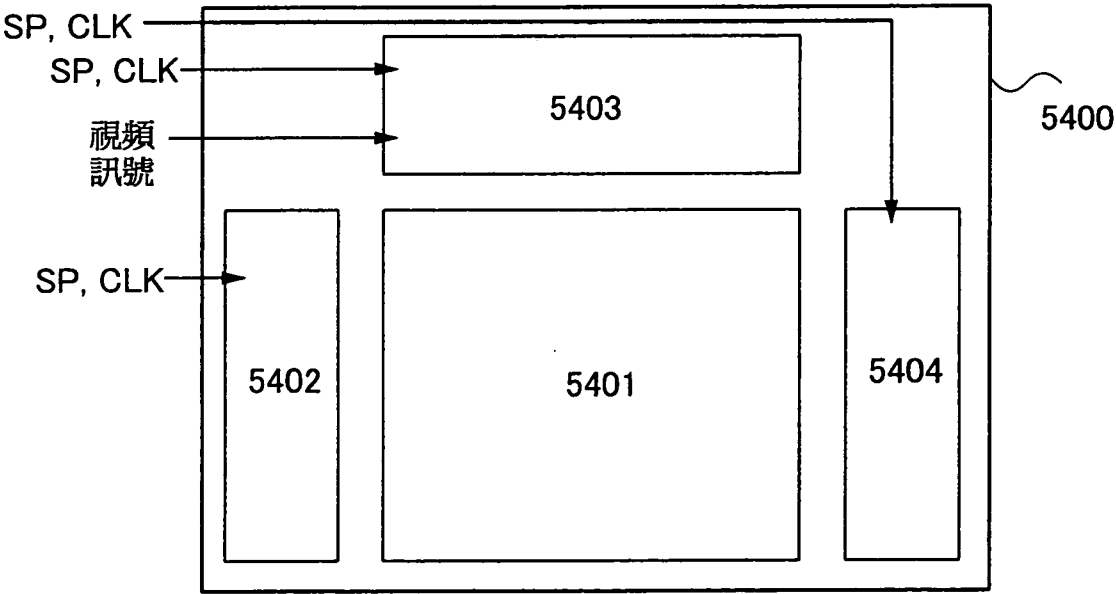


圖5

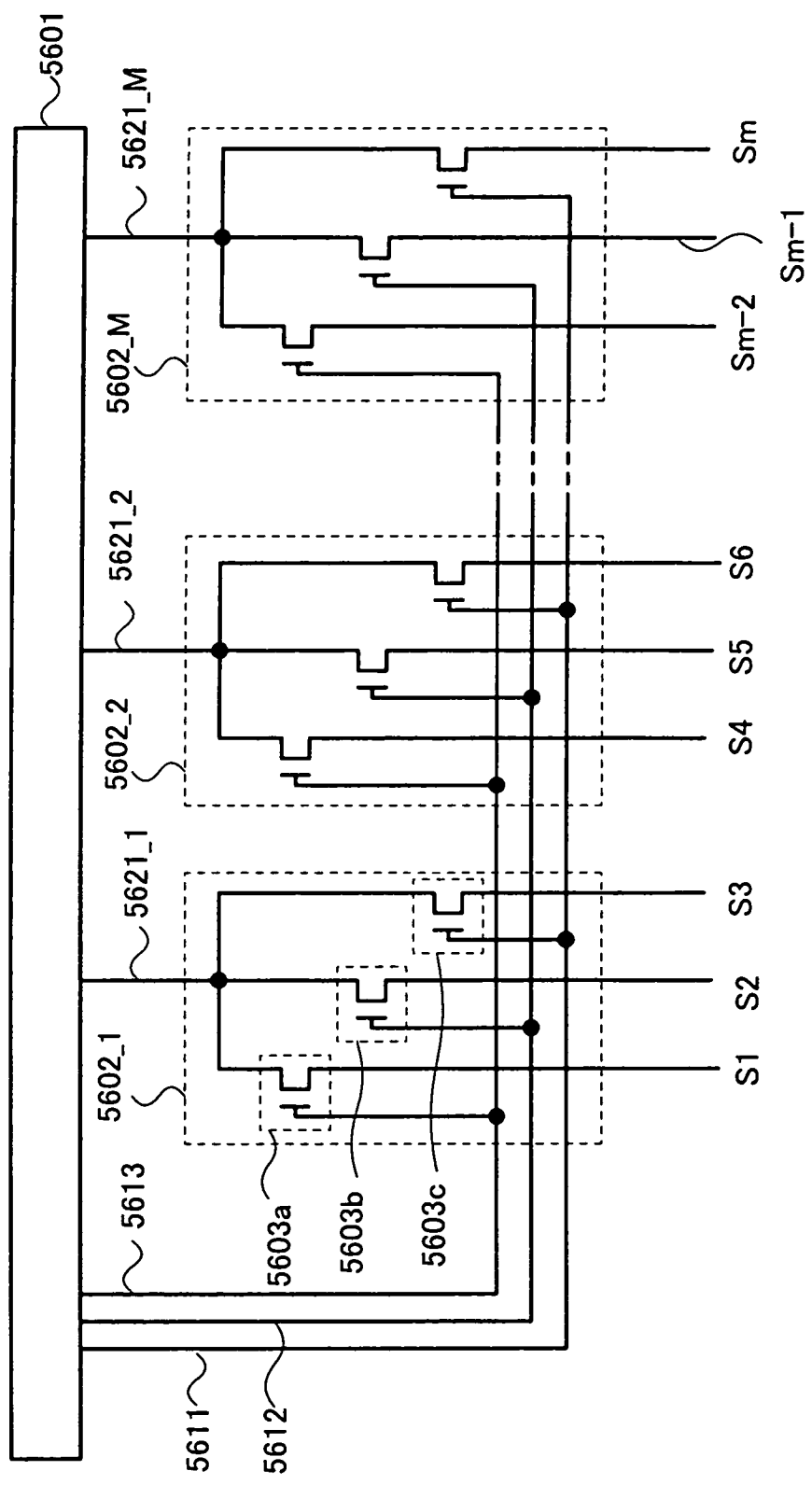


圖6

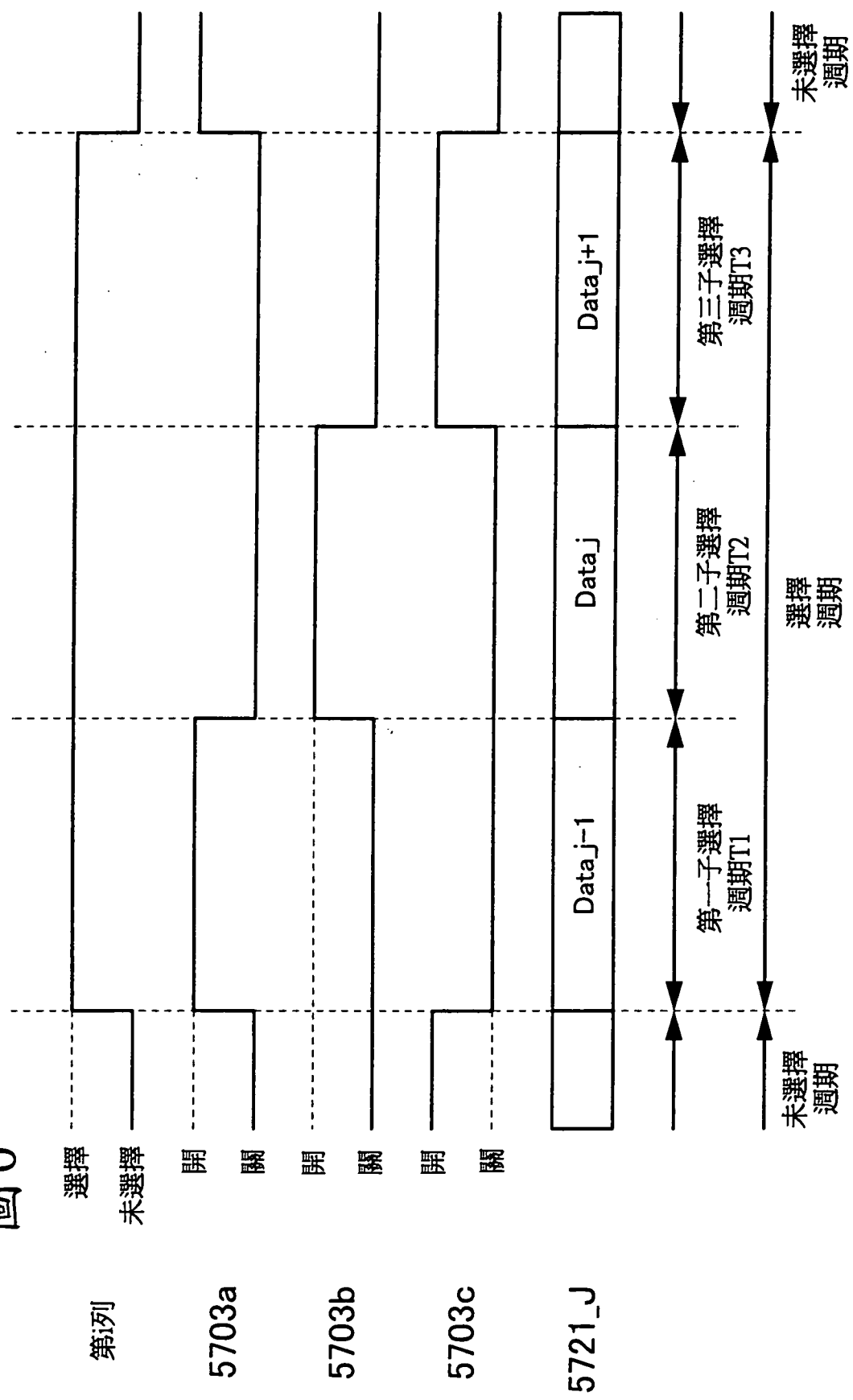


圖7

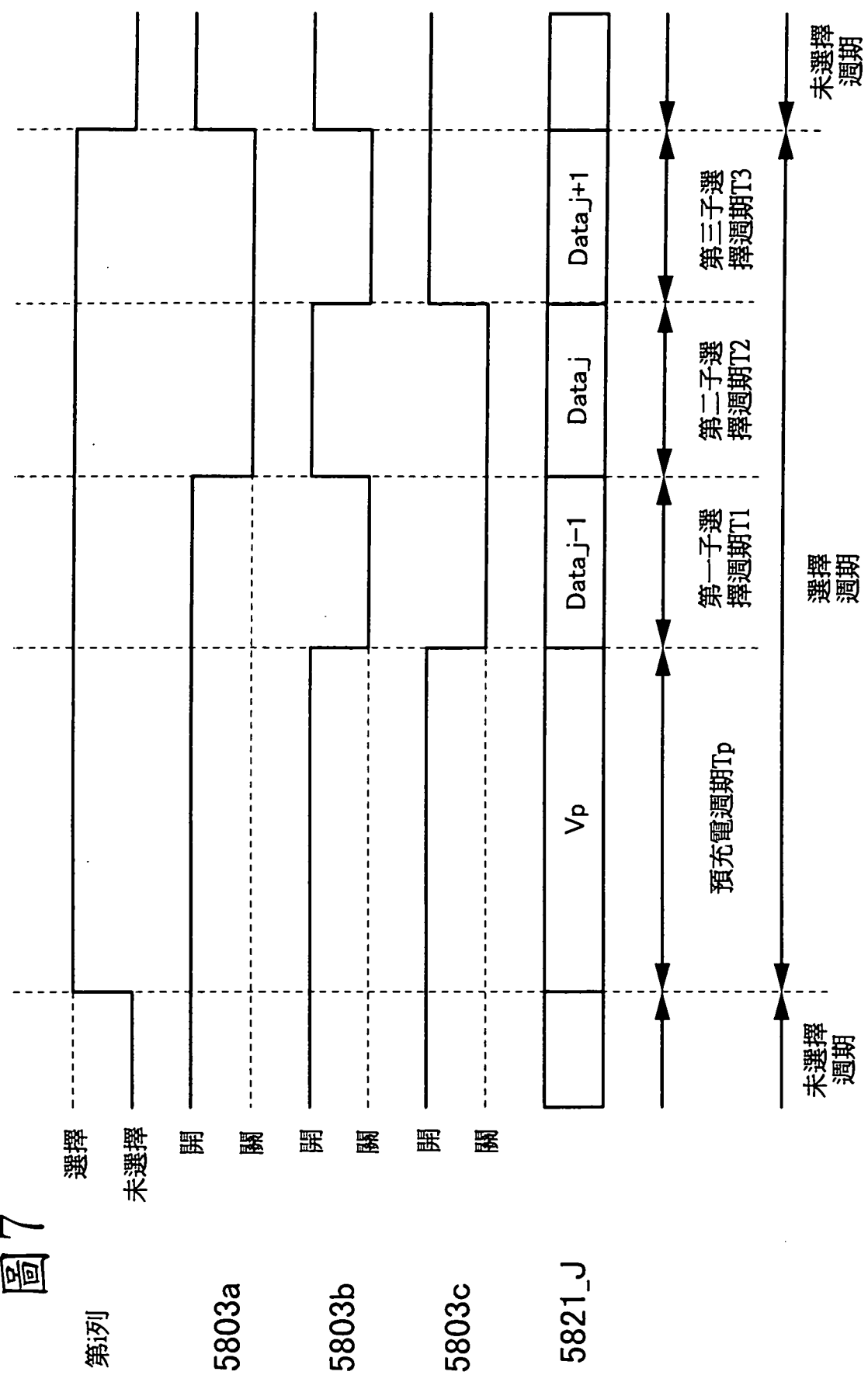


圖8

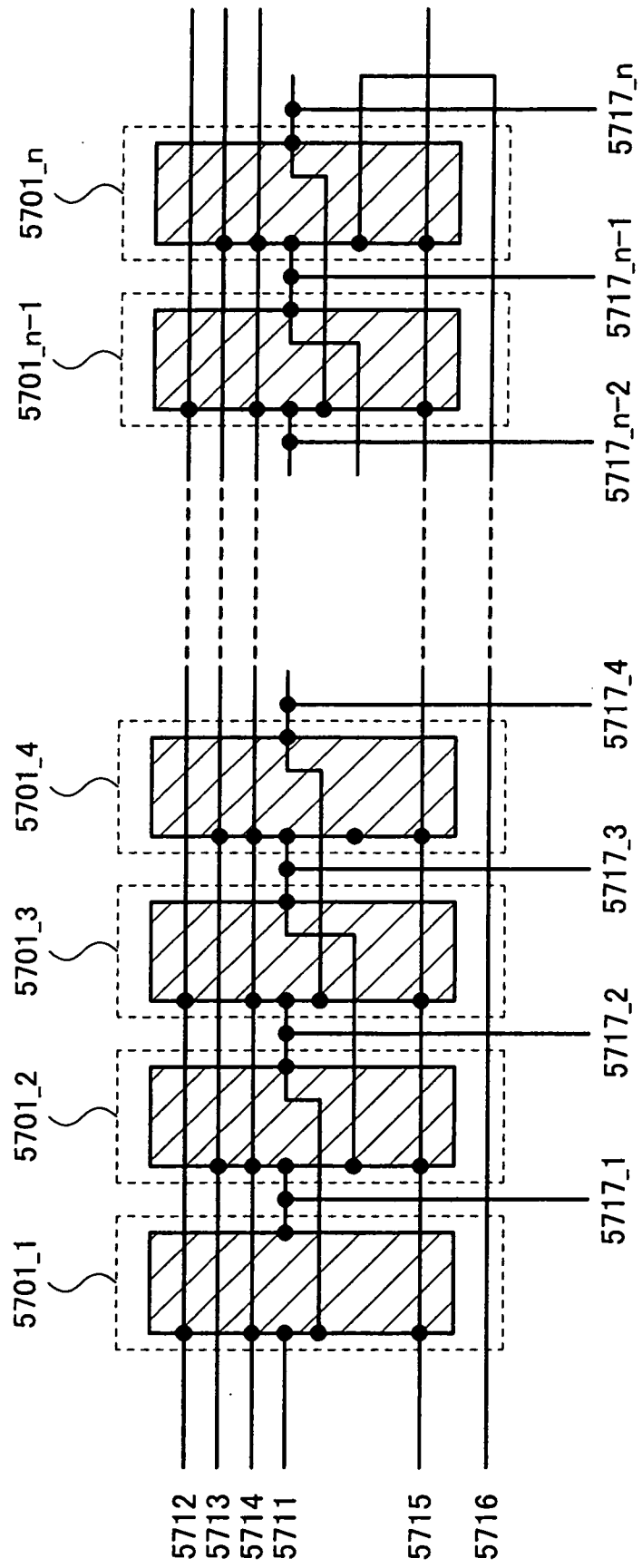


圖 9

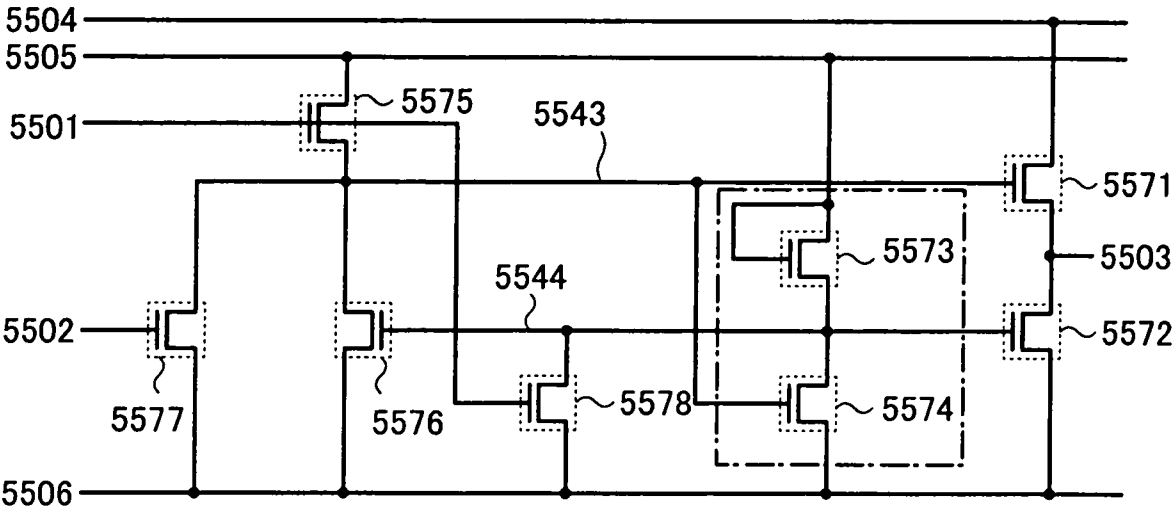


圖 10

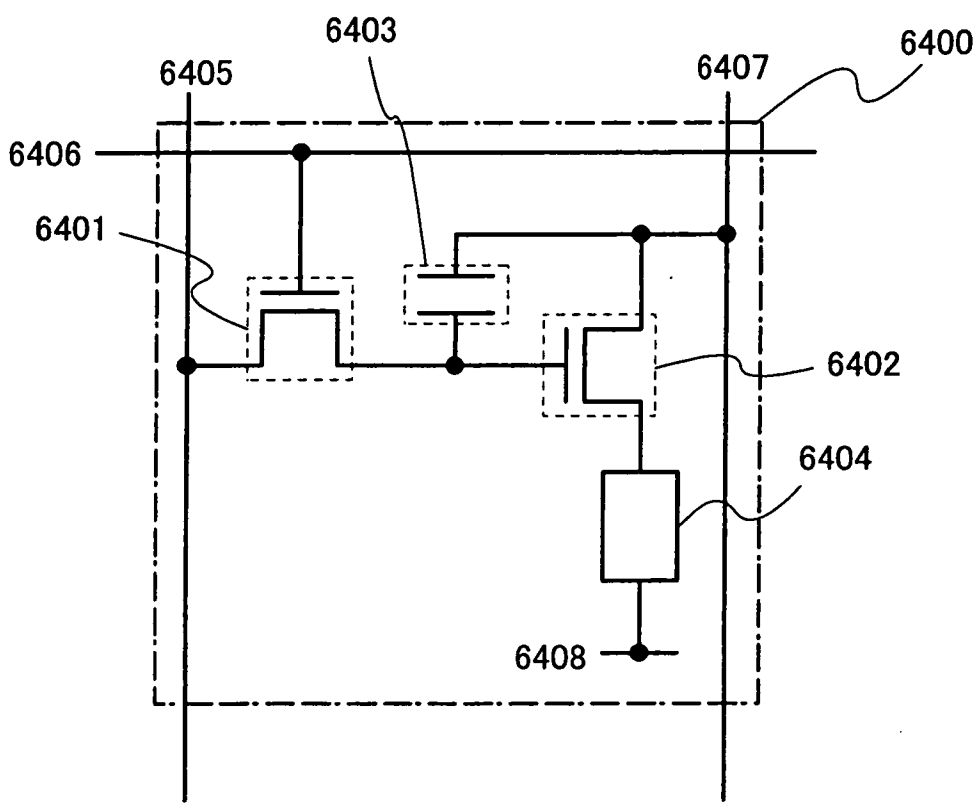


圖 11A

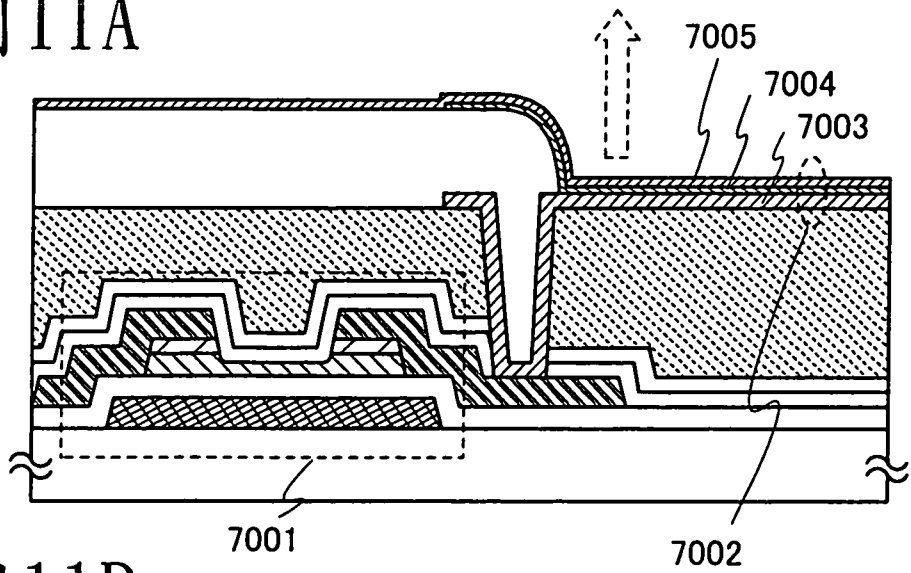


圖 11B

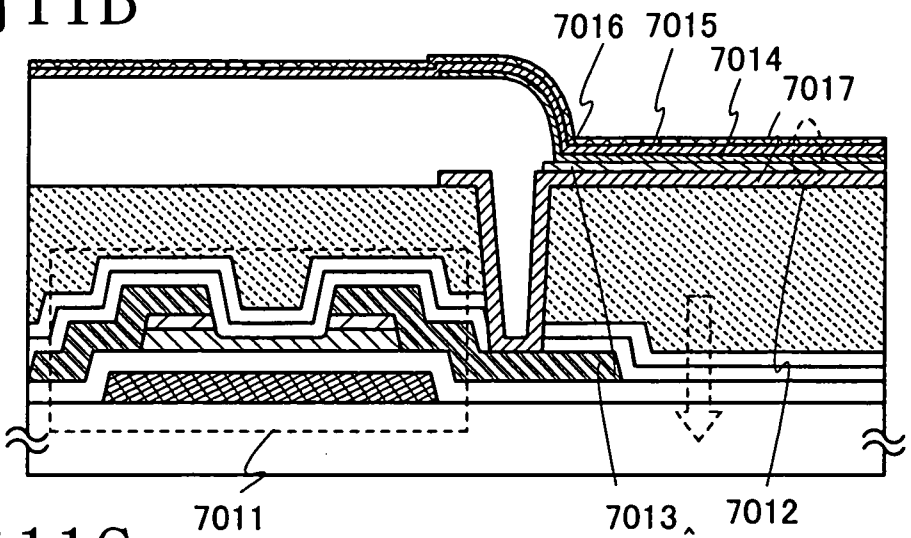


圖 11C

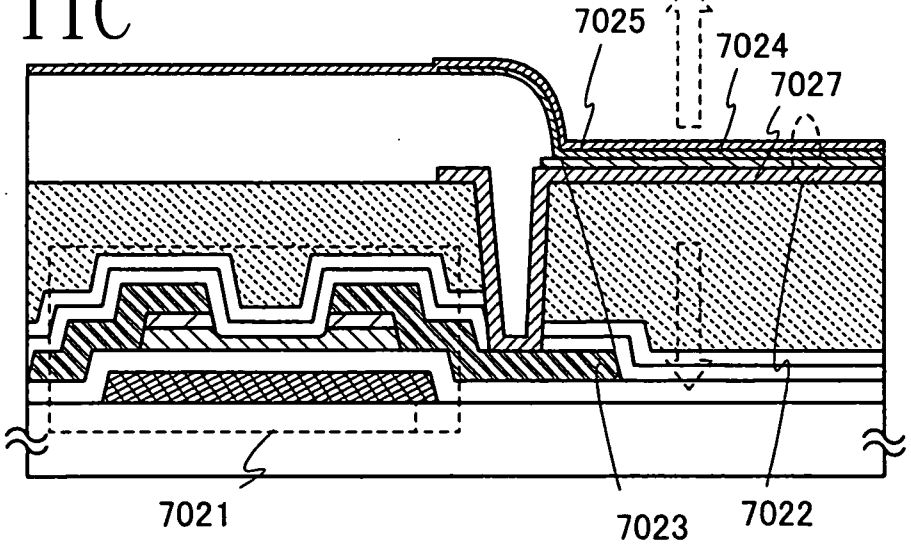


圖12A

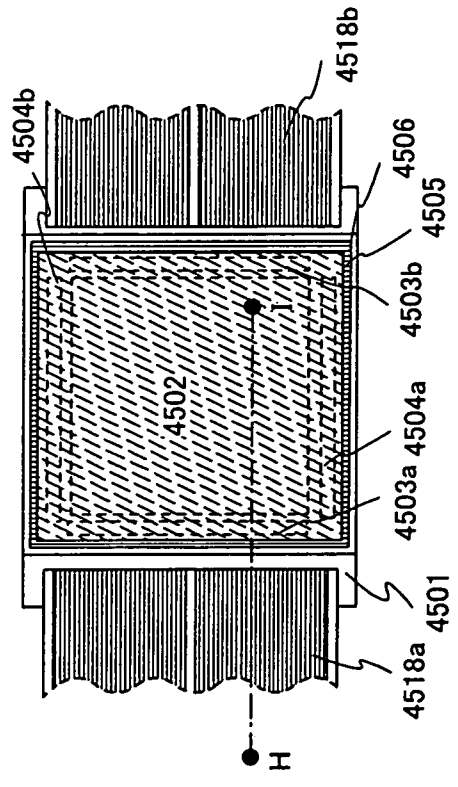


圖12B

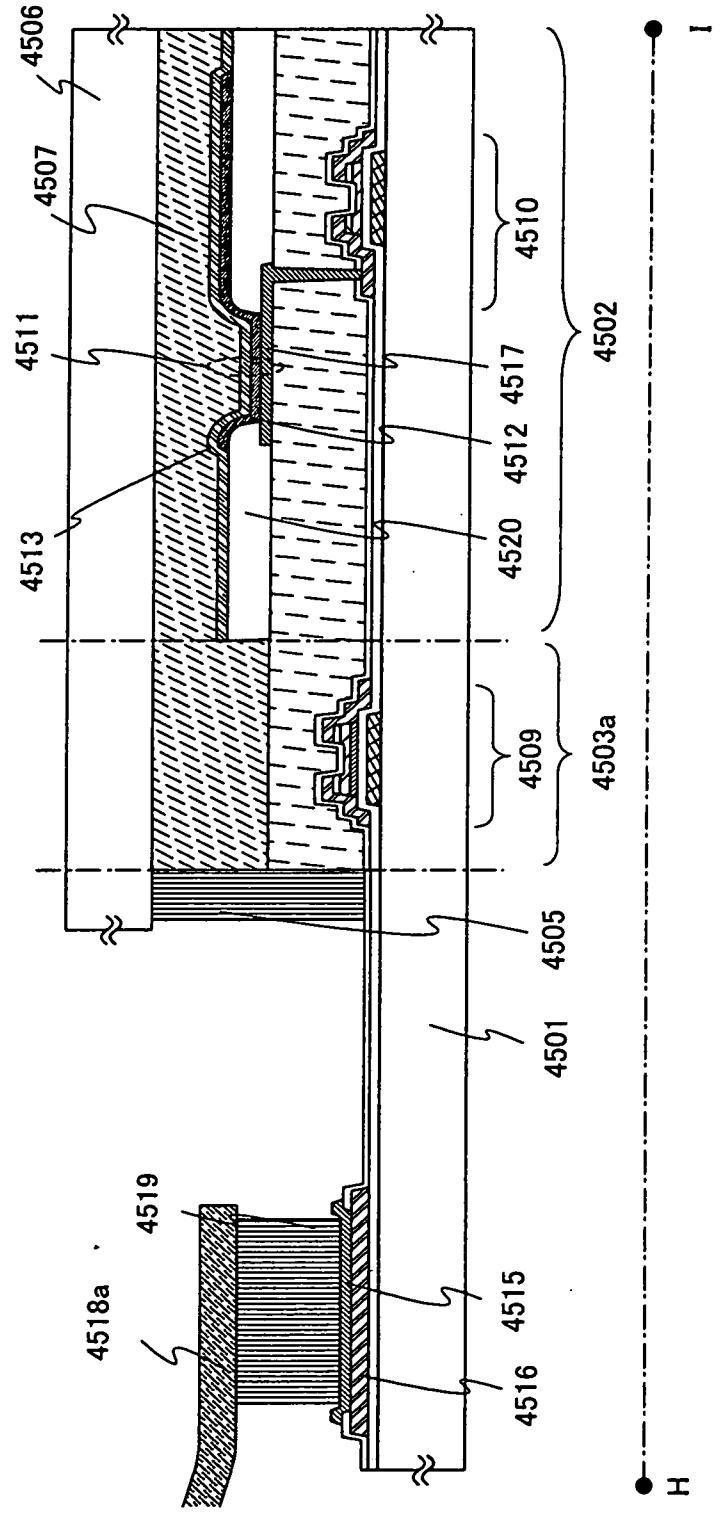


圖 13A

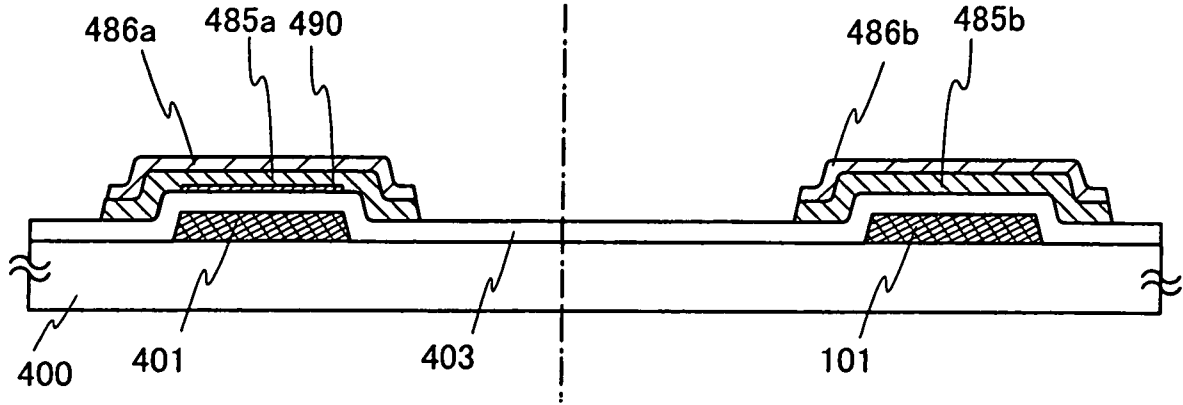


圖 13B

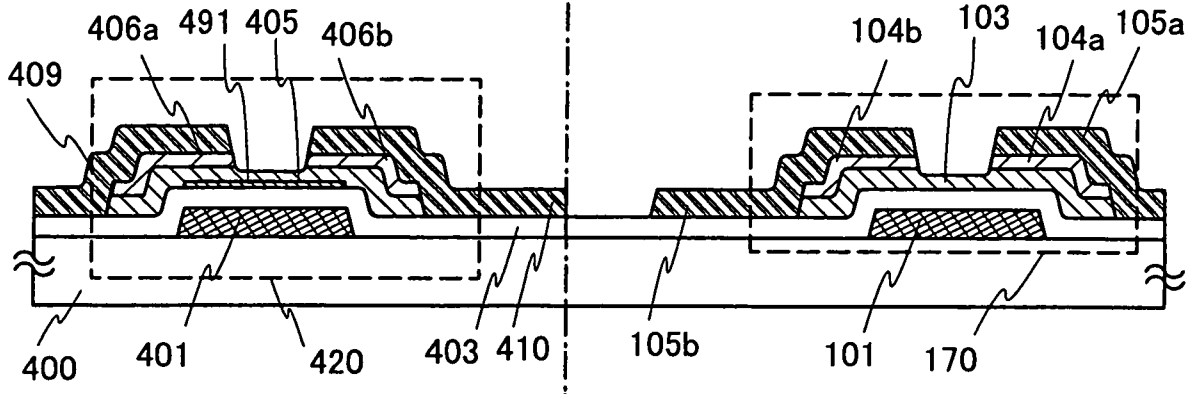


圖 13C

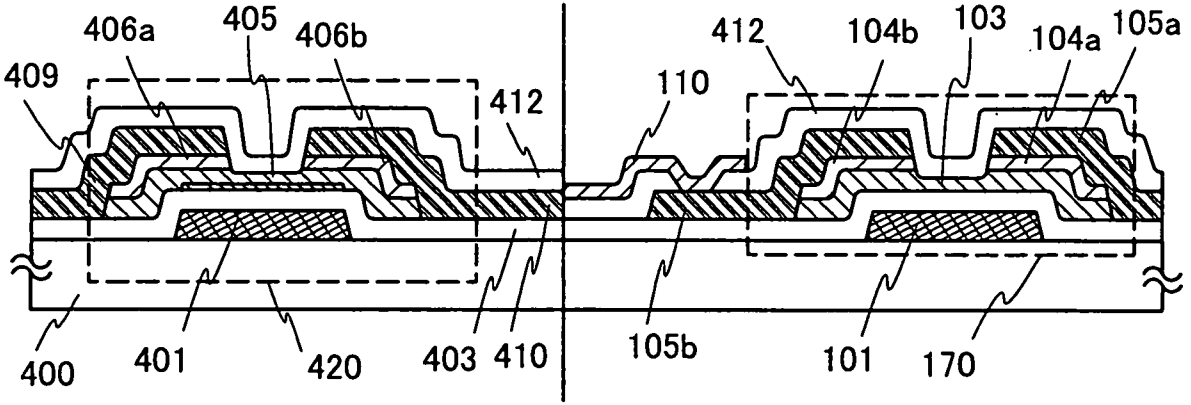


圖14

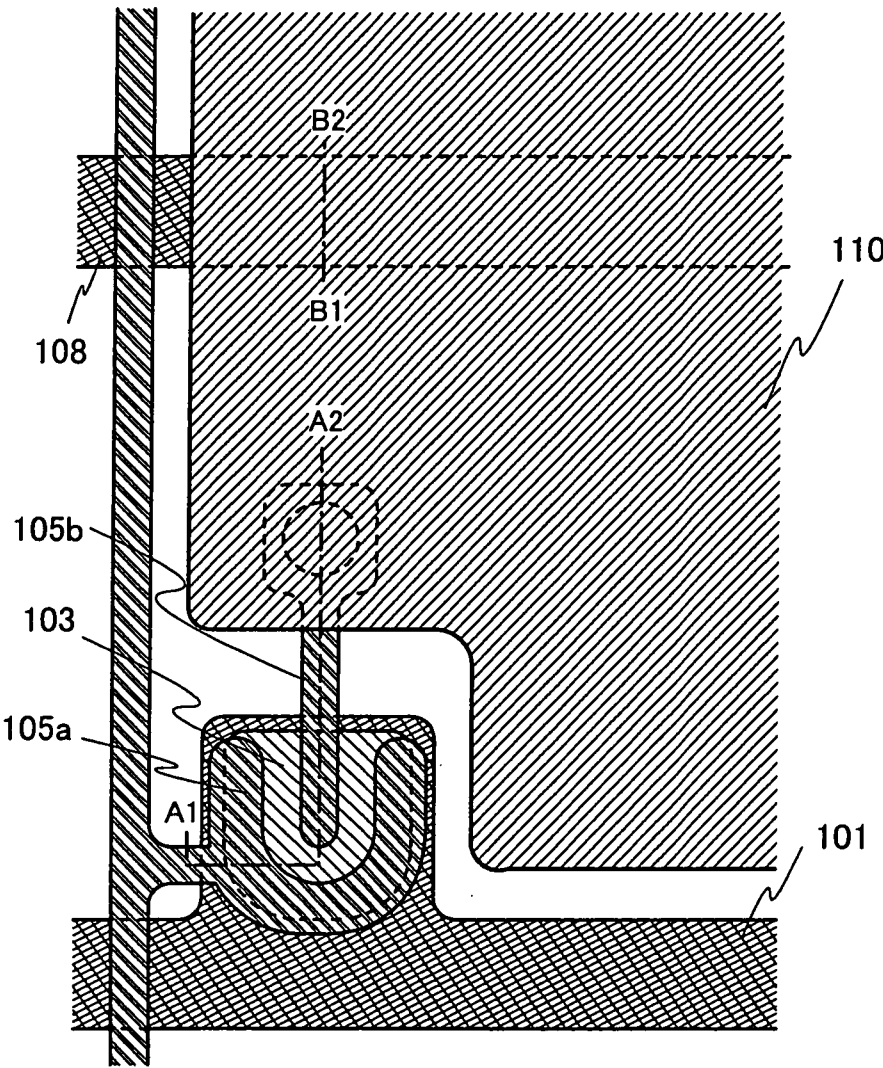


圖15

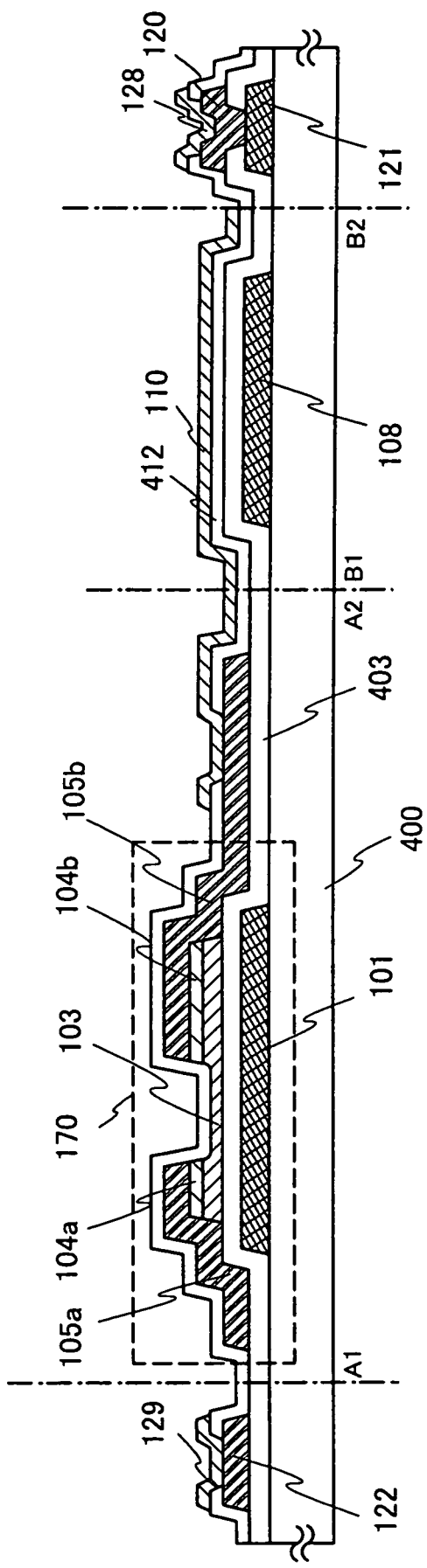


圖 16A

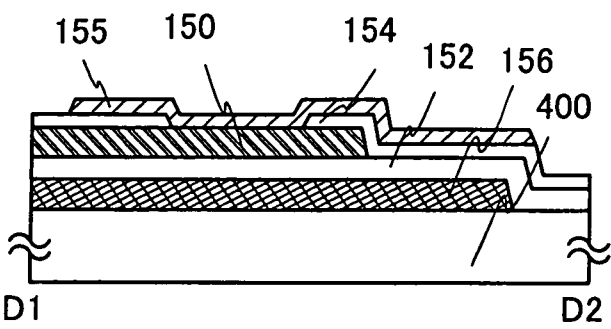


圖 16B

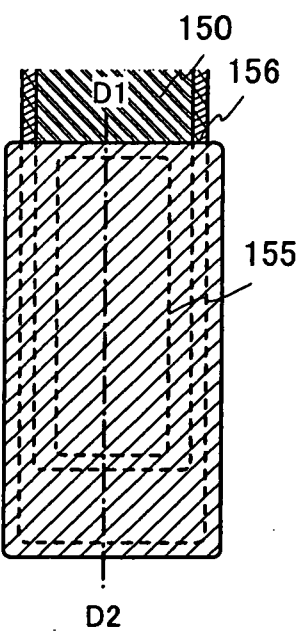


圖 17

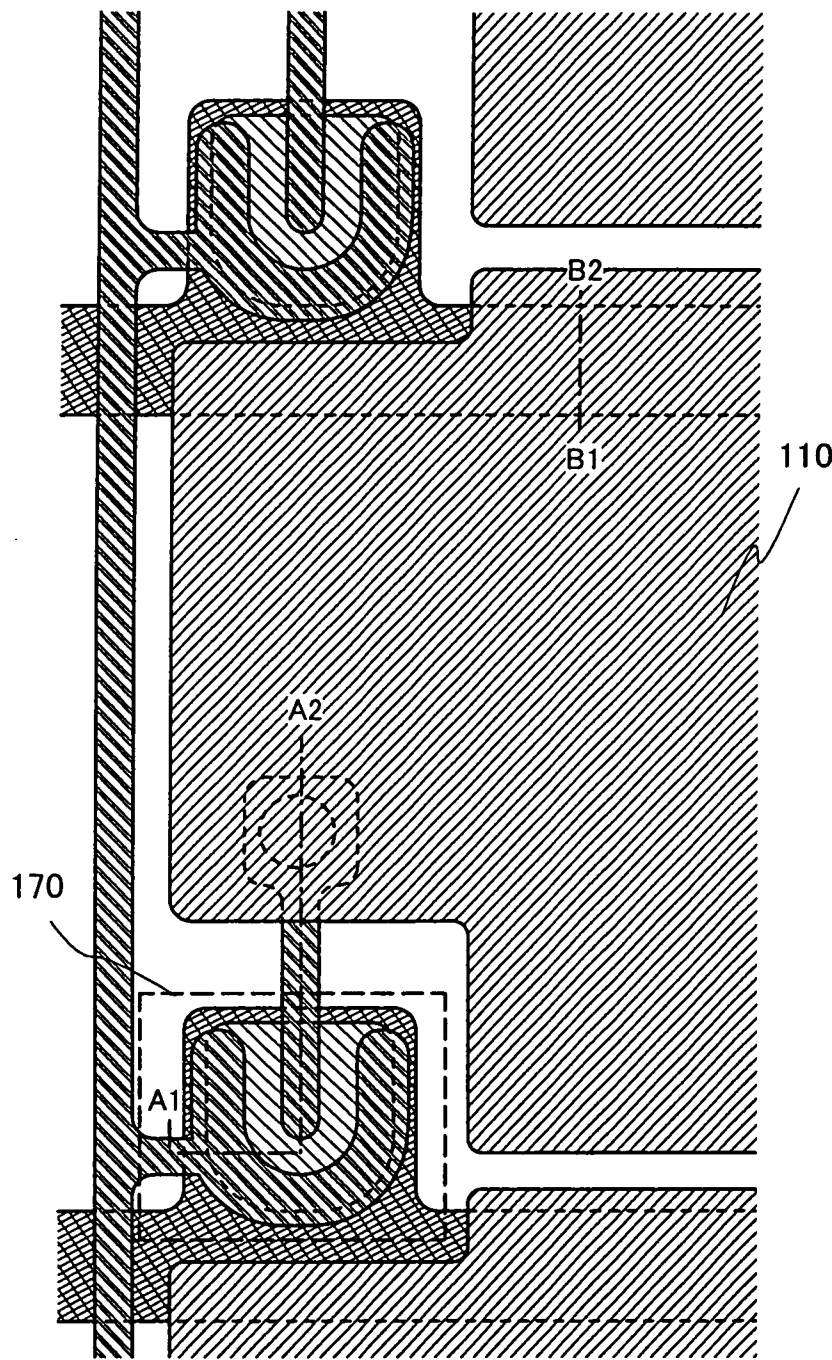


圖 18A1

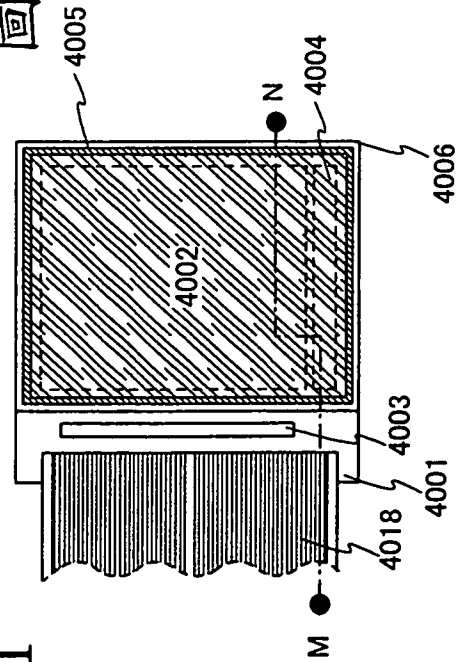


圖 18A2

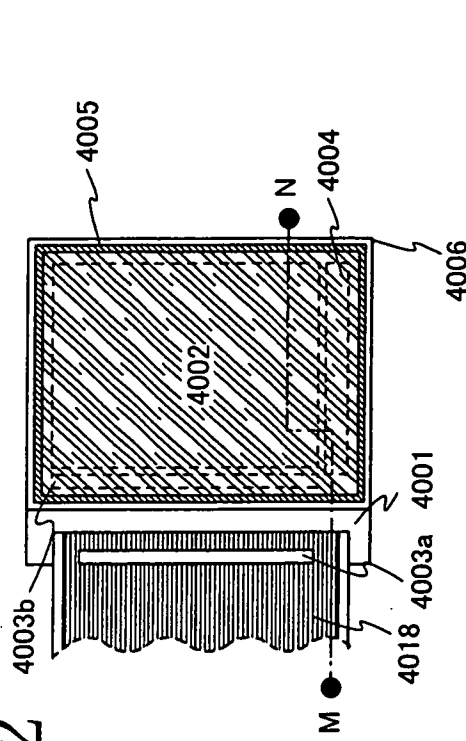


圖 18B

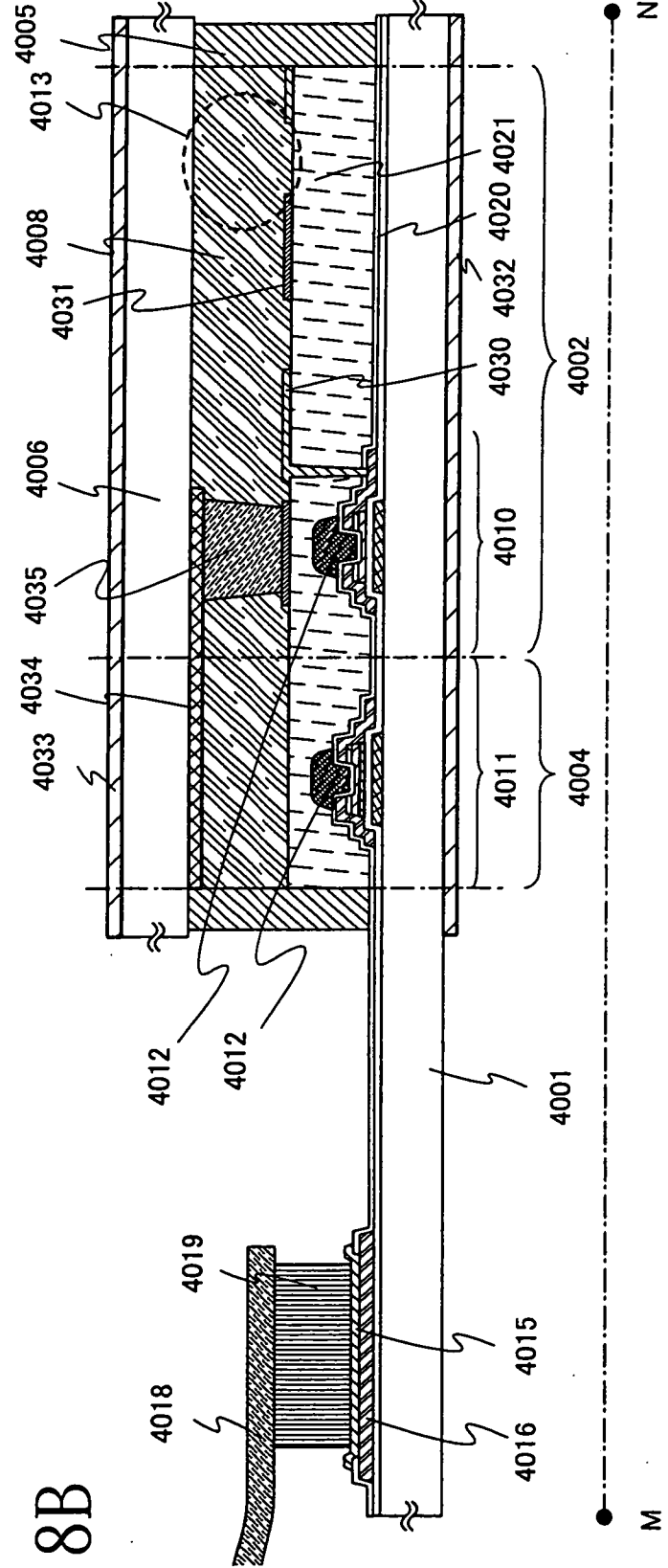


圖19

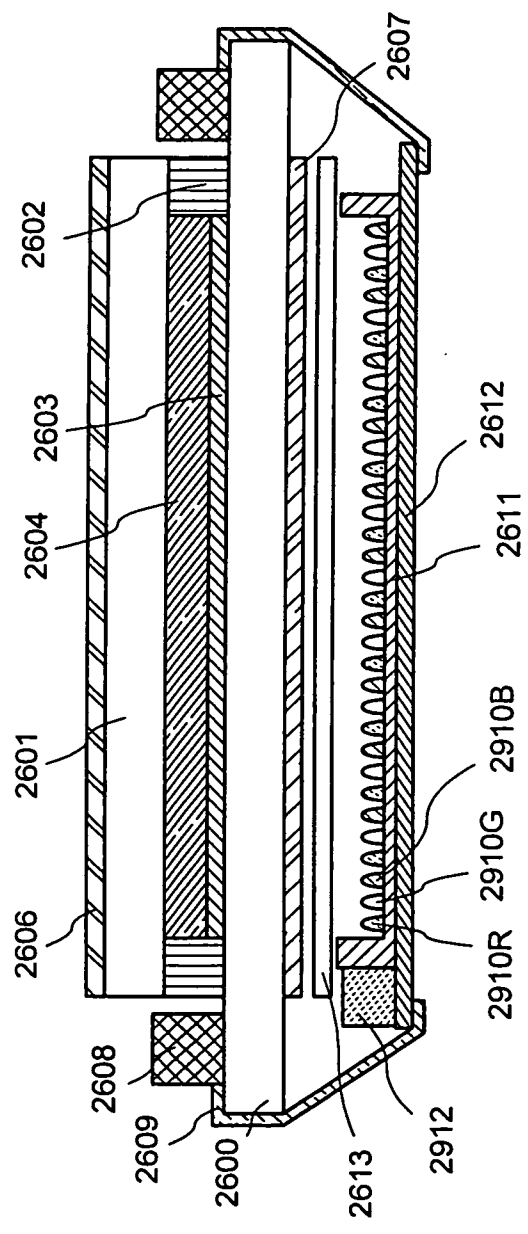


圖 20A

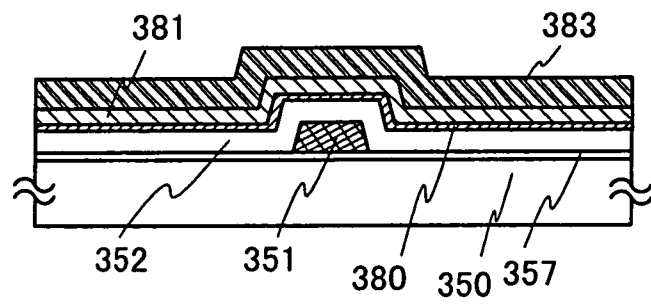


圖 20B

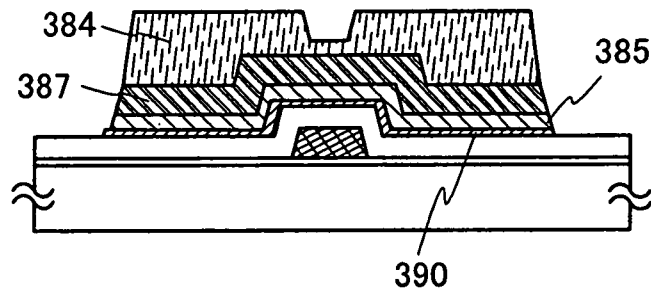


圖 20C

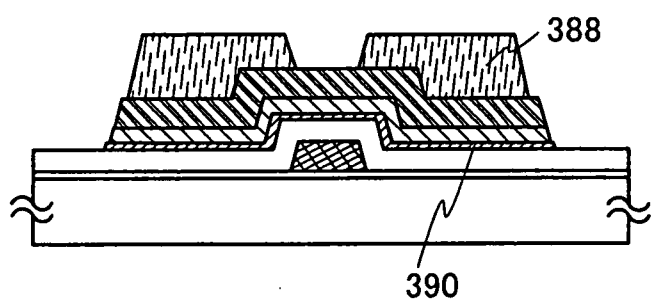


圖 20D

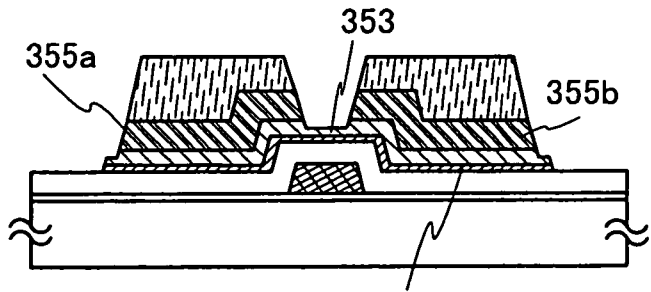


圖 20E

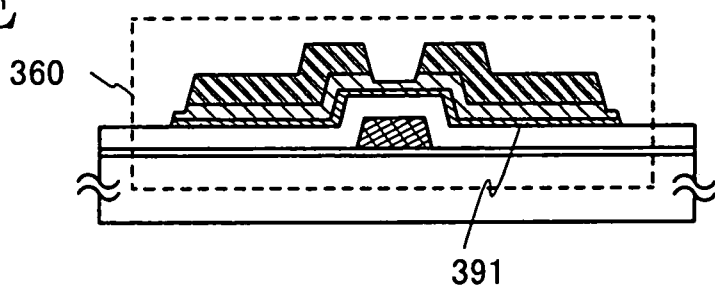


圖 21A

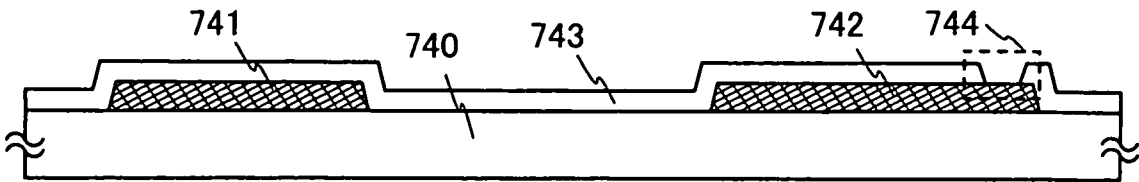


圖 21B

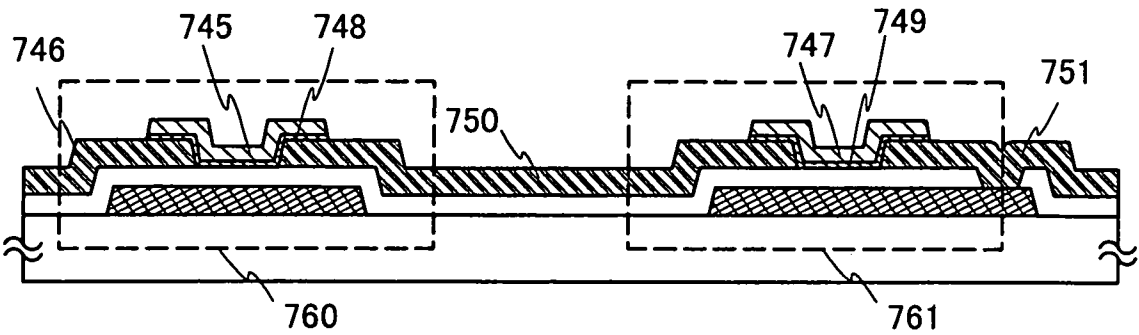


圖 21C

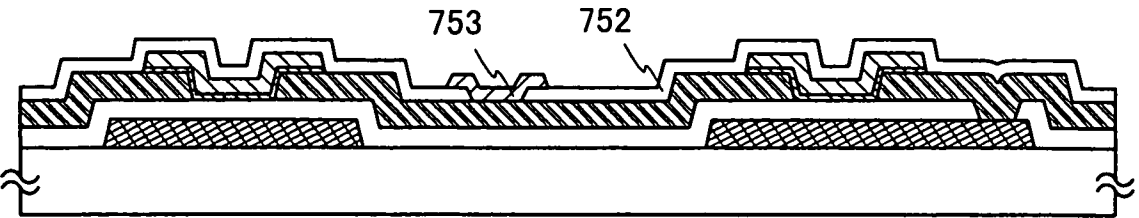


圖 22A

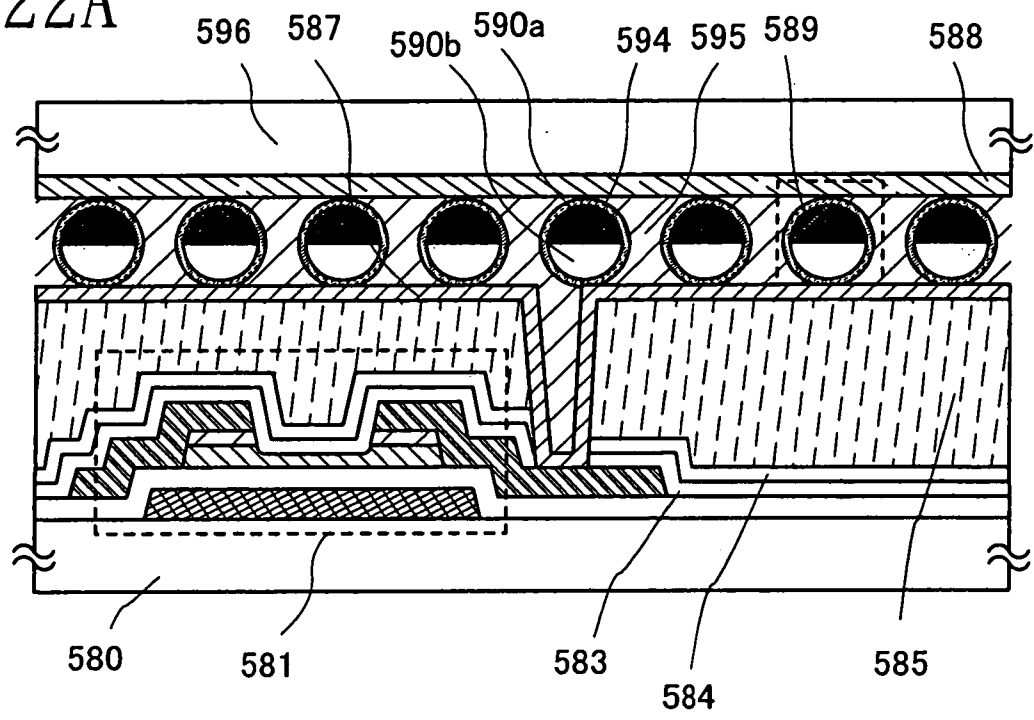


圖 22B

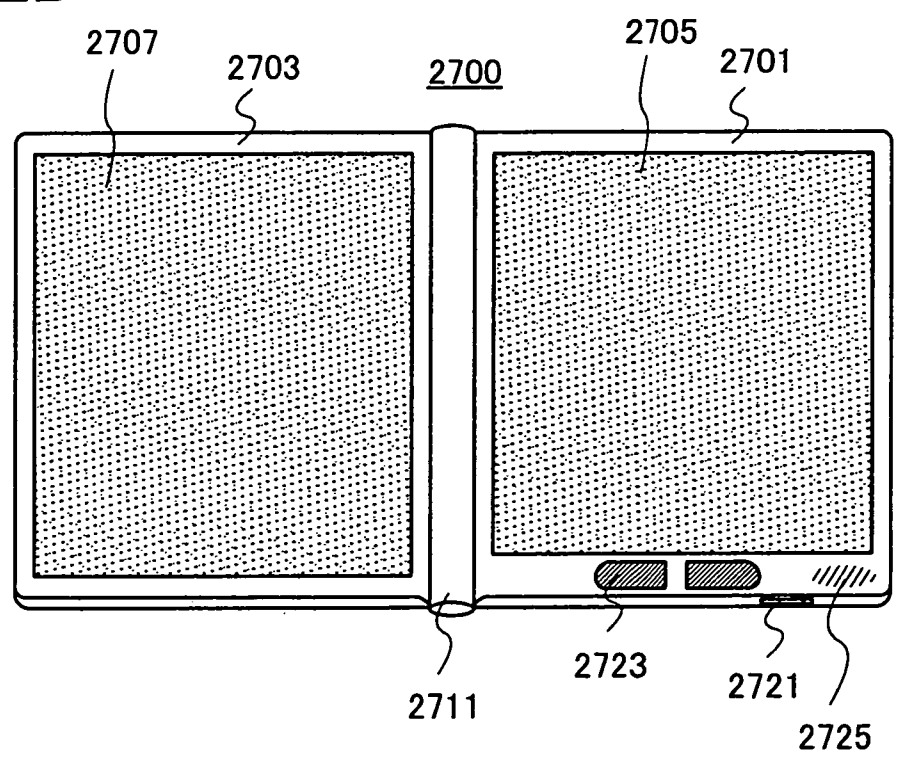


圖 23A

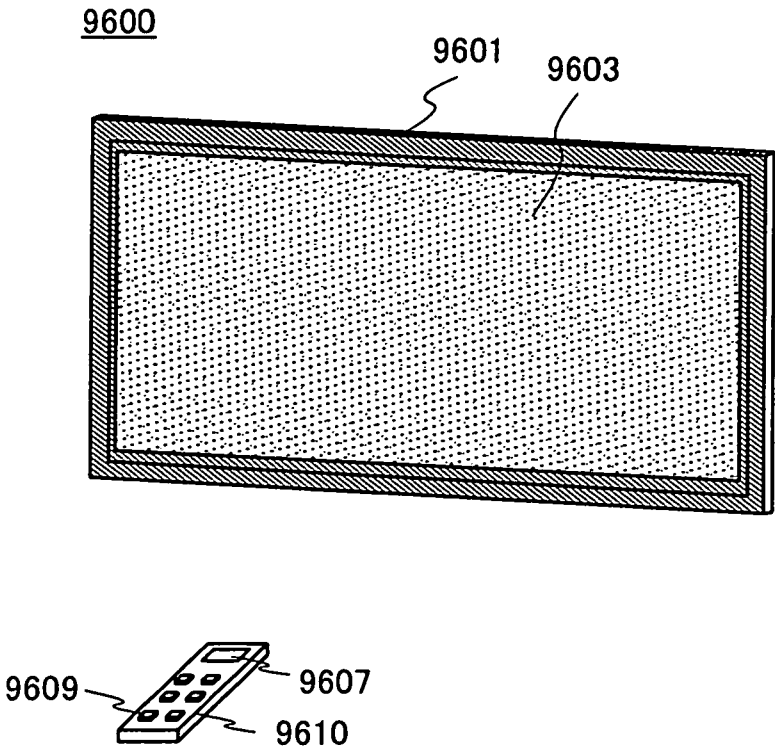


圖 23B

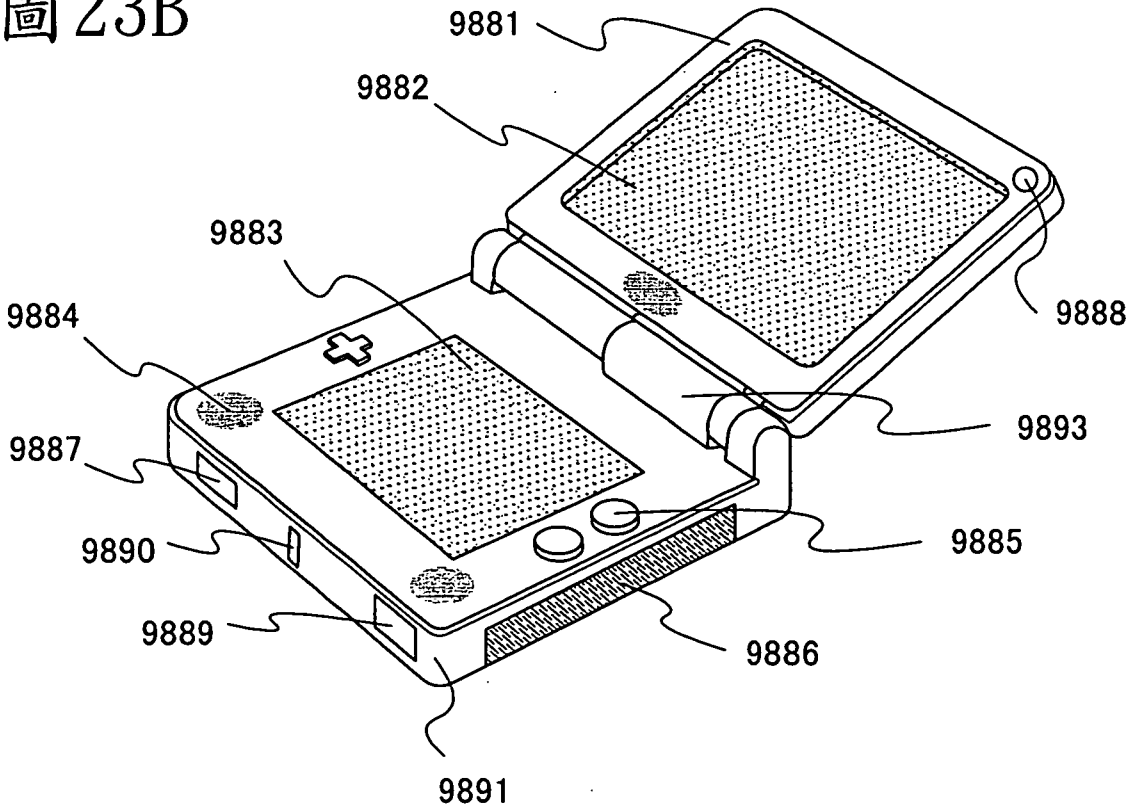


圖 24A

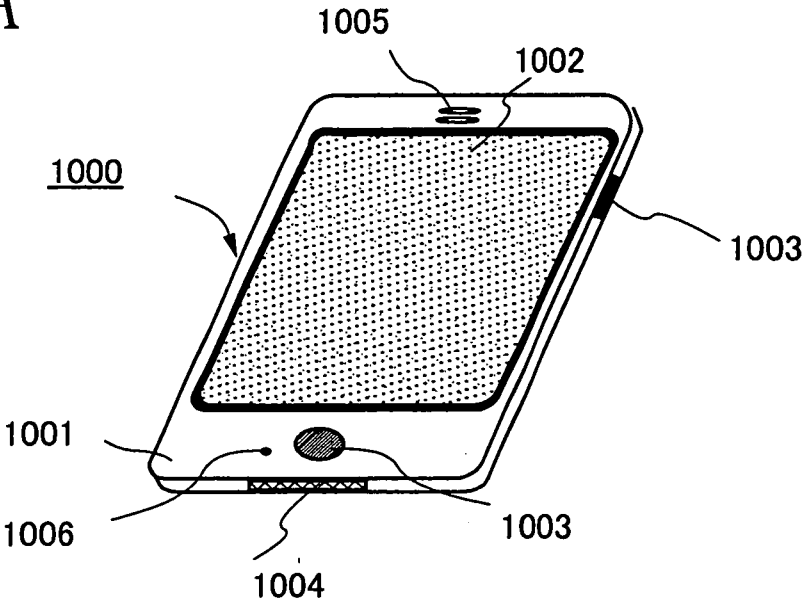


圖 24B

